(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-235797
(P2004-235797A)
(43)公開日　平成16年8月19日(2004.8.19)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H03F 1/22	H03F	1/22	5J500
H03F 3/21	H03F	3/21	

審査請求 未請求　請求項の数 8　OL　（全 11 頁）

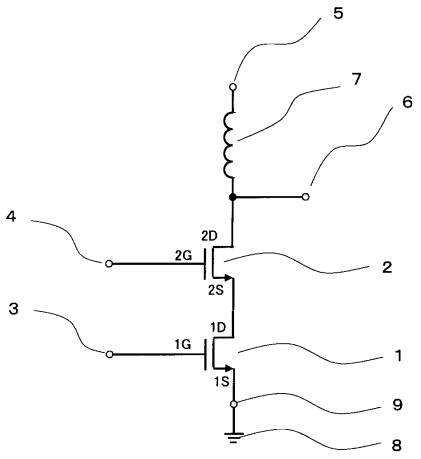
(21)出願番号　特願2003-19884(P2003-19884)
(22)出願日　平成15年1月29日(2003.1.29)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100057874
弁理士　曾我　道照
(74)代理人　100110423
弁理士　曾我　道治
(74)代理人　100084010
弁理士　古川　秀利
(74)代理人　100094695
弁理士　鈴木　憲七
(74)代理人　100111648
弁理士　梶並　順

最終頁に続く

(54)【発明の名称】カスコード電力増幅器

(57)【要約】
【課題】マイクロ波帯域の高電力出力を効率よく得られ、高利得、高出力を両立し、かつ、ドレインーソース間耐圧を満足するカスコード電力増幅器を提供する。
【解決手段】カスコード電力増幅器は、エンハンスメント型の第１のトランジスタのドレインとエンハンスメント型の第２のトランジスタのソースとがカスコード接続され、第２のトランジスタのドレインに電源電圧が印加され、第１のトランジスタのゲートに入力を加え、第２のトランジスタのドレインから出力を得るカスコード電力増幅器において、第２のトランジスタのゲートへの印加電圧をカスコード電力増幅器の外部から設定でき、第２のトランジスタのゲート印加電圧が電源電圧より低く設定される。
【選択図】　図１



【特許請求の範囲】
【請求項１】
エンハンスメント型の第１のトランジスタのドレインとエンハンスメント型の第２のトランジスタのソースとがカスコード接続され、上記第２のトランジスタのドレインに電源電圧が印加され、上記第１のトランジスタのゲートに入力を加え、上記第２のトランジスタのドレインから出力を得るカスコード電力増幅器において、上記第２のトランジスタのゲートへの印加電圧をカスコード電力増幅器の外部から設定でき、上記第２のトランジスタのゲート印加電圧が上記電源電圧より低く設定されたことを特徴とするカスコード電力増幅器。
【請求項２】
上記第２のトランジスタのゲート印加電圧が上記第１のトランジスタのゲート印加電圧より高く設定されたことを特徴とする請求項１に記載のカスコード電力増幅器。
【請求項３】
上記第２のトランジスタの最大印加電圧は、上記第１のトランジスタの最大印加電圧より大きいことを特徴とする請求項１または２に記載のカスコード電力増幅器。
【請求項４】
上記第２のトランジスタのゲートと基準電位との間にコンデンサを接続したことを特徴とする請求項１乃至３のいずれか一項に記載のカスコード電力増幅器。
【請求項５】
上記第１のトランジスタとして、ソースで互いに接続された２個の上記第１のトランジスタを備え、上記第２のトランジスタとして、これらの２個の上記第１のトランジスタにそれぞれカスコード接続され、ドレインが互いに接続された２個の上記第２のトランジスタを備えたカスコード電力増幅器において、上記第１のトランジスタのゲートに信号を入力し、上記第２のトランジスタのドレインから出力することを特徴とする請求項１乃至４のいずれか一項に記載のカスコード電力増幅器。
【請求項６】
上記第２のトランジスタのゲートを互いに接続し、この接続点を仮想グランドとしたことを特徴とする請求項５に記載のカスコード電力増幅器。
【請求項７】
２個の上記第２のトランジスタのゲートのそれぞれと基準電位との間にそれぞれコンデンサを接続したことを特徴とする請求項５に記載のカスコード電力増幅器。
【請求項８】
上記仮想グランドと基準電位との間にコンデンサを接続したことを特徴とする請求項６に記載のカスコード電力増幅器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、２つのトランジスタの一方のドレインを他方のソースに接続するカスコード電力増幅器に関し、特にマイクロ波帯の信号を増幅するカスコード電力増幅器に関する。
【０００２】
【従来の技術】
ＣＭＯＳ技術を適用した高周波電力増幅器は、高周波信号を入力されるソース接地の第１のトランジスタのドレインと、ベース接地の第２のトランジスタのソースとをカスコード接続し、第２のトランジスタのドレインから増幅された高周波信号を出力する構成になっている。エンハンスメント型のトランジスタを使用したカスコード電力増幅器は、第２のトランジスタのゲート端子は電源端子からインダクタと抵抗を介して接続されて電源電圧と同じくなっている（例えば、非特許文献１参照。）。
【０００３】
【非特許文献１】
２００２　アイトリイー　インターナショナル　ソリッドステート　カンファレンス　技

術論文ダイジェスト（２００２ ＩＥＥＥ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｓｏｌｉｄ－Ｓｔａｔｅ Ｃｉｒｃｕｉｔｓ Ｃｏｎｆｅｒｅｎｃｅ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒ）、２００２年２月６日、セッション１７（進歩したＲＦ技術）、１７．５

【０００４】

【発明が解決しようとする課題】

このような従来のエンハンスメント型のカスコード電力増幅器を出力電力が飽和出力電力に近い条件で使用したとき、第２のトランジスタのゲート印加電圧は電源電圧と等しいので、第２のトランジスタのドレインーソース間電圧が第１のトランジスタのドレインーソース間電圧より小さく、第２のトランジスタのドレイン電流が先に飽和するために、電力増幅器は出力電力を効率よく取り出せないという問題があった。

【０００５】

また、高電力利得、高出力を両立するために、高電力利得なトランジスタを第１のトランジスタとして用いた場合、高利得トランジスタにおいては、ドレインーソース間に印加できる最大印加電圧が低いため、カスコード接続すると、第１のトランジスタのドレインーソース間電圧が最大印加電圧を超えるため、最大出力電力が第１のトランジスタのドレインーソース間の最大印加電圧で制限されてしまうという問題があった。

【０００６】

この発明の目的は、マイクロ波帯域の高電力出力を効率よく得られるカスコード電力増幅器を提供することである。

【０００７】

また、高利得、高出力を両立し、かつ、ドレインーソース間耐圧を満足するカスコード電力増幅器を提供することである。

【０００８】

【課題を解決するための手段】

この発明に係わるカスコード電力増幅器は、エンハンスメント型の第１のトランジスタのドレインとエンハンスメント型の第２のトランジスタのソースとがカスコード接続され、第２のトランジスタのドレインに電源電圧が印加され、第１のトランジスタのゲートに入力を加え、第２のトランジスタのドレインから出力を得るカスコード電力増幅器において、第２のトランジスタのゲートへの印加電圧をカスコード電力増幅器の外部から設定でき、第２のトランジスタのゲート印加電圧が電源電圧より低く設定される。

【０００９】

【発明の実施の形態】

実施の形態１．

図１は、この発明の実施の形態１によるカスコード電力増幅器の構成を示す回路図である。図２は図１のカスコード電力増幅器の第２のトランジスタのゲート印加電圧（ＶＧＳ２）に対する１ｄＢコンプレッション出力電力（Ｐ１ｄＢ）と、第１のトランジスタのドレインーソース間電圧（Ｖｄｓ１）と、第２のトランジスタのドレインーソース間電圧（Ｖｄｓ２）を示す。

【００１０】

カスコード電力増幅器は、第１のトランジスタ１と第２のトランジスタ２を、第１のトランジスタ１のドレイン１Ｄと第２のトランジスタ２のソース２Ｓがカスコード接続されている。第１のトランジスタ１でソース接地増幅回路を構成し、第２のトランジスタ２でベース接地増幅回路を構成して、それらを縦列接続した回路である。第１のトランジスタ１と第２のトランジスタ２とはエンハンスメント型であり、ドレインーソース間の最大印加電圧は等しく３．３Ｖである。最大印加電圧は常時印加しても経時変化の少ない最大の印加電圧を意味し、最大印加電圧は半導体の製造プロセルの精細度に関係している。例えば、０．３５μｍツールであれば、３．３Ｖ位、０．１８μｍツールであれば１．８Ｖ位である。しかし、この値は固定されたものではなく、改良されていく特性である。

【００１１】

さらに、カスコード電力増幅器は、外部から高周波信号が入力され、第１のトランジスタ１のゲート１Ｇに接続された入力端子３と、第２のトランジスタ２のゲート２Ｇに外部からバイアス電圧を印加する電圧印加端子４と、外部からカスコード増幅器の電力を供給する電源端子５と、第２のトランジスタ２のドレイン２Ｄに接続され、外部に高周波信号を出力する出力端子６と、電源端子５と第２のトランジスタ２のドレイン２Ｄ間に挿入されたインダクタ７と、カスコード電力増幅器の基準電圧として外部とはグランド８に接続され、第１のトランジスタ１のソース１Ｓに接続されるグランド端子９とを備えている。
入力端子３から入力された高周波信号は、第１のトランジスタ１のゲート１Ｇに入力され、第１のトランジスタ１と第２のトランジスタ２で増幅され、第２のトランジスタ２のドレイン２Ｄから出力端子６へと出力される。

【００１２】
電源端子５には電源電圧（Ｖｃｃ）として、直流３．３Ｖが印加されている。第２のトランジスタ２のゲート２Ｇに印加するゲート印加電圧ＶＧ２を第１のトランジスタのゲート印加電圧ＶＧ１から電源電圧Ｖｃｃの間変化させた時の、第１のトランジスタ１と第２のトランジスタ２のそれぞれのドレインーソース電圧Ｖｄｓ１とＶｄｓ２の変化をそれぞれ折れ線１０、１１で図２に示す。バイアス条件は、第２のトランジスタ２のゲート２Ｇに印加するゲート印加電圧ＶＧ２において、ドレインーソース電流の電流値（Ｉｄｓ）が６０ｍＡとなるように、第１のトランジスタ１のゲート１Ｇのゲート印加電圧Ｖｇ１を調整している。第２のトランジスタ２のＶｄｓ２はＶｇ２が大きくなると小さくなり、Ｖｇ２が２．６Ｖ以上で最大印加電圧より小さくなる。一方、第１のトランジスタ１のＶｄｓ１はＶｇ２が大きくなるに従って大きくなるが、Ｖｇ２が２．２Ｖから３．３Ｖの範囲では最大印加電圧よりは小さい。

【００１３】
図２の折れ線１２は、図１の第２のトランジスタ２のゲート２Ｇへのゲート印加電圧Ｖｇ２に対する出力端子６から出力される５．６ＧＨｚでの１ｄＢコンプレッション出力電力Ｐ１ｄＢの特性を示す。第２のトランジスタ２のゲート印加電圧Ｖｇ２が２．８Ｖの時に、１ｄＢコンプレッション出力電力Ｐ１ｄＢが１６．９ｄＢｍとして最大値を示す。

【００１４】
このようなカスコード電力増幅器は、第２のトランジスタのゲート印加電圧を外部から電源電圧Ｖｃｃと第１のトランジスタのゲート印加電圧との間に合わせることにより、１ｄＢコンプレッション出力電力の最大値を示し、出力電力を最大限取り出すことが出来る。

【００１５】
実施の形態２．
図３は、本発明の実施の形態２によるカスコード電力増幅器の第２のトランジスタのゲート印加電圧（Ｖｇ２）に対する１ｄＢコンプレッション出力電力（Ｐ１ｄＢ）と、第１のトランジスタのドレインーソース間電圧（Ｖｄｓ１）と、第２のトランジスタのドレインーソース間電圧（Ｖｄｓ２）を示す。

【００１６】
実施の形態２のカスコード電力増幅器は、図１と第２のトランジスタ２の最大印加電圧より低い最大印加電圧の第１のトランジスタを用いていることが異なっている。第１のトランジスタ１の最大印加電圧は２．６Ｖであり、第２のトランジスタ２の最大印加電圧は３．３Ｖである。
電源端子５には電源電圧（Ｖｃｃ）として直流３．３Ｖが印加されている。　第２のトランジスタ２のゲート２Ｇに印加するゲート印加電圧Ｖｇ２を第１のトランジスタ１のゲート印加電圧Ｖｇ１から電源電圧Ｖｃｃの間変化させた時の、第１のトランジスタ１と第２のトランジスタ２のそれぞれのドレインーソース電圧Ｖｄｓ１とＶｄｓ２の変化をそれぞれ折れ線１３、１４で図３に示す。バイアス条件は、第２のトランジスタのゲート２Ｇに印加するゲート印加電圧Ｖｇ２において、ドレインーソース電流の電流値（Ｉｄｓ）が６０ｍＡとなるように、第１のトランジスタ１のゲート１Ｇの電圧Ｖｇ１を調整している。第２のトランジスタのＶｄｓ２はＶｇ２が大きくなると小さくなり、Ｖｇ２が２．４Ｖ以

上であれば最大印加電圧より小さくなる。一方、第１のトランジスタのＶｄｓ１はＶｇ２が大きくなるに従って大きくなるが、Ｖｇ２が３．１Ｖを越えると最大印加電圧を越える。

【００１７】

図３の折れ線１５は、実施の形態２の第２のトランジスタ２のゲート２Ｇのゲート印加電圧Ｖｇ２に対する出力端子６から出力される１ｄＢコンプレッション出力電力Ｐ１ｄＢの特性を示す。第２のトランジスタ２のゲート印加電圧Ｖｇ２が２．８Ｖの時に、１ｄＢコンプレッション出力電力Ｐ１ｄＢが１６．８ｄＢｍを示す。

【００１８】

このようなカスコード電力増幅器は、第１のトランジスタの最大印加電圧を第２のトランジスタの最大印加電圧よりちいさなトランジスタを用いることで高利得を得ることができ、第２のトランジスタのゲート印加電圧を外部から電源電圧Ｖｃｃと第１のトランジスタのゲート印加電圧との間に合わせることにより、１ｄＢコンプレッション出力電力時の第１のトランジスタの最大印加電圧を満足することができる。

【００１９】

実施の形態３．

図４は、本発明の実施の形態３によるカスコード電力増幅器の第２のトランジスタのゲート印加電圧（Ｖｇ２）に対する１ｄＢコンプレッション出力電力（Ｐ１ｄＢ）と、第１のトランジスタのドレインーソース間電圧（Ｖｄｓ１）と、第２のトランジスタのドレインーソース間電圧（Ｖｄｓ２）を示す。

【００２０】

実施の形態３のカスコード電力増幅器は、図１と第１のトランジスタ１の最大印加電圧が実施の形態２よりさらに低いトランジスタを用いていることが異なっている。第１のトランジスタ１の最大印加電圧は１．８Ｖであり、第２のトランジスタ２の最大印加電圧は３．３Ｖである。

電源端子５には電源電圧（Ｖｃｃ）として直流３．３Ｖが印加されている。　第２のトランジスタ２のゲート２Ｇに印加するゲート印加電圧Ｖｇ２を第１のトランジスタ１のゲート印加電圧Ｖｇ１から電源電圧Ｖｃｃの間変化させた時の、第１のトランジスタ１と第２のトランジスタ２のそれぞれのドレインーソース電圧Ｖｄｓ１とＶｄｓ２の変化をそれぞれ折れ線１６、１７で図４に示す。バイアス条件は、第２のトランジスタのゲート２Ｇに印加するゲート印加電圧Ｖｇ２において、ドレインーソース電流の電流値（Ｉｄｓ）が６０ｍＡとなるように、第１のトランジスタ１のゲート１Ｇの電圧Ｖｇ１を調整している。第２のトランジスタのＶｄｓ２はＶｇ２が大きくなると小さくなり、Ｖｇ２が２．２Ｖ以上であれば最大印加電圧より小さくなる。一方、第１のトランジスタのＶｄｓ１はＶｇ２が大きくなるに従って大きくなるが、Ｖｇ２が２．２Ｖだけで最大印加電圧よりは小さい。従って、第２のトランジスタ２のゲート印加電圧Ｖｇ２が２．２Ｖのとき第１のトランジスタの最大印加電圧を満足する。

【００２１】

図４の折れ線１８は、実施の形態３の第２のトランジスタ２のゲート２Ｇのゲート印加電圧Ｖｇ２に対する出力端子６から出力される１ｄＢコンプレッション出力電力Ｐ１ｄＢの特性を示す。第２のトランジスタ２のゲート印加電圧Ｖｇ２が２．２Ｖの時に、１ｄＢコンプレッション出力電力Ｐ１ｄＢが１５．１ｄＢｍとなる。

【００２２】

このようなカスコード電力増幅器は、第１のトランジスタの最大印加電圧を第２のトランジスタの最大印加電圧よりちいさなトランジスタを用いることで高利得を得ることができ、第２のトランジスタのゲート印加電圧を外部から電源電圧Ｖｃｃと第１のトランジスタのゲート印加電圧との間に合わせることにより、１ｄＢコンプレッション出力電力時の第１のトランジスタの最大印加電圧を満足することができる。

【００２３】

さらに第１のトランジスタの最大印加電圧（Ｖｄｓ　ｍａｘ）と線形電力利得（Ｌｉｎｅ

ａｒ　Ｇａｉｎ）との関係を図５に示す。最大印加電圧の小さなトランジスタを第１のトランジスタとして用いたカスコード電力増幅器は大きな線形電力利得を得ることができる。

【００２４】

このようなカスコード電力増幅器は第１のトランジスタに第２のトランジスタより高精細なツール、例えば第２のトランジスタが０．３５μｍツールに対して、第１のトランジスタを０．１８μｍツールを採用して適切な電力増幅器を得ることができる。最大印加電圧の高いトランジスタを用いて出力に近い増幅器を、最大印加電圧の低いトランジスタを用いて、入力に近い増幅器をそれぞれ構成することができる。

【００２５】

実施の形態４．

図６は、この発明の実施の形態４のカスコード電力増幅器の構成を示す回路図である。図６は図１と第２のトランジスタのゲートとグランド端子の間にコンデンサが挿入されていることが異なっていて、同様なことは説明を省略する。

【００２６】

図６において、第２のトランジスタ２のゲート２Ｇと、グランド８に接続されたグランド端子９との間にコンデンサ２０が挿入され、交流的にグランドに接地されている。

【００２７】

このようなカスコード電力増幅器は、グランドに接地されることで、第２のトランジスタのゲート電位が交流的に固定され、出力電力を効率よく取り出すことが出来る。

【００２８】

実施の形態５．

図７は、この発明の実施の形態５によるカスコード電力増幅器の構成を示す回路図である。図７は図６の回路を電源端子５とグランド端子９に対して対称的に２つ備えている。カスコード電力増幅器は、一対の第１のトランジスタ１ａ、１ｂが互いにソース１ａＳ、１ｂＳが接続され、グランド端子９からグランド８へ接続されている。一対の第２のトランジスタ２ａ、２ｂのソース２ａＳ、２ｂＳはそれぞれ第１のトランジスタ１ａ、１ｂのドレイン１ａＤ、１ｂＤにカスコード接続されている。第２のトランジスタ２ａ、２ｂのドレイン２ａＤ、２ｂＤはそれぞれインダクタ７ａ、７ｂを介して電源端子５に接続されている。第１のトランジスタ１ａ、１ｂのゲート１ａＧ、１ｂＧは入力端子３ａ、３ｂに接続されている。第２のトランジスタ２ａ、２ｂのゲート２ａＧ、２ｂＧはゲート電圧印加端子４ａ、４ｂにそれぞれ接続され、個別にゲート印加電圧を印加できる。第２のトランジスタ２ａ、２ｂのゲート２ａＧ、２ｂＧとグランド端子９との間にコンデンサ２０ａ、２０ｂが挿入されている。第２のトランジスタ２ａ、２ｂのドレイン２ａＤ、２ｂＤから出力端子６ａ、６ｂにそれぞれ接続されている。

【００２９】

図７の直流的条件は図１の回路と同じくなっている。入力端子３ａ、３ｂに、位相の異なる高周波信号を入力し、第１および第２のトランジスタで増幅され、出力端子６ａ、６ｂから位相の異なった高周波信号が出力される。一方、同相な雑音成分は同相な信号として増幅されるが、異相利得が同相利得より大きいので、高周波信号をより増幅される。

【００３０】

このようなカスコード電力増幅器は、差動構成にすることにより信号成分の高出力化を図ることが出来る。

【００３１】

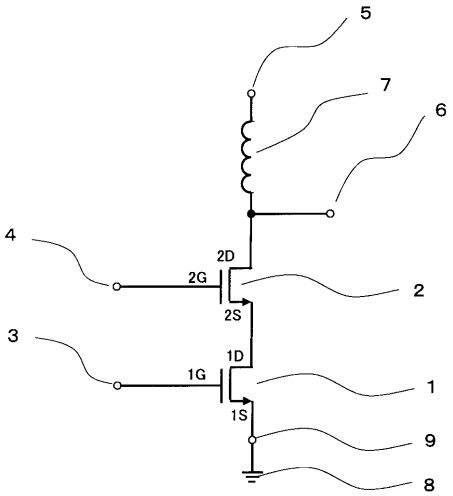
実施の形態６．

図８は、この発明の実施の形態６によるカスコード電力増幅器の構成を示す回路図である。図８は図７の第２のトランジスタ２ａ、２ｂのゲート２ａＧ、２ｂＧを仮想グランド点２１で接続し、仮想グランド点２１とゲート電圧印加端子２２とを接続されていることと、仮想グランド点２１とグランド端子９との間にコンデンサ２０を挿入していることとである。

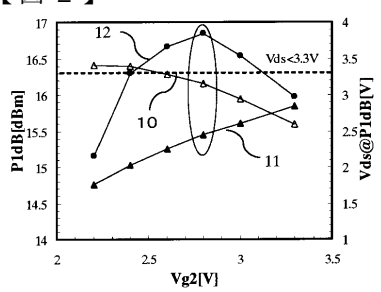
【００３２】
このようなカスコード電力増幅器は、２つの第２のトランジスタのゲートを１つのゲート電圧印加端子に接続することにより、チップに設けるパッド数を削減でき、小型化を図ることができる。
【００３３】
また、仮想グランド点とグランド端子との間にコンデンサを１つ設けることで、コンデンサの数を削減でき、小型化を図ることができ来る。
【００３４】
実施の形態７．
図９は、この発明の実施の形態７によるカスコード電力増幅器の構成を示す回路図である。図１０は、図９の差動構成の第２のトランジスタのゲート部分のチップレイアウトのイメージ図である。
図９は図８の第２のトランジシタ２ａ、２ｂのそれぞれのゲート２ａＧ、２ｂＧと仮想グランド点２１との間からグランド端子９との間にコンデンサ２０ａ、２０ｂが挿入されていることが異なっており、その他は同様であるので説明は省略する。
【００３５】
図１０において、第２のトランジスタ２ａ、２ｂのゲート２ａＧ、２ｂＧの近くにコンデンサ２０ａ、２０ｂが設けられている。またゲート２ａＧ、２ｂＧから配線２３が引き出され、ゲート電圧印加端子２２へ接続されている。
【００３６】
図１０に示すように、差動構成の第２のトランジスタのゲート端子に接続するコンデンサを個別に配置することで、グランドに接地されるポイントがゲート端子に近くなり、ゲート端子と交流的に接地されるグランドの間に、配線レイアウトによるインダクタンス成分を減らすことができ、ゲートの電位をグランド電位に近い状態とすることが出来る。
【００３７】
その結果、インダクタンス成分による、電力ロスを削減することができ、電力増幅器の高出力化を図ることが出来る。
【００３８】
なお、トランジスタとして、ＭＯＳＦＥＴなどのエンハンスメント型の電界効果型トランジスタについて説明を行ったが、ＳｉＢＪＴ、ＳｉＧｅ　ＢＪＴ、ＩｎＧａＰを含む化合物ＨＢＴなどのエンハンスメント型のバイポーラトランジスタであっても同様の効果を奏する。
【００３９】
【発明の効果】
この発明に係わるカスコード電力増幅器のよる効果は、エンハンスメント型の第１のトランジスタのドレインとエンハンスメント型の第２のトランジスタのソースとがカスコード接続され、第２のトランジスタのドレインに電源電圧が印加され、第１のトランジスタのゲートに入力を加え、第２のトランジスタのドレインから出力を得るカスコード電力増幅器において、第２のトランジスタのゲートへの印加電圧をカスコード電力増幅器の外部から設定でき、第２のトランジスタのゲート印加電圧が電源電圧より低く設定されるので、第２のトランジスタのゲート印加電圧を外部から電源電圧Ｖｃｃと第１のトランジスタのゲート印加電圧との間に合わせることにより、１ｄＢコンプレッション出力電力の最大値を示し、出力電力を最大限取り出すことが出来る。
【図面の簡単な説明】
【図１】この発明の実施の形態１によるカスコード電力増幅器の構成を示す回路図である。
【図２】図１のカスコード電力増幅器の第２のトランジスタのゲート印加電圧（Ｖｇ２）に対する１ｄＢコンプレッション出力電力（Ｐ１ｄＢ）と、第１のトランジスタのドレインーソース間電圧（Ｖｄｓ１）と、第２のトランジスタのドレインーソース間電圧（Ｖｄｓ２）を示す。

【図３】この発明の実施の形態２によるカスコード電力増幅器の第２のトランジスタのゲート印加電圧（Ｖｇ２）に対する１ｄＢコンプレッション出力電力（Ｐ１ｄＢ）と、第１のトランジスタのドレインーソース間電圧（Ｖｄｓ１）と、第２のトランジスタのドレインーソース間電圧（Ｖｄｓ２）を示す。
【図４】この発明の実施の形態３によるカスコード電力増幅器の第２のトランジスタのゲート印加電圧（Ｖｇ２）に対する１ｄＢコンプレッション出力電力（Ｐ１ｄＢ）と、第１のトランジスタのドレインーソース間電圧（Ｖｄｓ１）と、第２のトランジスタのドレインーソース間電圧（Ｖｄｓ２）を示す。
【図５】この発明の第２のトランジスタの最大印加電圧と線形電力利得の関係図である。
【図６】この発明の実施の形態４のカスコード電力増幅器の構成を示す回路図である。
【図７】この発明の実施の形態５によるカスコード電力増幅器の構成を示す回路図である。
【図８】この発明の実施の形態６によるカスコード電力増幅器の構成を示す回路図である。
【図９】この発明の実施の形態７によるカスコード電力増幅器の構成を示す回路図である。
【図１０】図９の差動構成の第２のトランジスタのゲート部分のチップレイアウトのイメージ図である。
【符号の説明】
１、２　トランジスタ、３、４　入力端子、５　電源端子、６　出力端子、７インダクタ、８　グランド、９　グランド端子、１０、１３、１６　第２のトランジスタのドレインーソース電圧、１１、１４、１７　第１のトランジスタのドレインーソース電圧、１２、１５、１８　１ｄＢコンプレッション出力、１９線形電力利得、２０　コンデンサ、２１　仮想グランド点、２２　ゲート電圧印加端子、２３　配線。

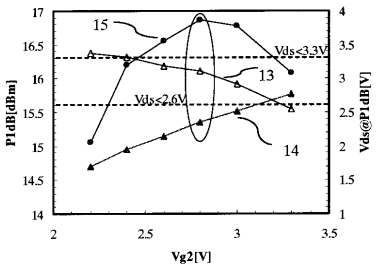
【図１】



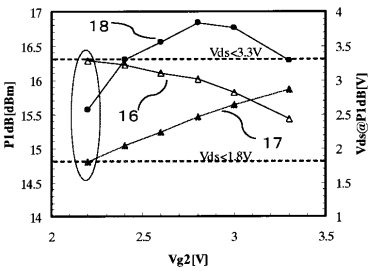
【図２】



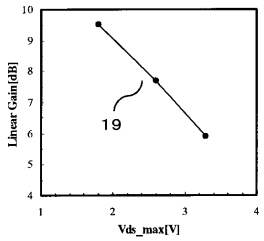
【図３】



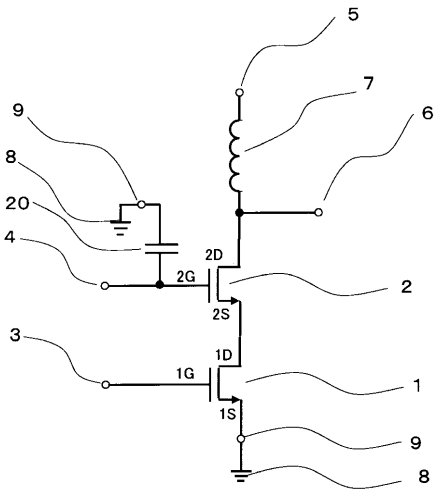
【図４】



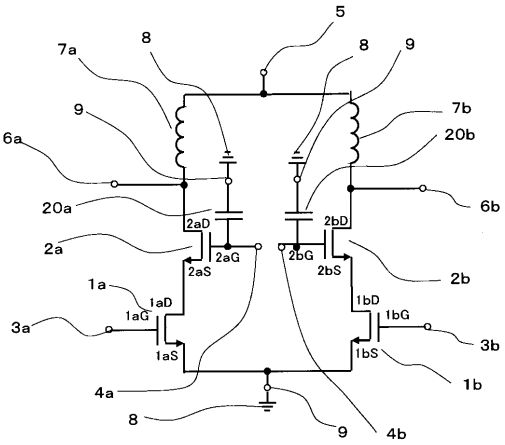
【図５】


Linear Gain[dB]
Vds_max[V]
19

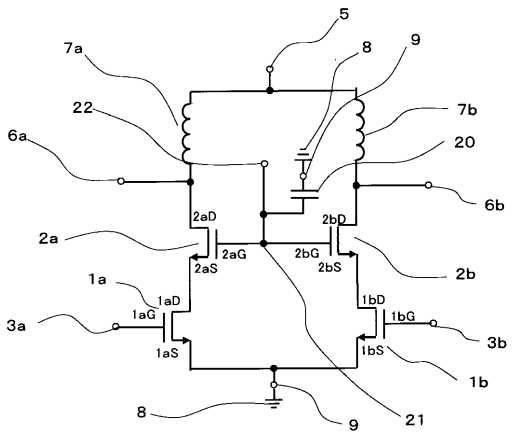
【図６】


5
7
6
9
8
20
4
2D
2G
2S
2
3
1D
1G
1S
1
9
8

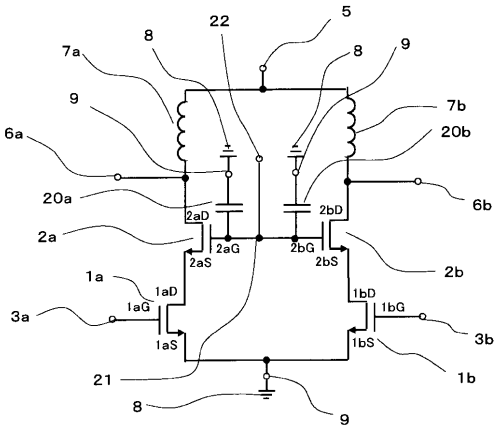
【図７】


5
7a
8
8
9
9
7b
6a
20b
20a
6b
2aD
2bD
2a
2aG
2bG
2aS
2bS
2b
1a
1aD
1bD
1bG
3a
1aG
3b
1aS
1bS
1b
4a
8
9
4b

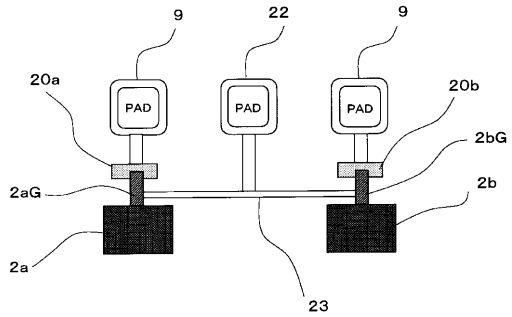
【図８】


5
7a
8
9
22
7b
6a
20
6b
2aD
2bD
2a
2aG
2bG
2aS
2bS
2b
1a
1aD
1bD
1bG
3a
1aG
3b
1aS
1bS
1b
8
9
21

【図９】


5
22
8
7a
8
9
9
7b
6a
20b
20a
6b
2aD
2bD
2a
2aG
2bG
2aS
2bS
2b
1a
1aD
1bD
1bG
3a
1aG
3b
1aS
1bS
1b
21
8
9

【図１０】



フロントページの続き

(72)発明者　上田　博民
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　新庄　真太郎
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　末松　憲治
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　小野　政好
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　古川　彰彦
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

Ｆターム(参考) 5J500 AA04 AA13 AA41 AC34 AC35 AC36 AF01 AF10 AH09 AH29
AH33 AM17 AQ03 AT02