

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



(10) 国際公開番号

WO 2020/194643 A1

(51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/3291* (2016.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2019/013516

(22) 国際出願日: 2019年3月28日(28.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

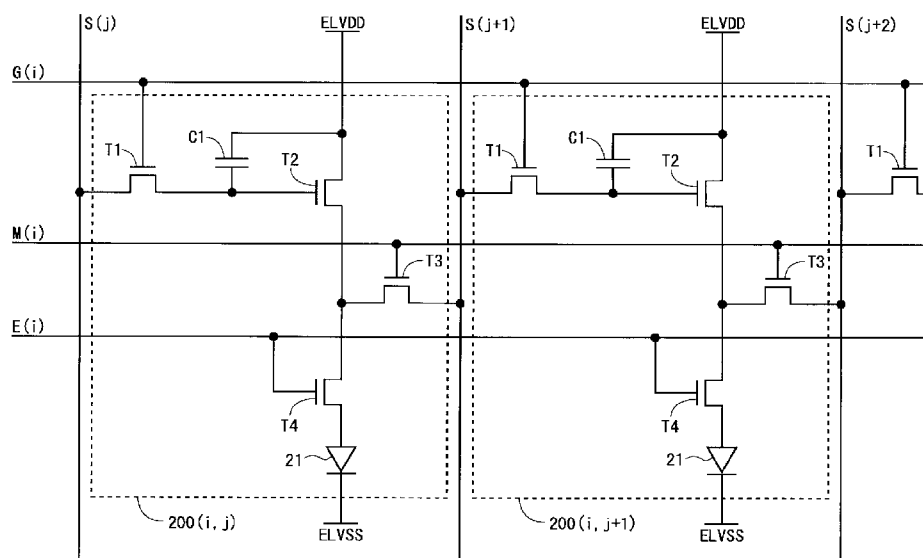
(72) 発明者: 山本 圭一 (YAMAMOTO, Keiichi).
田中 耕平 (TANAKA, Kohhei). 西山 隆之 (NISHIYAMA, Takayuki).

(74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: The present invention achieves a reduction in monitoring time without increasing the number of wires in a display device having an external compensation function. A pixel circuit 200(i, j) in the i-th row and j-th column comprises an organic EL element (display element) 21, a writing-in control transistor T1, a drive transistor T2, a monitoring control transistor T3, and a storage capacitor C1. A control terminal of the drive transistor T2 is connected to a data signal line S(j) in the j-th column via the writing-in control transistor T1. A first conduction terminal of the monitoring control transistor

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

T3 is connected to a second conduction terminal of the drive transistor T2, and a second conduction terminal of the monitor control transistor T3 is connected to a data signal line S(j+1) in the (j+1)-th column.

(57) 要約: 外部補償機能を有する表示装置に関し、配線数を増加させることなくモニタ時間の短縮を実現する。第 i 行第 j 列の画素回路 200 (i, j) は、有機 EL 素子 (表示素子) 21 と書き込み制御トランジスタ T1 と駆動トランジスタ T2 とモニタ制御トランジスタ T3 と保持容量 C1 とを含む。駆動トランジスタ T2 の制御端子は書き込み制御トランジスタ T1 を介して第 j 列のデータ信号線 S (j) に接続される。モニタ制御トランジスタ T3 については、第 1 導通端子は駆動トランジスタ T2 の第 2 導通端子に接続され、第 2 導通端子は第 (j + 1) 列のデータ信号線 S (j + 1) に接続される。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 以下の開示は、表示装置およびその駆動方法に関し、より詳しくは、電流によって輝度が制御される表示素子（例えば、有機ＥＬ素子）を含む画素回路を備える表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、有機ＥＬ素子を含む画素回路を備えた有機ＥＬ表示装置が実用化されている。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれており、それに流れる電流に応じた輝度で発光する自発光型の表示素子である。このように有機ＥＬ素子は自発光型の表示素子であるので、有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。

[0003] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。各画素回路には、有機ＥＬ素子への電流の供給を制御する駆動トランジスタが含まれている。その駆動トランジスタとしては、典型的には、薄膜トランジスタ（ＴＦＴ）が採用されている。しかしながら、薄膜トランジスタに関しては、劣化によって閾値電圧が変化する。有機ＥＬ表示装置の表示部には多数の駆動トランジスタが設けられており、劣化の程度は駆動トランジスタ毎に異なるので、閾値電圧にばらつきが生じる。その結果、輝度のばらつきが生じ、表示品位が低下する。また、有機ＥＬ素子に関しては、時間の経過とともに電流効率が低下する。すなわち、たとえ一定電流が有機ＥＬ素子に供給されたとしても、時間の経過とともに輝度が徐々に低下する。その結果、焼き付きが生じる。以上より、アクティブマトリクス型の有機ＥＬ表示装置では、駆動トランジスタの劣化や有機ＥＬ素子の劣化を補償する処理が従来より行われている。

[0004] 補償処理の方式の1つとして外部補償方式が知られている。外部補償方式によれば、所定条件下で駆動トランジスタあるいは有機EL素子を通る電流が画素回路の外部に設けられた回路で測定される。そして、その測定結果に基づき、入力画像信号に補正が施される。これにより、駆動トランジスタの劣化や有機EL素子の劣化が補償される。

[0005] なお、以下においては、画素回路内の回路素子（典型的には、駆動トランジスタや有機EL素子）の特性を検出するために所定条件下で当該回路素子を通る電流を測定する一連の処理のことを「特性検出モニタ」といい、特性検出モニタに要する時間のことを単に「モニタ時間」という。また、画素回路内に設けられている駆動トランジスタの特性のことを「TFT特性」といい、画素回路内に設けられている有機EL素子の特性のことを「OLED特性」という。また、データ信号線に所望の電位（電圧）を印加して画素回路内の保持容量を充電することを「書き込み」という。

[0006] 上記のような外部補償方式を採用した有機EL表示装置に関する発明は、例えば国際公開2014/141958号パンフレットに開示されている。国際公開2014/141958号パンフレットに開示された有機EL表示装置では、各画素回路とソースドライバとは、データ信号線およびモニタ線によって接続されている。特性検出モニタの実行の際には、データ信号線を介して特性検出用電位に基づく書き込みが行われ、モニタ線を通る電流が画素回路の外部に設けられた回路で測定される。ところが、この構成によれば、データ信号線とは別にモニタ線が必要であるため、表示部内の配線数が多くなる。

[0007] そこで、データ信号線とモニタ線とを共用化した構成が、例えば国際公開2015/093097号パンフレットに開示されている。この構成では、ソースドライバ内に、所望の電位（電圧）をデータ信号線に印加する機能およびデータ信号線に流れている電流の大きさに応じたデータをモニタデータとして取得する機能を有する出力回路（電流モニタ回路を兼ねる出力回路）が列毎（データ信号線毎）に設けられている。図24は、データ信号線とモ

ニタ線とが共用化されている場合の第 i 行第 j 列の画素回路 900 および第 j 列に対応する出力回路 930 の構成を示す回路図である。画素回路 900 は、表示素子としての 1 個の有機 EL 素子 921 と、3 個のトランジスタ T91 ~ T93（コンデンサ C91 への書き込みを制御する書き込み制御トランジスタ T91、有機 EL 素子 921 への電流の供給を制御する駆動トランジスタ T92、および TFT 特性あるいは OLED 特性を検出するか否かを制御するモニタ制御トランジスタ T93）と、保持容量としての 1 個のコンデンサ C91 とを備えている。出力回路 930 は、オペアンプ 931 と、コンデンサ 932 と、制御信号 S2 によって状態が制御されるスイッチ 933 と、制御信号 S1 によって状態が制御されるスイッチ 934 と、制御信号 S0 によって状態が制御されるスイッチ 935 とを備えている。図 24 に関し、第 i 行の走査信号線には符号 G (i) を付し、第 i 行のモニタ制御線には符号 M (i) を付し、第 j 列のデータ信号線には符号 S (j) を付している。

[0008] 以上のような構成において、例えば、各垂直走査期間に 1 つの行についての TFT 特性の検出または 1 つの行についての OLED 特性の検出が行われる。なお、以下、任意の垂直走査期間に着目したときに TFT 特性あるいは OLED 特性の検出が行われている行のことを「モニタ行」といい、モニタ行以外の行のことを「通常行」という。また、以下、任意の行に関し、垂直走査期間のうち当該行の処理を行うための期間のことを「選択期間」という。表示部に m 本の走査信号線 G (1) ~ G (m) が設けられていると仮定すると、第 i 行がモニタ行となっている垂直走査期間には、走査信号線 G (1) ~ G (m) は図 25 に示すように駆動される。モニタ行についての選択期間 L2 は、通常行についての選択期間 L1 よりも長くなっている。また、モニタ行については、選択期間 L2 のうちの最初の一部の期間と最後の一部の期間に、対応する走査信号がハイレベルとなっている。

[0009] 図 26 は、上述の構成において特性検出モニタが実行される期間（以下、「特性検出期間」という。）の動作について説明するための信号波形図であ

る。図26において、期間 $t_1 \sim t_6$ が特性検出期間である。特性検出期間はモニタ行についての選択期間 L_2 に相当する。以下、特性検出期間中の各期間 $t_1 \sim t_6$ の動作を説明する。

[0010] 期間 t_1 には、制御信号 S_2 、 S_1 はハイレベルとなっていて、制御信号 S_0 はローレベルとなっている。このため、スイッチ933、934はオン状態となっていて、スイッチ935はオフ状態となっている。このとき、データ信号線 $S(j)$ と出力回路930の内部データ線 $S_{in}(j)$ とは電氣的に接続されている。また、期間 t_1 には、走査信号 $G(i)$ およびモニタ制御信号 $M(i)$ はハイレベルで維持される。このため、書き込み制御トランジスタ T_{91} およびモニタ制御トランジスタ T_{93} はオン状態で維持される。以上のような状態で、初期化電位 V_{pc} がデータ信号線 $S(j)$ に印加される。これにより、コンデンサ C_{91} の状態および有機EL素子921のアノード電位が初期化される。

[0011] 期間 t_2 になると、モニタ制御信号 $M(i)$ がハイレベルからローレベルに変化する。これにより、モニタ制御トランジスタ T_{93} がオフ状態となる。この状態で、特性検出用電位 $V_{r_TF T}$ または特性検出用電位 $V_{r_O L E D}$ がデータ信号線 $S(j)$ に印加される。データ信号線 $S(j)$ に特性検出用電位 $V_{r_TF T}$ が印加された場合には駆動トランジスタ T_{92} はオン状態となり、データ信号線 $S(j)$ に特性検出用電位 $V_{r_O L E D}$ が印加された場合には駆動トランジスタ T_{92} はオフ状態で維持される。

[0012] 期間 t_3 になると、走査信号 $G(i)$ はハイレベルからローレベルに変化し、モニタ制御信号 $M(i)$ はローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ T_{91} はオフ状態となり、モニタ制御トランジスタ T_{93} はオン状態となる。このような状態で、電流測定用電位 $V_{m_TF T}$ または電流測定用電位 $V_{m_O L E D}$ がデータ信号線 $S(j)$ に印加される。これにより、 $TF T$ 特性の測定が行われているときには駆動トランジスタ T_{92} を流れる電流がモニタ制御トランジスタ T_{93} およびデータ信号線 $S(j)$ を介して出力回路930へと流れ、 $O L E D$ 特性の測定が

行われているときには出力回路 930 からデータ信号線 S (j) およびモニタ制御トランジスタ T93 を介して有機 EL 素子 921 へと電流が流れる。このとき、制御信号 S2 はハイレベルであるので、スイッチ 933 はオン状態となっていて、コンデンサ 932 に電荷は蓄積されない。

[0013] 期間 t4 になると、制御信号 S2 がハイレベルからローレベルに変化する。これにより、スイッチ 933 がオフ状態となり、オペアンプ 931 とコンデンサ 932 とが積分回路として機能する。その結果、オペアンプ 931 の出力電圧は、データ信号線 S (j) に流れている電流に応じた電圧となる。

[0014] 期間 t5 になると、制御信号 S1 がハイレベルからローレベルに変化し、制御信号 S0 がローレベルからハイレベルに変化する。これにより、スイッチ 934 がオフ状態となり、スイッチ 935 がオン状態となる。スイッチ 934 がオフ状態となることによって、データ信号線 S (j) と内部データ線 Sin (j) とが電氣的に切り離された状態となる。この状態で、オペアンプ 931 の出力電圧（コンデンサ 932 の充電電圧）が、A/D コンバータ 924 によってデジタル信号に変換される。そのデジタル信号は、表示制御回路に送られ、入力画像信号の補正に用いられる。

[0015] 期間 t6 になると、制御信号 S2, S1 がローレベルからハイレベルに変化し、制御信号 S0 がハイレベルからローレベルに変化する。これにより、スイッチ 933, 934 がオン状態となり、スイッチ 935 がオフ状態となる。この状態で画像表示用のデータ電位 Vd (i) がデータ信号線 S (j) に印加され、第 i 行第 j 列の画素回路 900 において当該データ電位 Vd (i) に基づく書き込みが行われる。期間 t10 以降の期間には、第 i 行第 j 列の画素回路 900 では、期間 t6 における書き込みに基づいて有機 EL 素子 921 が発光する。

[0016] データ信号線とモニタ線とが共用化された構成の有機 EL 表示装置では、以上のようにして特性検出モニタが行われる。なお、以下、上記期間 t1 ~ t5 に行われる処理のように 1 つのモニタデータを得るために行われる処理のことを「単位モニタ処理」という。典型的には、1 回の特性検出期間（選

択期間L 2) 中に上記期間 $t_1 \sim t_5$ が4回繰り返され、TFT特性の検出およびOLED特性の検出がそれぞれ2回ずつ行われる。すなわち、1回の特性検出期間中に単位モニタ処理が4回繰り返し実行される。

先行技術文献

特許文献

[0017] 特許文献1：国際公開2014/141958号パンフレット

特許文献2：国際公開2015/093097号パンフレット

発明の概要

発明が解決しようとする課題

[0018] ところが、データ信号線とモニタ線とを共用化した上述の構成によれば、データ信号線Sへの特性検出用電位 (V_{r_TFT} または V_{r_OLED}) の印加の終了後に当該データ信号線Sに電流測定用電位 (V_{m_TFT} または V_{m_OLED}) を印加しなければならない。また、1回の特性検出期間中に単位モニタ処理が繰り返し実行される場合、測定電流を安定化させるための期間 (図26の期間 t_3) として十分な長さの期間を単位モニタ処理毎に設ける必要がある。以上より、モニタ時間が長くなっている。データ信号線とは別にモニタ線を設けた構成によれば、データ信号線およびモニタ線にそれぞれ所望の電位を印加することができるのでモニタ時間は短い、表示部内の配線数が多くなる。

[0019] そこで、以下の開示は、外部補償機能を有する表示装置に関し、配線数を増加させることなくモニタ時間の短縮を実現することを目的とする。

課題を解決するための手段

[0020] 本開示のいくつかの実施形態に係る表示装置は、複数のデータ信号線と、複数の走査信号線と、前記複数の走査信号線と1対1で対応する複数のモニタ制御線と、電流によって輝度が制御される表示素子および前記表示素子に供給すべき電流を制御するための駆動トランジスタを含み前記複数のデータ信号線と前記複数の走査信号線との交差部に対応して設けられた m 行 $\times$ n 列

(m および n は2以上の整数である)の画素回路とを備える、前記駆動トランジスタの特性を検出する機能を有する表示装置であって、

前記複数のデータ信号線にデータ信号を印加するデータ信号線駆動回路と、

前記複数の走査信号線に走査信号を印加する走査信号線駆動回路と、

前記複数のモニタ制御線にモニタ制御信号を印加するモニタ制御線駆動回路と

を備え、

前記データ信号線駆動回路は、各データ信号線に流れる電流を測定する機能を有し、

第 i 行第 j 列(i は1以上 m 以下の整数であり、 j は1以上 n 以下の整数である)の画素回路は、

第1電源電圧が与えられている第1電源電圧線と第2電源電圧が与えられている第2電源電圧線との間に設けられ、第1端子と前記第2電源電圧線に接続された第2端子とを有する前記表示素子と、

制御端子と、前記第1電源電圧線に接続された第1導通端子と、第2導通端子とを有する前記駆動トランジスタと、

第 i 行の走査信号線に接続された制御端子と、第 j 列のデータ信号線に接続された第1導通端子と、前記駆動トランジスタの制御端子に接続された第2導通端子とを有する書き込み制御トランジスタと、

第 i 行のモニタ制御線に接続された制御端子と、前記駆動トランジスタの第2導通端子に接続された第1導通端子と、第 $(j+1)$ 列のデータ信号線に接続された第2導通端子とを有するモニタ制御トランジスタとを含む。

[0021] 本開示のいくつかの実施形態に係る(表示装置の)駆動方法は、複数のデータ信号線と、複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差部に対応して設けられた m 行 $\times$ n 列(m および n は2以上の整数である)の画素回路とを備え、各画素回路に含まれる回路素子の特

性を検出する機能を有する表示装置の駆動方法であって、

画素回路の状態を初期化する初期化電位をデータ信号線に印加する初期化電位印加ステップと、

前記回路素子の特性を検出するためのデータ信号としての特性検出用電位をデータ信号線に印加する特性検出用電位印加ステップと、

前記回路素子の特性を表す電流を測定するためのデータ信号としての電流測定用電位をデータ信号線に印加する電流測定用電位印加ステップと、

データ信号線に流れる電流に基づく充電を行う電流測定用充電ステップと、

前記電流測定用充電ステップで得られた充電電圧に基づいてA/D変換を行うA/D変換ステップとを含み、

前記初期化電位印加ステップ、前記特性検出用電位印加ステップ、前記電流測定用電位印加ステップ、前記電流測定用充電ステップ、および前記A/D変換ステップのうちの少なくとも2つのステップが同じタイミングで開始される。

発明の効果

[0022] 本開示のいくつかの実施形態によれば、第*i*行の画素回路に含まれる駆動トランジスタの制御端子は書き込み制御トランジスタを介して第*j*列のデータ信号線に接続され、当該駆動トランジスタの第2導通端子はモニタ制御トランジスタを介して第(*j* + 1)列のデータ信号線に接続される。このため、各画素回路に含まれる駆動トランジスタの特性を検出する際に、隣接する2本のデータ信号線を書き込みライン（画素回路に書き込み用の電位を供給するための信号線）および読み出しライン（測定電流の経路となる信号線）として用いることができる。これにより、書き込みラインに所望の電位を印加する処理と読み出しラインに所望の電位を印加する処理とを並行して行うことが可能となり、従来の構成に比べてモニタ時間が短縮される。

図面の簡単な説明

[0023] [図1]第1の実施形態における画素回路の構成を示す回路図である。

[図2]上記第1の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図3]上記第1の実施形態において、出力部内の出力回路（電流モニタ回路を兼ねる出力回路）の入出力信号について説明するための図である。

[図4]上記第1の実施形態において、出力回路の構成を説明するための回路図である。

[図5]上記第1の実施形態において、TF特性の検出が行われる際の信号波形図である。

[図6]上記第1の実施形態において、TF特性の検出が行われる際の動作について説明するための図である。

[図7]上記第1の実施形態において、TF特性の検出が行われる際の動作について説明するための図である。

[図8]上記第1の実施形態において、TF特性の検出が行われる際の動作について説明するための図である。

[図9]上記第1の実施形態において、TF特性の検出が行われる際の動作について説明するための図である。

[図10]上記第1の実施形態において、OLED特性の検出が行われる際の信号波形図である。

[図11]上記第1の実施形態において、OLED特性の検出が行われる際の動作について説明するための図である。

[図12]上記第1の実施形態において、OLED特性の検出が行われる際の動作について説明するための図である。

[図13]上記第1の実施形態において、OLED特性の検出が行われる際の動作について説明するための図である。

[図14]上記第1の実施形態において、OLED特性の検出が行われる際の動作について説明するための図である。

[図15]上記第1の実施形態における効果について説明するための図である。

[図16]上記第1の実施形態の第1の変形例において、OLED特性の検出が行われる際の信号波形図である。

[図17]上記第1の実施形態の第1の変形例において、OLED特性の検出が行われる際の動作について説明するための図である。

[図18]上記第1の実施形態の第2の変形例において、OLED特性の検出が行われる際の信号波形図である。

[図19]第2の実施形態において、TF特性の検出が行われる際の信号波形図である。

[図20]上記第2の実施形態において、TF特性の検出が行われる際の動作について説明するための図である。

[図21]上記第2の実施形態において、TF特性の検出が行われる際の走査信号線の駆動について説明するための信号波形図である。

[図22]上記第2の実施形態において、OLED特性の検出が行われる際の信号波形図である。

[図23]上記第2の実施形態における効果について説明するための図である。

[図24]従来例において、データ信号線とモニタ線とが共用化されている場合の第*i*行第*j*列の画素回路および第*j*列に対応する出力回路の構成を示す回路図である。

[図25]従来例における走査信号線の駆動について説明するための信号波形図である。

[図26]従来例における信号波形図である。

発明を実施するための形態

[0024] 以下、添付図面を参照しつつ、実施形態について説明する。なお、以下において、*m*および*n*は2以上の整数、*i*は1以上*m*以下の整数、*j*は1以上*n*以下の整数であると仮定する。

[0025] <1. 第1の実施形態>

<1. 1 全体構成および動作概要>

図2は、第1の実施形態に係るアクティブマトリクス型の有機EL表示装

置 1 の全体構成を示すブロック図である。この有機 EL 表示装置 1 は、表示制御回路 10 と表示部 20 とソースドライバ（データ信号線駆動回路）30 とゲートドライバ（走査信号線駆動回路）41 とモニタドライバ（モニタ制御線駆動回路）42 とエミッションドライバ 43 とを備えている。典型的には、ゲートドライバ 41、モニタドライバ 42、およびエミッションドライバ 43 はモノリシック化されている。但し、それらがモノリシック化されていない構成を採用することもできる。表示制御回路 10 には、駆動トランジスタおよび有機 EL 素子の劣化を補償する補償処理部 12 が含まれている。

[0026] 表示部 20 には、 $(n+1)$ 本のデータ信号線 $S(1) \sim S(n+1)$ およびこれらに直交する m 本の走査信号線 $G(1) \sim G(m)$ が配設されている。また、表示部 20 には、 m 本の走査信号線 $G(1) \sim G(m)$ と 1 対 1 で対応するように、 m 本のモニタ制御線 $M(1) \sim M(m)$ が配設されている。さらに、表示部 20 には、 m 本の走査信号線 $G(1) \sim G(m)$ と 1 対 1 で対応するように、 m 本の発光制御線 $E(1) \sim E(m)$ が配設されている。走査信号線 $G(1) \sim G(m)$ とモニタ制御線 $M(1) \sim M(m)$ と発光制御線 $E(1) \sim E(m)$ とは典型的には互いに平行になっている。さらにまた、表示部 20 には、走査信号線 $G(1) \sim G(m)$ とデータ信号線 $S(1) \sim S(n)$ との交差部に対応して、 $m \times n$ 個の画素回路（ m 行 $\times$ n 列の画素回路）200 が設けられている。これにより、 m 行 $\times$ n 列の画素マトリクスが表示部 20 に形成されている。

[0027] なお、以下においては、必要に応じて、走査信号線 $G(1) \sim G(m)$ にそれぞれ与えられる走査信号にも符号 $G(1) \sim G(m)$ を付し、モニタ制御線 $M(1) \sim M(m)$ にそれぞれ与えられるモニタ制御信号にも符号 $M(1) \sim M(m)$ を付し、発光制御線 $E(1) \sim E(m)$ にそれぞれ与えられる発光制御信号にも符号 $E(1) \sim E(m)$ を付している。

[0028] ところで、本実施形態においては、各行につき n 個の画素回路 200 が設けられているが、表示部 20 には $(n+1)$ 本のデータ信号線 $S(1) \sim S(n+1)$ が配設されている。すなわち、1 行当たりの画素回路 200 の数

よりも1だけ多い数のデータ信号線が設けられている。この理由は次のとおりである。本実施形態におけるデータ信号線は、画素回路200に書き込み用の電位（電圧）を供給するための信号線（以下、「書き込みライン」という。）として用いられるだけでなく、TFT特性やOLED特性を表す電流（測定電流）の経路となる信号線（以下、「読み出しライン」という。）としても用いられる。ここで、任意の画素回路200に関し、書き込みラインとして図2で当該画素回路200の左側に位置するデータ信号線が用いられ、読み出しラインとして図2で当該画素回路200の右側に位置するデータ信号線が用いられる。すなわち、第1列の画素回路200については、書き込みラインとしてデータ信号線S(1)が用いられるとともに読み出しラインとしてデータ信号線S(2)が用いられ、第j列（ここでは、jは2以上n-1以下の整数である）の画素回路200については、書き込みラインとしてデータ信号線S(j)が用いられるとともに読み出しラインとしてデータ信号線S(j+1)が用いられ、第n列の画素回路200については、書き込みラインとしてデータ信号線S(n)が用いられるとともに読み出しラインとしてデータ信号線S(n+1)が用いられる。以上のような構成を実現するために、1行当たりの画素回路200の数よりも1だけ多い数のデータ信号線が設けられている。なお、データ信号線S(1)については書き込みラインとしてのみ用いられ、データ信号線S(j+1)については読み出しラインとしてのみ用いられる。

[0029] 表示部20には、また、各画素回路200に共通の図示しない電源線が配設されている。より詳細には、有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給する電源線（以下、「ハイレベル電源線」という。）および有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給する電源線（以下、「ローレベル電源線」という。）が配設されている。ハイレベル電源電圧 $ELVDD$ およびローレベル電源電圧 $ELVSS$ は、図示しない電源回路から供給される。なお、本実施形態においては、ハイレベル電源電圧 $ELVDD$ によって第1電源電圧が実現され、ハイレベル電源線

によって第1電源電圧線が実現され、ローレベル電源電圧 $ELVSS$ によって第2電源電圧が実現され、ローレベル電源線によって第2電源電圧線が実現されている。但し、ローレベル電源電圧 $ELVSS$ によって第1電源電圧が実現され、ローレベル電源線によって第1電源電圧線が実現され、ハイレベル電源電圧 $ELVDD$ によって第2電源電圧が実現され、ハイレベル電源線によって第2電源電圧線が実現されることもある。

[0030] 表示制御回路10は、外部から送られる入力画像信号 DIN とタイミング信号群（水平同期信号、垂直同期信号など） TG とを受け取り、データ信号 DA と、ソースドライバ30の動作を制御するソース制御信号 $SCTL$ と、ゲートドライバ41の動作を制御するゲート制御信号 $GCTL$ と、モニタドライバ42の動作を制御するモニタドライバ制御信号 $MCTL$ と、エミッションドライバ43の動作を制御するエミッションドライバ制御信号 $ECTL$ とを出力する。なお、画像表示用のデータ信号 DA は、補償処理部12がソースドライバ30から与えられるモニタデータ（ TFT 特性や $OLED$ 特性を求めるために測定されたデータ） MO に応じて入力画像信号 DIN に補償演算処理を施すことによって生成される。

[0031] ゲートドライバ41は、走査信号線 $G(1) \sim G(m)$ に接続されている。ゲートドライバ41は、表示制御回路10から出力されたゲート制御信号 $GCTL$ に基づいて、走査信号線 $G(1) \sim G(m)$ に走査信号を印加する。モニタドライバ42は、モニタ制御線 $M(1) \sim M(m)$ に接続されている。モニタドライバ42は、表示制御回路10から出力されたモニタドライバ制御信号 $MCTL$ に基づいて、モニタ制御線 $M(1) \sim M(m)$ にモニタ制御信号を印加する。エミッションドライバ43は、発光制御線 $E(1) \sim E(m)$ に接続されている。エミッションドライバ43は、表示制御回路10から出力されたエミッションドライバ制御信号 $ECTL$ に基づいて、発光制御線 $E(1) \sim E(m)$ に発光制御信号を印加する。

[0032] ところで、この有機 EL 表示装置1では、駆動トランジスタおよび有機 EL 素子の劣化を補償するために、特性検出モニタが実行される。これに関し

、本実施形態では、T F T特性の検出は表示動作が行われている垂直走査期間に行われ、O L E D特性の検出は電源オンあるいは電源オフの際に行われる。より詳しくは、各垂直走査期間において1つの行についてのT F T特性の検出が行われ、電源オンあるいは電源オフの際に複数行についてのO L E D特性の検出が集中的に行われる。

[0033] ソースドライバ30は、データ信号線S(1)～S(n+1)に接続されている。ソースドライバ30は、駆動信号発生回路31と、信号変換回路32と、電流モニタ回路を兼ねる(n+1)個の出力回路330からなる出力部33とによって構成されている。各出力回路330は、対応するデータ信号線Sに接続されている。

[0034] 駆動信号発生回路31には、シフトレジスタ、サンプリング回路、およびラッチ回路が含まれている。駆動信号発生回路31において、シフトレジスタは、ソースクロック信号に同期して、ソーススタートパルス信号に含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じて、シフトレジスタから、各データ信号線Sに対応するサンプリングパルスが出力される。サンプリング回路は、サンプリングパルスのタイミングに従って1行分のデータ信号D Aを順次に記憶する。ラッチ回路は、サンプリング回路に記憶された1行分のデータ信号D Aをラッチストロブ信号に応じて取り込んで保持する。なお、本実施形態においては、データ信号D Aには、画素回路200内の有機E L素子を所望の輝度で発光させるための輝度信号(すなわち、画像表示用の信号)と、T F T特性やO L E D特性を検出する際に画素回路200の動作を制御するための制御信号とが含まれている。

[0035] 信号変換回路32には、D/AコンバータおよびA/Dコンバータが含まれている。上述のようにして駆動信号発生回路31内のラッチ回路に保持された1行分のデータ信号D Aは、信号変換回路32内のD/Aコンバータによってアナログ電圧に変換される。その変換されたアナログ電圧は、出力部33内の出力回路330に与えられる。また、信号変換回路32には、出力部33内の出力回路330からモニタデータM Oが与えられる。そのモニタ

データMOは、信号変換回路32内のA/Dコンバータで、アナログ電圧からデジタル信号に変換される。そして、デジタル信号に変換されたモニタデータMOは、駆動信号発生回路31を介して表示制御回路10に与えられる。

[0036] 図3は、出力部33内の出力回路330の入出力信号について説明するための図である。出力回路330には、信号変換回路32からデータ信号DAとしてのアナログ電圧Vsが与えられる。そのアナログ電圧Vsは、出力回路330内のバッファを介してデータ信号線Sに印加される。また、出力回路330は、データ信号線Sに流れている電流の大きさをアナログデータ（アナログ電圧）として取得する機能および或るタイミングで取得したアナログデータの値をAD変換が行われている期間を通じて保持する機能（すなわちサンプルホールド機能）を有している。出力回路330で取得されたデータは、モニタデータMOとして信号変換回路32に与えられる。なお、出力回路330の詳しい構成については後述する（図4参照）。

[0037] 以上のように、走査信号線G(1)～G(m)に走査信号が印加され、モニタ制御線M(1)～M(m)にモニタ制御信号が印加され、発光制御線E(1)～E(m)に発光制御信号が印加され、データ信号線S(1)～S(n)に輝度信号としてのデータ信号が印加されることによって、入力画像信号DINに基づく画像が表示部20に表示される。また、特性検出モニタが実行され、モニタデータMOに応じて入力画像信号DINに補償演算処理が施されるので、駆動トランジスタや有機EL素子の劣化が補償される。

[0038] <1. 2 画素回路およびデータ信号線>

図1を参照しつつ、画素回路200の構成について説明する。なお、図1には第i行第j列の画素回路200(i, j)および第i行第(j+1)列の画素回路200(i, j+1)を示しているが、ここでは第i行第j列の画素回路200(i, j)に着目する。

[0039] 図1に示すように、画素回路200(i, j)は、表示素子としての1個の有機EL素子21と、4個のトランジスタT1～T4（コンデンサC1へ

の書き込みを制御する書き込み制御トランジスタT1、有機EL素子21への電流の供給を制御する駆動トランジスタT2、TF特性あるいはOLED特性を検出するか否かを制御するモニタ制御トランジスタT3、および有機EL素子21を発光させるか否かを制御する発光制御トランジスタT4)と、保持容量としての1個のコンデンサC1とを備えている。本実施形態においては、トランジスタT1~T4は、nチャネル型の薄膜トランジスタである。

[0040] 書き込み制御トランジスタT1については、制御端子は走査信号線G(i)に接続され、第1導通端子はデータ信号線S(j)に接続され、第2導通端子は駆動トランジスタT2の制御端子とコンデンサC1の一端とに接続されている。駆動トランジスタT2については、制御端子は書き込み制御トランジスタT1の第2導通端子とコンデンサC1の一端とに接続され、第1導通端子はコンデンサC1の他端とハイレベル電源線とに接続され、第2導通端子はモニタ制御トランジスタT3の第1導通端子と発光制御トランジスタT4の第1導通端子とに接続されている。モニタ制御トランジスタT3については、制御端子はモニタ制御線M(i)に接続され、第1導通端子は駆動トランジスタT2の第2導通端子と発光制御トランジスタT4の第1導通端子とに接続され、第2導通端子はデータ信号線S(j+1)に接続されている。発光制御トランジスタT4については、制御端子は発光制御線E(i)に接続され、第1導通端子は駆動トランジスタT2の第2導通端子とモニタ制御トランジスタT3の第1導通端子とに接続され、第2導通端子は有機EL素子21のアノード端子に接続されている。コンデンサC1については、一端は書き込み制御トランジスタT1の第2導通端子と駆動トランジスタT2の制御端子とに接続され、他端は駆動トランジスタT2の第1導通端子とハイレベル電源線とに接続されている。有機EL素子21については、アノード端子は発光制御トランジスタT4の第2導通端子に接続され、カソード端子はローレベル電源線に接続されている。本実施形態においては、コンデンサC1の一端が第1電極に相当し、コンデンサC1の他端が第2電極に相

当し、有機EL素子21のアノード端子が第1端子に相当し、有機EL素子21のカソード端子が第2端子に相当する。

[0041] なお、コンデンサC1の他端は、駆動トランジスタT2の第2導通端子とモニタ制御トランジスタT3の第1導通端子と発光制御トランジスタT4の第1導通端子とに接続されていても良く、あるいは、ローレベル電源線に接続されていても良い。また、発光制御トランジスタT4が設けられていない構成を採用することもできる。

[0042] 画素回路200(i, j)内のトランジスタT1~T4としては、酸化物TFET(酸化物半導体をチャネル層に用いた薄膜トランジスタ)やアモルファスシリコンTFETなどを採用することができる。酸化物TFETとしては、例えば、InGaZnO(酸化インジウムガリウム亜鉛)を含むTFETが挙げられる。酸化物TFETを採用することによって、例えば、高精細化や低消費電力化を図ることが可能となる。

[0043] ところで、画素回路200(i, j)に関し、上述したように、書き込み制御トランジスタT1の第1導通端子はデータ信号線S(j)に接続され、モニタ制御トランジスタT3の第2導通端子はデータ信号線S(j+1)に接続されている。従って、画素回路200(i, j)については、書き込みラインとしてデータ信号線S(j)が用いられ、読み出しラインとしてデータ信号線S(j+1)が用いられる。

[0044] <1. 3 出力回路(電流モニタ回路を兼ねる出力回路)>

次に、図4を参照しつつ、出力回路330の構成および動作について詳しく説明する。なお、図4には、データ信号線S(j)に対応する出力回路330とデータ信号線S(j+1)に対応する出力回路330と第i行第j列の画素回路200(i, j)とを示しているが、ここではデータ信号線S(j)に対応する出力回路330に着目する。

[0045] 図4に示すように、出力回路330には、オペアンプ331とコンデンサ332と3つのスイッチ(スイッチ333, 334, および335)とが含まれている。出力回路330の内部データ線Sin(j)は、スイッチ33

4を介して、データ信号線S(j)に接続されている。オペアンプ331については、反転入力端子は内部データ線S_{in}(j)に接続され、非反転入力端子にはD/Aコンバータ322からの出力が与えられる。コンデンサ332およびスイッチ333は、オペアンプ331の出力端子と内部データ線S_{in}(j)との間に設けられている。スイッチ333には、制御信号S_o2が与えられる。オペアンプ331とコンデンサ332とスイッチ333とによって、積分回路が構成されている。ここで、この積分回路の動作について説明する。スイッチ333がオン状態になっている時には、オペアンプ331の出力端子ー反転入力端子間（すなわち、コンデンサ332の2つの電極間）が短絡状態となっている。このとき、コンデンサ332に電荷は蓄積されず、オペアンプ331の出力端子および内部データ線S_{in}(j)の電位がD/Aコンバータ322からの出力電位と等しくなっている。スイッチ333がオン状態からオフ状態に切り替えられると、内部データ線S_{in}(j)を流れる電流に基づいてコンデンサ332への充電が行われる。すなわち、内部データ線S_{in}(j)に流れている電流の時間積分値がコンデンサ332に蓄積される。これにより、内部データ線S_{in}(j)を流れる電流の大きさに応じてオペアンプ331の出力端子の電位が変化する。そのオペアンプ331からの出力はモニタデータM_Oとして信号変換回路32内のA/Dコンバータ324に送られる。

[0046] スイッチ334は、データ信号線S(j)と内部データ線S_{in}(j)との間に設けられている。スイッチ334には、制御信号S_o1が与えられる。この制御信号S_o1に基づいてスイッチ334の状態が切り替えられることによって、データ信号線S(j)と内部データ線S_{in}(j)との電氣的な接続状態が制御される。本実施形態においては、制御信号S_o1がハイレベルであれば、データ信号線S(j)と内部データ線S_{in}(j)とが電氣的に接続された状態となり、制御信号S_o1がローレベルであれば、データ信号線S(j)と内部データ線S_{in}(j)とが電氣的に切り離された状態となる。

[0047] スイッチ335は、データ信号線S(j)と制御線CLとの間に設けられている。スイッチ335には、制御信号S00が与えられる。この制御信号S00に基づいてスイッチ335の状態が切り替えられることによって、データ信号線S(j)と制御線CLとの電氣的な接続状態が制御される。本実施形態においては、制御信号S00がハイレベルであれば、データ信号線S(j)と制御線CLとが電氣的に接続された状態となり、制御信号S00がローレベルであれば、データ信号線S(j)と制御線CLとが電氣的に切り離された状態となる。データ信号線S(j)と制御線CLとが電氣的に接続されると、データ信号線S(j+1)の状態はハイ・インピーダンスとなる。

[0048] 上述したように、スイッチ334がオフ状態になると、データ信号線S(j)と内部データ線Sin(j)とは電氣的に切り離された状態となる。このとき、スイッチ333がオフ状態になっていれば、内部データ線Sin(j)の電位は維持される。本実施形態においては、このようにして内部データ線Sin(j)の電位が維持されている状態で、信号変換回路32内のA/Dコンバータ324でのAD変換が行われる。

[0049] なお、本実施形態においては、出力回路330とA/Dコンバータ324とによって電流測定部が実現されている。

[0050] <1.4 駆動方法>

次に、特性検出モニタの実行に関する駆動方法について説明する。上述したように、本実施形態においては、各垂直走査期間に1つの行についてのTF特性の検出が行われる。各垂直走査期間に、通常行では画像表示のための通常動作が行われ、モニタ行では特性検出モニタのための動作が行われる。また、上述したように、本実施形態においては、電源オンあるいは電源オフの際に複数行についてのOLED特性の検出が集中的に行われる。また、本実施形態においては、1回の特性検出期間に単位モニタ処理は1回だけ行われる。以下、TF特性の検出が行われる際の動作およびOLED特性の検出が行われる際の動作について順次に説明する。

[0051] <1. 4. 1 T F T特性の検出>

図5は、T F T特性の検出が行われる際の信号波形図である。図5に関し、期間 $t_1 \sim t_6$ はモニタ行についての選択期間であり、期間 t_0 はモニタ行の前行である通常行についての選択期間であり、期間 t_{10} はモニタ行の次行である通常行についての選択期間である。また、 $S(j)$ 、 $S(j+1)$ はそれぞれ第 j 列、第 $(j+1)$ 列のデータ信号線に対応するD/Aコンバータ322からの出力電位を表している。ここでは、第 i 行がモニタ行であると仮定し、第 i 行第 j 列の画素回路200(i, j)および第 j 列、第 $(j+1)$ 列のデータ信号線に着目する。なお、第 $(i-1)$ 行の走査信号線 $G(i-1)$ がオン状態からオフ状態に変化してから第 $(i+1)$ 行の走査信号線 $G(i-1)$ がオフ状態からオン状態に変化するまでの期間が、モニタ行である第 i 行の選択期間となる。

[0052] 期間 t_0 には、第 $(i-1)$ 行で画像表示用のデータ電位 $V_d(i-1)$ に基づく書き込みが行われる。期間 t_0 の終了時点直前には、走査信号 $G(i)$ およびモニタ制御信号 $M(i)$ はローレベルであり、発光制御信号 $E(i)$ はハイレベルである。従って、書き込み制御トランジスタ T_1 およびモニタ制御トランジスタ T_3 はオフ状態であり、発光制御トランジスタ T_4 はオン状態である。このとき、駆動トランジスタ T_2 については、1つ前の垂直走査期間における書き込みに基づいてオン状態となっている。以上より、有機EL素子21は駆動電流に応じて発光している。また、期間 t_0 の終了時点直前には、制御信号 S_{e2} 、 S_{e1} はハイレベルであり、制御信号 S_{e0} はローレベルである。従って、データ信号線 $S(j+1)$ に対応する出力回路330では、スイッチ333、334はオン状態であり、スイッチ335はオフ状態である。

[0053] 期間 t_1 になると、走査信号 $G(i)$ およびモニタ制御信号 $M(i)$ はローレベルからハイレベルに変化し、発光制御信号 $E(i)$ はハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタ T_1 およびモニタ制御トランジスタ T_3 はオン状態となり、発光制御トランジスタ T_4

はオフ状態となる。発光制御トランジスタ T_4 がオフ状態となることにより、有機EL素子 21 への駆動電流の供給が停止され、有機EL素子 21 は消灯する。期間 t_1 には、画素回路 200 の状態を初期化する初期化電位 V_{pc} がデータ信号線 $S(j)$ 、 $S(j+1)$ に印加される。これにより、図6で符号501を付した矢印で示すように初期化電位 V_{pc} に基づきコンデンサ C_1 の状態が初期化されるとともに、図6で符号502を付した矢印で示すように初期化電位 V_{pc} に基づき有機EL素子 21 のアノード電位が初期化される。

[0054] 期間 t_2 には、データ信号線 $S(j)$ に特性検出用電位 $V_{r_TF T}$ が印加される。これにより、図7で符号511を付した矢印で示すように、特性検出用電位 $V_{r_TF T}$ に基づく書き込みが行われる。なお、特性検出用電位 $V_{r_TF T}$ は、駆動トランジスタ T_2 はオン状態となるが有機EL素子 21 は非発光となるような電位である。また、期間 t_2 には、データ信号線 $S(j+1)$ に電流測定用電位 $V_{m_TF T}$ が印加される。これにより、有機EL素子 21 のアノード電位やデータ信号線 $S(j+1)$ の電位は電流測定用電位 $V_{m_TF T}$ に向かって変化する（図7で符号512を付した矢印を参照）。なお、電流測定用電位 $V_{m_TF T}$ は、駆動トランジスタ T_2 はオン状態となるが有機EL素子 21 は非発光となるような電位である。期間 t_2 の長さは、特性検出用電位 $V_{r_TF T}$ に基づいてコンデンサ C_1 が十分に充電されるように設定されている。

[0055] 期間 t_3 になると、走査信号 $G(i)$ がハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタ T_1 がオフ状態となり、コンデンサ C_1 の充電電圧が確定する。このとき、駆動トランジスタ T_2 はオン状態となっている。また、モニタ制御トランジスタ T_3 はオン状態で維持され、発光制御トランジスタ T_4 はオフ状態で維持されている。以上より、図8で符号521を付した矢印で示すように、駆動トランジスタ T_2 の特性に応じた電流（測定電流）がモニタ制御トランジスタ T_3 を介してデータ信号線 $S(j+1)$ へと流れる。なお、期間 t_3 については、データ信号 $S(j$

+ 1) に流れる測定電流が安定するのに十分な長さに設定されている。

[0056] 期間 t_4 になると、制御信号 S_{e2} がハイレベルからローレベルに変化する。これにより、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 333 がオン状態からオフ状態に変化し、オペアンプ 331 の反転入力端子と出力端子とはコンデンサ 332 を介して接続される。このとき、オペアンプ 331 とコンデンサ 332 とが積分回路として機能する。これにより、オペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）は、データ信号線 $S(j+1)$ に流れている電流に応じた電圧となる。

[0057] 期間 t_5 になると、制御信号 S_{e1} がハイレベルからローレベルに変化し、制御信号 S_{e0} がローレベルからハイレベルに変化する。これにより、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 334 がオン状態からオフ状態に変化し、スイッチ 335 がオフ状態からオン状態に変化する。その結果、図 9 に示すように、データ信号線 $S(j+1)$ の状態はハイ・インピーダンスとなる。また、スイッチ 334 がオフ状態となることによって、期間 t_5 の開始時点直前における内部データ線 $S_{in}(j+1)$ の電位が維持される。この状態で、モニタデータ MO としてのオペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）が、A/D コンバータ 324 によってデジタル信号に変換される。変換後のモニタデータ MO は、駆動信号発生回路 31 を介して表示制御回路 10 に送られ、補償処理部 12 での補償演算処理に用いられる。なお、期間 t_5 には、モニタ制御信号 $M(i)$ がハイレベルからローレベルに変化することにより、モニタ制御トランジスタ T3 がオフ状態となる。

[0058] 期間 t_6 になると、制御信号 S_{e2} 、 S_{e1} がローレベルからハイレベルに変化し、制御信号 S_{e0} がハイレベルからローレベルに変化する。これにより、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 333、334 がオン状態となり、スイッチ 335 がオフ状態となる。このとき、データ信号線 $S(j)$ に対応する出力回路 330 でも、スイッチ 333、334 はオン状態であり、スイッチ 335 がオフ状態である。また、期

間 t_6 には、走査信号 $G(i)$ がローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ T_1 はオン状態となる。以上のような状態でデータ信号線 $S(j)$ 、 $S(j+1)$ に画像表示用のデータ電位 $V_d(i)$ が印加され、画素回路 $200(i, j)$ 、 $200(i, j+1)$ においてデータ電位 $V_d(i)$ に基づく書き込みが行われる。期間 t_{10} 以降の期間には、画素回路 $200(i, j)$ 、 $200(i, j+1)$ では、期間 t_6 における書き込みに基づいて有機 EL 素子 21 が発光する。

[0059] なお、各時点において 1 本のデータ信号線が書き込みラインおよび読み出しラインの双方として機能することはできない。従って、各特性検出期間には奇数列または偶数列のいずれか一方についての TFT 特性の検出が行われる。例えば、連続する $(2 \times m)$ 回の垂直走査期間において、まず第 1 行から第 m 行までの偶数列についての TFT 特性の検出が 1 行ずつ順次に行われ、次に第 1 行から第 m 行までの奇数列についての TFT 特性の検出が 1 行ずつ順次に行われる。

[0060] <1. 4. 2 OLED 特性の検出>

図 10 は、OLED 特性の検出が行われる際の信号波形図である。複数行についての OLED 特性の検出が集中的に行われるので、ここで着目するモニタ行（以下、「着目モニタ行」という。）の前後の行もモニタ行である。図 10 に関し、期間 $t_1 \sim t_6$ は着目モニタ行についての選択期間である。着目モニタ行についての選択期間の直前には着目モニタ行の前行についての選択期間があり、着目モニタ行についての選択期間の直後には着目モニタ行の次行についての選択期間がある。ここでは、第 i 行が着目モニタ行であると仮定し、第 i 行第 j 列の画素回路 $200(i, j)$ および第 j 列、第 $(j+1)$ 列のデータ信号線に着目する。

[0061] 期間 t_1 の開始時点直前には、走査信号 $G(i)$ およびモニタ制御信号 $M(i)$ はローレベルであり、発光制御信号 $E(i)$ はハイレベルである。従って、書き込み制御トランジスタ T_1 およびモニタ制御トランジスタ T_3 はオフ状態であり、発光制御トランジスタ T_4 はオン状態である。また、期間

t_1 の開始時点直前には、制御信号 S_{e2} 、 S_{e1} はハイレベルであり、制御信号 S_{e0} はローレベルである。従って、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 333、334 はオン状態であり、スイッチ 335 はオフ状態である。

[0062] 期間 t_1 になると、走査信号 $G(i)$ およびモニタ制御信号 $M(i)$ はローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ T_1 およびモニタ制御トランジスタ T_3 はオン状態となる。なお、発光制御トランジスタ T_4 はオン状態で維持される。期間 t_1 には、画素回路 200 の状態を初期化する初期化電位 V_{pc} がデータ信号線 $S(j)$ 、 $S(j+1)$ に印加される。これにより、図 11 で符号 541 を付した矢印で示すように初期化電位 V_{pc} に基づきコンデンサ C_1 の状態が初期化されるとともに、図 11 で符号 542 を付した矢印で示すように初期化電位 V_{pc} に基づき有機 EL 素子 21 のアノード電位が初期化される。

[0063] 期間 t_2 には、データ信号線 $S(j)$ に特性検出用電位 V_{r_OLED} が印加される。これにより、図 12 で符号 551 を付した矢印で示すように、特性検出用電位 V_{r_OLED} に基づく書き込みが行われる。なお、特性検出用電位 V_{r_OLED} は、駆動トランジスタ T_2 がオフ状態となるような電位である。期間 t_2 には、データ信号線 $S(j+1)$ には期間 t_1 と同様に初期化電位 V_{pc} が印加される（図 12 で符号 552 を付した矢印を参照）。なお、期間 t_2 の長さは、特性検出用電位 V_{r_OLED} に基づいてコンデンサ C_1 が十分に充電されるように設定されている。

[0064] 期間 t_3 になると、走査信号 $G(i)$ がハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタ T_1 がオフ状態となり、コンデンサ C_1 の充電電圧が確定する。このとき、駆動トランジスタ T_2 はオフ状態となっている。また、モニタ制御トランジスタ T_3 および発光制御トランジスタ T_4 はオン状態で維持されている。この状態で、データ信号線 $S(j+1)$ に電流測定用電位 V_{m_OLED} が印加される。これにより、図 13 で符号 561 を付した矢印で示すように、有機 EL 素子 21 の特性に応じ

た電流（測定電流）がデータ信号線 $S(j+1)$ からモニタ制御トランジスタ $T3$ を介して有機EL素子 21 へと流れる。このとき、有機EL素子 21 は発光する。なお、電流測定用電位 V_{m_OLED} は、駆動トランジスタ $T2$ はオフ状態となるが有機EL素子 21 が発光状態となるような電位である。期間 $t3$ については、データ信号 $S(j+1)$ に流れる測定電流が安定するのに十分な長さに設定されている。

[0065] 期間 $t4$ になると、制御信号 $Se2$ がハイレベルからローレベルに変化する。これにより、 TF 特性の検出が行われているときと同様（図5における期間 $t4$ と同様）、データ信号線 $S(j+1)$ に対応する出力回路 330 では、オペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）が、データ信号線 $S(j+1)$ に流れている電流に応じた電圧となる。

[0066] 期間 $t5$ になると、制御信号 $Se1$ がハイレベルからローレベルに変化し、制御信号 $Se0$ がローレベルからハイレベルに変化する。これにより、 TF 特性の検出が行われているときと同様（図5における期間 $t5$ と同様）、データ信号線 $S(j+1)$ の状態はハイ・インピーダンスとなり（図14参照）、期間 $t5$ の開始時点直前における内部データ線 $Sin(j+1)$ の電位が維持される。この状態で、モニタデータ MO としてのオペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）が、 A/D コンバータ 324 によってデジタル信号に変換される。変換後のモニタデータ MO は、駆動信号発生回路 31 を介して表示制御回路 10 に送られ、補償処理部 12 での補償演算処理に用いられる。なお、期間 $t5$ には、モニタ制御信号 $M(i)$ がハイレベルからローレベルに変化することにより、モニタ制御トランジスタ $T3$ がオフ状態となる。

[0067] 期間 $t6$ になると、制御信号 $Se2$ 、 $Se1$ がローレベルからハイレベルに変化し、制御信号 $Se0$ がハイレベルからローレベルに変化する。これにより、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 333 、 334 がオン状態となり、スイッチ 335 がオフ状態となる。このとき、データ信号線 $S(j)$ に対応する出力回路 330 でも、スイッチ 33

3, 334 はオン状態であり、スイッチ 335 がオフ状態である。また、期間 t_6 には、走査信号 $G(i)$ がローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ T_1 はオン状態となる。以上のような状態でデータ信号線 $S(j)$, $S(j+1)$ に黒色表示用のデータ電位 $V_d(BK)$ が印加され、画素回路 200(i, j), 200($i, j+1$) においてデータ電位 $V_d(BK)$ に基づく書き込みが行われる。これにより、画素回路 200(i, j), 200($i, j+1$) において有機 EL 素子 21 は消灯する。

[0068] <1. 4. 3 駆動方法のまとめ>

TFT 特性を検出する処理に関しても OLED 特性を検出する処理に関しても、画素回路 200 の状態を初期化する初期化電位をデータ信号線に印加するステップ（初期化電位印加ステップ）、特性検出用電位をデータ信号線に印加するステップ（特性検出用電位印加ステップ）、電流測定用電位をデータ信号線に印加するステップ（電流測定用電位印加ステップ）、データ信号線に流れる電流に基づき出力回路 330 内のコンデンサ 332 を充電するステップ（電流測定用充電ステップ）、およびコンデンサ 332 の充電電圧に基づいて AD 変換を行うステップ（AD 変換ステップ）が含まれている。TFT 特性の検出の際には、図 5 に示したように、期間 t_2 に、データ信号線 $S(j)$ への特性検出用電位 V_{r_TFT} の印加が開始されるとともにデータ信号線 $S(j+1)$ への電流測定用電位 V_{m_TFT} の印加が開始される。すなわち、特性検出用電位印加ステップと電流測定用電位印加ステップとが同じタイミングで開始される。

[0069] なお、データ信号線に印加する電位に関し、例えば、初期化電位 V_{pc} 、電流測定用電位 V_{m_TFT} 、特性検出用電位 V_{r_OLED} 、および黒色表示用のデータ電位 $V_d(BK)$ を同じ電位に設定しても良い。

[0070] また、本実施形態においては、OLED 特性の検出に関し、1 回の単位モニタ処理では、奇数列または偶数列のいずれか一方のみについての特性検出が行われる。すなわち、任意の行についての OLED 特性を検出する処理に

関し、 K を1以上の整数として、例えば、 K 回目の処理の際に奇数列についてのOLED特性の検出が行われると、 $(K+1)$ 回目の処理の際に偶数列についてのOLED特性の検出が行われる。より詳しくは、第 i 行の画素回路200に含まれる有機EL素子21の特性を検出する処理は、 K を1以上の整数として、次のように一般化される。 K 回目の処理の際には、上記特性検出用電位印加ステップで特性検出用電位が奇数列のデータ信号線に印加され、上記電流測定用電位印加ステップで電流測定用電位が偶数列のデータ信号線に印加される。 $(K+1)$ 回目の処理の際には、上記特性検出用電位印加ステップで特性検出用電位が偶数列のデータ信号線に印加され、上記電流測定用電位印加ステップで電流測定用電位が奇数列のデータ信号線に印加される。

[0071] <1.5 効果>

図24に示した従来の構成によれば、特性検出モニタの際、データ信号線への特性検出用電位の印加の終了後に当該データ信号線に電流測定用電位を印加しなければならない(図26参照)。このため、モニタ時間が長くなっている。これに対して、本実施形態によれば、各画素回路200内の回路素子(駆動トランジスタT2、有機EL素子21)の特性検出に関し、書き込みラインとして機能するデータ信号線と読み出し機能として機能するデータ信号線とは異なる信号線である。このため、TF特性の検出の際、図5に示したように、読み出しラインへの電流測定用電位 V_{m_TF} の印加を書き込みラインへの特性検出用電位 V_{r_TF} の印加と同じタイミングで開始することができる。これにより、従来の構成に比べてモニタ時間が短縮される。

[0072] 図15は、本実施形態における効果について説明するための図である。以下、データ信号線への初期化電位 V_{pc} の印加に必要な期間を「初期化期間」といい、書き込みラインとして機能するデータ信号線への特性検出用電位 V_{r_TF} の印加に必要な期間を「書き込み期間」といい、読み出しラインとして機能するデータ信号線への電流測定用電位 V_{m_TF} の印加に必

要な期間（当該データ信号線の電位が安定するのに必要な期間）を「安定化期間」といい、出力回路（電流モニタ回路を兼ねる出力回路）内のコンデンサの充電に必要な期間を「モニタ充電期間」といい、A/D変換に必要な期間を「A/D変換期間」という。なお、A/D変換期間に関し、実際のA/D変換の処理のタイミングは単位モニタ処理の終了後でも良く、補正対象のデータ信号の補正処理が行われるまでA/D変換用のデータを保持する等の処理が行われれば良い。初期化期間には符号P1を付し、書き込み期間には符号P2を付し、安定化期間には符号P3を付し、モニタ充電期間には符号P4を付し、A/D変換期間には符号P5を付す。従来の構成によれば、TFT特性の検出についてのモニタ時間W1は、初期化期間P1、書き込み期間P2、安定化期間P3、モニタ充電期間P4、およびA/D変換期間P5の長さの総和となる。これに対して、本実施形態によれば、上述したように、読み出しラインへの電流測定用電位 V_{m_TFT} の印加を書き込みラインへの特性検出用電位 V_{r_TFT} の印加と同じタイミングで開始することができる。すなわち、図15に示すように、書き込み期間P2と安定化期間P3とをオーバーラップさせることができる。従って、本実施形態におけるTFT特性の検出についてのモニタ時間W2は、従来の構成によるモニタ時間W1よりも時間 P_t だけ短くなる。このように短縮される時間 P_t は、書き込み期間P2の長さに相当する。

[0073] 以上のように、本実施形態によれば、従来の構成に比べてモニタ時間が短縮される。また、表示部20の両端のデータ信号線を除く各データ信号線が書き込みラインとしても読み出しラインとしても用いられる。このため、国際公開2014/141958号パンフレットに開示されている構成とは異なり、表示部20内の配線数が多くなることもない。以上より、外部補償機能を有する有機EL表示装置に関し、配線数を増加させることなくモニタ時間の短縮が実現される。

[0074] <1.6 変形例>

上記第1の実施形態の変形例について説明する。

[0075] <1. 6. 1 第1の変形例>

上記第1の実施形態においては、TFT特性の検出の際には読み出しラインへの電流測定用電位の印加を書き込みラインへの特性検出用電位の印加と同じタイミングで開始しているが、OLED特性の検出の際には書き込みラインに特性検出用電位を印加してから十分な時間の経過後に読み出しラインへの電流測定用電位の印加を開始している。しかしながら、これには限定されず、OLED特性の検出の際にも読み出しラインへの電流測定用電位の印加を書き込みラインへの特性検出用電位の印加と同じタイミングで開始することができる。

[0076] 図16は、本変形例においてOLED特性の検出が行われる際の信号波形図である。期間 t_1 以前については、上記第1の実施形態と同様である。期間 t_2 には、データ信号線 $S(j)$ に特性検出用電位 V_{r_OLED} が印加される。これにより、図17で符号571を付した矢印で示すように、特性検出用電位 V_{r_OLED} に基づく書き込みが行われる。また、期間 t_2 には、データ信号線 $S(j+1)$ に電流測定用電位 V_{m_OLED} が印加される。これにより、有機EL素子21のアノード電位やデータ信号線 $S(j+1)$ の電位は電流測定用電位 V_{m_OLED} に向かって変化する（図7で符号572を付した矢印を参照）。

[0077] 期間 t_3 になると、走査信号 $G(i)$ がハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタ T_1 がオフ状態となり、コンデンサ C_1 の充電電圧が確定する。このとき、駆動トランジスタ T_2 はオフ状態となっている。また、モニタ制御トランジスタ T_3 および発光制御トランジスタ T_4 はオン状態で維持されている。以上より、図13で符号561を付した矢印で示すように、有機EL素子21の特性に応じた電流（測定電流）がデータ信号線 $S(j+1)$ からモニタ制御トランジスタ T_3 を介して有機EL素子21へと流れる。期間 t_4 以降については、上記第1の実施形態と同様である。

[0078] 以上のように、本変形例によれば、TFT特性の検出の際だけでなく、O

LED特性の検出の際にも、読み出しラインへの電流測定用電位の印加（電流測定用電位印加ステップ）が書き込みラインへの特性検出用電位の印加（特性検出用電位印加ステップ）と同じタイミングで開始される。これにより、OLED特性の検出についても従来に比べてモニタ時間が短縮される。

[0079] <1. 6. 2 第2の変形例>

上記第1の実施形態においては、OLED特性の検出に関し、各特性検出期間に奇数列または偶数列のいずれか一方についての特性検出が行われていた。しかしながら、これには限定されず、各特性検出期間に全ての列についてのOLED特性の検出を行うこともできる。

[0080] 図18は、本変形例においてOLED特性の検出が行われる際の信号波形図である。図18から把握されるように、第j列と第(j+1)列とで各信号の波形は同じように変化する。すなわち、全ての列で各信号の波形は同じように変化する。以下、第j列の特性検出に関する動作について説明する。

[0081] 期間t1以前については、上記第1の実施形態と同様である。期間t2には、データ信号線S(j)に特性検出用電位 V_{r_OLED} が印加される。これにより、特性検出用電位 V_{r_OLED} に基づく書き込みが行われる。また、期間t2には、データ信号線S(j+1)にも特性検出用電位 V_{r_OLED} が印加される。これにより、有機EL素子21のアノード電位が特性検出用電位 V_{r_OLED} に向かって変化する。

[0082] 期間t3になると、走査信号G(i)がハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタT1がオフ状態となり、コンデンサC1の充電電圧が確定する。このとき、駆動トランジスタT2はオフ状態となっている。また、モニタ制御トランジスタT3および発光制御トランジスタT4はオン状態で維持されている。この状態で、データ信号線S(j+1)に電流測定用電位 V_{m_OLED} が印加される。これにより、有機EL素子21の特性に応じた電流（測定電流）がデータ信号線S(j+1)からモニタ制御トランジスタT3を介して有機EL素子21へと流れる。このとき、有機EL素子21は発光する。

[0083] 期間 t_4 および期間 t_5 には、上記第 1 の実施形態と同様にして、データ信号線 $S(j+1)$ に流れている電流が出力回路 330 で測定される。期間 t_6 以降についても、上記第 1 の実施形態と同様である。

[0084] 上述したように、第 j 列と第 $(j+1)$ 列とで各信号の波形は同じように変化する。従って、第 $(j+1)$ 列の特性検出は、上述した第 j 列の特性検出と同じように行われる。より詳しくは、全ての列の特性検出が 1 つの特性検出期間に同じように行われる。

[0085] なお、本変形例において第 i 行の画素回路 200 に含まれる有機 EL 素子 21 の特性を検出する際の動作は、 z を 1 以上 $(n-1)$ 以下の整数として、次のように一般化される。モニタドライバ 42 が第 i 行の画素回路 200 に含まれるモニタ制御トランジスタ T_3 をオン状態にすることによって、第 i 行第 z 列の画素回路 200 (i, z) に含まれる有機 EL 素子 21 のアノード端子が第 $(z+1)$ 列のデータ信号線 $S(z+1)$ に対応する出力回路 330 に接続されるとともに第 i 行第 $(z+1)$ 列の画素回路 200 ($i, z+1$) に含まれる有機 EL 素子 21 のアノード端子が第 $(z+2)$ 列のデータ信号線 $S(z+2)$ に対応する出力回路 330 に接続される。また、ソースドライバ 30 は、第 $(z+1)$ 列のデータ信号線 $S(z+1)$ にも第 $(z+2)$ 列のデータ信号線 $S(z+2)$ にも有機 EL 素子 21 の特性を表す電流を測定するためのデータ信号としての電流測定用電位を印加する。

[0086] 本変形例によれば、OLED 特性の検出に関し、各特性検出期間に奇数列または偶数列のいずれか一方についての特性検出を行う場合に比べて全体のモニタ時間が短縮される。

[0087] <2. 第 2 の実施形態>

<2. 1 概要>

上記第 1 の実施形態においては、1 回の特性検出期間に単位モニタ処理は 1 回だけ行われていた。これに対して、本実施形態においては、特性の検出精度を高めるために、1 回の特性検出期間中に単位モニタ処理が 3 回繰り返し実行される。TF T 特性の検出の際には、1 回の特性検出期間中に互いに

異なる3つの特性検出用電位を順次書き込みラインに印加することによって処理対象の各画素回路200につき3つのモニタデータMOが取得される。OLED特性の検出の際には、1回の特性検出期間中に互いに異なる3つの電流測定用電位を順次読み出しラインに印加することによって処理対象の各画素回路200につき3つのモニタデータMOが取得される。なお、1回の特性検出期間中に繰り返される単位モニタ処理の回数については特に限定されない。

[0088] 有機EL表示装置1の全体構成、画素回路200の構成、および出力回路330の構成については、上記第1の実施形態と同様であるので、説明を省略する（図1～図4を参照）。

[0089] <2.2 駆動方法>

上記第1の実施形態と同様、本実施形態においても、各垂直走査期間に1つの行についてのTF特性の検出が行われ、電源オンあるいは電源オフの際に複数行についてのOLED特性の検出が集中的に行われる。以下、TF特性の検出が行われる際の動作およびOLED特性の検出が行われる際の動作について順次に説明する。

[0090] <2.2.1 TF特性の検出>

図19は、TF特性の検出が行われる際の信号波形図である。図19に関し、期間 $t_{1a} \sim t_6$ はモニタ行（第 i 行）についての選択期間であり、期間 t_0 はモニタ行の前行である通常行についての選択期間であり、期間 t_{10} はモニタ行の次行である通常行についての選択期間である。

[0091] 期間 t_0 については、上記第1の実施形態と同様である。期間 $t_{1a} \sim t_{4a}$ については、上記第1の実施形態における期間 $t_1 \sim t_4$ （図5参照）と同様である。但し、期間 t_{2a} にデータ信号線 $S(j)$ に印加される特性検出用電位には符号 $V_{r_TF}(1)$ を付している。データ信号線 $S(j+1)$ への電流測定用電位 V_{m_TF} は期間 t_{2a} に開始されている。期間 t_{4a} の終了時点には、データ信号線 $S(j+1)$ に対応する出力回路330内のオペアンプ331の出力電圧は、データ信号線 $S(j+1)$ に流れ

ている電流に応じた電圧となっている。

[0092] 期間 t_{1b} になると、制御信号 S_{e1} がハイレベルからローレベルに変化し、制御信号 S_{e0} がローレベルからハイレベルに変化する。これにより、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 334 がオン状態からオフ状態に変化し、スイッチ 335 がオフ状態からオン状態に変化する。その結果、図 20 に示すように、データ信号線 $S(j+1)$ の状態はハイ・インピーダンスとなる。また、スイッチ 334 がオフ状態となることによって、期間 t_{1b} の開始時点直前における内部データ線 $S_{in}(j+1)$ の電位が維持される。この状態で、モニタデータ MO としてのオペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）が、A/D コンバータ 324 によってデジタル信号に変換される。変換後のモニタデータ MO は、表示制御回路 10 内の補償処理部 12 での補償演算処理に用いられる。期間 t_{1b} には、また、走査信号 $G(i)$ がローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ $T1$ がオン状態となる。このとき、データ信号線 $S(j)$ には、初期化電位 V_{pc} が印加される。これにより、図 20 で符号 581 を付した矢印で示すように初期化電位 V_{pc} に基づきコンデンサ $C1$ の状態が初期化される。このように、期間 t_{1b} には、1 回目の単位モニタ処理についてのモニタデータ MO の A/D 変換が行われている期間中に、処理対象の画素回路 200 に対して 2 回目の単位モニタ処理用の初期化が行われる。

[0093] 期間 t_{2b} になると、制御信号 S_{e2} 、 S_{e1} がローレベルからハイレベルに変化し、制御信号 S_{e0} がハイレベルからローレベルに変化する。これにより、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 333、334 がオン状態となり、スイッチ 335 がオフ状態となる。その結果、データ信号線 $S(j+1)$ と内部データ線 $S_{in}(j+1)$ とが電氣的に接続された状態となり、電流測定用電位 $V_{m_TF T}$ がデータ信号線 $S(j+1)$ に印加される。このとき、データ信号線 $S(j)$ に対応する出力回路 330 でも、スイッチ 333、334 はオン状態であり、スイッチ 3

35がオフ状態である。従って、データ信号線 $S(j)$ と内部データ線 $S_{in}(j)$ とは電氣的に接続されている。また、書き込み制御トランジスタ T_1 はオン状態で維持されている。以上のような状態で、データ信号線 $S(j)$ に特性検出用電位 $V_{r_TF T}(2)$ が印加される。これにより、特性検出用電位 $V_{r_TF T}(2)$ に基づく書き込みが行われる。なお、特性検出用電位 $V_{r_TF T}(2)$ は、特性検出用電位 $V_{r_TF T}(1)$ とは異なる電位である。

[0094] 期間 $t_{3b} \sim t_{4b}$ については、上記第1の実施形態における期間 $t_{3 \sim t_4}$ と同様（本実施形態における期間 $t_{3a} \sim t_{4a}$ とも同様）である。期間 $t_{1c} \sim t_{4c}$ については、期間 $t_{1b} \sim t_{4b}$ と同様である。但し、期間 t_{2c} には、特性検出用電位 $V_{r_TF T}(3)$ がデータ信号線 $S(j)$ に印加される。特性検出用電位 $V_{r_TF T}(3)$ は、特性検出用電位 $V_{r_TF T}(1)$ および特性検出用電位 $V_{r_TF T}(2)$ とは異なる電位である。

[0095] 期間 t_5 には、期間 t_{1b} と同様にして、モニタデータ MO としてのオペアンプ331の出力電圧（コンデンサ332の充電電圧）が、A/Dコンバータ324によってデジタル信号に変換される。また、期間 t_5 には、モニタ制御信号 $M(i)$ がハイレベルからローレベルに変化する。これにより、モニタ制御トランジスタ T_3 がオフ状態となる。期間 t_6 以降については、上記第1の実施形態と同様である。

[0096] 以上のように、本実施形態においては、第 i 行第 j 列の画素回路200(i, j)に含まれる駆動トランジスタ T_2 の特性を検出する処理に関し、モニタ行（第 i 行）についての選択期間中に、互いに異なる複数の特性検出用電位 $V_{r_TF T}(1) \sim V_{r_TF T}(3)$ がデータ信号線に順次に印加される。これら複数の特性検出用電位 $V_{r_TF T}(1) \sim V_{r_TF T}(3)$ に基づく書き込みを実現するために、第 $(i-1)$ 行の走査信号線 $G(i-1)$ がオン状態からオフ状態に変化してから第 $(i+1)$ 行の走査信号線 $G(i+1)$ がオフ状態からオン状態に変化するまでの期間に、第 i 行の

走査信号線 $G(i)$ は複数回、オン状態となる（図 21 参照）。また、 k を 1 以上の整数として、データ信号線 $S(j)$ への k 回目の特性検出用電位の印加とデータ信号線 $S(j)$ への $(k+1)$ 回目の特性検出用電位の印加との間に、画素回路 200 の状態を初期化する初期化電位 V_{pc} がデータ信号線 $S(j)$ に印加される。

[0097] <2. 2. 2 O L E D 特性の検出>

図 22 は、O L E D 特性の検出が行われる際の信号波形図である。図 22 に関し、期間 $t_{1a} \sim t_{6a}$ は着目モニタ行についての選択期間である。着目モニタ行についての選択期間の直前には着目モニタ行の前行についての選択期間があり、着目モニタ行についての選択期間の直後には着目モニタ行の次行についての選択期間がある。

[0098] 期間 $t_{1a} \sim t_{4a}$ については、上記第 1 の実施形態における期間 $t_1 \sim t_4$ （図 10 参照）と同様である。但し、期間 t_{3a} にデータ信号線 $S(j+1)$ に印加される電流測定用電位には符号 $V_{m_O L E D}(1)$ を付している。期間 t_{4a} の終了時点には、データ信号線 $S(j+1)$ に対応する出力回路 330 内のオペアンプ 331 の出力電圧は、データ信号線 $S(j+1)$ に流れている電流に応じた電圧となっている。

[0099] 期間 t_{1b} になると、制御信号 S_{e1} がハイレベルからローレベルに変化し、制御信号 S_{e0} がローレベルからハイレベルに変化する。これにより、T F T 特性の検出が行われているときと同様（図 19 における期間 t_{1b} と同様）、データ信号線 $S(j+1)$ の状態はハイ・インピーダンスとなり、期間 t_{1b} の開始時点直前における内部データ線 $S_{in}(j+1)$ の電位が維持される。この状態で、モニタデータ $M O$ としてのオペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）が、A/D コンバータ 324 によってデジタル信号に変換される。変換後のモニタデータ $M O$ は、表示制御回路 10 内の補償処理部 12 での補償演算処理に用いられる。

[0100] 期間 t_{2b} になると、制御信号 S_{e2} 、 S_{e1} がローレベルからハイレベルに変化し、制御信号 S_{e0} がハイレベルからローレベルに変化する。これ

により、データ信号線 $S(j+1)$ に対応する出力回路 330 では、スイッチ 333, 334 がオン状態となり、スイッチ 335 がオフ状態となる。その結果、データ信号線 $S(j+1)$ と内部データ線 $Sin(j+1)$ とが電氣的に接続された状態となる。そして、期間 $t2b$ には、電流測定用電位 $V_{m_OLED}(2)$ がデータ信号線 $S(j+1)$ に印加される。なお、電流測定用電位 $V_{m_OLED}(2)$ は、電流測定用電位 $V_{m_OLED}(1)$ とは異なる電位である。

[0101] 期間 $t3b \sim t4b$ については、上記第 1 の実施形態における期間 $t3 \sim t4$ と同様（本実施形態における期間 $t3a \sim t4a$ と同様）である。期間 $t1c \sim t4c$ については、期間 $t1b \sim t4b$ と同様である。但し、期間 $t2c$ には、電流測定用電位 $V_{m_OLED}(3)$ がデータ信号線 $S(j+1)$ に印加される。電流測定用電位 $V_{m_OLED}(3)$ は、電流測定用電位 $V_{m_OLED}(1)$ および電流測定用電位 $V_{m_OLED}(2)$ とは異なる電位である。

[0102] 期間 $t5$ には、期間 $t1b$ と同様にして、モニタデータ MO としてのオペアンプ 331 の出力電圧（コンデンサ 332 の充電電圧）が、 A/D コンバータ 324 によってデジタル信号に変換される。また、期間 $t5$ には、モニタ制御信号 $M(i)$ がハイレベルからローレベルに変化する。これにより、モニタ制御トランジスタ $T3$ がオフ状態となる。期間 $t6$ 以降については、上記第 1 の実施形態と同様である。

[0103] 以上のように、本実施形態においては、第 i 行第 j 列の画素回路 200 (i, j) に含まれる有機 EL 素子 21 の特性を検出する処理に関し、モニタ行（第 i 行）についての選択期間中に、互いに異なる複数の電流測定用電位 $V_{m_OLED}(1) \sim V_{m_OLED}(3)$ がデータ信号線 $S(j+1)$ に順次に印加される。

[0104] <2. 2. 3 駆動方法のまとめ>

本実施形態においては、TFT 特性を検出する処理に関しても OLED 特性を検出する処理に関しても、上述した初期化電位印加ステップ、特性検出

用電位印加ステップ、電流測定用電位印加ステップ、電流測定用充電ステップ、およびAD変換ステップからなる一連の処理が3回繰り返し実行される。TF特性の検出の際には、図19に示したように、期間 t_{2a} に、データ信号線 $S(j)$ への特性検出用電位 $V_{r_TF}(1)$ の印加が開始されるとともにデータ信号線 $S(j+1)$ への電流測定用電位 V_{m_TF} の印加が開始される。すなわち、特性検出用電位印加ステップと電流測定用電位印加ステップとが同じタイミングで開始される。TF特性の検出の際には、また、図19に示したように、期間 t_{1b} に、データ信号線 $S(j)$ への初期化電位 V_{pc} の印加が開始されるとともにモニタデータMOのAD変換が開始される（期間 t_{1c} も同様）。すなわち、AD変換ステップと初期化電位印加ステップとが同じタイミングで開始される。

[0105] <2.3 効果>

図24に示した従来の構成によれば、データ信号線に特性検出用電位を印加した後に当該データ信号線に電流検出用電位を印加する必要があるため、1回の特性検出期間中に単位モニタ処理が繰り返される場合、測定電流を安定化させるための期間（図26の期間 t_3 ）として十分な長さの期間を単位モニタ処理毎に設けなければならない。このため、モニタ時間が長くなっている。これに対して、本実施形態によれば、各画素回路200内の回路素子（駆動トランジスタT2、有機EL素子21）の特性検出に関し、書き込みラインとして機能するデータ信号線と読み出し機能として機能するデータ信号線とは異なる信号線である。このため、TF特性の検出が行われている期間中、読み出しラインとして機能するデータ信号線の電位の変動はほとんどない。それ故、1回の特性検出期間中の2回目以降の単位モニタ処理に関しては、測定電流を安定化させるための期間（図19の期間 t_{3b} , t_{3c} ）の長さは比較的短くても良い。また、TF特性の検出の際、例えば、1回目の単位モニタ処理についてのモニタデータMOのAD変換が行われている期間中に、2回目の単位モニタ処理用の初期化を行うことができる。このように、従来は逐次的に行う必要があった2つの処理を並行して行うことが

可能となる。以上より、従来の構成に比べてモニタ時間が短縮される。

[0106] 図23は、本実施形態における効果について説明するための図である。なお、本実施形態に関しては、1回の特性検出期間中の1回目の単位モニタ処理についての安定化期間を「第1安定化期間」といい、1回の特性検出期間中の2回目以降の単位モニタ処理についての安定化期間を「第2安定化期間」という。第1安定化期間には符号P3aを付し、第2安定化期間には符号P3bを付す。従来の構成によれば、TF特性の検出についてのモニタ時間W1は、3回の単位モニタ処理についての初期化期間P1、書き込み期間P2、安定化期間P3、モニタ充電期間P4、およびAD変換期間P5の長さの総和となる。これに対して、本実施形態によれば、上述したように、1回の特性検出期間中の2回目以降の単位モニタ処理に関しては、測定電流を安定化させるための期間（安定化期間）の長さは比較的短くても良い。すなわち、図23に示すように、第2安定化期間P3bの長さを第1安定化期間P3aの長さよりも短くすることができる。また、上述したように、書き込みライン側と読み出しライン側とで2つの処理を並行して行うことができる。従って、図23に示すように、例えば1回目の単位モニタ処理についてのAD変換期間P5と2回目の単位モニタ処理についての初期化期間P1とをオーバーラップさせることや2回目の単位モニタ処理についての書き込み期間P2と第2安定化期間P3bとをオーバーラップさせることが可能となる。以上より、本実施形態におけるTF特性の検出についてのモニタ時間W2は、従来の構成によるモニタ時間W1よりも時間Ptだけ短くなる。

[0107] 以上のように、本実施形態においても、上記第1の実施形態と同様、外部補償機能を有する有機EL表示装置に関し、配線数を増加させることなくモニタ時間の短縮が実現される。

[0108] <3. その他>

単位モニタ処理の際にデータ信号線に印加する電位に関し、上述したように、例えば、初期化電位Vpc、電流測定用電位Vm__TF、特性検出用電位Vr__OLED、および黒色表示用のデータ電位Vd（BK）を同じ電

位に設定しても良い。これに関し、初期化電位 V_{pc} と特性検出用電位 V_{r_OLED} を同じ電位に設定した場合には、第1の実施形態では図10の期間 t_1 もしくは期間 t_2 が不要となり、第1の実施形態の第1の変形例では図16の期間 t_1 が不要となり、第1の実施形態の第2の変形例では図18の期間 t_1 もしくは期間 t_2 が不要となり、第2の実施形態では図22の期間 t_{1a} もしくは期間 t_{2a} が不要となる。

[0109] 上記各実施形態（変形例を含む）では有機EL表示装置を例に挙げて説明したが、これには限定されない。電流で駆動される表示素子（電流によって輝度または透過率が制御される表示素子）を備えた表示装置であれば、本発明を適用することができる。例えば、無機発光ダイオードを備えた無機EL表示装置や量子ドット発光ダイオード（Quantum dot Light Emitting Diode（QLED））を備えたQLED表示装置などにも本発明を適用することができる。

[0110] また、上記各実施形態（変形例を含む）では、TF特性の検出は垂直走査期間に行われ、OLED特性の検出は電源オンあるいは電源オフの際に行われていた。しかしながら、これには限定されず、他の態様でTF特性の検出およびOLED特性の検出を行うこともできる。

符号の説明

- [0111] 1…有機EL表示装置
20…表示部
21…有機EL素子
30…ソースドライバ
200…画素回路
330…出力回路（電流モニタ回路を兼ねる出力回路）
 $S, S(j), S(j+1), S(1) \sim S(n+1)$ …データ信号線
 T_1 …書き込み制御トランジスタ
 T_2 …駆動トランジスタ
 T_3 …モニタ制御トランジスタ

T 4 …発光制御トランジスタ

V p c …初期化電位

V r _ T F T , V r _ T F T (1) ~ V r _ T F T (3) … (T F T 特性の検出が行われる際の) 特性検出用電位

V m _ T F T … (T F T 特性の検出が行われる際の) 電流測定用電位

V r _ O L E D … (O L E D 特性の検出が行われる際の) 特性検出用電位

V m _ O L E D , V m _ O L E D (1) ~ V m _ O L E D (3) … O L E D 特性の検出が行われる際の) 電流測定用電位

請求の範囲

[請求項1]

複数のデータ信号線と、複数の走査信号線と、前記複数の走査信号線と1対1で対応する複数のモニタ制御線と、電流によって輝度が制御される表示素子および前記表示素子に供給すべき電流を制御するための駆動トランジスタを含み前記複数のデータ信号線と前記複数の走査信号線との交差部に対応して設けられた m 行 $\times$ n 列（ m および n は2以上の整数である）の画素回路とを備える、前記駆動トランジスタの特性を検出する機能を有する表示装置であって、

前記複数のデータ信号線にデータ信号を印加するデータ信号線駆動回路と、

前記複数の走査信号線に走査信号を印加する走査信号線駆動回路と、

前記複数のモニタ制御線にモニタ制御信号を印加するモニタ制御線駆動回路とを備え、

前記データ信号線駆動回路は、各データ信号線に流れる電流を測定する機能を有し、

第 i 行第 j 列（ i は1以上 m 以下の整数であり、 j は1以上 n 以下の整数である）の画素回路は、

第1電源電圧が与えられている第1電源電圧線と第2電源電圧が与えられている第2電源電圧線との間に設けられ、第1端子と前記第2電源電圧線に接続された第2端子とを有する前記表示素子と、

制御端子と、前記第1電源電圧線に接続された第1導通端子と、第2導通端子とを有する前記駆動トランジスタと、

第 i 行の走査信号線に接続された制御端子と、第 j 列のデータ信号線に接続された第1導通端子と、前記駆動トランジスタの制御端子に接続された第2導通端子とを有する書き込み制御トランジスタと、

第 i 行のモニタ制御線に接続された制御端子と、前記駆動トラン

ジスタの第2導通端子に接続された第1導通端子と、第 $(j+1)$ 列のデータ信号線に接続された第2導通端子とを有するモニタ制御トランジスタと

を含むことを特徴とする、表示装置。

[請求項2] 第 i 行第 j 列の画素回路に含まれる駆動トランジスタの特性を検出する際、前記データ信号線駆動回路は、前記駆動トランジスタの特性を検出するためのデータ信号としての特性検出用電位の第 j 列のデータ信号線への印加と前記駆動トランジスタの特性を表す電流を測定するためのデータ信号としての電流測定用電位の第 $(j+1)$ 列のデータ信号線への印加とを同じタイミングで開始することを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記データ信号線駆動回路は、各データ信号線に対応するよう、当該各データ信号線に流れる電流を測定する電流測定部を含み、

第 i 行第 j 列の画素回路に含まれる駆動トランジスタの特性を検出する際、前記モニタ制御線駆動回路が前記モニタ制御トランジスタをオン状態にすることによって、前記駆動トランジスタの第2導通端子が第 $(j+1)$ 列のデータ信号線に対応する電流測定部に接続されることを特徴とする、請求項1または2に記載の表示装置。

[請求項4] 前記複数のデータ信号線として $(n+1)$ 本のデータ信号線が設けられていることを特徴とする、請求項1から3までのいずれか1項に記載の表示装置。

[請求項5] 第 i 行第 j 列の画素回路に含まれる駆動トランジスタの特性を検出する処理に関し、第 $(i-1)$ 行の走査信号線がオン状態からオフ状態に変化してから第 $(i+1)$ 行の走査信号線がオフ状態からオン状態に変化するまでの期間である第 i 行の選択期間中に、前記データ信号線駆動回路は、前記駆動トランジスタの特性を検出するためのデータ信号として、互いに異なる複数の特性検出用電位を第 j 列のデータ信号線に順次に印加することを特徴とする、請求項1から4までのい

ずれか 1 項に記載の表示装置。

[請求項6] 第 i 行の選択期間中において、前記データ信号線駆動回路は、第 j 列のデータ信号線への k 回目 (k は 1 以上の整数である) の特性検出用電位の印加と第 j 列のデータ信号線への ($k + 1$) 回目の特性検出用電位の印加との間に、画素回路の状態を初期化する初期化電位を第 j 列のデータ信号線に印加することを特徴とする、請求項 5 に記載の表示装置。

[請求項7] 第 i 行で、複数の偶数列の画素回路に含まれる駆動トランジスタの特性が同時に検出されるタイミングと、第 i 行で、複数の奇数列の画素回路に含まれる駆動トランジスタの特性が同時に検出されるタイミングとが異なることを特徴とする、請求項 1 から 6 までのいずれか 1 項に記載の表示装置。

[請求項8] 前記表示素子の特性を検出する機能を更に有し、
前記モニタ制御トランジスタの第 1 導通端子は、前記駆動トランジスタの第 2 導通端子に加えて前記表示素子の第 1 端子に接続されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の表示装置。

[請求項9] 第 i 行第 j 列の画素回路に含まれる表示素子の特性を検出する際、前記データ信号線駆動回路は、前記表示素子の特性を検出するためのデータ信号としての特性検出用電位の第 j 列のデータ信号線への印加と前記表示素子の特性を表す電流を測定するためのデータ信号としての電流測定用電位の第 ($j + 1$) 列のデータ信号線への印加とを同じタイミングで開始することを特徴とする、請求項 8 に記載の表示装置。

[請求項10] 前記データ信号線駆動回路は、各データ信号線に対応するよう、当該各データ信号線に流れる電流を測定する電流測定部を含み、

第 i 行第 j 列の画素回路に含まれる表示素子の特性を検出する際、前記モニタ制御線駆動回路が前記モニタ制御トランジスタをオン状態

にすることによって、前記表示素子の第1端子が第 $(j+1)$ 列のデータ信号線に対応する電流測定部に接続されることを特徴とする、請求項8または9に記載の表示装置。

[請求項11] 第 i 行第 j 列の画素回路に含まれる表示素子の特性を検出する処理に関し、第 $(i-1)$ 行の走査信号線がオン状態からオフ状態に変化してから第 $(i+1)$ 行の走査信号線がオフ状態からオン状態に変化するまでの期間である第 i 行の選択期間中に、前記データ信号線駆動回路は、前記表示素子の特性を表す電流を測定するためのデータ信号として、互いに異なる複数の電流測定用電位を第 $(j+1)$ 列のデータ信号線に順次に印加することを特徴とする、請求項8から10までのいずれか1項に記載の表示装置。

[請求項12] 前記データ信号線駆動回路は、各データ信号線に対応するよう、当該各データ信号線に流れる電流を測定する電流測定部を含み、

第 i 行の画素回路に含まれる表示素子の特性を検出する際、前記モニタ制御線駆動回路が第 i 行の画素回路に含まれるモニタ制御トランジスタをオン状態にすることによって、第 i 行第 z 列(z は1以上 $n-1$ 以下の整数である)の画素回路に含まれる表示素子の第1端子が第 $(z+1)$ 列のデータ信号線に対応する電流測定部に接続されるとともに第 i 行第 $(z+1)$ 列の画素回路に含まれる表示素子の第1端子が第 $(z+2)$ 列のデータ信号線に対応する電流測定部に接続され、前記データ信号線駆動回路は、第 $(z+1)$ 列のデータ信号線にも第 $(z+2)$ 列のデータ信号線にも前記表示素子の特性を表す電流を測定するためのデータ信号としての電流測定用電位を印加することを特徴とする、請求項8から11までのいずれか1項に記載の表示装置。

[請求項13] 各画素回路は、さらに、前記駆動トランジスタの制御端子に接続された第1電極と、前記駆動トランジスタの第1導通端子もしくは第2導通端子または前記表示素子の第2端子に接続された第2電極とを有

する保持容量を含むことを特徴とする、請求項 1 から 12 までのいずれか 1 項に記載の表示装置。

[請求項14] 複数のデータ信号線と、複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差部に対応して設けられた m 行 $\times$ n 列 (m および n は 2 以上の整数である) の画素回路とを備え、各画素回路に含まれる回路素子の特性を検出する機能を有する表示装置の駆動方法であって、

画素回路の状態を初期化する初期化電位をデータ信号線に印加する初期化電位印加ステップと、

前記回路素子の特性を検出するためのデータ信号としての特性検出用電位をデータ信号線に印加する特性検出用電位印加ステップと、

前記回路素子の特性を表す電流を測定するためのデータ信号としての電流測定用電位をデータ信号線に印加する電流測定用電位印加ステップと、

データ信号線に流れる電流に基づく充電を行う電流測定用充電ステップと、

前記電流測定用充電ステップで得られた充電電圧に基づいて A/D 変換を行う A/D 変換ステップと
を含み、

前記初期化電位印加ステップ、前記特性検出用電位印加ステップ、前記電流測定用電位印加ステップ、前記電流測定用充電ステップ、および前記 A/D 変換ステップのうちの少なくとも 2 つのステップが同じタイミングで開始されることを特徴とする、駆動方法。

[請求項15] 各画素回路は、前記回路素子として、電流によって輝度が制御される表示素子および前記表示素子に供給すべき電流を制御するための駆動トランジスタを含み、

前記初期化電位印加ステップ、前記特性検出用電位印加ステップ、前記電流測定用電位印加ステップ、前記電流測定用充電ステップ、お

よび前記AD変換ステップからなる一連のステップによって前記駆動トランジスタの特性が検出されることを特徴とする、請求項14に記載の駆動方法。

[請求項16] 前記特性検出用電位印加ステップと前記電流測定用電位印加ステップとが同じタイミングで開始されることを特徴とする、請求項15に記載の駆動方法。

[請求項17] 前記特性検出用電位印加ステップで第 j 列（ j は1以上 n 以下の整数である）のデータ信号線に前記特性検出用電位が印加されたときには前記電流測定用電位印加ステップで第（ $j+1$ ）列のデータ信号線に前記電流測定用電位が印加されることを特徴とする、請求項15または16に記載の駆動方法。

[請求項18] 第 i 行第 j 列（ i は1以上 m 以下の整数であり、 j は1以上 n 以下の整数である）の画素回路に含まれる駆動トランジスタの特性を検出する処理に関し、第（ $i-1$ ）行の走査信号線がオン状態からオフ状態に変化してから第（ $i+1$ ）行の走査信号線がオフ状態からオン状態に変化するまでの期間である第 i 行の選択期間中に、前記一連のステップが複数回繰り返されることを特徴とする、請求項15から17までのいずれか1項に記載の駆動方法。

[請求項19] 各画素回路は、前記回路素子として、電流によって輝度が制御される表示素子および前記表示素子に供給すべき電流を制御するための駆動トランジスタを含み、

前記初期化電位印加ステップ、前記特性検出用電位印加ステップ、前記電流測定用電位印加ステップ、前記電流測定用充電ステップ、および前記AD変換ステップからなる一連のステップによって前記表示素子の特性が検出されることを特徴とする、請求項14に記載の駆動方法。

[請求項20] 前記特性検出用電位印加ステップと前記電流測定用電位印加ステップとが同じタイミングで開始されることを特徴とする、請求項19に

記載の駆動方法。

[請求項21] 第 i 行の画素回路に含まれる表示素子の特性を検出する処理に関し

、

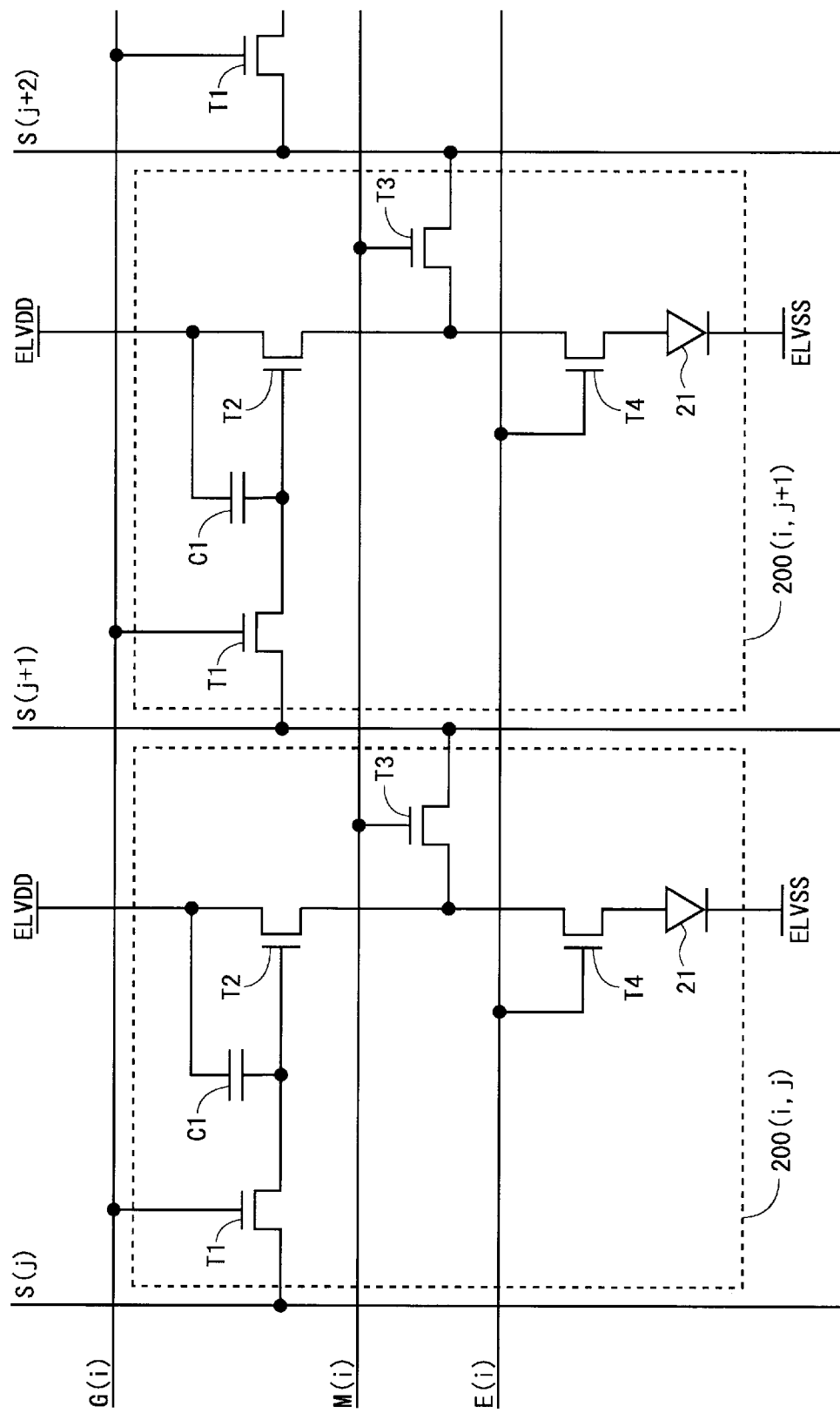
K 回目 (K は 1 以上の整数である) の処理の際には、前記特性検出用電位印加ステップで前記特性検出用電位が奇数列のデータ信号線に印加され、前記電流測定用電位印加ステップで前記電流測定用電位が偶数列のデータ信号線に印加され、

($K + 1$) 回目の処理の際には、前記特性検出用電位印加ステップで前記特性検出用電位が偶数列のデータ信号線に印加され、前記電流測定用電位印加ステップで前記電流測定用電位が奇数列のデータ信号線に印加されることを特徴とする、請求項 19 または 20 に記載の駆動方法。

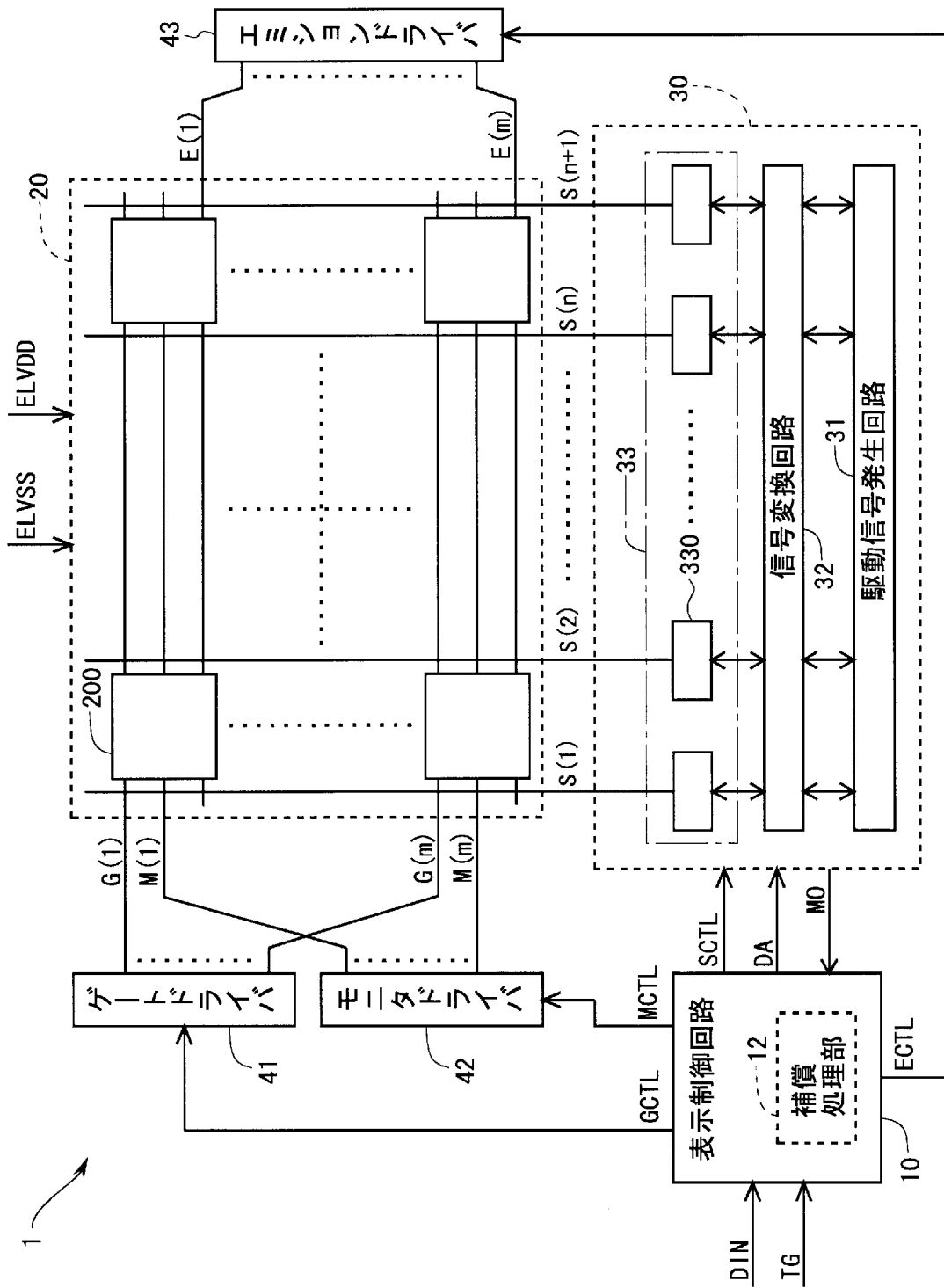
[請求項22] 前記特性検出用電位印加ステップでは、奇数列のデータ信号線にも偶数列のデータ信号線にも前記表示素子の特性を検出するためのデータ信号としての特性検出用電位が印加され、

前記電流測定用電位印加ステップでは、奇数列のデータ信号線にも偶数列のデータ信号線にも前記表示素子の特性を表す電流を測定するためのデータ信号としての電流測定用電位が印加されることを特徴とする、請求項 19 から 21 までのいずれか 1 項に記載の駆動方法。

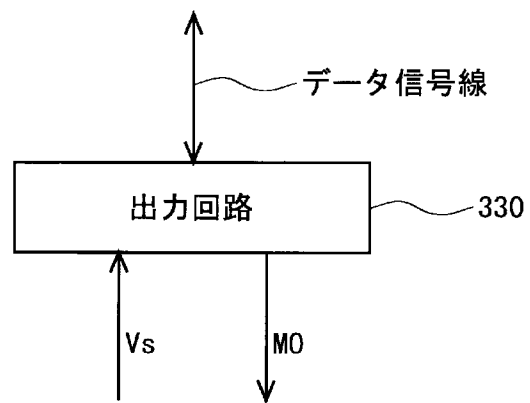
[図1]

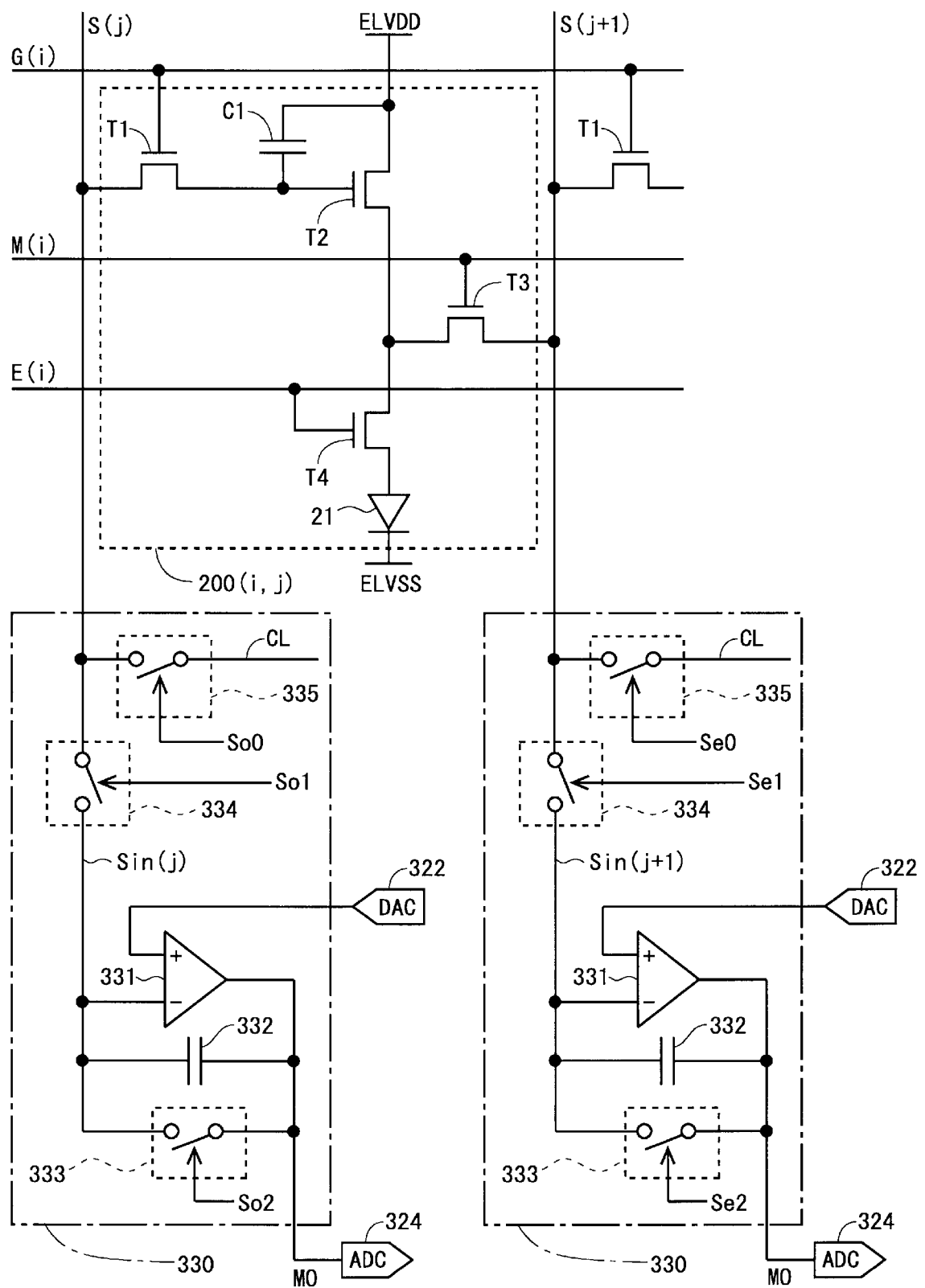


[図2]

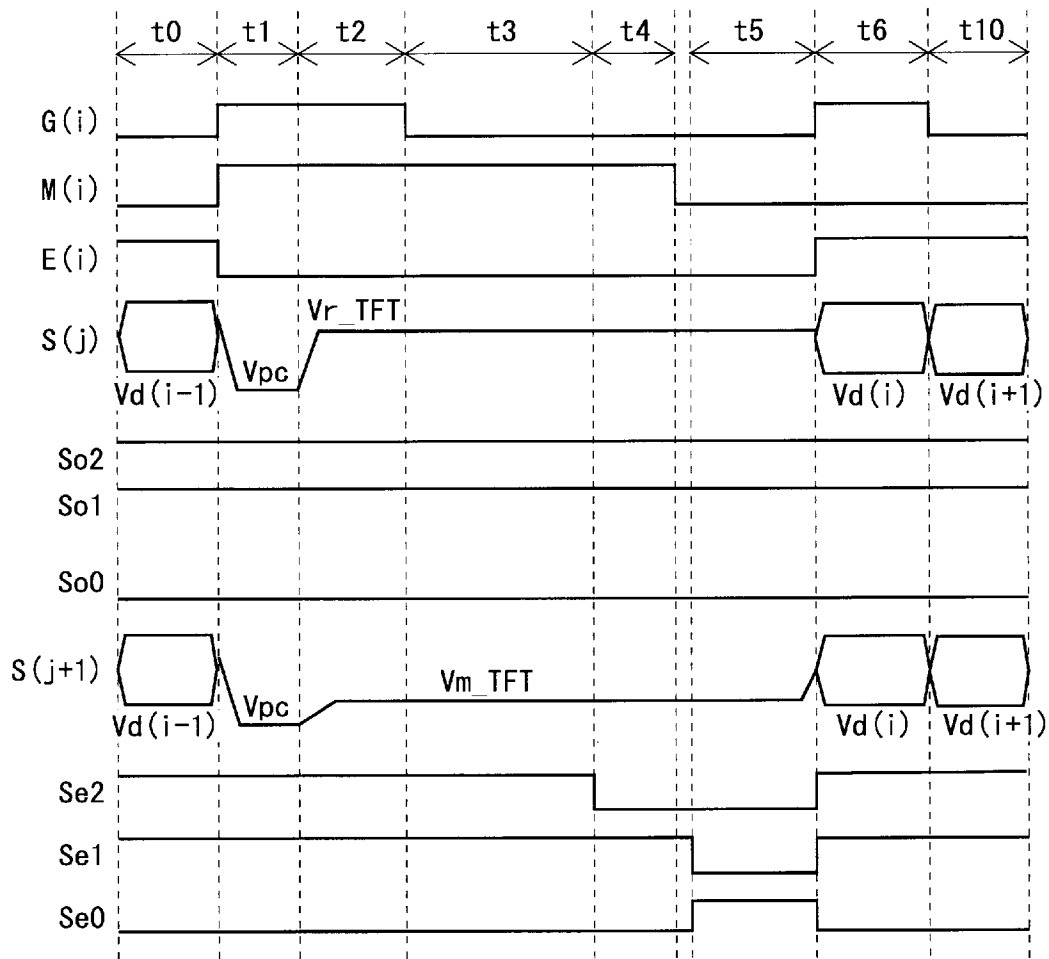


[図3]

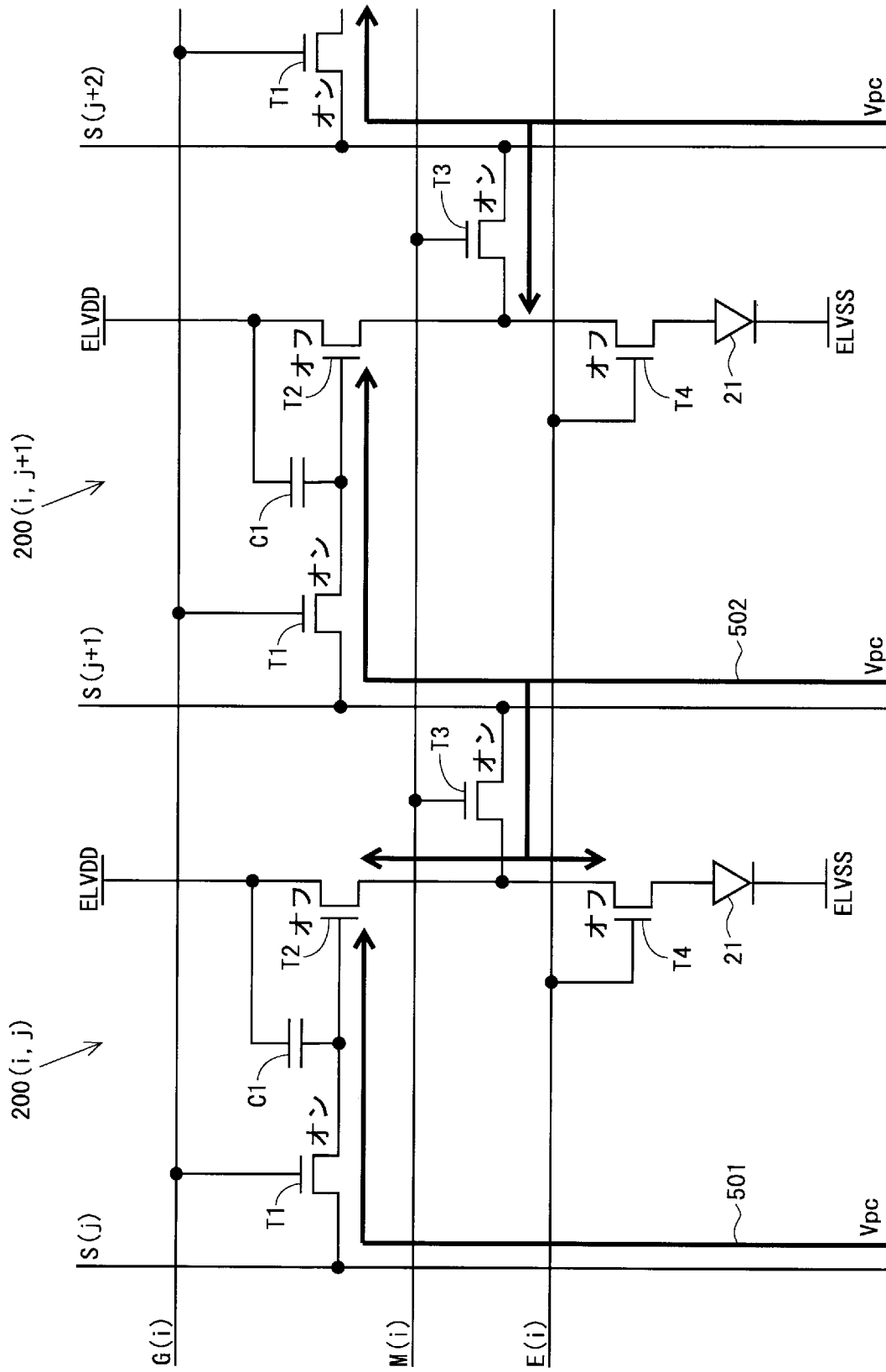




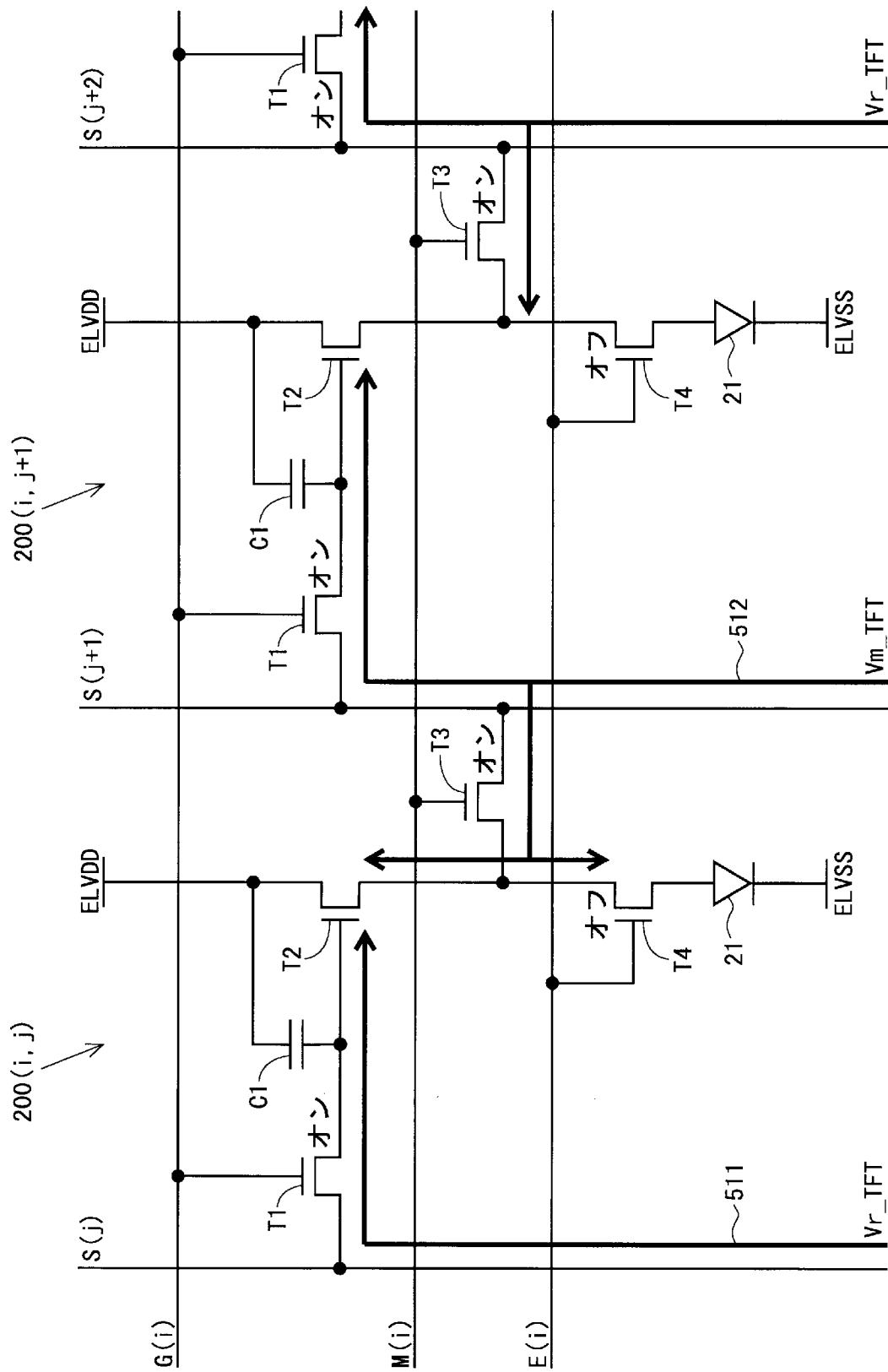
[図5]



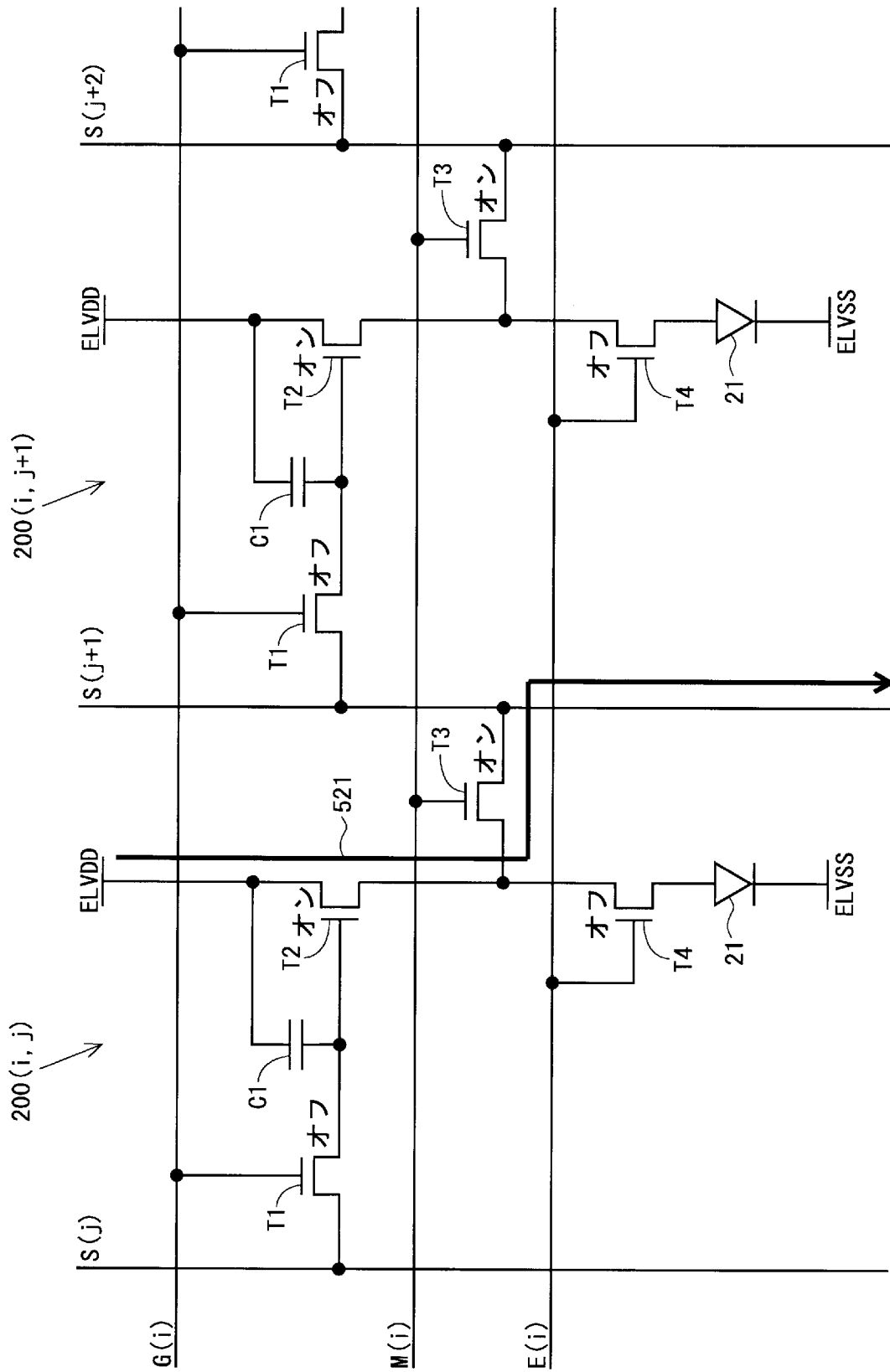
[図6]



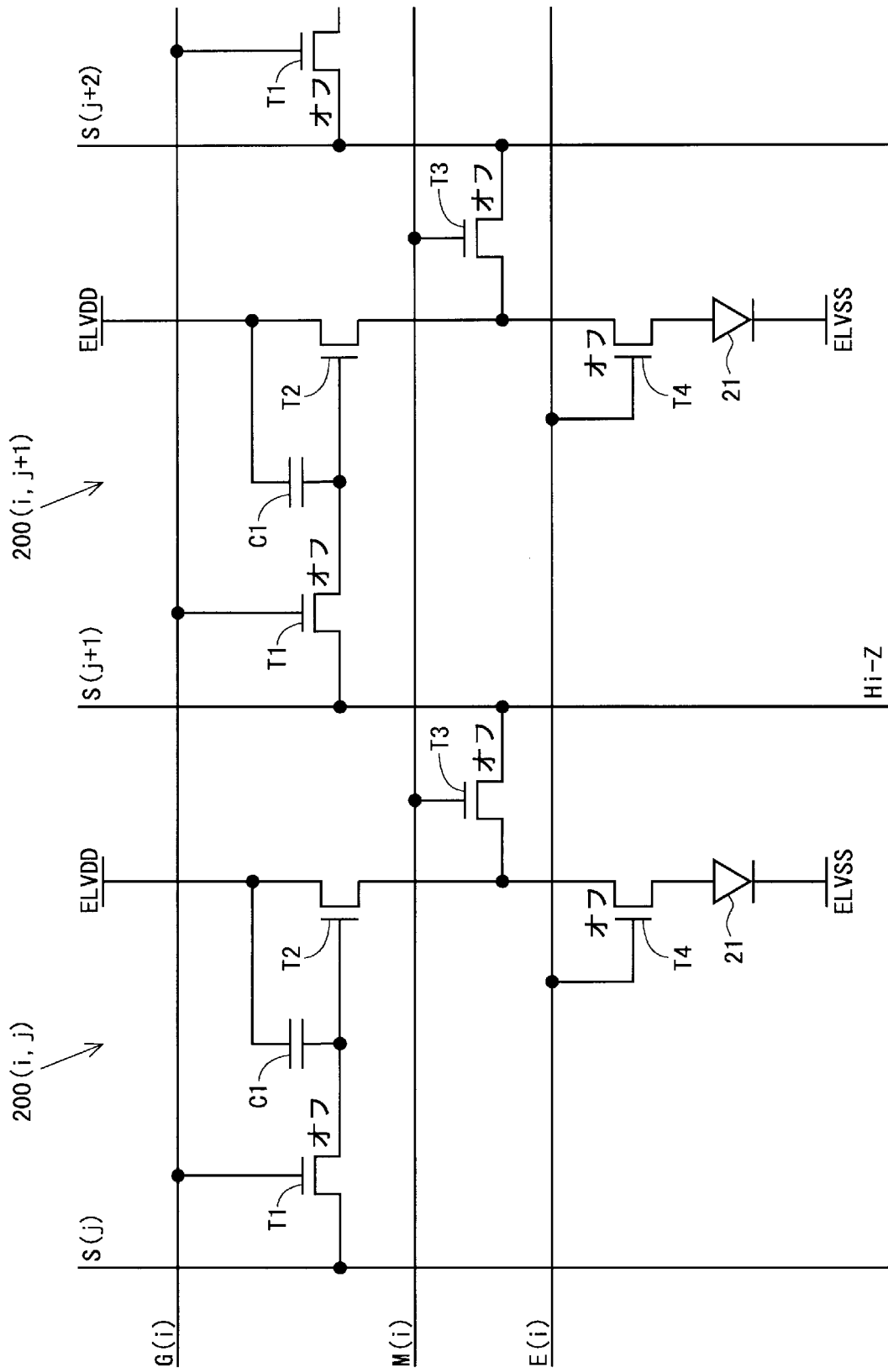
[図7]



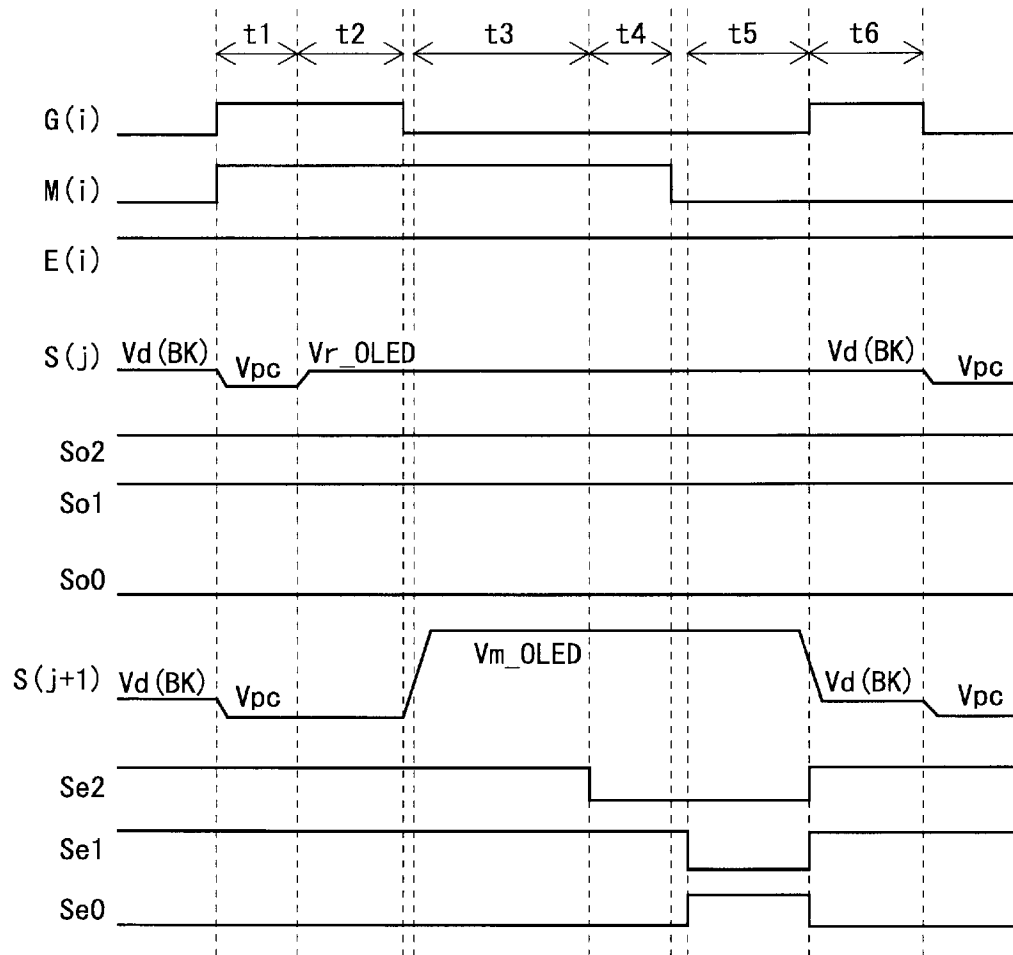
[図8]



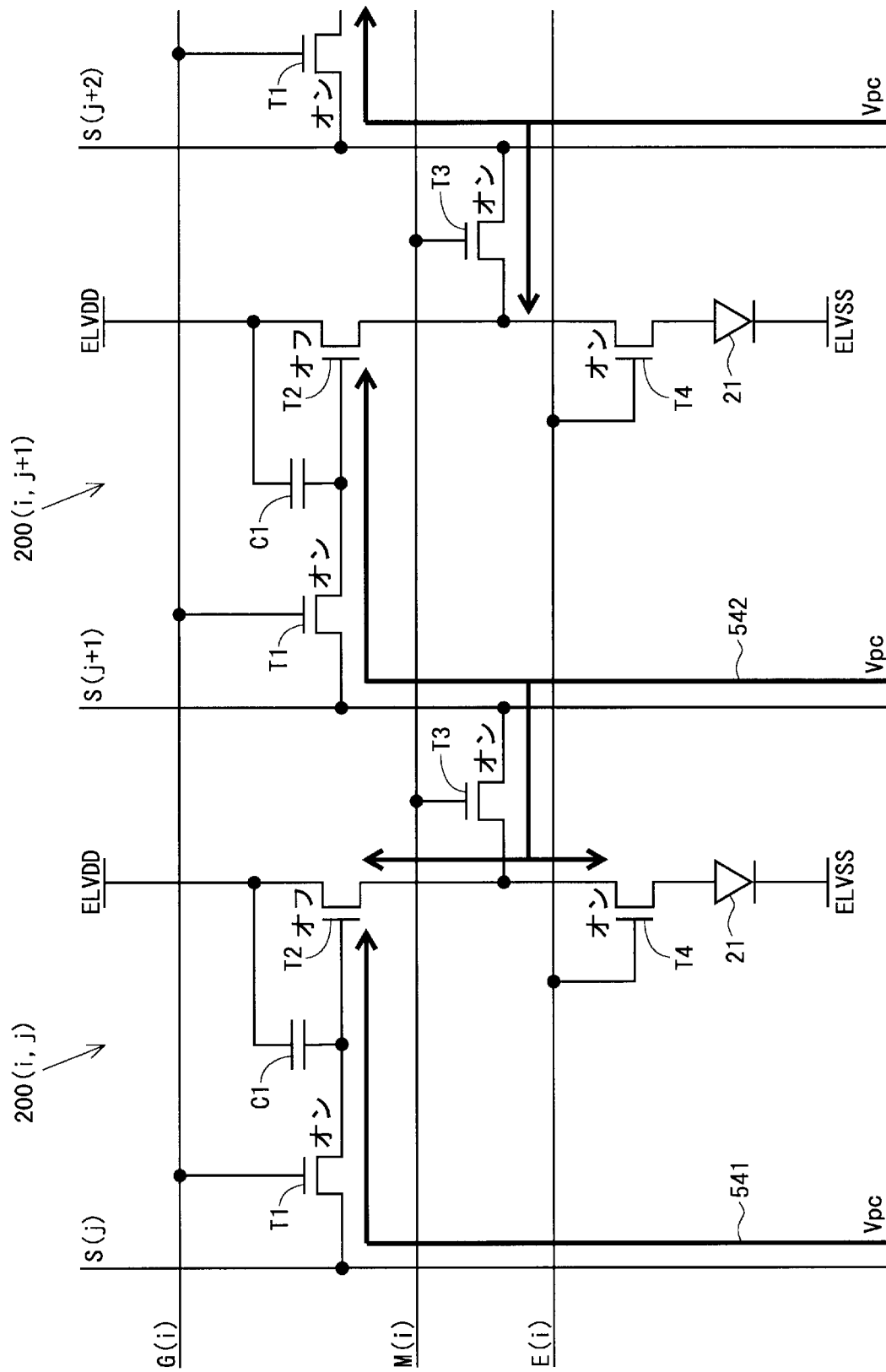
[図9]



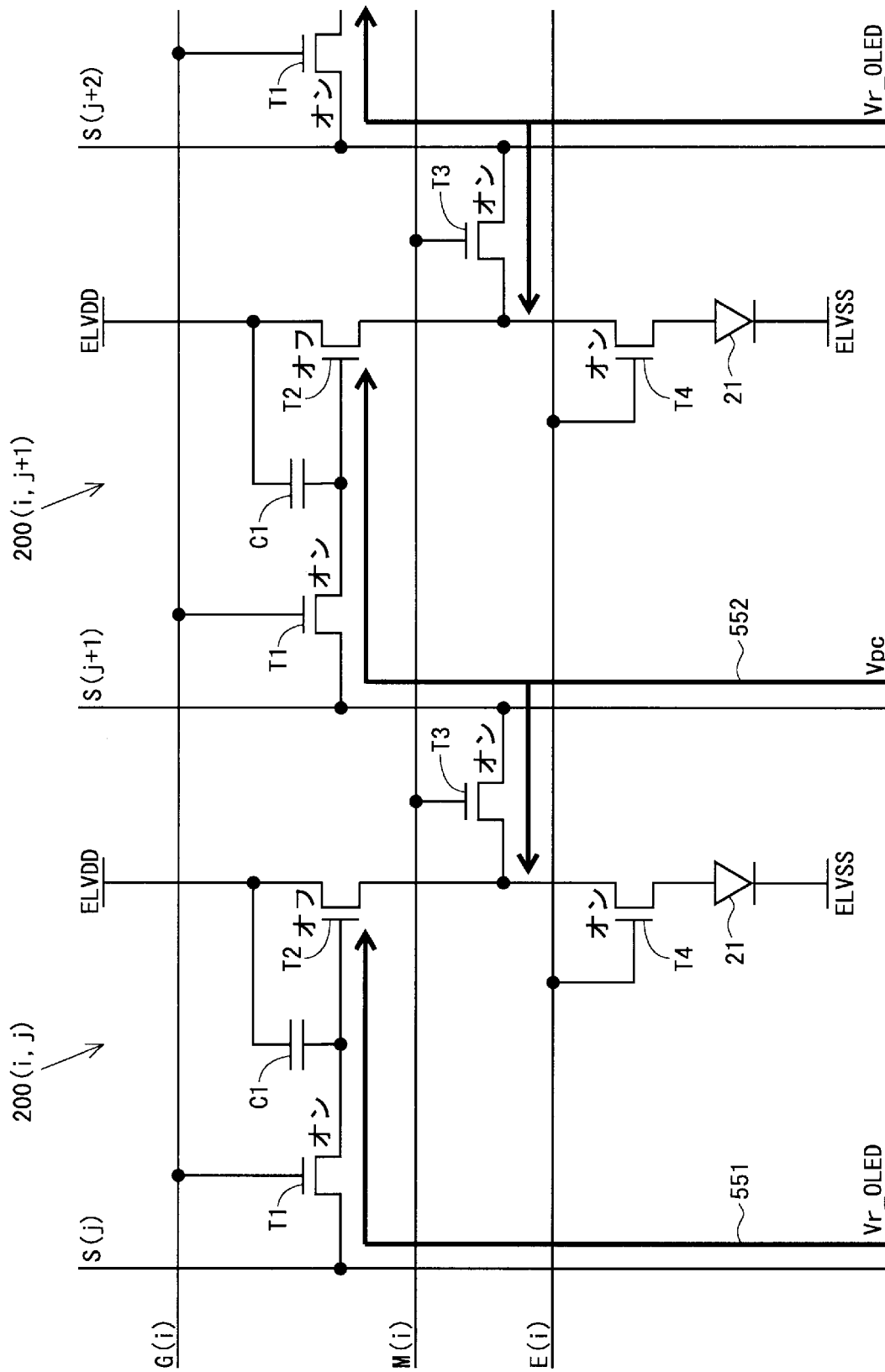
[図10]



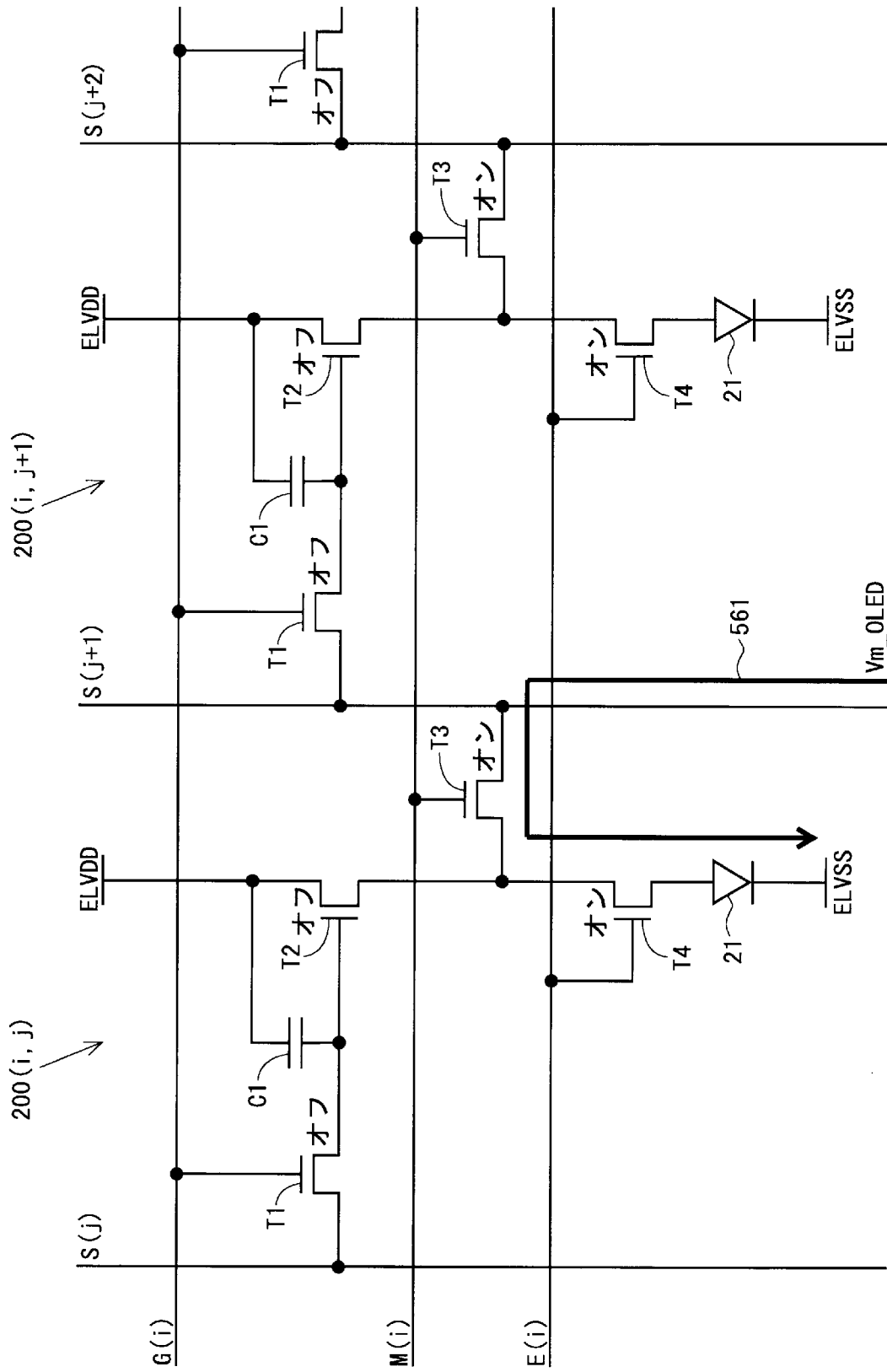
[図11]



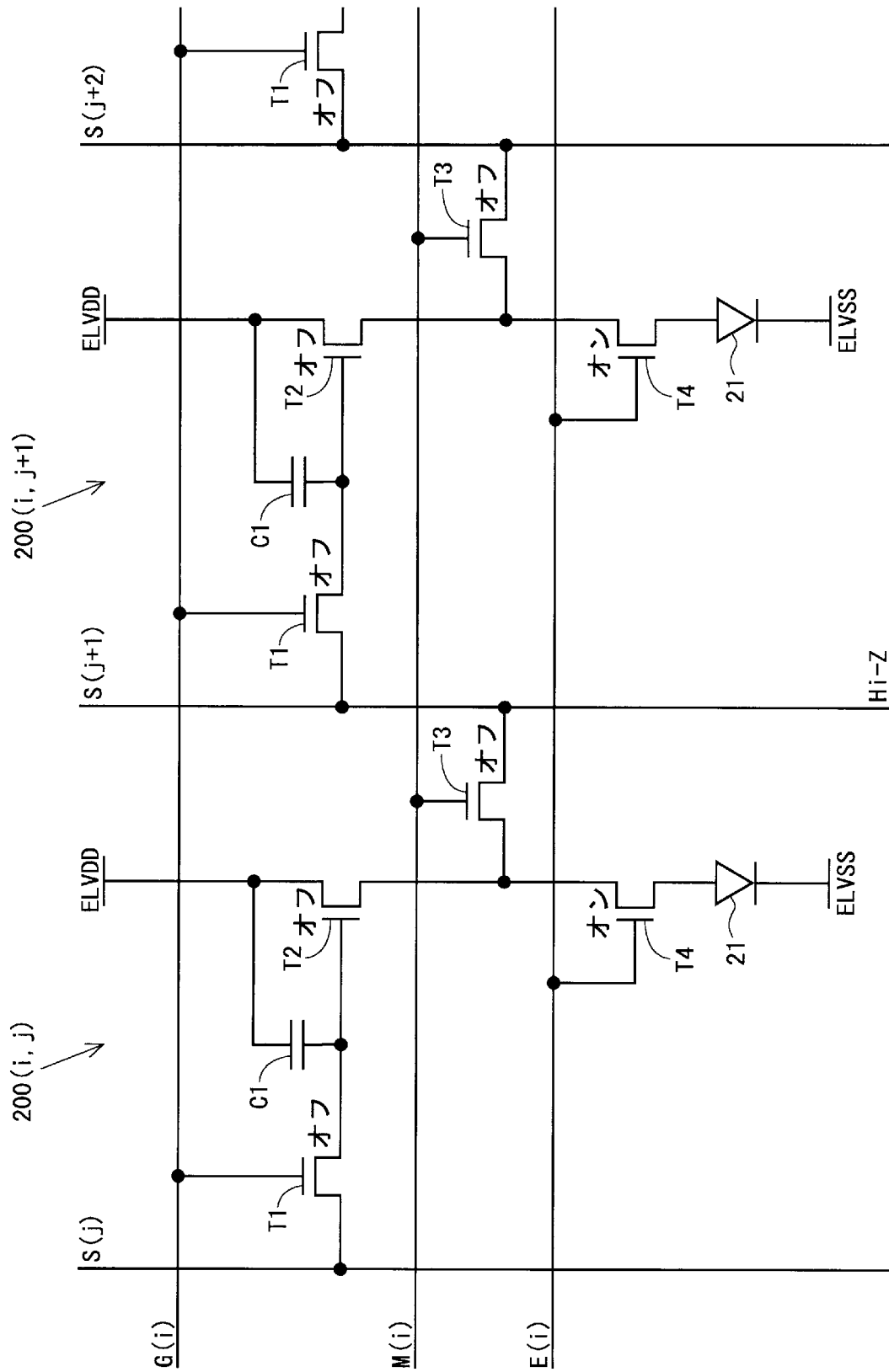
[図12]



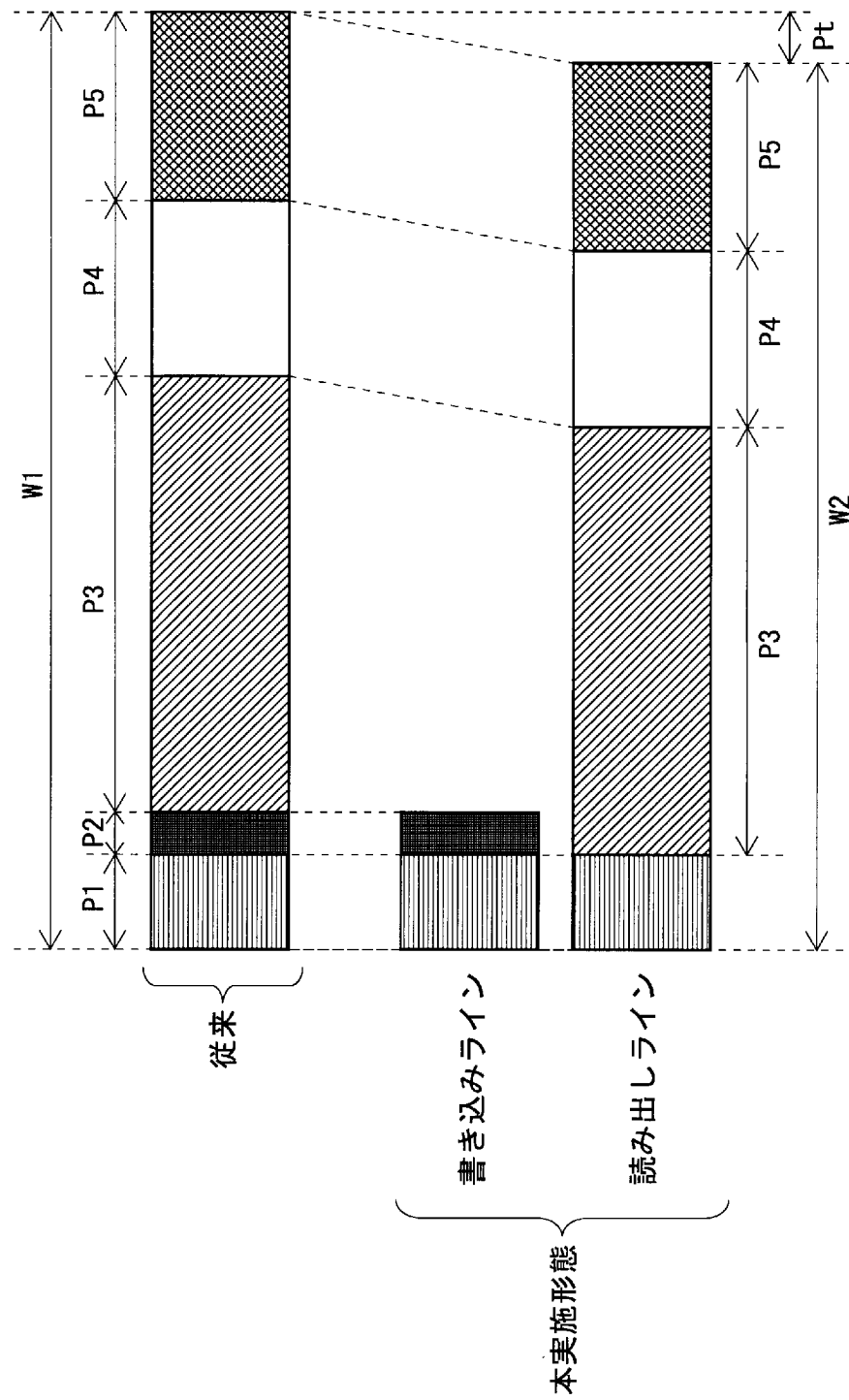
[図13]



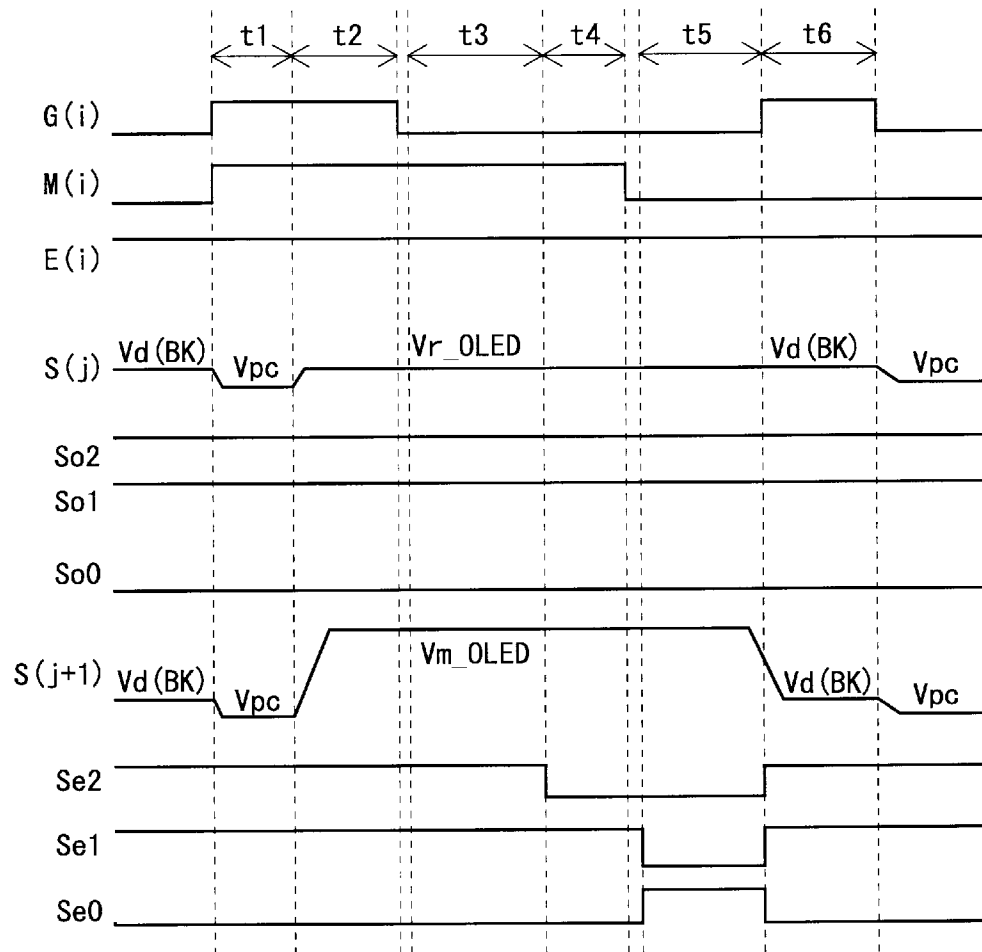
[図14]



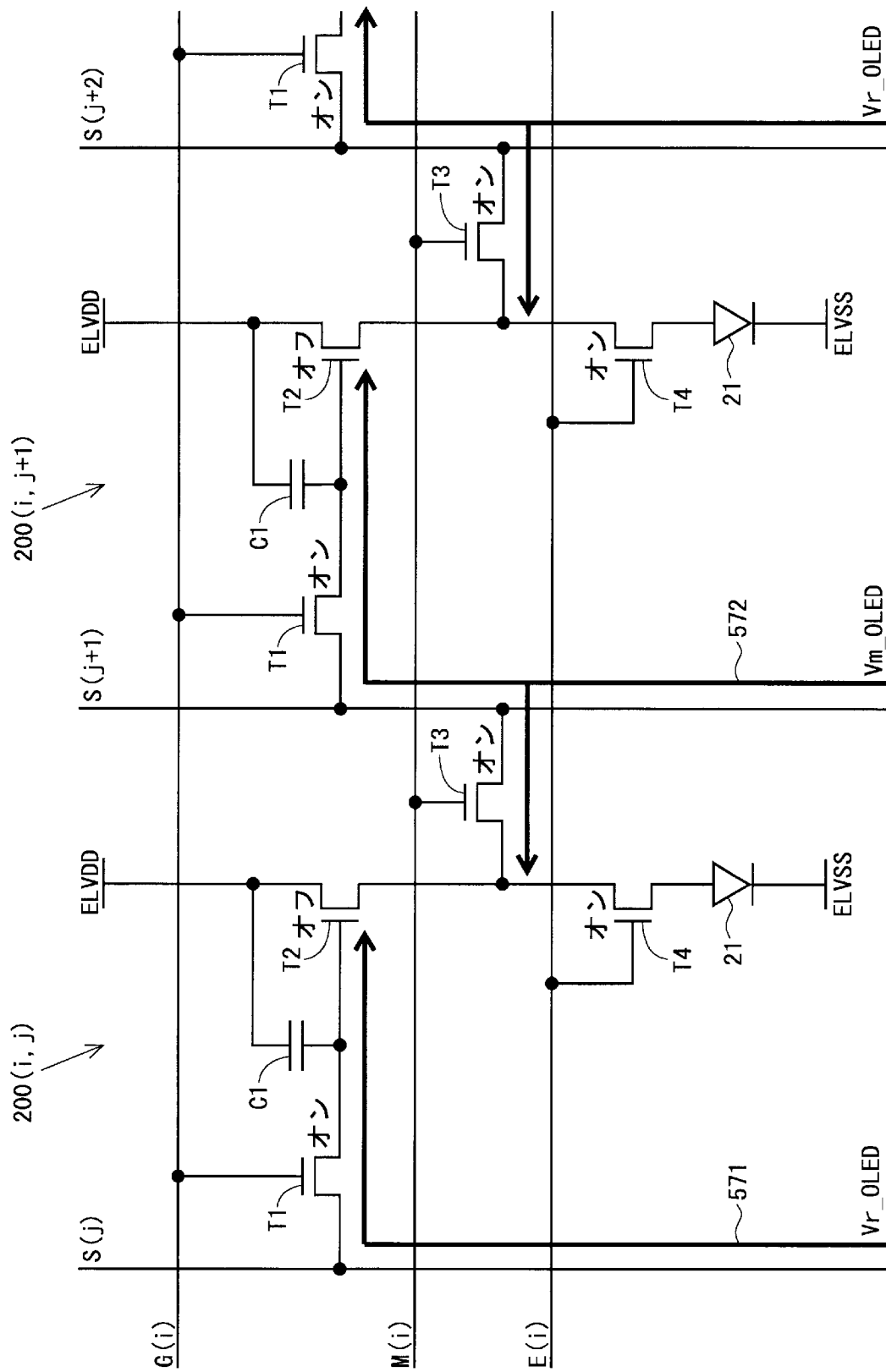
[図15]



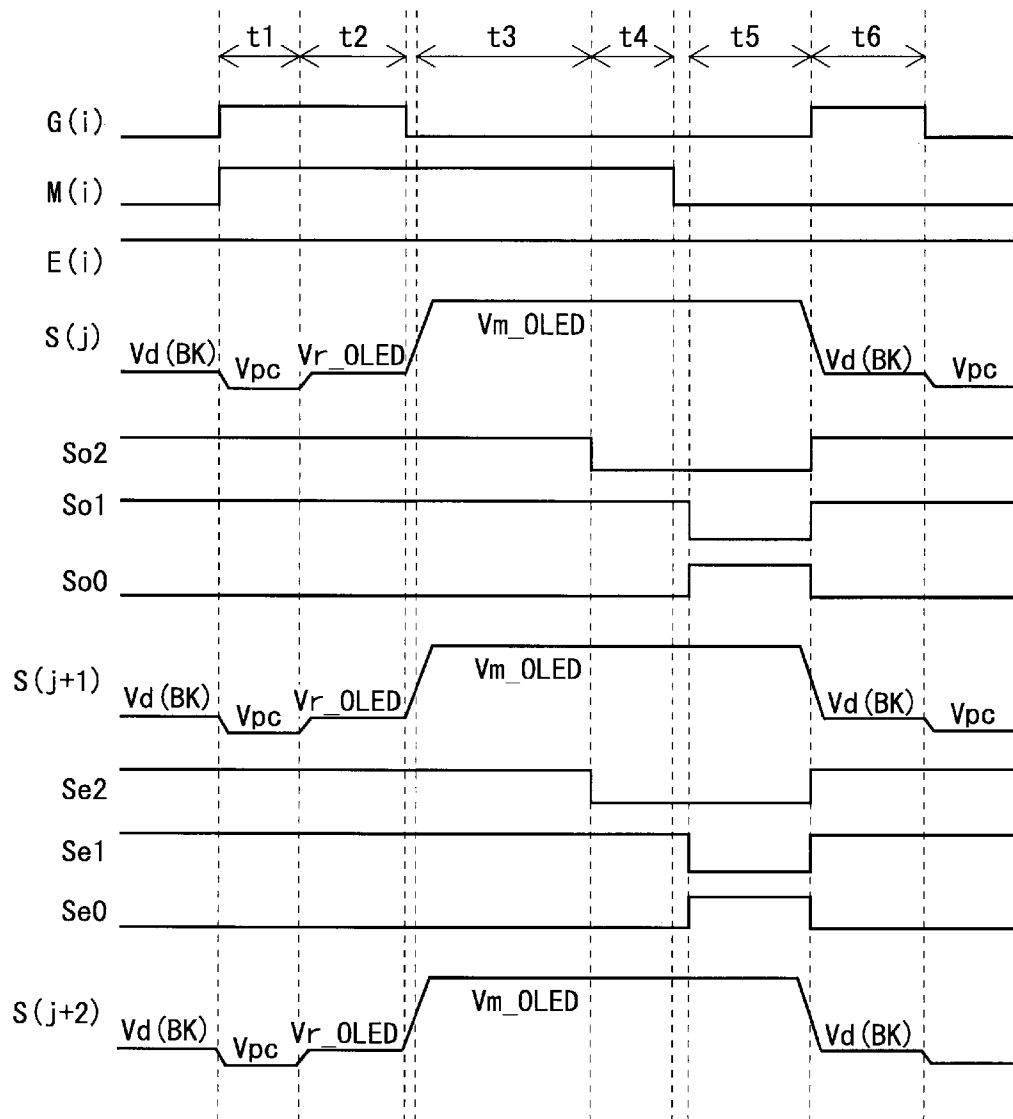
[図16]



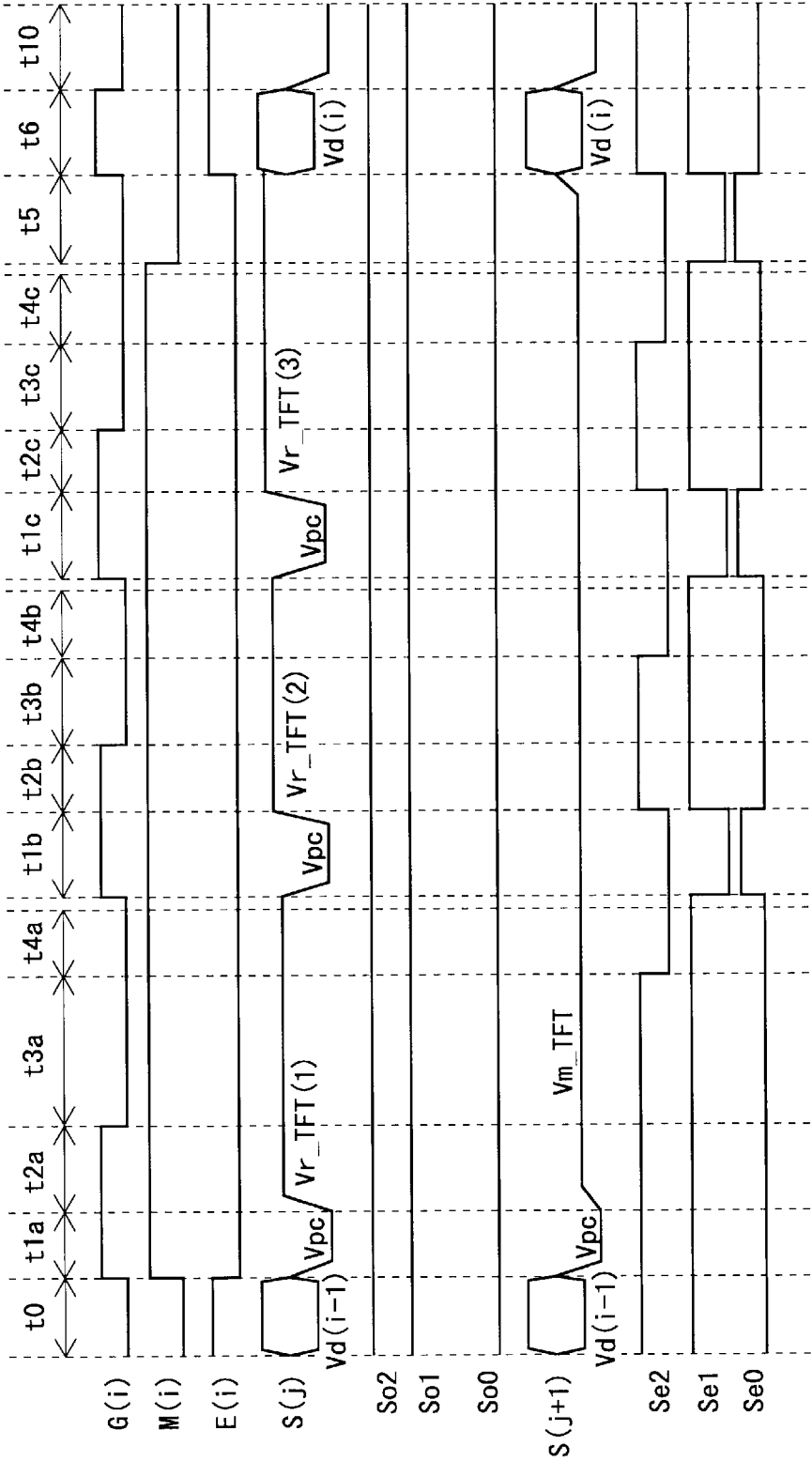
[図17]



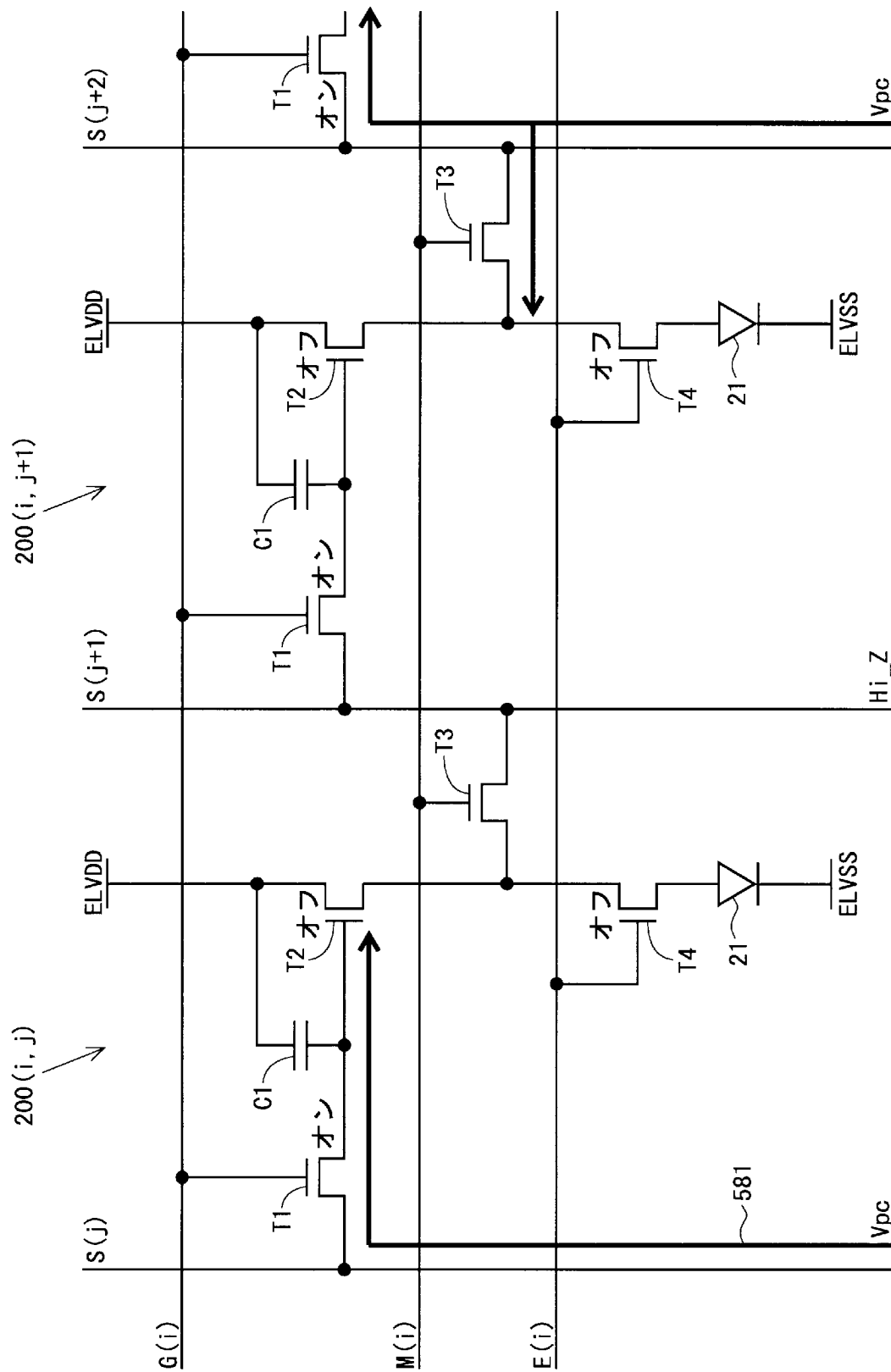
[図18]



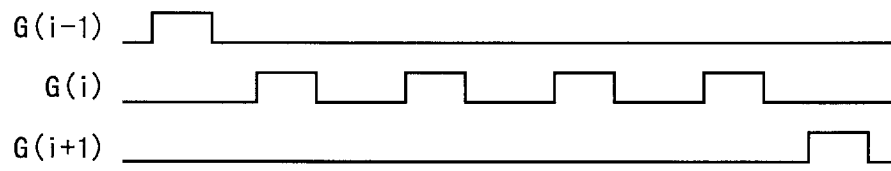
[図19]



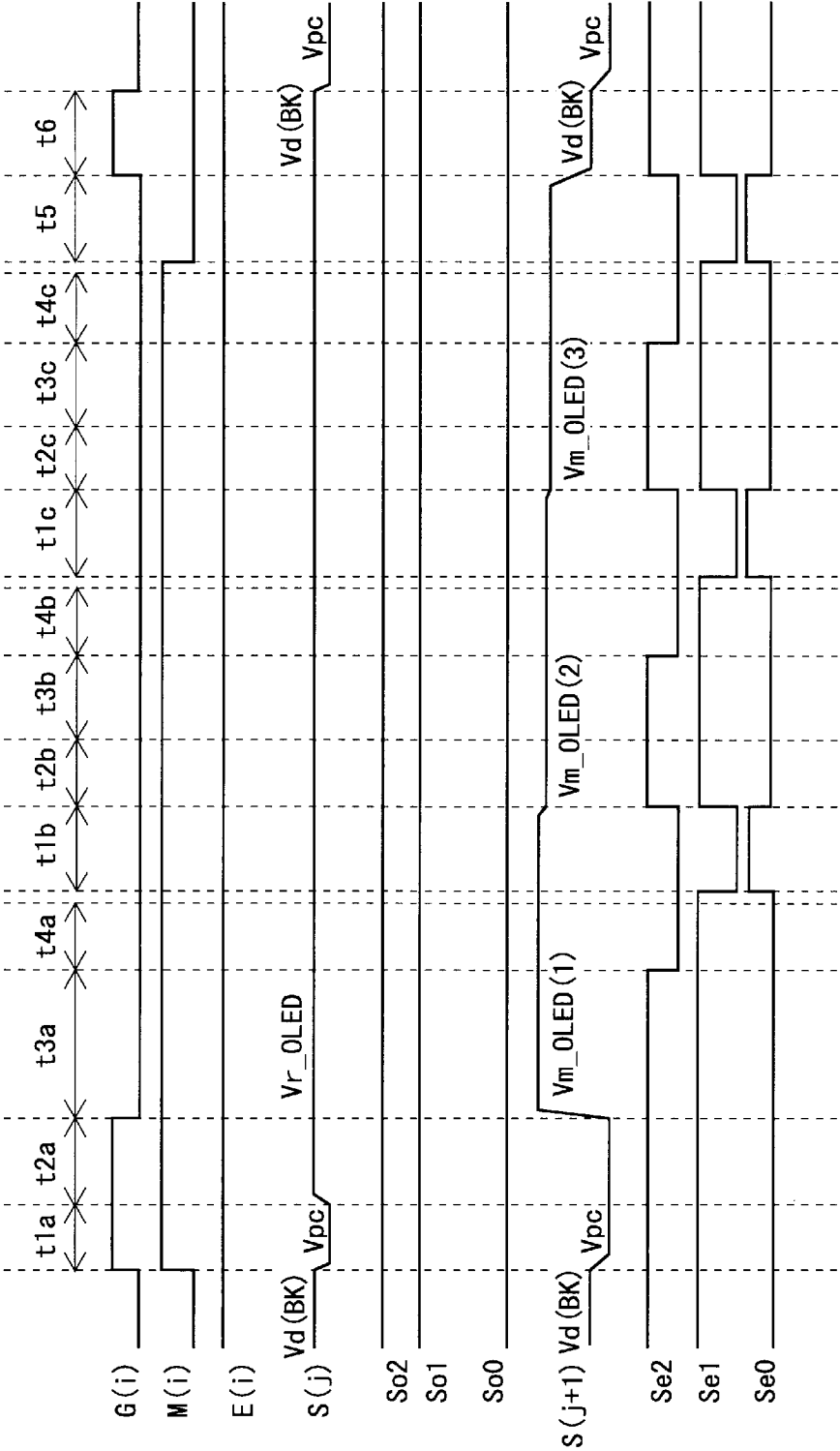
[図20]



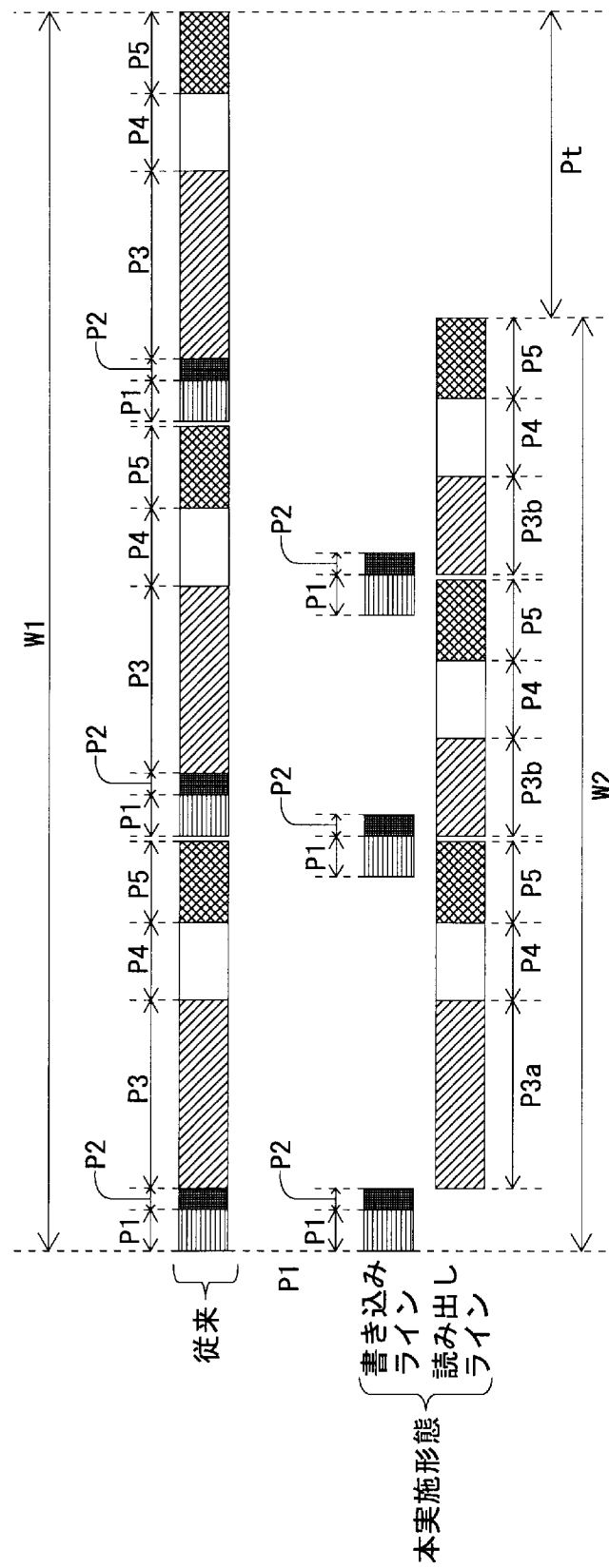
[図21]



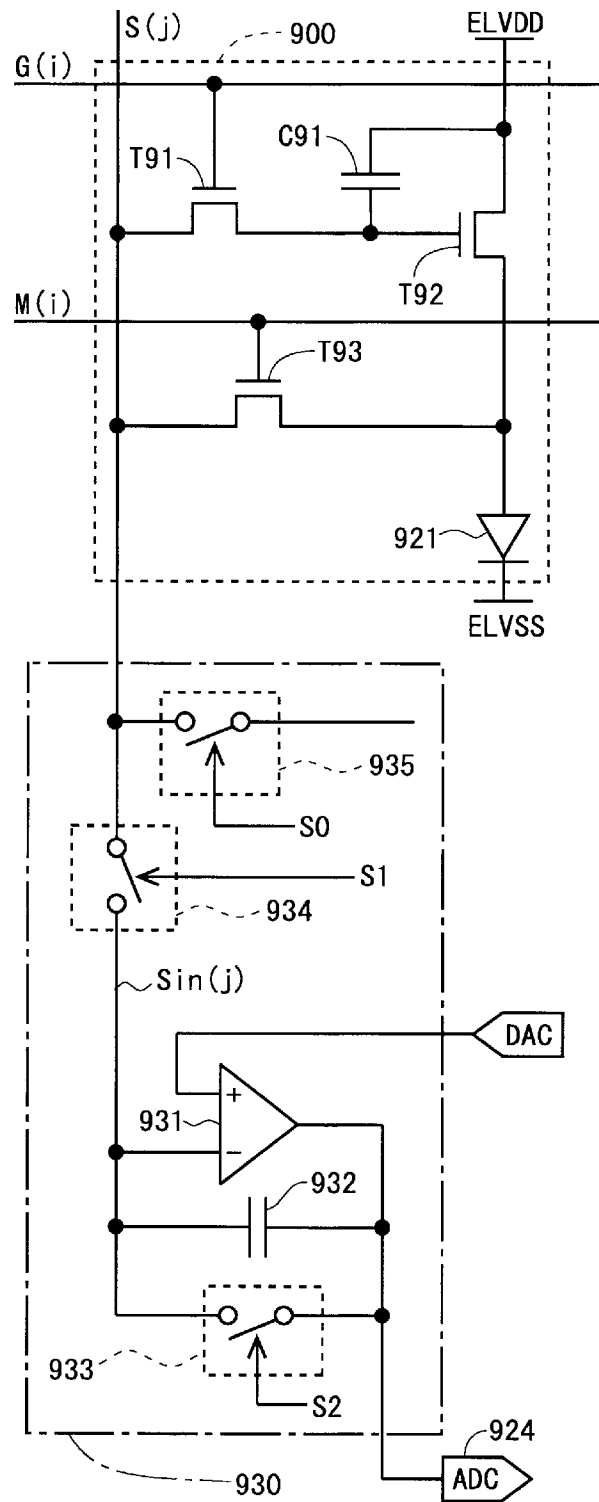
[図22]



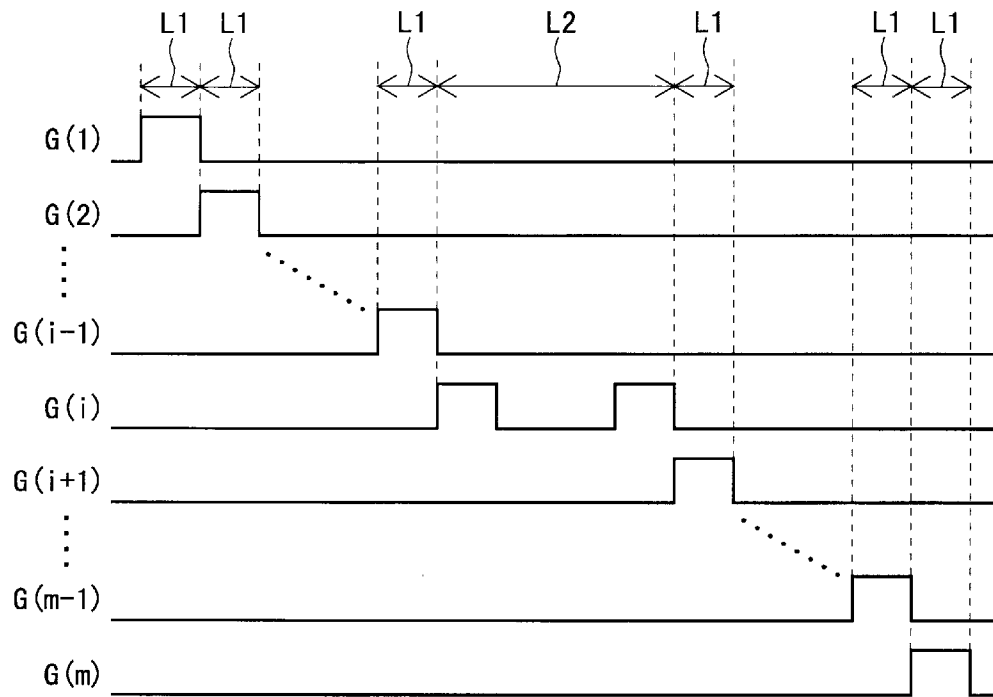
[図23]



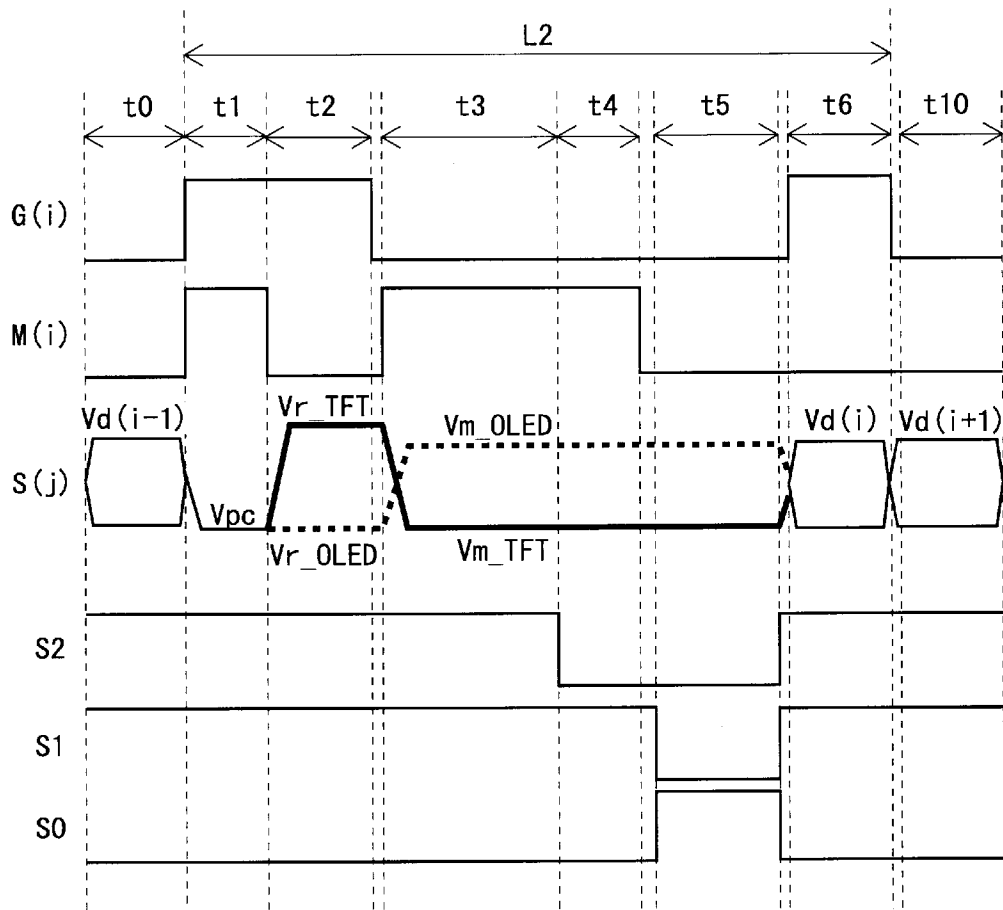
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/013516

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i, G09G3/3291 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/3233, G09G3/20, G09G3/3291

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-281874 A (CASIO COMPUTER CO., LTD.) 16	1-7, 13
Y	December 2010, paragraphs [0091]-[0137], fig. 16-27 (Family: none)	8-12, 14-22
Y	WO 2016/129463 A1 (SHARP CORP.) 18 August 2016, paragraphs [0044]-[0101], fig. 1-8 & US 2018/0033372 A1, paragraphs [0058]-[0120], fig. 1-8	8-12, 14-22
A	US 2013/0127692 A1 (LG DISPLAY CO., LTD.) 23 May 2013, entire text, all drawings & KR 10-2013-0055402 A & CN 103123774 A	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07.06.2019

Date of mailing of the international search report
18.06.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/013516

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016/0155380 A1 (SAMSUNG DISPLAY CO., LTD.) 02 June 2016, entire text, all drawings & KR 10-2016-0066108 A	1-22
A	JP 2018-537715 A (APPLE INC.) 20 December 2018, entire text, all drawings & WO 2017/095537 A1 & US 2017/0162113 A1 & KR 10-2018-0073659 A	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i, G09G3/3291(2016.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/3233, G09G3/20, G09G3/3291

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-281874 A (カシオ計算機株式会社) 2010.12.16, [0091]-[0137], 図 16-27 (ファミリーなし)	1-7, 13 8-12, 14-22
Y	WO 2016/129463 A1 (シャープ株式会社) 2016.08.18, [0044]-[0101], 図 1-8 & US 2018/0033372 A1, [0058]-[0120], FIGS. 1-8	8-12, 14-22
A	US 2013/0127692 A1 (LG DISPLAY CO., LTD.) 2013.05.23, 全文全 図 & KR 10-2013-0055402 A & CN 103123774 A	1-22

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

07.06.2019

国際調査報告の発送日

18.06.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

21

9707

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2016/0155380 A1 (SAMSUNG DISPLAY CO., LTD.) 2016.06.02, 全文全図 & KR 10-2016-0066108 A	1-22
A	JP 2018-537715 A (アップル インコーポレイテッド) 2018.12.20, 全文全図 & WO 2017/095537 A1 & US 2017/0162113 A1 & KR 10-2018-0073659 A	1-22