

發明專利說明書 200425260

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93111135

※申請日期：93 年 04 月 21 日

※IPC 分類：H01L21/02, 27/12

壹、發明名稱：

(中) 基底，基底製造方法，和半導體裝置

(外) Substrate, manufacturing method therefor, and semiconductor device

貳、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 御手洗富士夫

(英)

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓 名：(中) 米原隆夫

(英) YONEHARA, TAKAO

地 址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/05/06 ; 2003-128000 ☒ 有主張優先權

發明專利說明書 200425260

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93111135

※申請日期：93 年 04 月 21 日

※IPC 分類：H01L21/02, 21/12

壹、發明名稱：

(中) 基底，基底製造方法，和半導體裝置

(外) Substrate, manufacturing method therefor, and semiconductor device

貳、申請人：(共 1 人)

1. 姓 名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 御手洗富士夫

(英)

地 址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓 名：(中) 米原隆夫

(英) YONEHARA, TAKAO

地 址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/05/06 ; 2003-128000 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係關於一種基底，其製造方法，和一半導體裝置，且更特別而言，係關於具有 GOI（絕緣體上之鍺）構造之基底，其中 Ge 層位於一絕緣體上，其製造方法，和一半導體裝置。

【先前技術】

近年來，受到關注的是具有 Si 層之 SOI（絕緣體上之矽）之基底，其中矽層位於絕緣體上。例如，日本專利第 2,608,351，2,877,800，和 3,048,201 號案，皆揭示製造一 SOI 基底之方法。

近年來亦提出一種半導體裝置，其具有 GOI（絕緣體上之鍺）構造，其中 Ge 層位於一絕緣體上。具有 GOI 構造之半導體裝置被預期比具有 SOI 構造之半導體裝置優良，特別是在效能速度上。例如，USP 6,501,135 揭示一種具有 GOI 構造之半導體裝置和製造 GOI 基底之方法。在 USP 6,501,135 中揭示之製造方法結合 Si 基底至形成在 Ge 基底上之絕緣膜，藉以獲得一 GOI 基底。此 GOI 基底使用以獲得一半導體裝置，其使用具有如主動層厚度 500Å 之薄 Ge 膜。

爲了獲得一種半導體裝置，其使用薄 Ge 膜當成主動層，使用藉由結合一 Ge 基底和一 Si 基底在一起而形成之 GOI 基底，如 USP 6,501,135 所揭示，在形成半導體裝置

(2)

之前，具有厚度約數百 μm 之大部份 Ge 基底必須藉由拋光或蝕刻而移除。但是，在藉由拋光等移除 Ge 基底時，薄 Ge 膜之厚度難以均勻。因此，所獲得之半導體裝置無法充分展現具有 GOI 構造之裝置所具有之優點。此半導體裝置難以以高產量製造，且移除幾乎 Ge 之整個部份之處理亦會增加製造成本。

【發明內容】

本發明乃根據上述先前技藝而完成，且其目的乃在提供一種 GOI 基底的製造方法，其可充分展現具有 GOI 構造之半導體裝置之優點且可確保良好的經濟效益。

依照本發明，於此提供一種基底的製造方法，該基底具有一 Ge（鍺）層在一絕緣層上，該方法包含：形成第一基底，其具有一分離層和在分離層上之 Ge 層；藉由結合第一基底經由一絕緣層至第二基底以形成一結合基底堆疊；和在分離層上分割結合基底堆疊。

由下述之說明伴隨附圖之解說，其中本發明之較佳實施例以說明例顯示，可更加明瞭本發明之上述和其它目的，特徵，和優點。

【實施方式】

下面參考附圖說明本發明的較佳實施例。

圖 1－8 為說明依照本發明之較佳實施例之 GOI 基底製造方法之說明圖。在圖 1 所示之步驟中，準備半導體基

(3)

底 11。在圖 2 所示之步驟中，一分離層 12 形成在半導體基底 11 之表面上。關於半導體基底 11，其最好為 Si 基底或 Ge 基底。關於分離層 12，最好使用藉由陽極化半導體基底 11 表面而形成之多孔層。陽極化之執行可藉由例如，安排一陽極和一陰極在含氫氟酸（HF）之電解溶液中，安排一半導體基底在電極間，和供應電流於其間。此多孔層可由具有不同多孔性之多數層，例如，二或多層，製成。

在圖 3 所示之步驟中，以磊晶成長形成一 Ge 層 13 在分離層 12 上。在多孔層上磊晶成長當成分離層 12 可使 Ge 層 13 具有均勻的厚度和結晶性。如果 Si 基底使用當成半導體基底 11，介於 Si 基底 11 和 Ge 層 13 間之多孔 Si 層 12 可鬆緩介於 Si 和 Ge 之晶格常數之不匹配，藉以獲得具有良好晶性之 Ge 層 13。另一方面，當 Ge 基底使用當成半導體基底 11 時，不會發生晶格常數不匹配，且因此，可獲得具有良好晶性之 Ge 層 13。

替代圖 2 和 3 所示之處理，於此亦可採用離子植入方法，其中在圖 1 所示之狀態中，如氫離子從半導體基底 11 表面植入一預定深度，以形成一離子植入層當成分離層。在此例中，最好使用 Ge 基底當成半導體基底 11，和從分離層 12 觀看在表面側上之部份當成 Ge 層 13。

在圖 4 所示之步驟中，絕緣層 14 形成在 Ge 層 13 上。在上述之方式中，可形成第一基底，其具有 Ge 層 13 在多孔層上或離子植入層當成分離層 12。關於絕緣層 14，

(4)

可使用二氧化矽 (SiO_2)。絕緣層 14 之其它較佳例之氧化膜包括氮氧化矽 (SiON)，氧化鋁 (Al_2O_3)，氧化鈺 (HfO_2)，氧化鋯 (ZrO_2)，和氧化鉭 (Ta_2O_5) 等。

在圖 5 所示之步驟中，第二基以 20 結合至圖 4 所示之第一基底 10 之表面以形成一結合基底堆疊 30。典型的，最好使用 Si 基底或藉由形成如 SiO_2 層之絕緣膜在其表面而獲得之基底當成第二基底 20。再者，亦可使用如玻璃基底之其它基底當成第二基底 20。

在圖 6 所示之步驟中，結合基底堆疊 30 藉由切割其分離層 12 而分割成兩基底。此分割可藉由如使用一流體之方法執行。關於此方法，最好使用如形成一流體（液體或氣體）噴射，並將此噴射射至分離層 12 之方法，或使用流體靜壓力之方法等。除了噴射方法外，使用水當成流體之方法稱為水噴射法。此分割亦可藉由使結合基底堆疊 30 退火而執行。當離子植入層形成當成分離層時，藉由退火之分割特別有效。替代的，此分割可藉由插入如一楔形物之堅固構件至分離層 12 而執行。

在圖 7 所示之步驟中，留在第二基底 20 之 Ge 層 13 上之分離層 12b 使用如蝕刻劑移除。此時，Ge 層 13 最好使用當成蝕刻阻止層。而後，可依需要執行如氫退火步驟，或拋光步驟等之平面化步驟以使 Ge 層 13 平坦化。

以上述之操作，可獲得如圖 8 所示之半導體基底 40。圖 8 所示之半導體基底 40 表面具有薄 Ge 層 13 和絕緣層 14 位於 Ge 層 13 正下方。所謂“薄 Ge 層 13”意指該

(5)

層比一般半導體基底薄。爲了展現如同半導體裝置之優點，Ge 層 13 之厚度最好在 5nm 至 $2\mu\text{m}$ 之範圍內。根據半導體裝置之規格，可形成鎵砷 (GaAs) 層在 Ge 層 13 上。由於介於 Ge 和 GaAs 之晶格常數間之不匹配較小，因此可獲得具有良好晶性之 GaAs 層。

在結合基底堆疊 30 在圖 6 所示之步驟中分割後，留在第一基底 10 中之分離層 12a 使用如蝕刻劑等移除。而後，可執行如氫退火步驟，或拋光步驟等步驟以使第一基底 10 平坦化。此平坦化基底可再使用當成使用於圖 1 所示之步驟中之半導體基底 11。重覆使用半導體基底 11 可顯著的降低 GOI 基底之製造成本。

如上所述，依照本發明之製造方法可獲得一 GOI 基底，其具有均勻厚度和良好晶性之薄 Ge 膜。再者，依照本發明之製造方法可顯著降低 GOI 基底之製造成本。

(範例 1)

準備電阻率爲 $0.01\Omega \cdot \text{cm}$ 之第一 p 型 Si 基底 11。而後，在陽極化溶液中陽極化第一 Si 基底 11 以形成多孔 Si 層當成一分離層 12。陽極化條件如下。

電流密度 : $7 (\text{mA} / \text{cm}^2)$

陽極化溶液 : $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間 : 11 (min)

多孔矽厚度 : $12 (\mu\text{m})$

電流密度和陽極化溶液之相關成份之濃度可依照所形

(6)

成之分離層（多孔矽層）12 之厚度或構造等而改變。較佳的，電流密度之範圍在 0.5 至 $700\text{mA}/\text{cm}^2$ 間，和陽極化溶液之成份濃度比例範圍介於 $1:10:10$ 至 $1:0:0$ 間。

多孔 Si 層因為其上形成有高品質磊晶 Ge 層而相當有用，且多孔 Si 層作用當成分離層。多孔 Si 層之厚度並不限於上述範例。只要厚度落在如 $0.1\mu\text{m}$ 至數百 μm 之範圍內，皆可獲得良好的結果。

陽極化溶液只需含有 HF 而無需包含乙醇。但是，由於乙醇可有效的從基底表面移除任何氣泡，因此，其最好添加在陽極化溶液中。具有移除氣泡功能之化學劑，除了乙醇外，包括之醇類如甲醇和異丙醇，或表面活化劑等。除了添加這些化學劑外，替代的，亦可藉由超音波之振動而從基底消除氣泡。

此陽極化基底在氧氣中在 400°C 下氧化一小時。以此氧化步驟，多孔 Si 層之多孔內壁受覆蓋以熱氧化膜。而後，藉由化學蒸氣沉積（CVD）在多孔 Si 層上磊晶成長厚度為 $0.3\mu\text{m}$ 之 Ge 層 13。其成長條件如下。

源極氣體： GeH_4/H_2

氣體流率： $0.5/180\text{L}/\text{min}$

氣體壓力： 80Torr

溫度： 600°C

成長率： $0.3\mu\text{m}/\text{min}$

此成長條件可依照 Ge 層 13 之所需規格而適度改變。

(7)

而後，以濺鍍法在室溫下在超高真空環境中沉積 200nm 厚之 Zr 在磊晶 Ge 層 13 表面上。在相同室中以臭氣氧化第一 Si 基底 11 以形成 ZrO_2 層 14。

第一基底 10 和第二基底 20 的表面放置在一起且互相接觸。而後，第一基底 10 和第二基底 20 在 800℃ 下受到退火 5 分鐘，藉以增加結合強度。以此操作，可獲得一結合基底堆疊 30。

純水以 50Mpa 之高壓，從水噴射裝置之 0.1mm 之噴嘴，在平行於結合基底堆疊 30 之結合介面方向，噴向結合基底堆疊 30 之週邊之凹陷部份（由兩基底 10 和 20 之斜面部份所形成之凹陷部份）。以此操作，結合基底堆疊 30 在分離層 12 上受到切割且分割成兩基底。此純水之水壓最好落在如數 MPa 至 100Mpa 之範圍間。

在此分割步驟中，可執行下列任一操作。

（1）噴嘴執行掃描，以使從噴嘴噴出之純水噴射流沿著由斜面部份所形成之凹陷部份移動。

（2）結合基底堆疊 30 由一晶圓支架所握持且在其軸上轉動以將純水噴入由斜面部份所形成之凹陷部份，環繞結合基底堆疊之週邊。

（3）操作（1）和操作（2）結合執行。

結果， ZrO_2 層 14、磊晶 Ge 層 13、和多孔 Si 層 12 之一部份 12b，其原先形成在第一基底 10 之一側上，乃傳送至第二基底 20 之一側上。只有多孔 Si 層 12 之另一部份 12a 留在第一基底 10 之表面上。

(8)

除了以水噴射法分割（分離）結合基底堆疊外，亦可使用氣體噴射法或將一堅固楔形物插入結合基底堆疊之分離層中。替代的，亦可施加如張力、或剪力等之機械力至結合基底堆疊，或施加超音波至結合基底堆疊。此外，亦可採用其它方法。

傳送至第二基底 20 最上表面之多孔 Si 層 12b 使用蝕刻劑選擇性蝕刻，該蝕刻劑中混合至少 49% 氫氟酸（HF）溶液，30% 過氧化氫（H₂O₂）溶液，和水（H₂O）。當多孔 Si 層 12b 受到選擇性蝕刻和完全移除時，Ge 層 13 留下未受到蝕刻。當轉動基底和啓始／停止產生超音波時，如果使用結合使蝕刻劑循環之循環器之裝置以執行選擇性蝕刻下，可抑制在基底表面上和基底間之不均勻蝕刻。此外，將酒精或表面活化劑混合在蝕刻劑中，可抑制在表面上由反應氣泡所引起之不均勻蝕刻。

蝕刻劑對 Ge 層之蝕刻速度相當慢，且對多孔層之蝕刻速度之選擇率達到 10⁵ 或更大。因此，在 Ge 層中之蝕刻量可忽略。

以上述步驟，可獲得在 ZrO₃ 層 14 上厚度為 0.3 μm 之 Ge 層 13 之半導體基底。雖然多孔 Si 層受到選擇性蝕刻，但是在 Ge 層 13 中不會發生改變。當所形成之 Ge 層 13 之膜厚度在跨過表面的 100 點上測量時，膜厚度均勻性為 301nm±4nm。

以透射電子顯微鏡觀察橫截面顯示 Ge 層 13 保持良好的晶性。

(9)

再者，此基底在氫氣下，在 600℃ 下，退火 1 小時，且 Ge 之表面粗糙度以原子力顯微鏡測量。在 50 平方 μm 面積中之均方粗糙度約為 0.2nm，其等於一般商用 Si 晶圓之粗糙度。

除了氫退火外，亦可使用如 CMP 之拋光使表面平坦化。

如果執行電漿處理用於結合之第一基底和第二基底之相關表面至少之一當成結合步驟之預先處理時，即使在低溫下退火，亦可增加結合強度。此外，已進行電漿處理之基底最好以水清洗。

在分割步驟中，多數結合基底堆疊可安排在它們的平面方向，和水噴射裝置之噴嘴可沿著平面方向執行掃描，藉以連續的分割多數結合基底堆疊。

替代的，多數結合基底堆疊亦可安排在垂直於每一平面之方向，和水噴射裝置之噴嘴提供 X-Y 方向掃描功能。而後，噴射水流可循序的注向結合基底堆疊之多數結合部份，和結合基底堆疊受到自動的分割。

在分割步驟後，留在第一基底 10 上之多孔 Si 層 12a 受到移除，和第一基底 10 受到平坦化。在形成第一基底之步驟中再使用平坦化基底可降低 GOI 基底之製造成本。重覆再使用可顯著降低 GOI 基底之製造成本。

(範例 2)

此範例為範例 1 之改良，且除了陽極化條件外，皆與

(10)

範例 1 相同。

在此範例中，準備 Si 基底 11 並使 Si 基底在下述任一陽極化條件下，在含 HF 之溶液中陽極化。

(第一陽極化條件)

(第一步驟)

電流密度 : $8 \text{ (mA/cm}^2\text{)}$

陽極化溶液 : $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間 : 11 (min)

多孔矽厚度 : $13 \text{ (}\mu\text{m)}$

(第二步驟)

電流密度 : $22 \text{ (mA/cm}^2\text{)}$

陽極化溶液 : $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間 : 2 (min)

多孔矽厚度 : $3 \text{ (}\mu\text{m)}$

或

(第二陽極化條件)

(第一步驟)

電流密度 : $8 \text{ (mA/cm}^2\text{)}$

陽極化溶液 : $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間 : 5 (min)

多孔矽厚度 : $6 \text{ (}\mu\text{m)}$

(11)

(第 二 步 驟)

電 流 密 度 : 33 (mA / cm²)陽 極 化 溶 液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1

時 間 : 1.3 (min)

多 孔 矽 厚 度 : 3 (μ m)

在陽極化之第一步驟中形成之第一多孔 Si 層使用以形成高品質磊晶 Ge 層於其上。在陽極化之第二步驟中形成在第一多孔 Si 層下方之第二多孔 Si 層使用當成分離層。

(範 例 3)

具有如圖 9 所示構造之 FET 形成在以範例 1 和 2 所述之方法製成之半導體基底上。以氧化鋯 (ZrO₃) 製成之閘極絕緣膜 41，以多孔矽製成之閘極電極 42，通道區 43，和源極和汲極區 44 形成在具有 GOI 構造之半導體基底 40 中，其中 GOI 構造具有 Ge 層 13 在由氧化鋯 (ZrO₃) 製成之絕緣層 14 上。關於閘極絕緣膜 41，除了氧化鋯 (ZrO₃) 外，亦可使用如氧化鋁 (Al₂O₃)，氧化鈺 (HfO₂)，和氧化鉭 (Ta₂O₅) 等的氧化膜。在此例中，FET 形成在以範例 1 和 2 所述之方法製成之半導體基底上。但是，本發明並不限於此，於此亦可形成其它半導體裝置，如電晶體，二極體，和 LSI 等。

(12)

(其它範例)

於此可使用各種膜形成技術，如 CVD，MBE，濺鍍，和液相成長等在形成 Ge 層之磊晶成長步驟中。

再者，除了上述 49% 氫氟酸溶液，30% 過氧化氫溶液，和水之混合溶液外，亦可使用各種不同的蝕刻劑（如氫氟酸溶液，硝酸溶液，和醋酸溶液之混合溶液）至選擇性蝕刻分離層（多孔層，或離子植入層等）之步驟中。

本發明並不限於上述之實施例，且於此仍可達成各種改變和修飾，但其仍屬本發明之精神和範疇。因此，本發明之精神和範疇應由下述申請專利範圍界定之。

【圖式簡單說明】

圖 1 為說明依照本發明之較佳實施例之基底製造方法之圖；

圖 2 為說明依照本發明之較佳實施例之基底製造方法之圖；

圖 3 為說明依照本發明之較佳實施例之基底製造方法之圖；

圖 4 為說明依照本發明之較佳實施例之基底製造方法之圖；

圖 5 為說明依照本發明之較佳實施例之基底製造方法之圖；

圖 6 為說明依照本發明之較佳實施例之基底製造方法之圖；

(13)

圖 7 為說明依照本發明之較佳實施例之基底製造方法之圖；

圖 8 為說明依照本發明之較佳實施例之基底製造方法之圖；和

圖 9 為說明依照本發明之較佳實施例之基底製造方法之圖。

主要元件對照表

- 10 第一基底
- 11 半導體基底
- 12 分離層
- 13 Ge 層
- 14 絕緣層
- 20 第二基底
- 30 結合基底堆疊
- 40 半導體基底
- 41 閘極絕緣膜
- 42 閘極電極

伍、中文發明摘要

發明名稱：基底，基底製造方法，和半導體裝置

本發明係關於一種基底的製造方法，包含形成第一基底，其具有一分離層和在分離層上之 Ge 層；藉由結合第一基底經由一絕緣層至第二基底以形成一結合基底堆疊；和在分離層上分割結合基底堆疊，藉以獲得具有 GOI 構造之基底。

陸、英文發明摘要

發明名稱：Substrate, manufacturing method therefor, and semiconductor device

A step of forming the first substrate which has a separation layer and a Ge layer on the separation layer, and a step of forming a bonded substrate stack by bonding the first substrate to the second substrate through an insulating layer, and a step of dividing the bonded substrate stack at the separation layer are performed, thereby obtaining a substrate with a GOI structure.

(1)

拾、申請專利範圍

1. 一種基底的製造方法，該基底具有一 Ge（鍺）層在一絕緣層上，該方法包含：

形成第一基底，其具有一分離層和在分離層上之 Ge 層；

藉由結合第一基底經由一絕緣層至第二基底以形成一結合基底堆疊；和

在分離層上分割結合基底堆疊。

2. 如申請專利範圍第 1 項之方法，其中該絕緣層形成在 Ge 層上。

3. 如申請專利範圍第 1 項之方法，其中該絕緣層形成在第二基底上。

4. 如申請專利範圍第 1 項之方法，其中該分離層藉由以陽極化多孔化半導體基底而形成。

5. 如申請專利範圍第 1 項之方法，其中該分離層藉由在半導體基底中植入離子而形成。

6. 如申請專利範圍第 4 項之方法，其中該半導體基底包含矽和鍺之一。

7. 如申請專利範圍第 1 項之方法，其中 Ge 層以磊晶成長形成。

8. 如申請專利範圍第 1 項之方法，其中該絕緣層包括一氧化膜。

9. 如申請專利範圍第 1 項之方法，其中該絕緣層包括二氧化矽（ SiO_2 ）。

(2)

10. 如申請專利範圍第 1 項之方法，其中該絕緣層包括氮氧化矽（ SiON ），氧化鋁（ Al_2O_3 ），氧化鉛（ HfO_2 ），氧化鋯（ ZrO_2 ），和氧化鉭（ Ta_2O_5 ）之至少之一。

11. 如申請專利範圍第 1 項之方法，其中該分割步驟包括藉由一流體噴射或一靜壓力分割分離層之步驟。

12. 如申請專利範圍第 1 項之方法，其中該分割步驟包括藉由使結合基底堆疊退火而分割分離層之步驟。

13. 如申請專利範圍第 1 項之方法，其中該分割步驟包括藉由將一構件插入分離層而分割分離層之步驟。

14. 如申請專利範圍第 1 項之方法，進一步包含在分割步驟後，移除留在第二基底上之 Ge 層上之分離層之一部份的步驟。

15. 如申請專利範圍第 1 項之方法，進一步包含在分割步驟後，使 Ge 層表面平坦化之步驟。

16. 如申請專利範圍第 1 項之方法，進一步包含在分割步驟後，移除留在第一基底上之分離層之一部份之步驟。

17. 如申請專利範圍第 1 項之方法，進一步包含在分割步驟後，使第一基底表面平坦化和再使用平坦化之第一基底在形成第一基底之步驟。

18. 一種基底，其以如申請專利範圍第 1 項之方法製造。

19. 一種半導體裝置，其使用如申請專利範圍第 1 項之方法所製造之基底製造。

圖 1



圖2

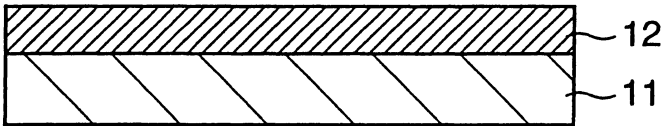


圖3

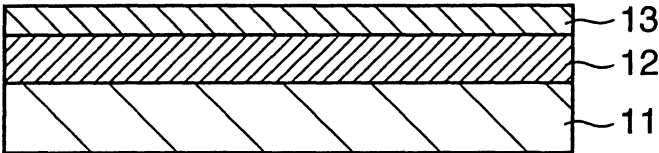


圖 4

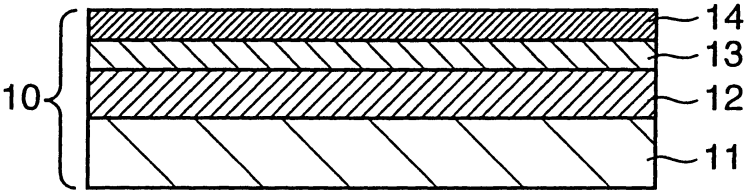


圖5

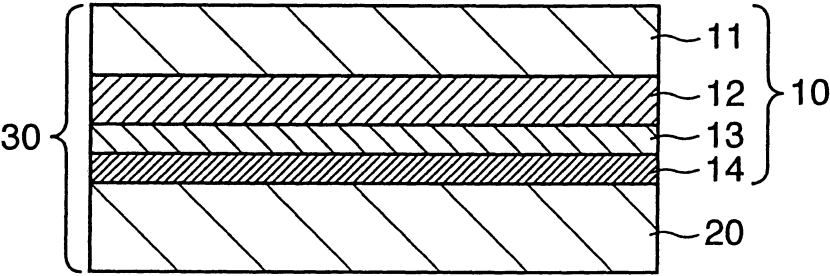


圖 6

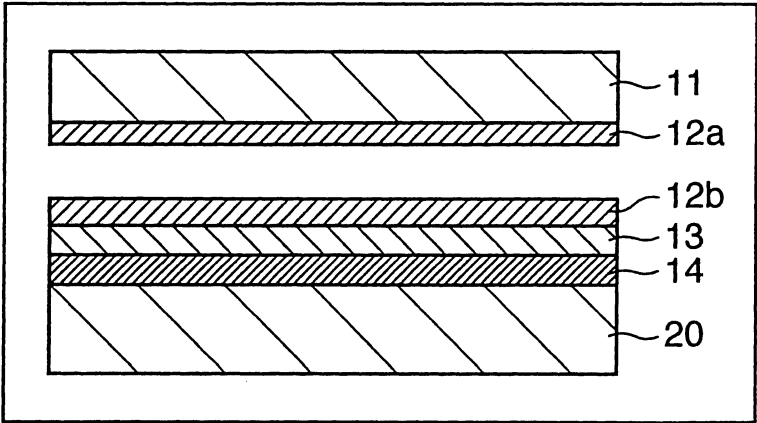


圖7

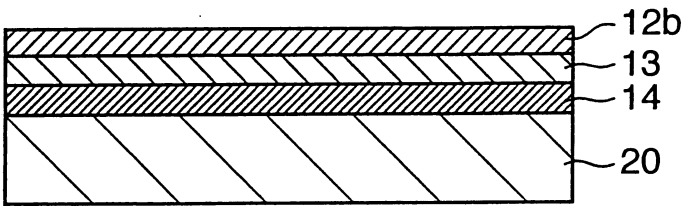


圖8

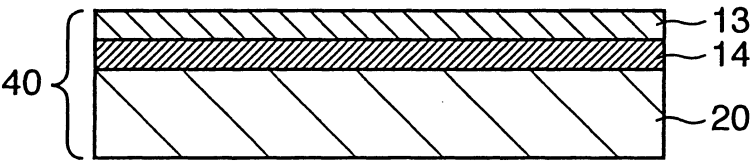
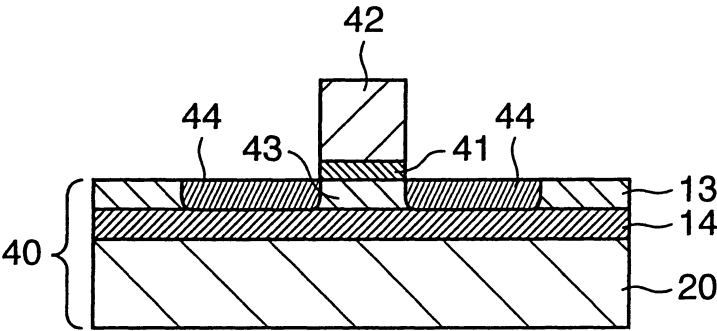


圖 9



柒、（一）、本案指定代表圖為：第 8 圖

（二）、本代表圖之元件代表符號簡單說明：

13	Ge 層
14	絕緣層
20	第二基底
40	半導體基底

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：