

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年3月8日(2018.3.8)

【公表番号】特表2017-505545(P2017-505545A)

【公表日】平成29年2月16日(2017.2.16)

【年通号数】公開・登録公報2017-007

【出願番号】特願2016-550526(P2016-550526)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/78 301X

H 01 L 29/78 301S

H 01 L 29/78 301B

【手続補正書】

【提出日】平成30年1月22日(2018.1.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板中に形成される第1の層を備えるバックゲートであって、前記第1の層が第1の半導体を備える、バックゲートと、

前記第1の層の上に形成される第2の層であって、第2の半導体を備える第2の層と、

前記第2の層の上に形成されるフィンチャネルであって、第3の半導体を備えるフィンチャネルと、を備えるFinFETであって、

前記第1の半導体が第1のバンドギャップを有し、前記第3の半導体が第3のバンドギャップを有し、

前記第2の層を通り、前記第1の層と電気接觸する、バックゲートコンタクト、および前記バックゲートを他のアクティブなデバイスから電気的に分離するために、前記基板を掘り下げて形成される深いトレンチ分離領域、によって特徴付けられており、

前記第2の半導体が前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きい第2のバンドギャップを有し、

前記第2の層は、ドープされない、nタイプFinFETでは軽くpタイプでドープされ、またはpタイプFinFETでは軽くnタイプでドープされる、FinFET。

【請求項2】

前記第1、第2、および第3の半導体が、II - V族半導体化合物、II - VI族半導体化合物、IV族半導体元素または化合物、グラフェン、およびカーボンナノチューブからなるグループから各々選択される、請求項1に記載のFinFET。

【請求項3】

前記第1および第3の半導体が各々GaNを含み、前記第2の半導体がAlAsを含む、請求項2に記載のFinFET。

【請求項4】

前記第1のバンドギャップが前記第3のバンドギャップと等しい、請求項1に記載のFinFET。

**【請求項 5】**

前記第2の層の上、前記フィンチャネルの上方に形成される誘電体層と、  
前記第2の層の上、前記誘電体層の上方に形成されるゲートと  
をさらに備える、請求項1に記載のFinFET。

**【請求項 6】**

前記FinFETをオンにする第1の電圧を提供するために前記ゲートに結合される第1のレールと、  
前記FinFETをオンにする第2の電圧を提供するために前記バックゲートコンタクトに結合される第2のレールと  
をさらに備える、請求項5に記載のFinFET。

**【請求項 7】**

前記フィンチャネルに応力を提供するために、前記第2の層の中にエピタキシャル成長される第1のストレッサと第2のストレッサと  
をさらに備える、請求項1に記載のFinFET。

**【請求項 8】**

前記フィンチャネルに隣接し、前記第1のストレッサに隣接する、第1のソース／ドレン拡散と、  
前記フィンチャネルに隣接し、前記第2のストレッサに隣接する、第2のソース／ドレン拡散と  
をさらに備える、請求項7に記載のFinFET。

**【請求項 9】**

前記FinFETをオンにする第1の電圧を提供するために前記ゲートに結合される第1のレールと、  
前記FinFETをオンにする第2の電圧を提供するために前記バックゲートコンタクトに結合される第2のレールと  
をさらに備える、請求項8に記載のFinFET。

**【請求項 10】**

前記FinFETがnタイプである場合、前記第1の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量にpタイプでドープされ、  
前記FinFETがpタイプである場合、前記第1の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量にnタイプでドープされる、  
請求項1に記載のFinFET。

**【請求項 11】**

前記第2の層が軽くpタイプでドープされる場合、ドーピング濃度は $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲であり、  
前記第2の層が軽くnタイプでドープされる場合、ドーピング濃度は $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲である、  
請求項1に記載のFinFET。

**【請求項 12】**

FinFETを製造する方法であって、  
基板の中に第1の半導体層を形成するステップと、  
前記第1の半導体層の上に第2の半導体層を形成するステップと、  
前記第2の半導体層の上に第3の半導体層を形成するステップと、  
FinFETフィンチャネルを形成するために前記第3の半導体層をエッチングするステップと、  
を含み、

前記第1、第2、および第3の半導体層が、それぞれ第1のバンドギャップ、第2のバンドギャップ、および第3のバンドギャップを各々有し、  
前記第2の半導体層を通って前記第1の半導体層までエッチングして、前記第1の半導体層への電気的なバックゲートコンタクトを形成するステップ、および

前記バックゲートを他のアクティブなデバイスから電気的に分離するために、前記基板に深いトレンチ分離領域を形成するステップ、によって特徴付けられており、

前記第2のバンドギャップが前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きく、

前記第2の層は、ドープされない、nタイプFinFETでは軽くpタイプでドープされ、またはpタイプFinFETでは軽くnタイプでドープされる、方法。

【請求項13】

前記第2の半導体層の中に第1のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第1のトレンチの中に第1のストレッサをエピタキシャル成長させるステップと、

前記第2の半導体層の中に第2のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第2のトレンチの中に第2のストレッサをエピタキシャル成長させるステップと  
をさらに含む、請求項12に記載の方法。

【請求項14】

前記第1の半導体層の中に前記第1のトレンチを形成するステップと、

前記第1の半導体層の中に前記第2のトレンチを形成するステップと  
をさらに含む、請求項13に記載の方法。

【請求項15】

FinFETを操作する方法であって、前記FinFETがゲート、バックゲート、および基板を備え、方法が、

前記FinFETの前記ゲートを第1のレールに結合するステップと、

前記FinFETの前記バックゲートを第2のレールに結合するステップであって、前記バックゲートが、前記基板中に形成される第1の層を備え、第1の半導体を備えるステップと、

第1の電圧を前記第1のレールによって前記ゲートへ、および第2の電圧を前記第2のレールによって前記第1の層へ供給するステップと  
を含み、

前記第1のレールは第1の電圧を有し、および前記第2のレールは第2の電圧を有し、

前記ゲートが、第2の層の上に形成されるフィンチャネルの上方に形成され、前記第2の層が前記第1の層の上に形成されて第2の半導体を備え、前記フィンチャネルが第3の半導体を備え、

前記第1の半導体が第1のバンドギャップを有し、前記第3の半導体が第3のバンドギャップを有し、

前記第2の半導体が前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きい第2のバンドギャップを有し、

前記バックゲートは、前記基板を掘り下げて形成される深いトレンチ分離領域によって他のアクティブなデバイスから電気的に分離される、  
方法。