

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年3月8日(2018.3.8)

【公表番号】特表2017-505545(P2017-505545A)

【公表日】平成29年2月16日(2017.2.16)

【年通号数】公開・登録公報2017-007

【出願番号】特願2016-550526(P2016-550526)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 X

H 0 1 L 29/78 3 0 1 S

H 0 1 L 29/78 3 0 1 B

【手続補正書】

【提出日】平成30年1月22日(2018.1.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板と、

前記基板中に形成される第 1 の層を備えるバックゲートであって、前記第 1 の層が第 1 の半導体を備える、バックゲートと、

前記第 1 の層の上に形成される第 2 の層であって、第 2 の半導体を備える第 2 の層と、

前記第 2 の層の上に形成されるフィンチャンネルであって、第 3 の半導体を備えるフィンチャンネルと、を備える F i n F E T であって、

前記第 1 の半導体が第 1 のバンドギャップを有し、前記第 3 の半導体が第 3 のバンドギャップを有し、

前記第 2 の層を通り、前記第 1 の層と電気接触する、バックゲートコンタクト、および前記バックゲートを他のアクティブなデバイスから電氣的に分離するために、前記基板を掘り下げて形成される深いトレンチ分離領域、によって特徴付けられており、

前記第 2 の半導体が前記第 1 のバンドギャップおよび前記第 3 のバンドギャップよりも大きい第 2 のバンドギャップを有し、

前記第 2 の層は、ドーピングされない、n タイプ F i n F E T では軽く p タイプでドーピングされ、または p タイプ F i n F E T では軽く n タイプでドーピングされる、F i n F E T。

【請求項 2】

前記第 1、第 2、および第 3 の半導体が、I I I - V 族半導体化合物、I I - V I 族半導体化合物、I V 族半導体元素または化合物、グラフェン、およびカーボンナノチューブからなるグループから各々選択される、請求項 1 に記載の F i n F E T。

【請求項 3】

前記第 1 および第 3 の半導体が各々 G a A s を含み、前記第 2 の半導体が A l A s を含む、請求項 2 に記載の F i n F E T。

【請求項 4】

前記第 1 のバンドギャップが前記第 3 のバンドギャップと等しい、請求項 1 に記載の F i n F E T。

【請求項 5】

前記第 2 の層の上、前記フィンチャネルの上方に形成される誘電体層と、
 前記第 2 の層の上、前記誘電体層の上方に形成されるゲートと
 をさらに備える、請求項 1 に記載の F i n F E T。

【請求項 6】

前記 F i n F E T をオンにする第 1 の電圧を提供するために前記ゲートに結合される第 1 のレールと、
 前記 F i n F E T をオンにする第 2 の電圧を提供するために前記バックゲートコンタクトに結合される第 2 のレールと
 をさらに備える、請求項 5 に記載の F i n F E T。

【請求項 7】

前記フィンチャネルに応力を提供するために、前記第 2 の層の中にエピタキシャル成長される第 1 のストレッサと第 2 のストレッサと
 をさらに備える、請求項 1 に記載の F i n F E T。

【請求項 8】

前記フィンチャネルに隣接し、前記第 1 のストレッサに隣接する、第 1 のソース/ドレイン拡散と、
 前記フィンチャネルに隣接し、前記第 2 のストレッサに隣接する、第 2 のソース/ドレイン拡散と
 をさらに備える、請求項 7 に記載の F i n F E T。

【請求項 9】

前記 F i n F E T をオンにする第 1 の電圧を提供するために前記ゲートに結合される第 1 のレールと、
 前記 F i n F E T をオンにする第 2 の電圧を提供するために前記バックゲートコンタクトに結合される第 2 のレールと
 をさらに備える、請求項 8 に記載の F i n F E T。

【請求項 10】

前記 F i n F E T が n タイプである場合、前記第 1 の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量に p タイプでドーブされ、
 前記 F i n F E T が p タイプである場合、前記第 1 の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量に n タイプでドーブされる、
 請求項 1 に記載の F i n F E T。

【請求項 11】

前記第 2 の層が軽く p タイプでドーブされる場合、ドーピング濃度は $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲であり、
 前記第 2 の層が軽く n タイプでドーブされる場合、ドーピング濃度は $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲である、
 請求項 1 に記載の F i n F E T。

【請求項 12】

F i n F E T を製造する方法であって、
 基板の中に第 1 の半導体層を形成するステップと、
 前記第 1 の半導体層の上に第 2 の半導体層を形成するステップと、
 前記第 2 の半導体層の上に第 3 の半導体層を形成するステップと、
 F i n F E T フィンチャネルを形成するために前記第 3 の半導体層をエッチングするステップと、
を含み、
 前記第 1、第 2、および第 3 の半導体層が、それぞれ第 1 のバンドギャップ、第 2 のバンドギャップ、および第 3 のバンドギャップを各々有し、
前記第 2 の半導体層を通して前記第 1 の半導体層までエッチングして、前記第 1 の半導体層への電氣的なバックゲートコンタクトを形成するステップ、および

前記バックゲートを他のアクティブなデバイスから電氣的に分離するために、前記基板に深いトレンチ分離領域を形成するステップ、によって特徴付けられており、

前記第2のバンドギャップが前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きく、

前記第2の層は、ドーピングされない、nタイプFinFETでは軽くpタイプでドーピングされ、またはpタイプFinFETでは軽くnタイプでドーピングされる、方法。

【請求項13】

前記第2の半導体層の中に第1のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第1のトレンチの中に第1のストレッチをエピタキシャル成長させるステップと、

前記第2の半導体層の中に第2のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第2のトレンチの中に第2のストレッチをエピタキシャル成長させるステップと

をさらに含む、請求項12に記載の方法。

【請求項14】

前記第1の半導体層の中に前記第1のトレンチを形成するステップと、

前記第1の半導体層の中に前記第2のトレンチを形成するステップと

をさらに含む、請求項13に記載の方法。

【請求項15】

FinFETを操作する方法であって、前記FinFETがゲート、バックゲート、および基板を備え、方法が、

前記FinFETの前記ゲートを第1のルールに結合するステップと、

前記FinFETの前記バックゲートを第2のルールに結合するステップであって、前記バックゲートが、前記基板中に形成される第1の層を備え、第1の半導体を備えるステップと、

第1の電圧を前記第1のルールによって前記ゲートへ、および第2の電圧を前記第2のルールによって前記第1の層へ供給するステップと

を含み、

前記第1のルールは第1の電圧を有し、および前記第2のルールは第2の電圧を有し、

前記ゲートが、第2の層の上に形成されるフィンチャネルの上方に形成され、前記第2の層が前記第1の層の上に形成されて第2の半導体を備え、前記フィンチャネルが第3の半導体を備え、

前記第1の半導体が第1のバンドギャップを有し、前記第3の半導体が第3のバンドギャップを有し、

前記第2の半導体が前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きい第2のバンドギャップを有し、

前記バックゲートは、前記基板を掘り下げて形成される深いトレンチ分離領域によって他のアクティブなデバイスから電氣的に分離される、
方法。