



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856347 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：111127300

(22)申請日：中華民國 111 (2022) 年 07 月 21 日

(51)Int. Cl. : H10B43/40 (2023.01)

H10B43/20 (2023.01)

G11C16/10 (2006.01)

G11C16/26 (2006.01)

(30)優先權：2021/07/28 美國

17/387,669

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)  
美國(72)發明人：劉海濤 LIU, HAITAO (US)；卡爾達 科莫 M KARDA, KAMAL M. (IN)；法  
魯辛 艾伯特 FAYRUSHIN, ALBERT (RU)；董英達 DONG, YINGDA (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201236112A

US 2005/0146940A1

US 2010/0006919A1

US 2010/0067301A1

審查人員：葉月芬

申請專利範圍項數：24 項 圖式數：17 共 73 頁

(54)名稱

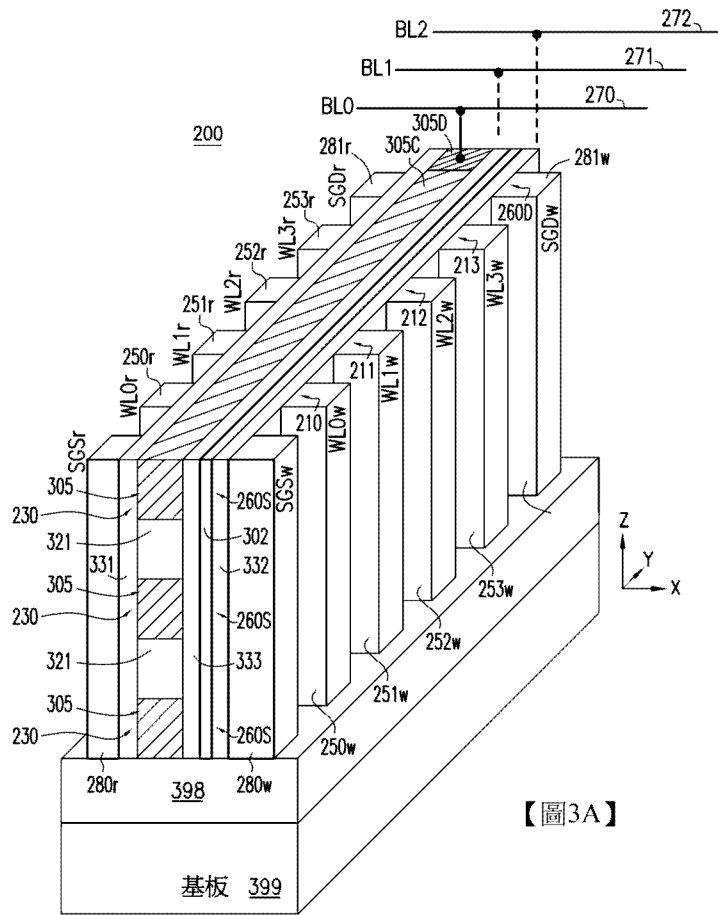
具有記憶體單元串及獨立讀寫控制閘之記憶體裝置

(57)摘要

一些實施例包含設備及形成該等設備之方法。該等設備之一者包含：一記憶體單元，其包含於一記憶體單元串中；該記憶體單元包含電荷儲存結構及藉由一介電結構與該電荷儲存結構分離之通道結構；一第一控制閘，其與該記憶體單元相關聯且定位於該電荷儲存結構之一第一側及該通道結構之一第一側上；及一第二控制閘，其與該記憶體單元相關聯且與該第一控制閘電分離，該第二控制閘定位於該電荷儲存結構之一第二側及該通道結構之一第二側上。

Some embodiments include apparatuses and methods of forming the apparatuses. One of the apparatuses includes a memory cell included in a memory cell string; the memory cell including charge storage structure and channel structure separated from the charge storage structure by a dielectric structure; a first control gate associated with the memory cell and located on a first side of the charge storage structure and a first side of the channel structure; and a second control gate associated with the memory cell and electrically separated from the first control gate, the second control gate located on a second side of the charge storage structure and a second side of the channel structure.

指定代表圖：



【圖3A】

符號簡單說明：

200:記憶體裝置

210:記憶體單元

211:記憶體單元

212:記憶體單元

213:記憶體單元

230:記憶體單元串

250r:控制閘

250w:控制閘

251r:控制閘

251w:控制閘

252r:控制閘

252w:控制閘

253r:控制閘

253w:控制閘

260D:選擇電晶體

260S:選擇電晶體

270:資料線

271:資料線

272:資料線

280r:選擇線

280w:選擇線

281r:選擇線

281w:選擇線

302:材料

305:通道結構

305C:部分

305D:部分

321:介電結構

331:介電結構

332:介電結構

333:介電結構

398:介電結構

399:基板

BL0:信號

BL1:信號

BL2:信號

SGSr:信號

SGSw:信號

SGDr:信號

SGDw:信號

WL0r:信號

WL0w:信號

WL1r:信號

WL1w:信號

WL2r:信號

WL2w:信號

WL3r:信號

WL3w:信號



I856347

## 【發明摘要】

## 【中文發明名稱】

具有記憶體單元串及獨立讀寫控制閘之記憶體裝置

## 【英文發明名稱】

MEMORY DEVICE HAVING MEMORY CELL STRINGS AND SEPARATE READ AND WRITE CONTROL GATES

## 【中文】

一些實施例包含設備及形成該等設備之方法。該等設備之一者包含：一記憶體單元，其包含於一記憶體單元串中；該記憶體單元包含電荷儲存結構及藉由一介電結構與該電荷儲存結構分離之通道結構；一第一控制閘，其與該記憶體單元相關聯且定位於該電荷儲存結構之一第一側及該通道結構之一第一側上；及一第二控制閘，其與該記憶體單元相關聯且與該第一控制閘電分離，該第二控制閘定位於該電荷儲存結構之一第二側及該通道結構之一第二側上。

## 【英文】

Some embodiments include apparatuses and methods of forming the apparatuses. One of the apparatuses includes a memory cell included in a memory cell string; the memory cell including charge storage structure and channel structure separated from the charge storage structure by a dielectric structure; a first control gate associated with the memory cell and located on a first side of the charge storage structure and a first side of the channel structure; and a second control gate associated with the memory cell and electrically separated from the first control gate, the

second control gate located on a second side of the charge storage structure and a second side of the channel structure.

【指定代表圖】

圖3A

【代表圖之符號簡單說明】

200: 記憶體裝置

210: 記憶體單元

211: 記憶體單元

212: 記憶體單元

213: 記憶體單元

230: 記憶體單元串

250r: 控制閘

250w: 控制閘

251r: 控制閘

251w: 控制閘

252r: 控制閘

252w: 控制閘

253r: 控制閘

253w: 控制閘

260D: 選擇電晶體

260S: 選擇電晶體

270: 資料線

271: 資料線

272: 資料線  
280r: 選擇線  
280w: 選擇線  
281r: 選擇線  
281w: 選擇線  
302: 材料  
305: 通道結構  
305C: 部分  
305D: 部分  
321: 介電結構  
331: 介電結構  
332: 介電結構  
333: 介電結構  
398: 介電結構  
399: 基板  
BL0: 信號  
BL1: 信號  
BL2: 信號  
SGSr: 信號  
SGSw: 信號  
SGDr: 信號  
SGDw: 信號  
WL0r: 信號

WL0w: 信號

WL1r: 信號

WL1w: 信號

WL2r: 信號

WL2w: 信號

WL3r: 信號

WL3w: 信號

## 【發明說明書】

### 【中文發明名稱】

具有記憶體單元串及獨立讀寫控制閘之記憶體裝置

### 【英文發明名稱】

MEMORY DEVICE HAVING MEMORY CELL STRINGS AND SEPARATE READ AND WRITE CONTROL GATES

### 【技術領域】

【0001】本文中描述之實施例係關於包含記憶體單元串及與該等記憶體單元串相關聯之控制閘之記憶體裝置。

### 【先前技術】

【0002】記憶體裝置(諸如快閃記憶體裝置)廣泛用於電腦及許多其他電子物項中。一記憶體裝置通常具有許多記憶體單元，記憶體單元具有用於儲存資訊(例如，資料)之電荷儲存結構及用於將資訊(呈電信號之形式)載送至記憶體單元及從記憶體單元載送資訊之資料線。記憶體裝置亦具有用於在將資訊儲存於記憶體單元中之一寫入操作期間或在從記憶體裝置讀取資訊(例如，先前儲存資訊)之一讀取操作期間存取記憶體單元之控制閘。一些習知記憶體裝置具有用於對記憶體單元執行之讀取及寫入操作兩者之相同控制閘。此等習知記憶體裝置可易受一非所要狀況(諸如讀取操作期間之讀取干擾)之影響。此外，控制閘與記憶體單元之電荷儲存結構之間之閘極氧化物結構可能潛在地發生降級。一記憶體裝置中之讀取干擾及結構降級可導致不佳裝置效能、不可靠記憶體操作或兩者。

### 【發明內容】

### 【圖式簡單說明】

【0003】 圖1係根據本文中描述之一些實施例之呈一記憶體裝置之形式之一設備之一方塊圖。

【0004】 圖2A及圖2B展示根據本文中描述之一些實施例之包含記憶體單元串及用於存取該等記憶體單元串之一各自記憶體單元之讀寫控制閘之一記憶體裝置之一部分之示意圖。

【0005】 圖3A至圖3E展示根據本文中描述之一些實施例之包含記憶體單元串之結構及讀寫控制閘之圖2A及圖2B之記憶體裝置之一部分之一結構之不同視圖。

【0006】 圖4A及圖4B至圖14D展示根據本文中描述之一些實施例之在形成一記憶體裝置之程序期間之元件之不同視圖。

【0007】 圖15展示根據本文中描述之一些實施例之可為圖3A之記憶體裝置之一變動之一記憶體裝置之一結構。

【0008】 圖16A、圖16B及圖16C展示根據本文中描述之一些實施例之一記憶體裝置之一示意圖及結構。

【0009】 圖17展示根據本文中描述之一些實施例之可為圖16C之記憶體裝置之一變動之一記憶體裝置之一結構。

#### 【實施方式】

【0010】 本文中描述之技術提供一種記憶體裝置，該記憶體裝置具有與該記憶體裝置之記憶體單元相關聯之獨立讀寫控制閘。本文中描述之記憶體裝置之結構可減少或防止在一些習知記憶體裝置中可能發生之讀取干擾。此外，所描述記憶體裝置之結構可提供一相對較大程式化擦除窗，及在讀取操作期間之記憶體單元串中之增加電流。所描述裝置結構導致記憶體操作之改良。此外，本文中描述之裝置結構之佔用面積可相對較小。

此可允許一更佳裝置縮放。下文參考圖1至圖17進一步論述本文中描述之技術之改良及益處。

**【0011】** 圖1展示根據本文中描述之一些實施例之呈一記憶體裝置之形式之一設備之一方塊圖。記憶體裝置100可包含含有記憶體單元102之一記憶體陣列(或多個記憶體陣列) 101。記憶體單元102可配置成記憶體單元串，其中各記憶體單元串可包含彼此串聯連接之多個記憶體單元。

**【0012】** 如圖1中展示，記憶體裝置100可包含存取線(其可包含字線) 150及資料線(其可包含位元線) 170。存取線150可載送信號(例如，字線信號)  $WL_0$ 至 $WL_m$ 。資料線170可載送信號(例如，位元線信號)  $BL_0$ 至 $BL_n$ 。記憶體裝置100可使用存取線150來選擇性地存取記憶體單元102及資料線170以選擇性地與記憶體單元102交換資訊(例如，資料)。

**【0013】** 記憶體裝置100可包含一位址暫存器107以接收線(例如，位址線) 103上之位址資訊(例如，位址信號) ADDR。記憶體裝置100可包含可對來自位址暫存器107之位址資訊進行解碼之列存取電路系統108及行存取電路系統109。基於解碼位址資訊，記憶體裝置100可判定在一記憶體操作期間應存取哪些記憶體單元102。記憶體裝置100可執行一讀取操作以從記憶體單元102讀取(例如，感測)資訊(例如，先前儲存資訊)，或執行一寫入(例如，程式化)操作以將資訊儲存(例如，程式化)於記憶體單元102中。記憶體裝置100可使用與信號 $BL_0$ 至 $BL_n$ 相關聯之資料線170以提供待儲存於記憶體單元102中之資訊或獲得從記憶體單元102讀取(例如，感測)之資訊。記憶體裝置100亦可執行一擦除操作以從一些或全部記憶體單元102擦除資訊。

**【0014】** 記憶體裝置100可包含可經組態以基於線104上之控制信號

來控制記憶體裝置100之記憶體操作的一控制單元118。線104上之控制信號之實例包含一或多個時脈信號及其他信號(例如，一晶片啟用信號CE#、一寫入啟用信號WE#)以指示記憶體裝置100可執行哪一操作(例如，讀取、寫入或擦除操作)。記憶體裝置100外部之其他裝置(例如，一記憶體控制器或一處理器)可控制線104上之控制信號之值。線104上之信號之一組合之特定值可產生導致記憶體裝置100執行一對應記憶體操作(例如，讀取、寫入或擦除操作)之一命令(例如，讀取、寫入或擦除命令)。

**【0015】** 記憶體裝置100可包含感測及緩衝電路系統120，其可包含諸如感測放大器及頁面緩衝電路(例如，資料鎖存器)之組件。感測及緩衝電路系統120可回應於來自行存取電路系統109之信號BL\_SEL0至BL\_SELn。感測及緩衝電路系統120可經組態以判定(例如，藉由感測)(例如，在一讀取操作期間)從記憶體單元102讀取之資訊之值且將資訊之值提供給線(例如，全域資料線)175。感測及緩衝電路系統120亦可經組態以使用線175上之信號以基於線175上之信號之值(例如，電壓值)(例如，在一寫入操作期間)來判定待儲存(例如，程式化)於記憶體單元102中之資訊之值(例如，在一寫入操作期間)。

**【0016】** 記憶體裝置100可包含輸入/輸出(I/O)電路系統117以在記憶體單元102與線(例如，I/O線)105之間交換資訊。線105上之信號DQ0至DQN可表示從記憶體單元102讀取或儲存於其中之資訊。線105可包含記憶體裝置100內之節點或記憶體裝置100可駐留於其中之一封裝上之接腳(或焊料球)。記憶體裝置100外部之其他裝置(例如，一記憶體控制器或一處理器)可透過線103、104及105與記憶體裝置100通信。

**【0017】** 記憶體裝置100可接收一供應電壓，包含供應電壓Vcc及

V<sub>SS</sub>。供應電壓V<sub>SS</sub>可在一接地電位(例如，具有近似0伏特之一值)下工作。供應電壓V<sub>CC</sub>可包含從一外部電源(諸如一電池或交流電轉直流電(AC-DC)轉換器電路系統)供應至記憶體裝置100之一外部電壓。

**【0018】** 記憶體單元102之各者可經程式化以儲存表示至多一個位元(例如，一單個位元)之一值，或多個位元(諸如兩個、三個、四個或另一數目個位元)之一值之資訊。舉例而言，記憶體單元102之各者可經程式化以儲存表示一單個位元之二進制值「0」或「1」之資訊。每一單元之單個位元有時被稱為一單位階單元。在另一實例中，記憶體單元102之各者可經程式化以儲存表示多個位元之一值(諸如兩個位元之四個可能值「00」、「01」、「10」及「11」之一者、三個位元之八個可能值「000」、「001」、「010」、「011」、「100」、「101」、「110」及「111」之一者，或另一數目之多個位元(例如，各記憶體單元中之多於三個位元)之其他值之一者)之資訊。具有儲存多個位元之能力之一單元有時被稱為一多位階單元(或多狀態單元)。

**【0019】** 記憶體裝置100可包含一非揮發性記憶體裝置，且記憶體單元102可包含非揮發性記憶體單元，使得在電力(例如，電壓V<sub>CC</sub>、V<sub>SS</sub>或兩者)與記憶體裝置100斷開連接時，記憶體單元102可留存儲存於其上之資訊。舉例而言，記憶體裝置100可為一快閃記憶體裝置，諸如一NAND快閃(例如，3D NAND)或一NOR快閃記憶體裝置，或另一種類之記憶體裝置，諸如一可變電阻記憶體裝置(例如，一相變記憶體裝置或一電阻式隨機存取記憶體(RAM)裝置)。

**【0020】** 一般技術者可辨識，記憶體裝置100可包含其他組件，圖1中未展示數個其他組件以免混淆本文中描述之例示性實施例。記憶體裝置

100之至少一部分可包含與下文參考圖2至圖17描述之記憶體裝置之任一者之結構及操作類似或相同之結構且執行類似或相同之操作。

【0021】 圖2A及圖2B展示根據本文中描述之一些實施例之包含記憶體單元串230及用於存取記憶體單元串230之一各自記憶體單元之控制閘之一記憶體裝置200之一部分之示意圖。記憶體裝置200可對應於圖1之記憶體裝置100。舉例而言，記憶體單元串230可形成圖1之記憶體陣列101之部分。

【0022】 在圖2A中，方向X、Y及Z可表示記憶體裝置200之結構之相對實體方向(例如，尺寸)。舉例而言，Z方向可為垂直於記憶體裝置200之基板(例如，圖3A中展示之一基板399)之一平面(例如，X-Y平面)之一方向(例如，相對於平面之垂直方向)。Z方向垂直於X方向及Y方向(例如，Z方向垂直於記憶體裝置200之一X-Y平面)。

【0023】 如圖2A中展示，記憶體裝置200可包含選擇電路(標記為「選擇」) 260及261、資料線270、271及272、源極290及與記憶體單元串230相關聯之控制閘。控制閘可被劃分成不同控制閘群組，舉例而言，與信號(例如，字線信號)  $WL0r_0$ 、 $WL0w_0$ 、 $WL1r_0$ 、 $WL1w_0$ 、 $WL2r_0$ 、 $WL2w_0$ 、 $WL3r_0$ 及 $WL3w_0$ 相關聯之控制閘；及與信號(例如，字線信號)  $WL0r_1$ 、 $WL0w_1$ 、 $WL1r_1$ 、 $WL1w_1$ 、 $WL2r_1$ 、 $WL2w_1$ 、 $WL3r_1$ 及 $WL3w_1$ 相關聯之控制閘。

【0024】 作為一實例，圖2A展示具有六個記憶體單元串230及對應控制閘以及選擇電路260及261之記憶體裝置200。然而，記憶體裝置200可具有許多記憶體單元串230及對應控制閘以及選擇電路260及261。

【0025】 如圖2A中展示，各記憶體單元串230可與一各自選擇電路

260及一各自選擇電路261相關聯(可耦合至其等)。選擇電路261及260可分別對應於一記憶體裝置(諸如一NAND快閃記憶體裝置)之汲極選擇閘極(SGD)及源極選擇閘極(SGS)電路。各記憶體單元串230可包含串聯連接在一各自選擇電路260與一各自選擇電路261之間之記憶體單元(例如，圖2B中之記憶體單元210、211、212及213)。

【0026】 記憶體裝置200可包含與信號(例如，選擇信號)  $SGDr_0$ 及 $SGDw_0$ 相關聯之選擇線(例如，汲極選擇線)，及與信號(例如，汲極選擇信號)  $SGDr_1$ 及 $SGDw_1$ 相關聯之選擇線(例如，汲極選擇線)。與信號 $SGDr_0$ 及 $SGDw_0$ 相關聯之選擇線可與相關聯於信號 $SGDr_1$ 及 $SGDw_1$ 之選擇線電分離。

【0027】 記憶體裝置200可包含與信號(例如，源極選擇信號)  $SGSr_0$ 及 $SGSw_0$ 相關聯之選擇線(例如，源極選擇線)，及與信號(例如，源極選擇信號)  $SGSr_1$ 及 $SGSw_1$ 相關聯之選擇線(例如，源極選擇線)。與信號 $SGSr_0$ 及 $SGSw_0$ 相關聯之選擇線可與相關聯於信號 $SGSr_1$ 及 $SGSw_1$ 之選擇線電分離。

【0028】 如圖2A中展示，與信號 $SGDr_0$ 及 $SGDw_0$ 相關聯之選擇線可與選擇電路261之一個群組(例如，三個選擇電路261之一群組)耦合(例如，可由其等共用)。與信號 $SGDr_1$ 及 $SGDw_1$ 相關聯之選擇線可與選擇電路261之另一群組(例如，三個選擇電路261之另一群組)耦合(例如，可由其等共用)。

【0029】 與信號 $SGSr_0$ 及 $SGSw_0$ 相關聯之選擇線可與選擇電路260之一個群組(例如，三個選擇電路260之一群組)耦合(例如，可由其等共用)。與信號 $SGSr_1$ 及 $SGSw_1$ 相關聯之選擇線可與選擇電路260之另一群組(例

如，三個選擇電路260之另一群組)耦合(例如，可由其等共用)。

**【0030】** 記憶體裝置200可在記憶體裝置200之一記憶體操作(例如，讀寫操作)期間使用耦合至選擇電路260及261之對應選擇線選擇性地啟動(例如，導通或關斷)選擇電路260及261。取決於記憶體裝置200對選定記憶體單元串230執行哪一記憶體操作(例如，讀取或寫入操作)，記憶體裝置200可啟動與一選定記憶體單元串230相關聯之選擇電路260及261之一或兩者。一選定記憶體單元串係記憶體裝置200選擇以將資訊儲存於記憶體單元串(在記憶體單元串230當中)之一記憶體單元(例如，圖2B中之記憶體單元210、211、212及213之一者)中或從其讀取資訊之該記憶體單元串。

**【0031】** 資料線270、271及272可分別用於載送信號(例如，位元線信號) BL0、BL1及BL2，且可耦合至各自記憶體單元串230。資料線270、271及272之各者可結構化為可包含導電材料之一導電線。此等導電材料之實例包含導電摻雜多晶矽(摻雜多晶矽)、金屬或其他導電材料。作為一實例，圖2A展示記憶體裝置200之三條資料線。然而，記憶體裝置200包含許多資料線。

**【0032】** 各源極290可結構化為記憶體裝置200之一導電線(例如，一源極線)或一導電板(例如，導電區)。可使用源極290來載送一信號(例如，一源極線信號) SL。圖2A展示耦合至記憶體單元串230之兩個對應群組之兩個獨立源極290。然而，記憶體裝置200可包含在圖2A中展示之記憶體單元串230之兩個群組中之一共同源極(例如，一單個源極)(例如，共同源極區)。

**【0033】** 記憶體裝置200之控制閘可為記憶體裝置200之字線之部

分。字線可為記憶體裝置200之存取線(如圖1之記憶體裝置100之存取線150)之部分。如圖2A中展示，與信號WL0r<sub>0</sub>、WL0w<sub>0</sub>、WL1r<sub>0</sub>、WL1w<sub>0</sub>、WL2r<sub>0</sub>、WL2w<sub>0</sub>、WL3r<sub>0</sub>及WL3w<sub>0</sub>相關聯之控制閘可與相關聯於信號WL0r<sub>1</sub>、WL0w<sub>1</sub>、WL1r<sub>1</sub>、WL1w<sub>1</sub>、WL2r<sub>1</sub>、WL2w<sub>1</sub>、WL3r<sub>1</sub>及WL3w<sub>1</sub>之閘極電分離。

**【0034】** 與信號WL0r<sub>0</sub>、WL0w<sub>0</sub>、WL1r<sub>0</sub>、WL1w<sub>0</sub>、WL2r<sub>0</sub>、WL2w<sub>0</sub>、WL3r<sub>0</sub>及WL3w<sub>0</sub>相關聯之控制閘可與記憶體單元串230之一個群組(例如，圖2A之實例中之三個記憶體單元串之一群組)耦合(例如，可由其等共用)。與信號WL0r<sub>1</sub>、WL0w<sub>1</sub>、WL1r<sub>1</sub>、WL1w<sub>1</sub>、WL2r<sub>1</sub>、WL2w<sub>1</sub>、WL3r<sub>1</sub>及WL3w<sub>1</sub>相關聯之控制閘可與記憶體單元串230之另一群組(例如，三個記憶體單元串230之另一群組)耦合(例如，可由其等共用)。

**【0035】** 在本文中之描述中，一控制閘、一選擇線或一信號之一數字標籤旁邊之字母「r」(表示「讀取」)指示此一控制閘、一選擇線或一信號可在本文中描述之記憶體裝置(例如，記憶體裝置200)之一讀取操作期間啟動且在一寫入操作期間撤銷啟動。

**【0036】** 一控制閘、一選擇線或一信號之一數字標籤旁邊之字母「w」(表示「寫入」)指示此一控制閘、一選擇線或一信號可在本文中描述之記憶體裝置(例如，記憶體裝置200)之一寫入操作期間(或在擦除期間)啟動且在一讀取操作期間撤銷啟動。

**【0037】** 圖2B展示記憶體單元串230及具有對應信號WL0r、WL0w、WL1r、WL1w、WL2r、WL2w、WL3r及WL3w之相關聯控制閘250r、250w、251r、251w、252r、252w、253r及253w之一示意圖。具有具字母「r」之標籤之控制閘可被稱為讀取控制閘。舉例而言，控制閘

250r、251r、252r及253r可被稱為讀取控制閘。讀取控制閘可在一讀取操作期間啟動(例如，耦合至一正電壓)且在一寫入操作期間撤銷啟動(例如，耦合至接地或小於0 V之一電壓)。

【0038】 具有具字母「w」之標籤之控制閘可被稱為寫入控制閘。舉例而言，控制閘250w、251w、252w及253w可被稱為寫入控制閘。寫入控制閘可在一寫入操作期間啟動(例如，耦合至一正電壓)且在一讀取操作期間撤銷啟動(例如，耦合至接地或小於0 V之一電壓)。

【0039】 具有具字母「r」之標籤之選擇線可被稱為讀取選擇線。舉例而言，選擇線280r及281r可被稱為讀取選擇線。讀取選擇線可在一讀取操作期間啟動(例如，耦合至一正電壓)且在一寫入操作期間撤銷啟動(例如，耦合至接地或小於0 V之一電壓)。具有具字母「w」之標籤之選擇線可被稱為寫入選擇線。舉例而言，選擇線280w及281w可被稱為寫入選擇線。寫入選擇線可在一寫入操作期間啟動(例如，耦合至一正電壓)且在一讀取操作期間撤銷啟動(例如，耦合至接地或小於0 V之一電壓)。

【0040】 圖2B展示一實例，其中選擇線281r及281w彼此分離(電分離)。在記憶體裝置200之替代結構中，選擇線281r及281w可彼此電耦合。在此一替代結構中，可使用一單一信號(而非圖2B中展示之兩個獨立信號)來控制選擇線281r及281w。類似地，圖2B展示一實例，其中選擇線280r及280w彼此分離(電分離)。替代地，選擇線280r及280w可彼此電耦合。在此一替代結構中，可使用一單一信號(而非圖2B中展示之兩個獨立信號)來控制選擇線280r及280w。

【0041】 圖2B中之控制閘250r、250w、251r、251w、252r、252w、253r及253w對應於分別與圖2A之信號WL0r<sub>0</sub>、WL0w<sub>0</sub>、WL1r<sub>0</sub>、

WL1w<sub>0</sub>、WL2r<sub>0</sub>、WL2w<sub>0</sub>、WL3r<sub>0</sub>及WL3w<sub>0</sub>相關聯之控制閘。控制閘250r、250w、251r、251w、252r、252w、253r及253w亦對應於分別與圖2A之信號WL0r<sub>1</sub>、WL0w<sub>1</sub>、WL1r<sub>1</sub>、WL1w<sub>1</sub>、WL2r<sub>1</sub>、WL2w<sub>1</sub>、WL3r<sub>1</sub>及WL3w<sub>1</sub>相關聯之控制閘。

【0042】 圖2B之選擇電路261對應於圖2A之選擇電路261之一者。如圖2B中展示，選擇電路261可包含一選擇電晶體(例如，汲極選擇電晶體) 261D。可藉由選擇線(例如，汲極選擇線) 281r或281w控制(例如，導通或關斷)選擇電晶體261D。與選擇電路261相關聯之選擇線281r及281w對應於分別與圖2A之選擇信號SGDr<sub>0</sub>及SGDw<sub>0</sub>相關聯之選擇線及分別與圖2A之選擇信號SGDr<sub>1</sub>及SGDw<sub>1</sub>相關聯之選擇線。

【0043】 圖2B之選擇電路260對應於圖2A之選擇電路260之一者。如圖2B中展示，選擇電路260可包含一選擇電晶體(例如，源極選擇電晶體) 260S。可藉由選擇線(例如，汲極選擇線) 280r或280w控制(例如，導通或關斷)選擇電晶體260S。與選擇電路260相關聯之選擇線(例如，源極選擇線) 280r及280w可對應於分別與圖2A之選擇信號SGSr<sub>0</sub>及SGSw<sub>0</sub>相關聯之選擇線。圖2B之選擇線280r及280w亦可對應於分別與圖2A之選擇信號SGSr<sub>1</sub>及SGSw<sub>1</sub>相關聯之選擇線。

【0044】 如圖2B中展示，記憶體單元串230之記憶體單元210、211、212及213可彼此串聯耦合於選擇電晶體260S與261D之間。記憶體單元210、211、212及213之各者可包含一電荷儲存結構202。電荷儲存結構202可形成記憶體單元串230之一各自記憶體單元(在記憶體單元210、211、212及213當中)之記憶體元件。電荷儲存結構202可包含可經結構化以儲存電荷(例如，可捕獲電荷)之一(或若干)材料。用於電荷儲存結構202

之例示性材料包含一介電材料(例如，氮化矽)。替代地，電荷儲存結構202可包含多晶矽。

**【0045】** 儲存於一特定記憶體單元(在記憶體單元210、211、212及213當中)中之資訊之值(例如，數位值)可基於該特定記憶體單元之電荷儲存結構202中之電荷量。電荷儲存結構202可經組態使得各記憶體單元可經組態以儲存一單一資訊位元或多個資訊位元。

**【0046】** 如圖2B中展示，記憶體單元210、211、212及213之各者可與兩個各自控制閘相關聯(例如，可耦合至兩個各自控制閘)，其中控制閘彼此電分離。舉例而言，記憶體單元210可與彼此電分離之控制閘250r及250w相關聯。記憶體單元211可與彼此電分離之控制閘251r及251w相關聯(例如，可耦合至控制閘251r及251w)。記憶體單元212可與彼此電分離之控制閘252r及252w相關聯(例如，可耦合至控制閘252r及252w)。記憶體單元213可與彼此電分離之控制閘253r及253w相關聯(例如，可耦合至控制閘253r及253w)。

**【0047】** 在從一選定記憶體單元讀取資訊之一讀取操作中，可啟動與選定記憶體單元相關聯之讀取控制閘，且可撤銷啟動與選定記憶體單元相關聯之寫入控制閘。舉例而言，在從記憶體單元210 (選定記憶體單元)讀取資訊之一讀取操作中，可藉由(舉例而言)將一正電壓施加至控制閘250r (例如，向信號WL0r提供一正電壓)而啟動控制閘250r。在此實例中，可藉由(舉例而言)將控制閘250w耦合至接地(例如，0 V)或一負電壓(例如，向信號WL0w提供0 V或一負電壓)而撤銷啟動控制閘250w。

**【0048】** 在將資訊儲存於一選定記憶體單元中之一寫入操作中，啟動與選定記憶體單元相關聯之寫入控制閘，且可撤銷啟動與選定記憶體單

元相關聯之讀取控制閘。舉例而言，在將資訊儲存於記憶體單元210 (選定記憶體單元)中之一寫入操作中，可藉由(舉例而言)將一正電壓施加至控制閘250w (例如，向信號WL0w提供一正電壓)而啟動控制閘250w。在此實例中，可藉由(舉例而言)將控制閘250r耦合至接地(例如，0 V)或一負電壓(例如，向信號WL0w提供0 V或一負電壓)而撤銷啟動控制閘250r。

**【0049】** 在一讀取操作中，可向耦合至未選定記憶體單元(例如，上文實例中之記憶體單元211、212及213)之讀取控制閘提供一電壓(例如，可能電壓)以導致未選定記憶體單元(非選定記憶體單元)操作為導電元件(例如，操作為導通開關)。在一寫入操作中，可向耦合至非選定記憶體單元(例如，上文實例中之記憶體單元211、212及213)之寫入控制閘提供一電壓(例如，一可能電壓)以導致未選定記憶體單元操作為導電元件(例如，操作為導通開關)。

**【0050】** 在一擦除操作中，可同時選擇記憶體單元串230之記憶體單元(例如，記憶體單元210、211、212及213)。

**【0051】** 可撤銷啟動讀取控制閘。可向寫入控制閘施加一相對較大負電壓(例如，-20 V)以從記憶體單元串230之記憶體單元(例如，記憶體單元210、211、212及213)擦除資訊。

**【0052】** 圖3A至圖3E展示根據本文中描述之一些實施例之包含記憶體單元串230之結構及讀寫控制閘之記憶體裝置200之一部分之一結構之不同視圖。圖2A及圖2B中示意性地展示圖3A中展示之記憶體裝置200之部分之結構之一些元件。為簡單起見，圖2A、圖2B及圖3A中展示之記憶體裝置200之相同元件被賦予相同標籤。未重複相同元件之細節。

**【0053】** 為簡單起見，從圖3A及本文中描述之圖式中之其他圖中展

示之大部分元件省略橫截面線(例如，影線)。可從圖式之一特定圖省略記憶體裝置200 (及本文中描述之其他記憶體裝置)之一些元件以免混淆在該特定圖中描述之元件(或若干元件)之描述。未按比例調整本文中描述之圖式中展示之元件之尺寸(例如，實體結構)。

**【0054】** 圖3A展示包含具有各自記憶體單元210、211、212及213之三個記憶體單元串230之記憶體裝置200之X、Y及Z方向上之一個3維視圖(例如，等角視圖)。圖3A中僅標記頂部記憶體單元串230 (頂部記憶體單元串)之記憶體單元210、211、212及213。

**【0055】** 如圖3A中展示，記憶體單元串230可形成於一介電結構398上方，介電結構398可形成於基板399上方。介電結構398可將記憶體裝置200之其他元件(例如，記憶體單元串、電荷儲存結構及控制閘)與基板399電分離。介電結構398可包含二氧化矽或其他介電材料。

**【0056】** 記憶體裝置200之基板399可包含單晶(亦被稱為單晶)半導體材料。舉例而言，基板399可包含單晶矽(亦被稱為單晶矽)。基板399之單晶半導體材料可包含雜質，使得基板399可具有一特定導電類型(例如，n型或p型)。

**【0057】** 如圖3A中展示，控制閘(例如，讀取控制閘) 250r、251r、252r及253r可在Z方向上具有各自長度，Z方向係記憶體單元串230與基板399之間之一方向。類似地，控制閘(例如，寫入控制閘) 250w、251w、252w及253w可在Z方向(記憶體單元串230與基板399之間之一方向)上具有各自長度。如圖3A中展示，讀寫控制閘之各者可在Y方向上具有一寬度且在X方向上具有一厚度。在一讀取或寫入控制閘中，寬度及厚度小於長度。

【0058】 記憶體裝置200可包含在Z方向上藉由各自介電結構321彼此分離之通道結構305。記憶體裝置200可包含在通道結構305與控制閘(例如，讀取控制閘) 250r、251r、252r及253r之間，及在通道結構305與選擇線(例如，讀取選擇線) 280r及281r之間之一介電結構331。介電結構331可為用於記憶體裝置200之各自記憶體單元串(例如，圖3A之實例中展示之三個記憶體單元串)之一讀取閘極氧化物。

【0059】 記憶體裝置200可包含在通道結構305與控制閘(例如，寫入控制閘) 250w、251w、252w及253w之間及在通道結構305與選擇線(例如，寫入選擇線) 280w及281w之間之一介電結構332、一材料(例如，電荷儲存材料) 302及一介電結構333之一組合。

【0060】 為避免使記憶體裝置200之結構擁擠，圖3A中未展示記憶體裝置200靠近選擇線(例如，讀寫線) 280r及280w之一部分。然而，圖3C及圖3D中展示(下文更詳細地描述)此一部分(其包含部分305S)。如圖3A中展示，一各自記憶體單元串230之通道結構305可包含一部分(例如，通道部分) 305C及一部分(例如，汲極部分) 305D。儘管圖3A中未展示，然一各自記憶體單元串230之通道結構305亦可包含耦合至部分305C之一部分(例如，源極部分) 305S (圖3C及圖3D中展示)，使得部分305C介於部分305D與305S之間。此等部分305C、305D及305S可具有不同摻雜濃度(下文更詳細地描述)。

【0061】 圖3B展示記憶體裝置200在圖3A之材料302處在Y-Z方向上之一橫截面。如圖3B中展示，各自記憶體單元210、211、212及213之電荷儲存結構202可由材料302之各自部分形成。材料302可經結構化以儲存電荷(例如，可捕獲電荷)。材料302之實例包含一介電材料(例如，氮化

矽)、多晶矽或其他電荷儲存材料。

【0062】如圖3B中展示，一特定記憶體單元串230之記憶體單元210、211、212及213之位置可在該特定記憶體單元串230之各自電荷儲存結構202之位置處或附近。如圖3A及圖3B中展示，記憶體單元串230可在垂直於基板399(例如，垂直於基板399之X-Y平面)之Z方向上彼此疊置地定位(例如，形成)。在相同記憶體單元串230內從一個記憶體單元至下一記憶體單元(從記憶體單元210至記憶體單元211)之方向係Y方向，其垂直於基板399(例如，垂直於基板399之X-Y平面)。

【0063】在圖3B中，以虛線展示(與信號WL0w、WL1w、WL2w及WL3w相關聯之)寫入控制閘之位置。在圖3B之視圖中，讀取控制閘(圖3B中未標記)隱藏在寫入控制閘後方。圖3B亦展示選擇電晶體260S及260D相對於一各自記憶體單元串230之記憶體單元210、211、212及213之位置的位置。

【0064】圖3C展示記憶體裝置200在圖3A中之通道結構305處在Y-Z方向上之一橫截面。圖3D展示圖3A及圖3C之記憶體裝置200之一部分在X、Y及Z方向上之一個3維視圖(例如，等角視圖)。如圖3C中展示，各通道結構305可具有在Y方向上連續延伸之一長度。如圖3A及圖3C中展示，通道結構305可具有非圓柱形結構。舉例而言，通道結構305可為一矩形稜柱或接近矩形稜柱(如圖3A中展示)。

【0065】如圖3A、圖3C及圖3D中展示，通道結構305可耦合至(與信號SL相關聯之)源極290且分別耦合至記憶體裝置200之(與信號BL0、BL1及BL2相關聯之)各自資料線。圖3C及圖3D中之源極290在圖3A中示意性地展示(例如，展示為一線)。然而，如圖3C及圖3D中展示，源極290

可結構化為接觸各自記憶體單元串230之通道結構305之一導電板(例如，由一導電材料件(例如，層)形成之導電區)。如圖3A及圖3C中展示，通道結構305在Z方向上藉由各自介電結構321彼此分離。通道結構305可包含可傳導一電流之一材料(例如，一導電材料)。用於通道結構305之例示性材料包含多晶矽(例如，摻雜或未摻雜多晶矽)。通道結構305可操作以將電流傳導至一各自記憶體單元串230。在一記憶體操作(例如，讀取操作)中，各通道結構305可在源極290與資料線270、271及272當中之各自資料線之間傳導一電流(例如，電子)。

**【0066】** 部分305C、305D及305S可包含導電摻雜多晶矽(導電摻雜多晶矽)。部分305C、305D及305S可具有相同類型之摻雜劑。舉例而言，部分305C、305D及305S可具有N型摻雜劑(或替代地P型摻雜劑)。在一實例中，部分305D及305S之各者可具有高於部分305C之一摻雜濃度。舉例而言，部分305D及305S之各者可重摻雜有N型摻雜劑(例如，N+ (N加)型)，且部分305C可輕摻雜有N型摻雜劑(例如，N- (N減)型)。替代地，部分305D及305S之各者可重摻雜有P型摻雜劑(例如，P+ (P加)型)，且部分305C可輕摻雜有P型摻雜劑(例如，P- (P減)型)。

**【0067】** 源極290 (圖3C及圖3D)可包含導電摻雜多晶矽。源極290及部分305S可具有相同材料。源極290及部分305S可具有相同摻雜濃度。舉例而言，源極290及部分305S可具有N型摻雜劑(例如，N+型)或替代地P型摻雜劑(例如，P+型)。

**【0068】** 圖3E展示根據本文中描述之一些實施例之包含來自三個各自記憶體單元串230之三個記憶體單元210之圖3A之記憶體裝置200之一部分。為簡單起見，以下描述描述記憶體單元串230之一者之記憶體單元

210之結構及與記憶體單元210相關聯之其他元件(例如，控制閘及通道結構)。其他記憶體單元(例如，圖3A中之記憶體單元211、212及213)及其等相關聯元件可具有與本文中針對記憶體單元210描述之結構類似或相同之結構。

**【0069】** 如圖3E中展示，記憶體單元210可包含在控制閘(例如，讀取控制閘) 250r之間之介電結構(例如，讀取閘極氧化物) 331。因此，控制閘250r可藉由介電結構331與電荷儲存結構202分離。記憶體單元210可包含在介電結構332與介電結構333之間之電荷儲存結構202。電荷儲存結構202及介電結構332及333可定位於通道結構305與控制閘(例如，寫入控制閘) 250w之間。

**【0070】** 如圖3E中展示，控制閘250r及控制閘250w可定位於電荷儲存結構202之相對側上(在X方向上)，及通道結構305之相對側上。舉例而言，控制閘250r及控制閘250w可分別定位於電荷儲存結構202之左側及右側上(在X方向上)。控制閘250r及控制閘250w亦可分別定位於通道結構305之左側及右側上(在X方向上)。

**【0071】** 介電結構332可經組態以促進電荷儲存結構202與控制閘250w之間之電荷(例如，電洞或電子)之穿隧。介電結構333可經組態以阻擋電荷儲存結構202與控制閘250w之間之電荷之穿隧。舉例而言，在將資訊儲存於記憶體單元210中之一寫入操作中，介電結構332可促進電子從控制閘250w穿隧至電荷儲存結構202。在另一實例中，在從記憶體單元210擦除資訊(例如，先前儲存資訊)之一擦除操作中，介電結構332可促進電子從電荷儲存結構202穿隧至控制閘250w、電洞從控制閘250w穿隧至電荷儲存結構202或兩者。

【0072】 在記憶體裝置200之一替代結構中，介電結構333可經組態以促進電荷儲存結構202與控制閘250w之間之電荷(例如，電洞或電子)之穿隧。介電結構332可經組態以阻擋電荷儲存結構202與控制閘250w之間之電荷之穿隧。舉例而言，在將資訊儲存於替代結構中之記憶體單元210中之一寫入操作中，介電結構333可促進電子從控制閘250w穿隧至電荷儲存結構202。在另一實例中，在從替代結構中之記憶體單元210擦除資訊(例如，先前儲存資訊)之一擦除操作中，介電結構333可促進電子從電荷儲存結構202穿隧至控制閘250w、電洞從控制閘250w穿隧至電荷儲存結構202或兩者。

【0073】 如上文參考圖2A至圖3E描述之記憶體裝置200中之獨立讀寫控制閘可改良(例如，增加)記憶體裝置200中之程式化擦除(P/E)窗。舉例而言，運用獨立讀取控制閘，圖3A及圖3E中之通道結構305及介電結構(例如，讀取閘極氧化物) 331可形成為具有各自厚度(在X方向上)以在記憶體裝置200中達成適合程式化擦除(P/E)窗。介電結構331之厚度可小於通道結構305之厚度。

【0074】 作為一實例，通道結構305可具有在從9奈米(nm)至11奈米之範圍中之一厚度且介電結構331可具有在從2奈米至10奈米之範圍中之厚度。本文中描述之厚度係例示性厚度。可使用其他厚度。然而，使用本文中描述之厚度可更有益於針對記憶體裝置200之程式化擦除窗達成一相對較大範圍。對於通道結構305之一給定厚度(例如，從9 nm至11 nm之範圍中之厚度)，程式化擦除窗可與介電結構331之厚度成比例。介電結構331之厚度(例如，從2 nm至10 nm之範圍中之厚度)愈大，程式化擦除窗愈大。

【0075】 記憶體裝置200中之獨立讀寫控制閘亦可改良記憶體裝置200之效能。舉例而言，運用介電結構331之適當厚度(例如，為避免電荷洩漏)，獨立讀取控制閘允許可在一讀取操作期間將一相對較高電壓施加至與未選定記憶體單元相關聯之控制閘。此一高電壓可在一讀取操作期間改良(例如，增加)通道結構305中之電流(例如，串電流)。與一些習知記憶體裝置(例如，NAND快閃記憶體裝置)相比，此導致記憶體操作(例如，讀取操作)及記憶體裝置200之改良。

【0076】 使用用於讀取操作之獨立讀取控制閘及用於寫入或擦除操作之寫入控制閘亦可減少或防止記憶體裝置200中之讀取干擾。此外，記憶體裝置200之記憶體單元之結構可為一相對較小佔用面積。此可有益於裝置縮放。

【0077】 上文參考圖2A至圖3E之描述描述記憶體裝置200之結構。可使用與下文參考圖4A至圖14C描述之程序相關聯之程序來形成記憶體裝置200之一些或全部結構。

【0078】 圖4A及圖4B至圖14A、圖14B及圖14C展示根據本文中描述之一些實施例之在形成一記憶體裝置400之程序期間之元件之不同視圖。為簡單起見，圖4A及圖4B至圖14C部分展示記憶體裝置400之部分以免混淆本文中描述之實施例。

【0079】 圖4A及圖4B分別展示在一基板499上方形成一介電結構498、介電材料(介電材料之層級) 421及材料(材料之層級) 405之後之記憶體裝置400之一部分之一俯視圖(例如，X-Y平面中之部分俯視圖)及一側視圖(例如，X-Z方向上之一橫截面)。圖4B展示沿圖4A之線4B-4B截取之記憶體裝置400之側視圖(例如，橫截面)。

【0080】 基板499及介電結構498類似於(例如，可對應於)記憶體裝置200之基板399及介電結構398 (圖3A)。介電材料421及材料405可以一交錯方式一個材料接另一材料地循序形成於介電結構498上方，使得介電材料421可與材料405交錯。可使用一毯覆式沈積程序來形成材料405及介電材料421。

【0081】 介電材料421可包含二氧化矽或其他介電材料以將材料405彼此電分離。材料405可包含多晶矽(例如，摻雜或未摻雜多晶矽)。在形成記憶體裝置400之後續程序中，材料405可經處理(例如，圖案化)以形成用於記憶體裝置400之各自記憶體單元串(如圖3A之記憶體單元串230)之通道結構(如圖3A之通道結構305)。

【0082】 在以下描述中，後續程序中之記憶體裝置400之不同視圖基於圖4A及圖4B之記憶體裝置400之視圖且遵循圖4A及圖4B之視圖(例如，俯視圖及側視圖)之相同配置。舉例而言，圖4A展示記憶體裝置400之一俯視圖，且圖4B展示沿圖4A之線(例如，橫截面線) 4B-4B截取之記憶體裝置400之一部分。為簡單起見，以下描述省略從一個程序至下一程序之記憶體裝置400之部分之重複特定視圖(例如，俯視圖及側視圖)及特定橫截面線。

【0083】 在本文中之描述中，賦予相同數字標籤之元件係類似或相同元件。舉例而言，通道結構305 (圖3A)及通道結構305' (圖9A及圖9B)係類似或相同元件。在另一實例中，部分305C'、305D'及305S' (圖14C及圖14D)分別與部分305C、305D及305S (圖3C及圖3D)類似或相同。在另一實例中，材料302'及介電結構331'、332'及333' (圖6A及圖6B)分別與材料302及介電結構331、332及333 (圖3A)類似或相同。因此，為簡單

起見，可不重複類似或相同元件之詳細描述。

【0084】 圖5A及圖5B展示在形成線(材料線) 505之後之記憶體裝置400之不同視圖。線505之各者包含材料405及介電材料421之各自部分。線505在Y方向上具有長度且在各自開口550w處在X方向上彼此分離。可隨後處理(例如，蝕刻)線505之各者以在X方向上將各線505中之材料405彼此分離以由材料405形成記憶體裝置400之各自通道結構。

【0085】 可藉由形成穿過材料405及介電材料421 (圖4A及圖4B)之開口(例如，溝槽) 550w以移除開口550w處之材料405及介電材料421之一部分而形成線505。圖5A及圖5B中之材料405及介電材料421之剩餘部分形成各自線505。如圖5A及圖5B中展示，開口可為具有在Y方向上延伸之長度之溝槽。記憶體裝置400之寫入控制閘及寫入選擇線隨後形成於開口950w之位置中。

【0086】 圖6A及圖6B展示在形成材料302'及介電結構332'及333' (圖3A)之後之記憶體裝置400之不同視圖。材料302'及介電結構332'及333'可一個材料層接另一材料層地形成為鄰近開口550w之各自側壁(未標記)。接著，材料層可經蝕刻以形成材料302'及介電結構332'及333'。舉例而言，用於介電結構333'之一介電材料(例如，二氧化矽)可形成於開口550w之側壁上。在形成用於介電結構333'之介電材料之後，用於材料302'之一材料(例如，電荷儲存材料(例如，氮化矽))可形成於介電結構333'之材料上。在形成用於材料302'之材料之後，用於介電結構332'之一介電材料(例如，二氧化矽)可形成於用於材料302'之材料上。材料302'可形成記憶體裝置400之各自記憶體單元之電荷儲存結構(如圖3A及圖3B中之記憶體裝置200之記憶體單元之電荷儲存結構202)之部分。

【0087】 圖7A及圖7B展示在材料750w經形成鄰近介電結構332'之後之記憶體裝置400。導電材料750w可包含導電摻雜多晶矽或其他導電材料。可藉由將材料(例如，多晶矽)沈積於介電結構332'上而形成材料750w。在形成記憶體裝置400之後續程序中，導電材料750w可經處理(例如，蝕刻)以形成記憶體裝置400之寫入控制閘及寫入選擇線。

【0088】 圖8A及圖8B展示在相對導電材料750w之間之空間中形成(例如，填充)介電材料851之後之記憶體裝置400。

【0089】 圖9A及圖9B展示在形成通道結構305'及介電結構321'之後之記憶體裝置400之不同視圖。通道結構305'類似於(例如，可對應於)圖3A及圖3D之記憶體裝置200之通道結構305。舉例而言，各通道結構305' (圖9A及圖9B)可包含部分305C'、305D'及305S' (在圖9A及圖9B中未完全展示，但在圖14C及圖14D中展示)。在圖9A及圖9B中，介電結構321'類似於(例如，可對應於)圖3A之記憶體裝置200之介電結構321。

【0090】 在圖9A及圖9B中，形成通道結構305'及介電結構321'可包含形成穿過材料405及介電材料421 (圖8A及圖8B)之開口(例如，溝槽)950r以在X方向上將材料405及介電材料421彼此分離。開口950r可為具有在Y方向上延伸之長度之溝槽。形成開口950r可包含移除(例如，蝕刻)開口950r之位置處之材料405及介電材料421 (圖8A及圖8B)之一部分。記憶體裝置400之讀取控制閘及讀取選擇線隨後形成於開口950r之位置中。

【0091】 圖10A及圖10B展示在開口950r中形成(例如，填充)介電材料1031之後之記憶體裝置400。

【0092】 圖11A及圖11B展示在介電結構331'經形成鄰近各自通道結構305'之後之記憶體裝置400。形成介電結構331'可包含移除(例如，蝕

刻)材料1031 (圖10)之各自部分。介電結構331'可為記憶體裝置400之讀取閘極氧化物。因此，在形成記憶體裝置400之程序中，在形成介電結構332'及333'以及電荷儲存結構(圖6A及圖6B)之後可形成讀取閘極氧化物(例如，介電結構331')。

**【0093】** 圖12A及圖12B展示在導電材料1250r經形成鄰近介電結構331'之後之記憶體裝置400。導電材料1250r可包含導電摻雜多晶矽或其他導電材料。在形成記憶體裝置400之後續程序中，導電材料1250r可經處理(例如，蝕刻)以形成記憶體裝置400之讀取控制閘及讀取選擇線(圖14A、圖14B及圖14C)。因此，在形成記憶體裝置400之程序中，在形成用於寫入控制閘之導電材料(例如，圖7A及圖7B中之導電材料750w)之後可形成(在圖12中)用於讀取控制閘之導電材料(例如，導電材料1250r)。

**【0094】** 圖13A及圖13B展示在移除(例如，挖出)介電材料851 (圖12A及圖12B)以在移除之介電材料851之位置處曝露導電材料750w之後之記憶體裝置400。

**【0095】** 圖14A、圖14B及圖14C展示在形成(與信號WL0r、WL1r、WL2r及WL3r相關聯之)讀取控制閘、(與信號SGSr相關聯之)讀取選擇線、(與信號WL0w、WL1w、WL2w及WL3w相關聯之)寫入控制閘及(與信號SGSw相關聯之)寫入選擇線之後之記憶體裝置400。圖14A展示記憶體裝置400之一擴展俯視圖(例如，不同於其他圖(例如，圖4A至圖13A)中之部分俯視圖)。圖14B展示沿圖14A及圖14C之線14B-14B之一側視圖。圖14C展示記憶體裝置400在X-Y-Z方向上之一額外視圖(例如，等角視圖)。

**【0096】** 形成圖14A、圖14B及圖14C中之讀取控制線及讀取選擇閘

可包含移除(例如，蝕刻或圖案化)導電材料1250r (圖13A及圖13B)之一部分，使得導電材料1250r之剩餘部分形成如圖14A、圖14B及圖14C中展示之讀取控制線及讀取選擇閘。

**【0097】** 形成圖14A、圖14B及圖14C中之寫入控制線及寫入選擇閘可包含移除(例如，蝕刻或圖案化)導電材料750w (圖13A及圖13B)之一部分，使得導電材料750w之剩餘部分形成如圖14A、圖14B及圖14C中展示之寫入控制線及寫入選擇閘。

**【0098】** 如圖14C中展示，可執行額外程序以形成電耦合至各自通道結構305'之(分別與信號BL0、BL1及BL2相關聯之)資料線270、271及272。為簡單起見，圖14C中象徵性地展示資料線270、271及272。亦可執行其他額外程序以形成圖14C中象徵性地展示之(與信號SL相關聯之)源極290。可形成源極290以電耦合至各自通道結構305'。

**【0099】** 如圖14D中展示，可執行額外程序以形成電耦合至(例如，接觸)各自通道結構305之部分305S'之源極290'。源極290'類似於(例如，可對應於)圖3D之記憶體裝置200之源極290。為簡單起見，圖14C中未展示圖14D之源極290'及部分305S'。

**【0100】** 如圖14A、圖14B、圖14C及圖14D中展示，記憶體裝置400可包含與上文參考圖2A至圖3E描述之記憶體裝置200之元件類似或相同之元件。因此，記憶體裝置1500可包含與記憶體裝置200 (圖2A至圖3E)之改良及益處類似或相同之改良及益處。亦可使用上文參考圖4A至圖14D描述之程序來形成記憶體裝置200。

**【0101】** 圖15展示根據本文中描述之一些實施例之一記憶體裝置1500之一結構。記憶體裝置1500可包含與上文描述之記憶體裝置400之元

件類似或相同之元件。為簡單起見，不重複類似於相同元件之詳細描述。

**【0102】** 記憶體裝置400與1500之間之差異包含圖15中之記憶體裝置1500之電荷儲存結構202之結構。在圖3A之記憶體裝置200 (或圖14C中之記憶體裝置400)中，各自記憶體單元之電荷儲存結構202可由電荷儲存材料之一連續結構(例如，單一電荷儲存材料件)形成。在圖15中，記憶體裝置1500之各自記憶體單元之電荷儲存結構202可不由電荷儲存材料之一連續結構之部分形成。舉例而言，如圖15中展示，各自記憶體單元之電荷儲存結構202係電荷儲存材料之獨立結構(例如，獨立件)且並非電荷儲存材料之一連續結構之部分。記憶體裝置1500可包含與記憶體裝置200 (圖2A至圖3E)之改良及益處類似或相同之改良及益處。

**【0103】** 圖16A、圖16B及圖16C展示根據本文中描述之一些實施例之一記憶體裝置1600之一示意圖及結構。記憶體裝置1600可包含與上文描述之記憶體裝置200及400之元件類似或相同之元件。為簡單起見，不重複類似於相同元件之詳細描述。

**【0104】** 如圖16A及圖16B中展示，記憶體裝置1600可包含記憶體單元串230 (具有記憶體單元210、211、212及213)及相關聯讀取控制線、讀取選擇線、寫入控制線、寫入選擇線及選擇電路260及261 (分別具有選擇電晶體260S及261D)。

**【0105】** 如圖16C中展示，記憶體裝置1600可包含具有各自部分305C、305D及305S之通道結構305' (未標記)。通道結構305'電耦合至各自資料線270、271及272以及源極(例如，一導電區) 290，源極290可形成於基板399上方。記憶體裝置1600亦可包含介電結構(例如，讀取閘極氧化物) 331、介電結構(例如，寫入閘極氧化物) 332及介電結構(例如，阻擋

氧化物) 333。

**【0106】** 與記憶體裝置200 (或記憶體裝置400)相比，圖16C之記憶體裝置1600與圖3A中之記憶體裝置200 (或圖14C中之記憶體裝置400)之間之差異包含記憶體裝置1600之元件相對於X-Y-Z方向之定向。如圖16C中展示，各記憶體單元串230之記憶體單元210、211、212及213可在Z方向上彼此疊置地形成(例如，垂直形成於基板399上方)。亦在記憶體裝置1600中，與各記憶體單元串230相關聯之通道結構305可具有在Z方向上延伸之一長度且電耦合至源極290。因此，記憶體裝置1600之各通道結構305可垂直於基板399之X-Y平面。與圖3A之記憶體裝置200 (或圖14C中之記憶體裝置400)相比，在Y方向上形成記憶體裝置200之一各自記憶體單元串230之記憶體單元210、211、212及213，且一各自記憶體單元串之通道結構305具有在Y方向上延伸之長度，其中Y方向平行於基板499 (例如，平行於X-Y平面)。

**【0107】** 如圖16C中展示，記憶體裝置1600之讀寫控制閘在Y方向上(例如，平行於基板399之X-Y平面)具有長度。在圖3A之記憶體裝置200或圖14C中之記憶體裝置400中，讀寫控制閘在垂直於基板399 (或基板499)之X-Y平面之Z方向上具有長度。記憶體裝置1600可包含與記憶體裝置200 (圖2A至圖3E)之改良及益處類似或相同之改良及益處。

**【0108】** 圖17展示根據本文中描述之一些實施例之一記憶體裝置1700之一結構。記憶體裝置1700可包含與上文描述之記憶體裝置1600之元件類似或相同之元件。為簡單起見，不重複類似於相同元件之詳細描述。

**【0109】** 記憶體裝置1600與1700之間之差異包含圖17中之記憶體裝

置1700之電荷儲存結構202之結構。在圖16C之記憶體裝置1600中，各自記憶體單元之電荷儲存結構202由電荷儲存材料之一連續結構(例如，一單一電荷儲存材料件)形成。在圖17中，記憶體裝置1700之各自記憶體單元之電荷儲存結構202可不為儲存材料之一連續結構之部分。舉例而言，如圖17中展示，各自記憶體單元之電荷儲存結構202係電荷儲存材料之單獨結構(例如，單獨件)且並非電荷儲存材料之一連續結構之部分。記憶體裝置1700可包含與記憶體裝置200(圖2A至圖3E)之改良及益處類似或相同之改良及益處。

**【0110】** 設備(例如，記憶體裝置100、200、400、1500、1600及1700)及方法(例如，形成記憶體裝置400之方法)之圖解意欲提供各項實施例之結構之一般理解且不意欲提供可能利用本文中描述之結構之設備之全部元件及特徵之一完整描述。本文中之一設備係指(舉例而言)一裝置(例如，記憶體裝置100、200、400、1500、1600及1700之任一者)或包含諸如記憶體裝置100、200、400、1500、1600及1700之任一者之一裝置之一系統(例如，一電腦、一蜂巢式電話或其他電子系統)。

**【0111】** 可以包含經由軟體模擬之若干方式實施上文參考圖1至圖17描述之組件之任一者。因此，設備(例如，記憶體裝置100、200、400、1500、1600及1700或上文描述之此等記憶體裝置之各者之部分)可全部特性化為本文中之「模組」。根據各項實施例之特定實施方案之期望及/或需要，此等模組可包含硬體電路系統、單及/或多處理器電路、記憶體電路、軟體程式模組及物件及/或韌體及其等之組合。舉例而言，此等模組可包含於一系統操作模擬封裝中，諸如一軟體電信號模擬封裝、一功率使用及範圍模擬封裝、一電容-電感模擬封裝、一功率/散熱模擬封裝、

一信號發射-接收模擬封裝、及/或用於操作或模擬各項潛在實施例之操作之軟體及硬體之一組合。

**【0112】** 記憶體裝置100、200、400、1500、1600及1700可包含於設備(例如，電子電路系統)中，諸如高速電腦、通信及信號處理電路系統、單或多處理器模組、單個或多個嵌入式處理器、多核心處理器、訊息資訊切換器、及包含多層多晶片模組之特定應用模組。此等設備可進一步包含為各種其他設備(例如，電子系統)內之子組件，諸如電視機、蜂巢式電話、個人電腦(例如，膝上型電腦、桌上型電腦、手持式電腦、平板電腦等)、工作站、收音機、視訊播放器、音訊播放器(例如，MP3 (運動圖像專家組、音訊第3層)播放器)、運載工具、醫療裝置(例如，心臟監護儀、血壓監護儀等)、機上盒及其他設備。

**【0113】** 上文參考圖1至圖17描述之實施例包含設備及形成該等設備之方法。設備之一者包含：一記憶體單元，其包含於一記憶體單元串中；該記憶體單元包含電荷儲存結構及藉由一介電結構與該電荷儲存結構分離之通道結構；一第一控制閘，其與該記憶體單元相關聯且定位於該電荷儲存結構之一第一側及該通道結構之一第一側上；及一第二控制閘，其與該記憶體單元相關聯且與該第一控制閘電分離，該第二控制閘定位於該電荷儲存結構之一第二側及該通道結構之一第二側上。描述包含額外設備及方法之其他實施例。

**【0114】** 在詳細描述及發明申請專利範圍中，關於兩個或更多個元件(例如，材料)使用之術語「在…上」(一個元件「在」另一元件「上」)意謂元件之間(例如，材料之間)之至少一些接觸。術語「在…上方」意謂元件(例如，材料)緊密接近，但可能具有一或多個額外中介元件(例如，

材料)，使得接觸係可能的但非必需的。除非另有說明，否則「在…上」及「在…上方」皆不暗示如本文中使用的任何方向性。

**【0115】** 在詳細描述及發明申請專利範圍中，術語「第一」、「第二」及「第三」等僅用作標籤，且不意欲對其等目標強加數字要求。

**【0116】** 在詳細描述及發明申請專利範圍中，藉由術語「…之至少一者」連接之一物項清單可意謂所列出物項之任何組合。舉例而言，若列出物項A及B，則片語「A及B之至少一者」意謂僅A；僅B；或A及B。在另一實例中，若列出物項A、B及C，則片語「A、B及C之至少一者」意謂僅A；僅B；僅C；A及B (排除C)；A及C (排除B)；B及C (排除A)；或全部A、B及C。物項A可包含一單個元件或多個元件。物項B可包含一單個元件或多個元件。物項C可包含一單個元件或多個元件。

**【0117】** 在詳細描述及發明申請專利範圍中，藉由術語「…之一者」連接之一物項清單可僅意謂清單物項之一者。舉例而言，若列出物項A及B，則片語「A及B之一者」意謂僅A (排除B)，或僅B (排除A)。在另一實例中，若列出物項A、B及C，則片語「A、B及C之一者」意謂僅A；僅B；或僅C。物項A可包含一單個元件或多個元件。物項B可包含一單個元件或多個元件。物項C可包含一單個元件或多個元件。

**【0118】** 上文描述及圖式繪示本發明標的之一些實施例以使熟習此項技術者能夠實踐本發明標的之實施例。其他實施例可併入結構、邏輯、電、程序及其他變化。實例僅代表可能變動。一些實施例之部分及特徵可包含於其他實施例之部分及特徵中或代替其他實施例之部分及特徵。熟習此項技術者在閱讀且理解上文描述後將明白許多其他實施例。

### **【符號說明】**

**【0119】**

- 100: 記憶體裝置
- 101: 記憶體陣列
- 102: 記憶體單元
- 103: 線
- 104: 線
- 105: 線
- 107: 位址暫存器
- 108: 列存取電路系統
- 109: 行存取電路系統
- 117: 輸入/輸出(I/O)電路系統
- 118: 控制單元
- 120: 感測及緩衝電路系統
- 150: 存取線
- 170: 資料線
- 175: 線
- 200: 記憶體裝置
- 202: 電荷儲存結構
- 210: 記憶體單元
- 211: 記憶體單元
- 212: 記憶體單元
- 213: 記憶體單元
- 230: 記憶體單元串

250r: 控制閘  
250w: 控制閘  
251r: 控制閘  
251w: 控制閘  
252r: 控制閘  
252w: 控制閘  
253r: 控制閘  
253w: 控制閘  
260: 選擇電路  
260D: 選擇電晶體  
260S: 選擇電晶體  
261: 選擇電路  
261D: 選擇電晶體  
270: 資料線  
271: 資料線  
272: 資料線  
280r: 選擇線  
280w: 選擇線  
281r: 選擇線  
281w: 選擇線  
290: 源極  
290': 源極  
302: 材料

302': 材料  
305: 通道結構  
305': 通道結構  
305C: 部分  
305C': 部分  
305D: 部分  
305D': 部分  
305S: 部分  
305S': 部分  
321: 介電結構  
321': 介電結構  
331: 介電結構  
331': 介電結構  
332: 介電結構  
332': 介電結構  
333: 介電結構  
333': 介電結構  
398: 介電結構  
399: 基板  
400: 記憶體裝置  
405: 材料  
421: 介電材料  
498: 介電結構

499: 基板

505: 線

550w: 開口

750w: 導電材料

851: 介電材料

950r: 開口

1031: 介電材料

1250r: 導電材料

1500: 記憶體裝置

1600: 記憶體裝置

1700: 記憶體裝置

ADDR: 位址資訊

BL0: 信號

BL1: 信號

BL2: 信號

BLn: 信號

BL\_SEL0: 信號

BL\_SELn: 信號

CE#: 晶片啟用信號

DQ0: 信號

DQN: 信號

SGDr<sub>0</sub>: 信號

SGDw<sub>0</sub>: 信號

SGDr<sub>1</sub>: 信號

SGDw<sub>1</sub>: 信號

SGSr: 信號

SGSw: 信號

SGSr<sub>0</sub>: 信號

SGSw<sub>0</sub>: 信號

SGSr<sub>1</sub>: 信號

SGSw<sub>1</sub>: 信號

SL: 信號

Vcc: 供應電壓

Vss: 供應電壓

WE#: 寫入啟用信號

WL0: 信號

WL0r: 信號

WL0w: 信號

WL1r: 信號

WL1w: 信號

WL2r: 信號

WL2w: 信號

WL3r: 信號

WL3w: 信號

WL0r<sub>0</sub>: 信號

WL0w<sub>0</sub>: 信號

WL0<sub>r1</sub>: 信號

WL0<sub>w1</sub>: 信號

WL1<sub>r0</sub>: 信號

WL1<sub>w0</sub>: 信號

WL1<sub>r1</sub>: 信號

WL1<sub>w1</sub>: 信號

WL2<sub>r0</sub>: 信號

WL2<sub>w0</sub>: 信號

WL2<sub>r1</sub>: 信號

WL2<sub>w1</sub>: 信號

WL3<sub>r0</sub>: 信號

WL3<sub>w0</sub>: 信號

WL3<sub>r1</sub>: 信號

WL3<sub>w1</sub>: 信號

WL<sub>m</sub>: 信號

## 【發明申請專利範圍】

### 【請求項1】

一種記憶體設備，其包括：

一記憶體單元，其包含於一記憶體單元串中，該記憶體單元包含一電荷儲存結構及藉由一介電結構與該電荷儲存結構分離之通道結構；

一第一控制閘，其與該記憶體單元相關聯且定位於該電荷儲存結構之一第一側及該通道結構之一第一側上；及

一第二控制閘，其與該記憶體單元相關聯且與該第一控制閘電分離，該第二控制閘定位於該電荷儲存結構之一第二側及該通道結構之一第二側上，

其中該第一控制閘經組態以在與該記憶體單元相關聯之一讀取操作期間被啟動(activated)且在與該記憶體單元相關聯之一寫入操作期間被撤銷啟動(deactivated)，且該第二控制閘經組態以在該讀取操作期間被撤銷啟動且在該寫入操作期間被啟動。

### 【請求項2】

如請求項1之記憶體設備，其進一步包括一基板，其中：

該記憶體單元串定位於該基板上方；且

該等第一及第二控制閘之各者在該基板與該記憶體單元串之間之一方向上具有一長度。

### 【請求項3】

如請求項1之記憶體設備，其進一步包括一基板，其中：

該記憶體單元串定位於該基板上方；且

該等第一及第二控制閘之各者在垂直於該基板與該記憶體單元串之

間之一方向的一方向上具有一長度。

**【請求項4】**

如請求項1之記憶體設備，其進一步包括一基板及定位於該基板上方之一額外介電質，其中：

該記憶體單元串定位於該基板上方；且

該額外介電結構位於該通道結構與該基板之間。

**【請求項5】**

如請求項1之記憶體設備，其進一步包括一基板及形成於該基板上方之一導電區，其中：

該記憶體單元串定位於該基板上方；且

該通道結構電耦合至該導電區。

**【請求項6】**

如請求項1之記憶體設備，其中該電荷儲存結構包含一介電材料。

**【請求項7】**

如請求項1之記憶體設備，其中該電荷儲存結構包含一多晶矽材料。

**【請求項8】**

如請求項1之記憶體設備，其進一步包括在該第一閘與該通道結構之間之一額外介電結構，其中：

該通道結構具有一第一厚度；且

該額外介電結構具有小於該第一厚度之一第二厚度。

**【請求項9】**

一種記憶體設備，其包括：

一記憶體單元串，其包含記憶體單元；

第一控制閘，其用於在一讀取操作期間選擇性地存取該等記憶體單元之一者；及

第二控制閘，其用於在不同於該讀取操作之一額外操作期間選擇性地存取該等記憶體單元之至少一者，其中該等第二控制閘與該等第一控制閘電分離，

其中該等第一控制閘經組態以在該讀取操作期間被啟動且在該額外操作期間被撤銷啟動，且該等第二控制閘經組態以在該讀取操作期間被撤銷啟動且在該額外操作期間被啟動。

**【請求項10】**

如請求項9之記憶體設備，其中該額外操作包含一寫入操作。

**【請求項11】**

如請求項9之記憶體設備，其中該額外操作包含一擦除操作。

**【請求項12】**

如請求項9之記憶體設備，其進一步包括與該記憶體單元串相關聯之一通道結構，其中：

該等第一控制閘定位於該通道結構之一第一側上；且

該等第二控制閘定位於該通道結構之一第二側上。

**【請求項13】**

如請求項9之記憶體設備，其進一步包括在該等記憶體單元之各自電荷儲存結構與該等第二控制閘之間之一介電結構，其中該介電結構經組態以促進該等電荷儲存結構與該等第二控制閘之間之電荷之穿隧。

**【請求項14】**

如請求項9之記憶體設備，其進一步包括在該等記憶體單元之各自電

荷儲存結構與該等第二控制閘之間之一介電結構，其中該介電結構經組態以阻擋該等電荷儲存結構與該等第二控制閘之間之電荷之穿隧。

**【請求項15】**

如請求項9之記憶體設備，其中該等第一及第二控制閘包含導電摻雜多晶矽材料。

**【請求項16】**

如請求項9之記憶體設備，其進一步包括一基板，其中：

該記憶體單元串定位於該基板上方；且

該等第一及第二控制閘在該記憶體單元串與該基板之間之一方向上具有各自長度。

**【請求項17】**

如請求項9之記憶體設備，其進一步包括一基板，其中：

該記憶體單元串定位於該基板上方；且

該等第一及第二控制閘在垂直於該記憶體單元串與該基板之間之一方向的一方向上具有各自長度。

**【請求項18】**

一種形成一記憶體裝置之方法，其包括：

形成用於該記憶體裝置之一記憶體單元串之記憶體單元之一通道結構；

形成用於該等記憶體單元之第一控制閘，使得該等第一控制閘形成於該通道結構之一第一側上；

形成用於該等記憶體單元之第二控制閘，使得該等第二控制閘形成於該通道結構之一第二側上且與該等第一控制閘電分離；

在形成該等第一控制閘之前在該通道結構之該第一側上形成一第一介電結構，使得該第一介電結構介於該通道結構與該等第一控制閘之間；及

在形成該等第二控制閘之前在該通道結構之該第二側上形成一第二介電結構，使得該第二介電結構介於該通道結構與該等第二控制閘之間，其中在形成該第二介電結構之前形成該第一介電結構。

**【請求項19】**

如請求項18之方法，其中該通道結構形成於該記憶體裝置之一基板上方，且該等第一及第二控制閘經形成以在從該通道結構至該基板之一方向上具有各自長度。

**【請求項20】**

如請求項18之方法，其進一步包括：

在該記憶體裝置之一基板上方形成一介電結構，其中該通道結構形成於該介電結構上方。

**【請求項21】**

一種形成一記憶體裝置之方法，其包括：

形成與介電材料之層級交錯的導電材料之層級；

移除該等導電材料之該等層級及該等介電材料之該等層級之一部分以獲得該等導電材料之該等層級之一剩餘部分及該等介電材料之該等層級之一剩餘部分，其中該等導電材料之該等層級之該剩餘部分形成各自通道結構；

在該等通道結構之一第一側上形成一第一介電結構；

在該等通道結構之一第二側上形成一第二介電結構，其中在形成該

第一介電結構之後形成該第二介電結構；

形成用於各自記憶體單元之電荷儲存結構，其中形成該等電荷儲存結構使得該第一介電結構介於該等通道結構與該等電荷儲存結構之間；

在該等通道結構之該第一側上形成一第一額外介電結構，使得該電荷儲存結構介於該第一介電結構與該第一額外介電結構之間；

形成用於該等記憶體單元之第一控制閘，其中該等第一控制閘形成於該等通道結構之該第一側上；及

形成用於該等記憶體單元之第二控制閘，其中該等第二控制閘形成於該等通道結構之該第二側上。

**【請求項22】**

如請求項21之方法，其中形成該第一控制閘包含：

形成鄰近該第一額外介電結構之一導電材料；及

移除該導電材料之一部分以獲得該導電材料之剩餘部分，其中該導電材料之該等剩餘部分形成該等第一控制閘。

**【請求項23】**

如請求項21之方法，其中形成該第二控制閘包含：

形成鄰近該第二介電結構之一導電材料；及

移除該導電材料之一部分以獲得該導電材料之剩餘部分，其中該導電材料之該等剩餘部分形成該等第二控制閘。

**【請求項24】**

如請求項21之方法，其中形成該等第一及第二控制閘包含：

形成鄰近該第二額外介電結構之一第一導電材料；

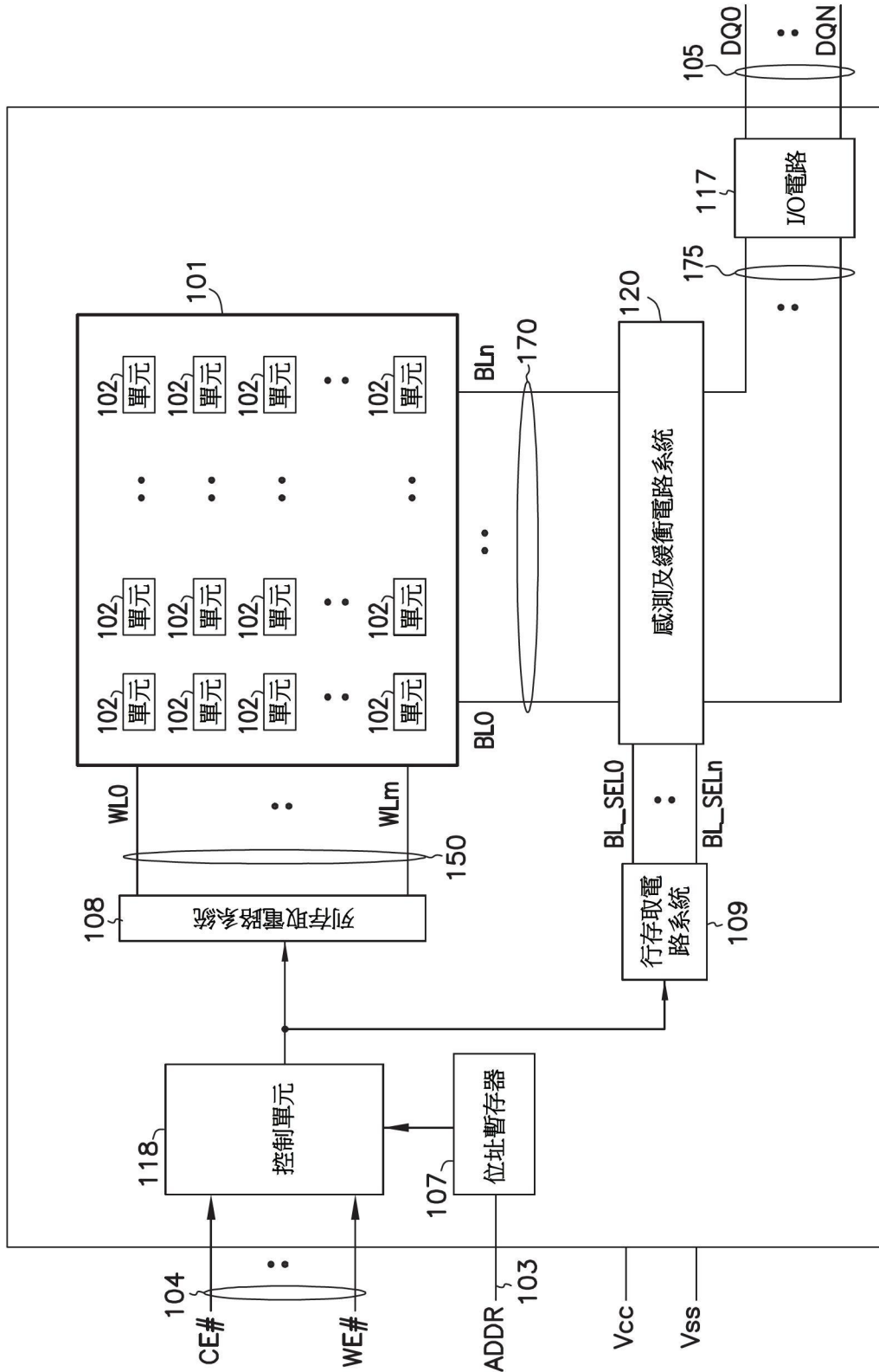
在形成該第一導電材料之後形成鄰近該第二介電結構之一第二導電

材料；

移除該第一導電材料之一部分以獲得該第一導電材料之剩餘部分，其中該第一導電材料之該等剩餘部分形成該等第一控制閘；及

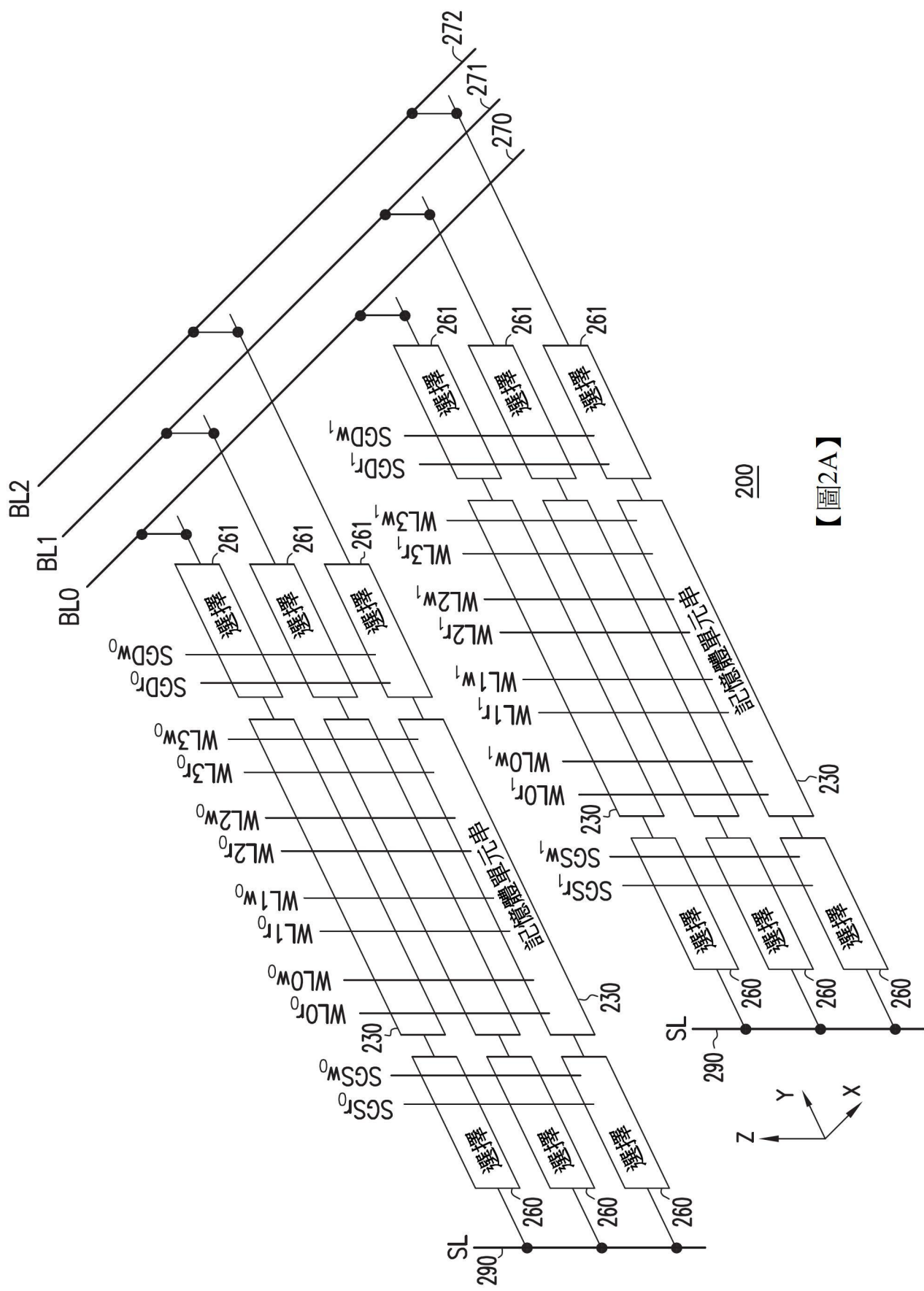
移除該導電材料之一部分以獲得該第二導電材料之剩餘部分，其中該第二導電材料之該等剩餘部分形成該等第二控制閘。

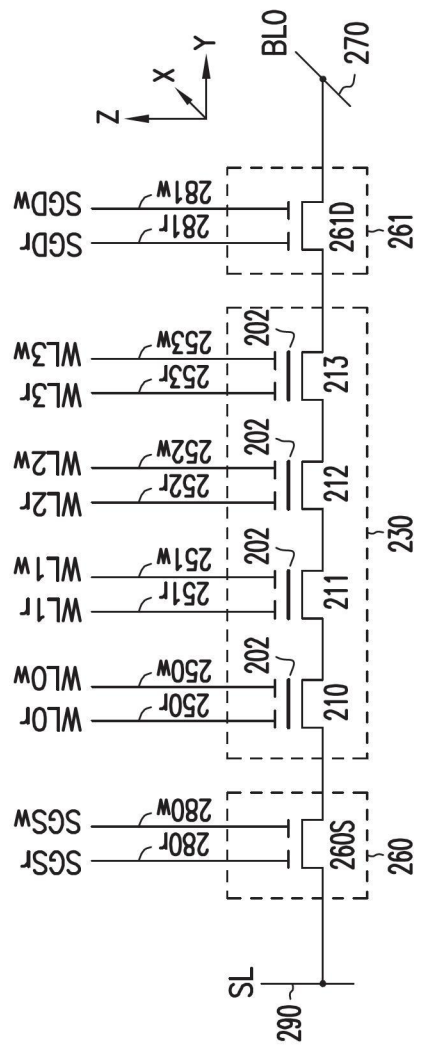
【發明圖式】



100

【圖1】

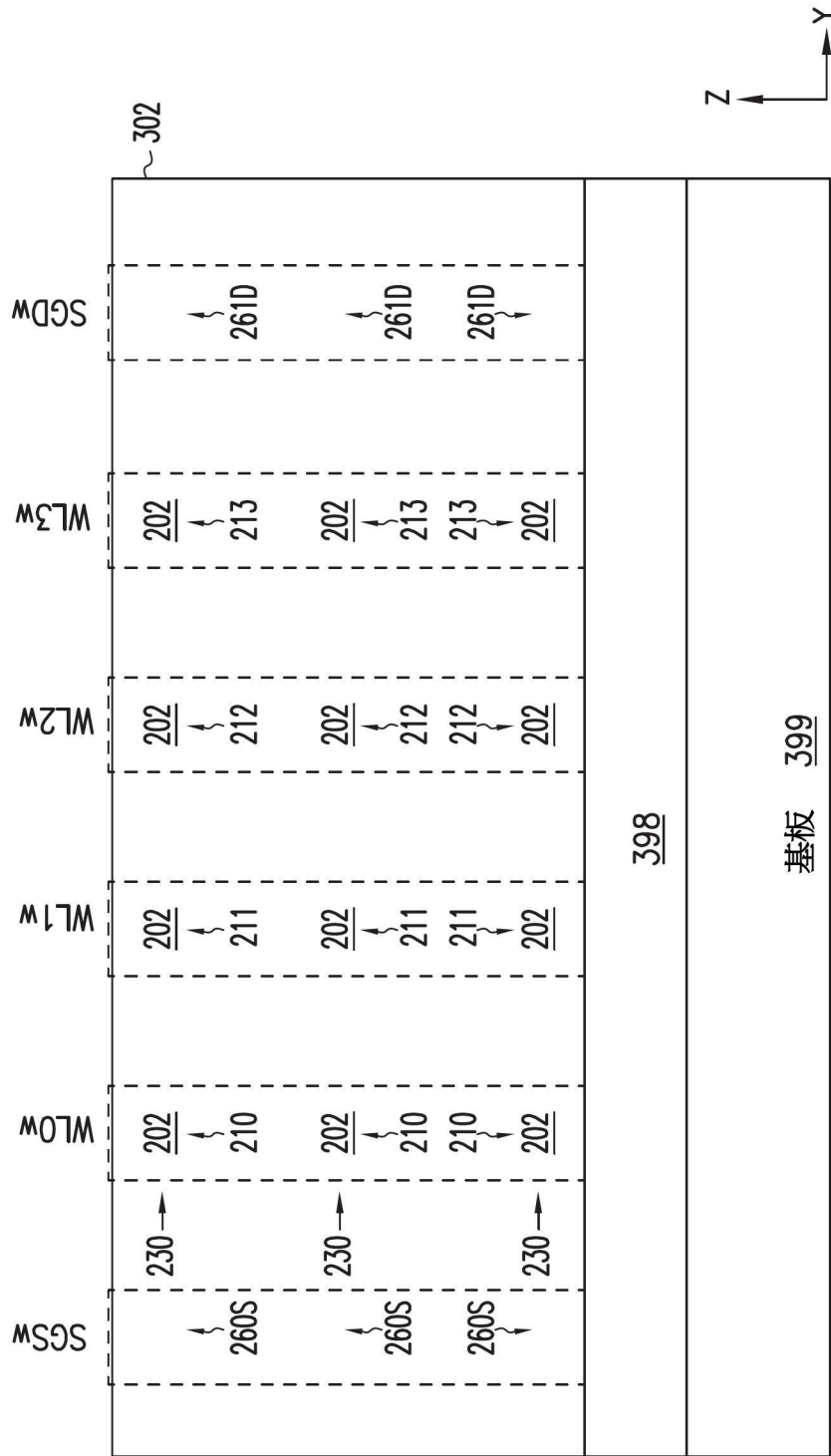




200

【圖2B】

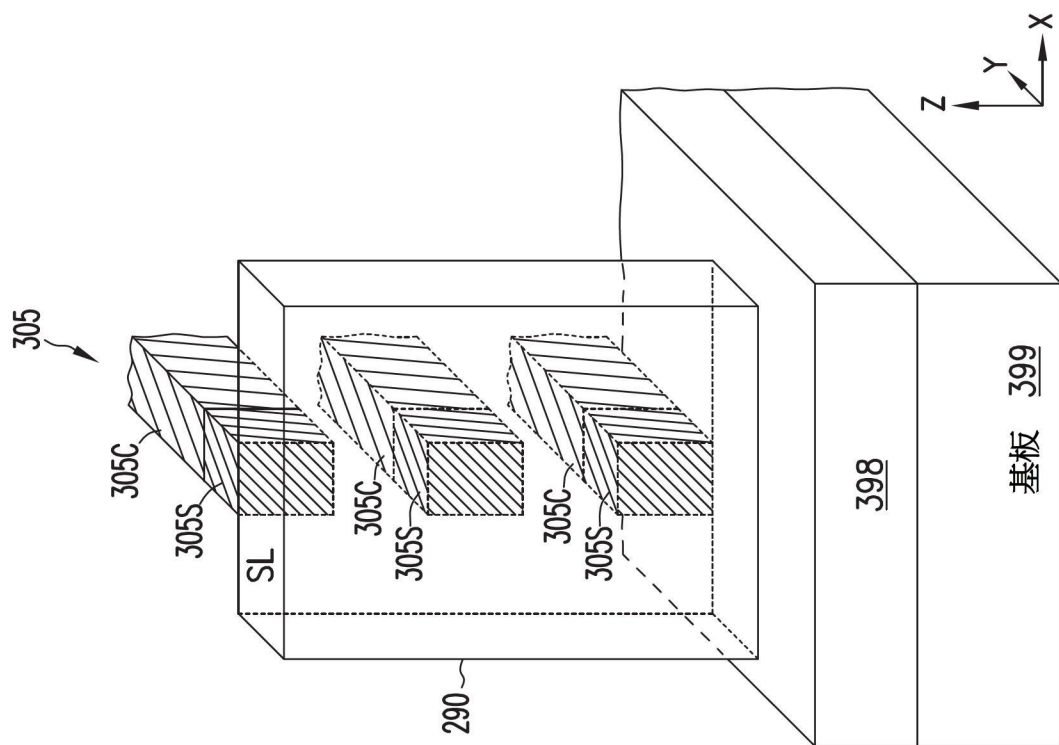




200

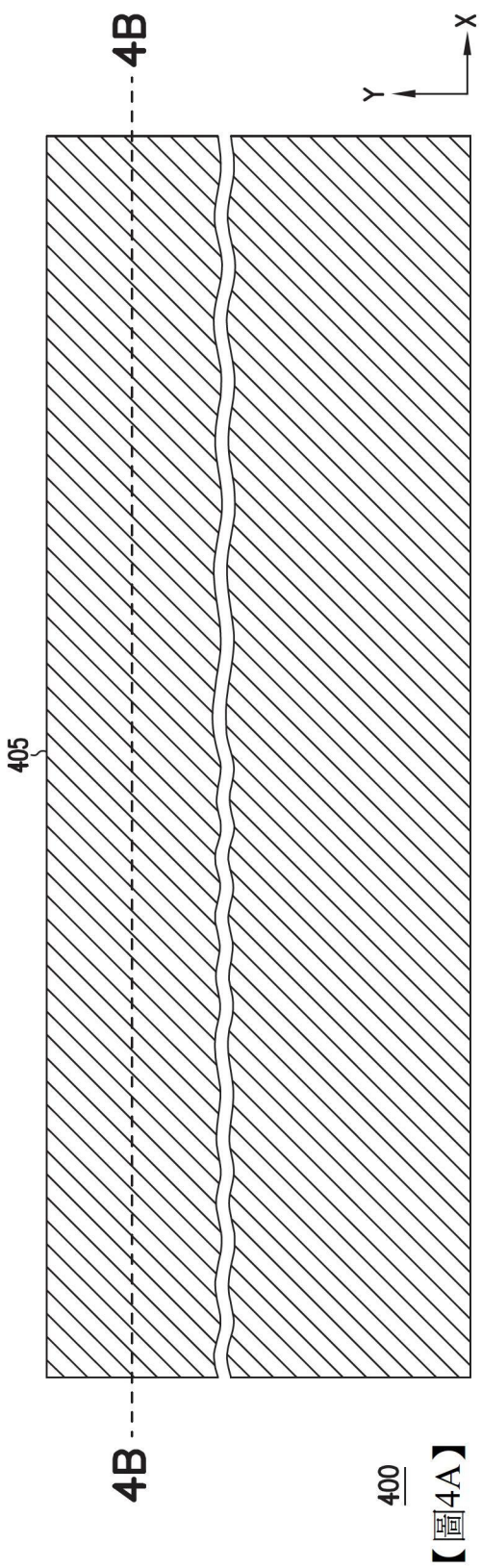
【圖3B】



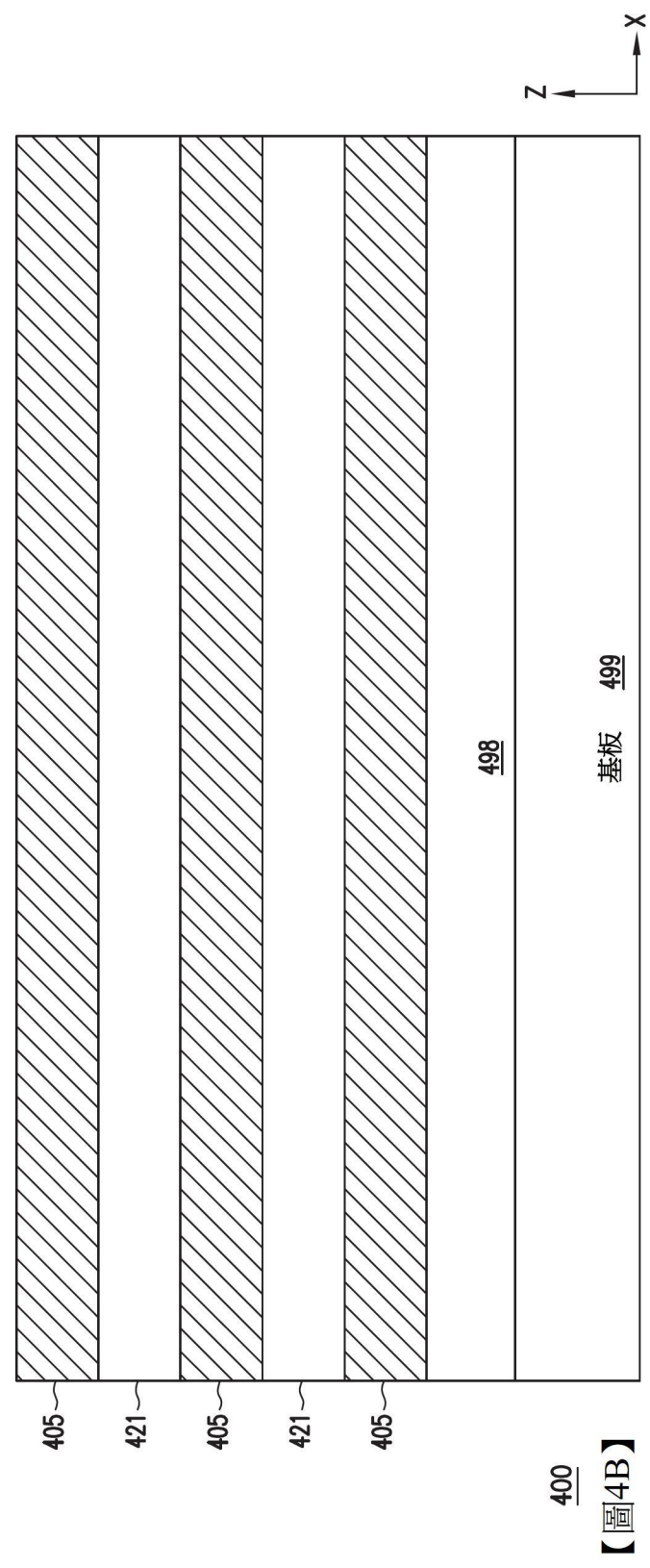


200  
【圖3D】

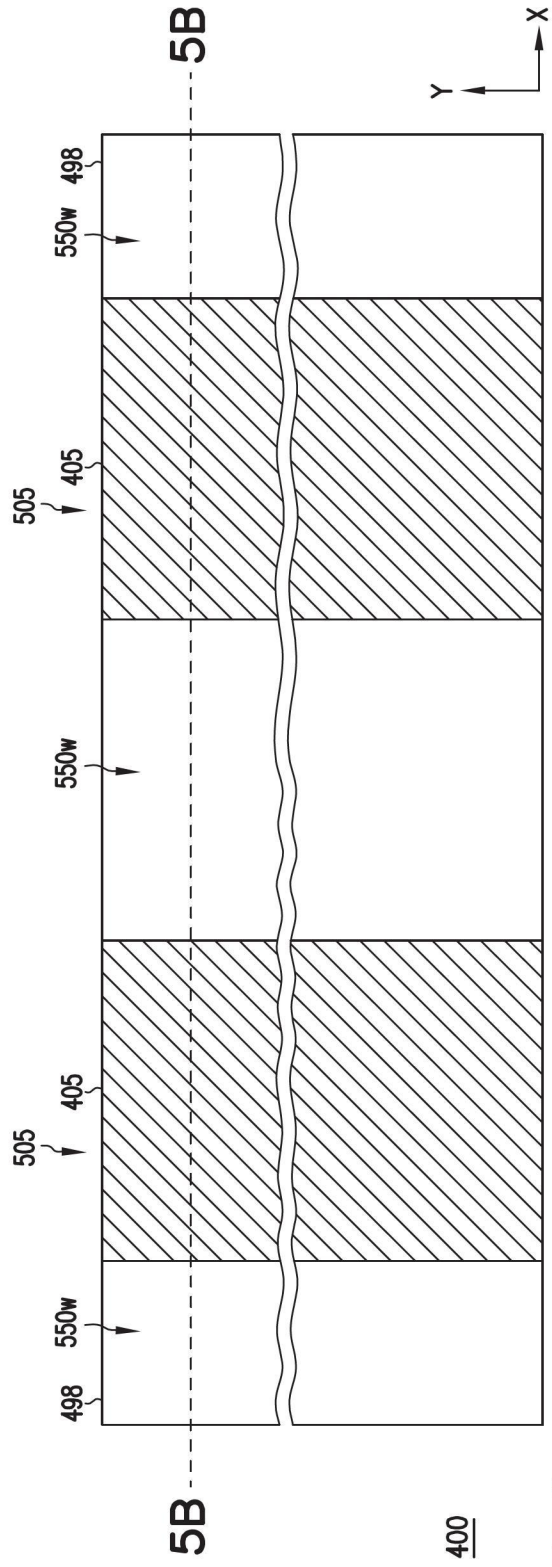




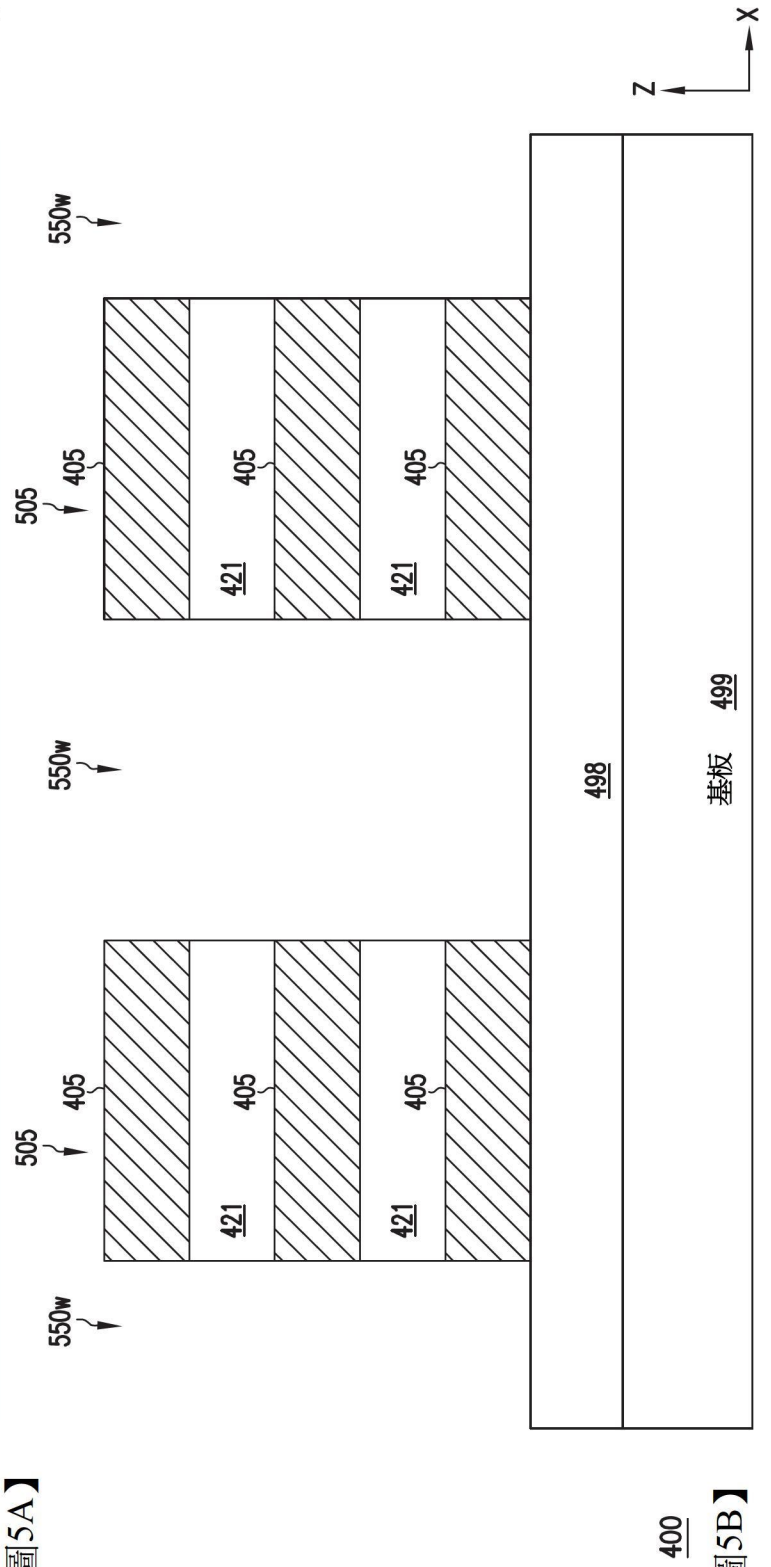
【圖4A】



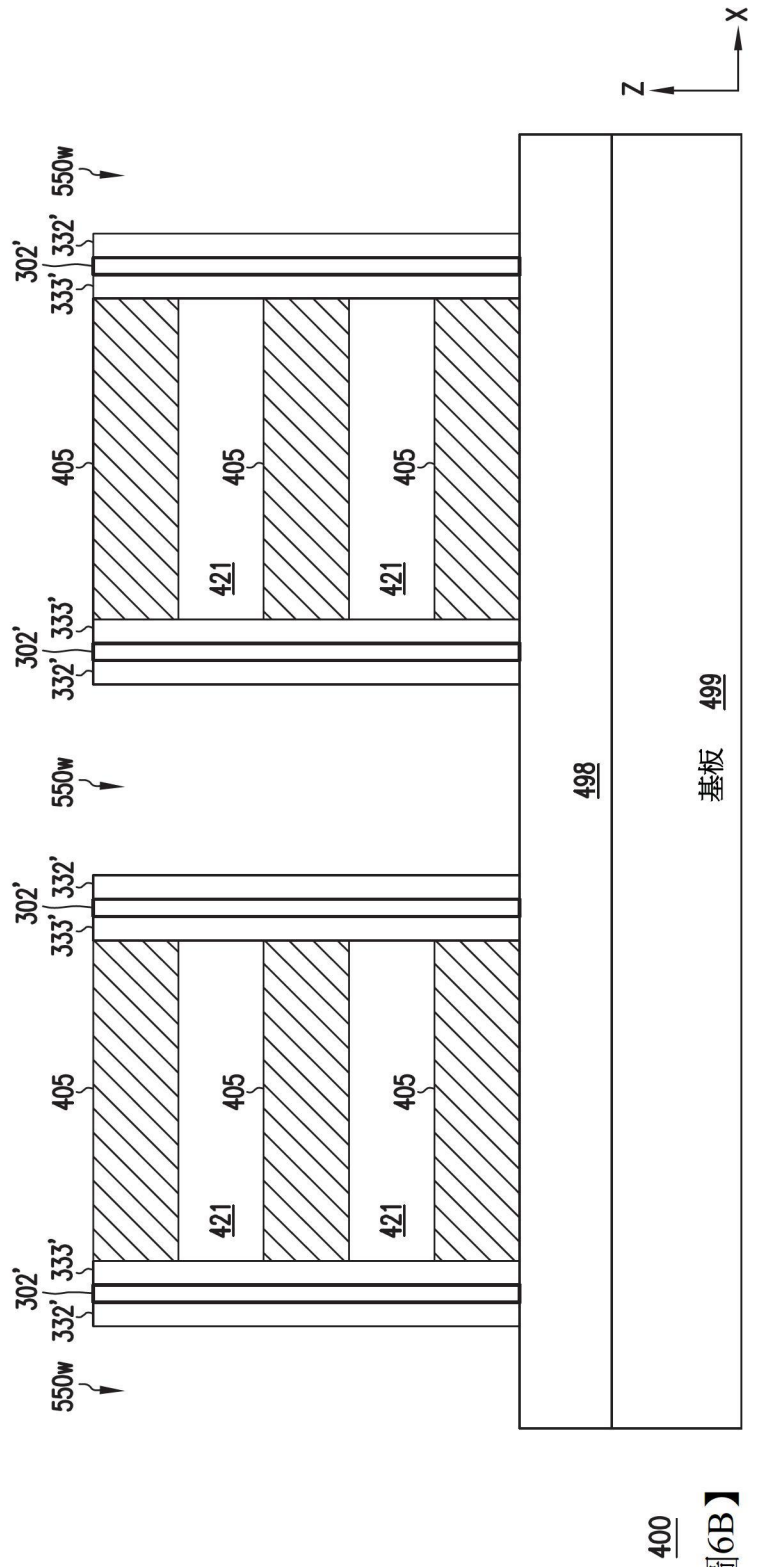
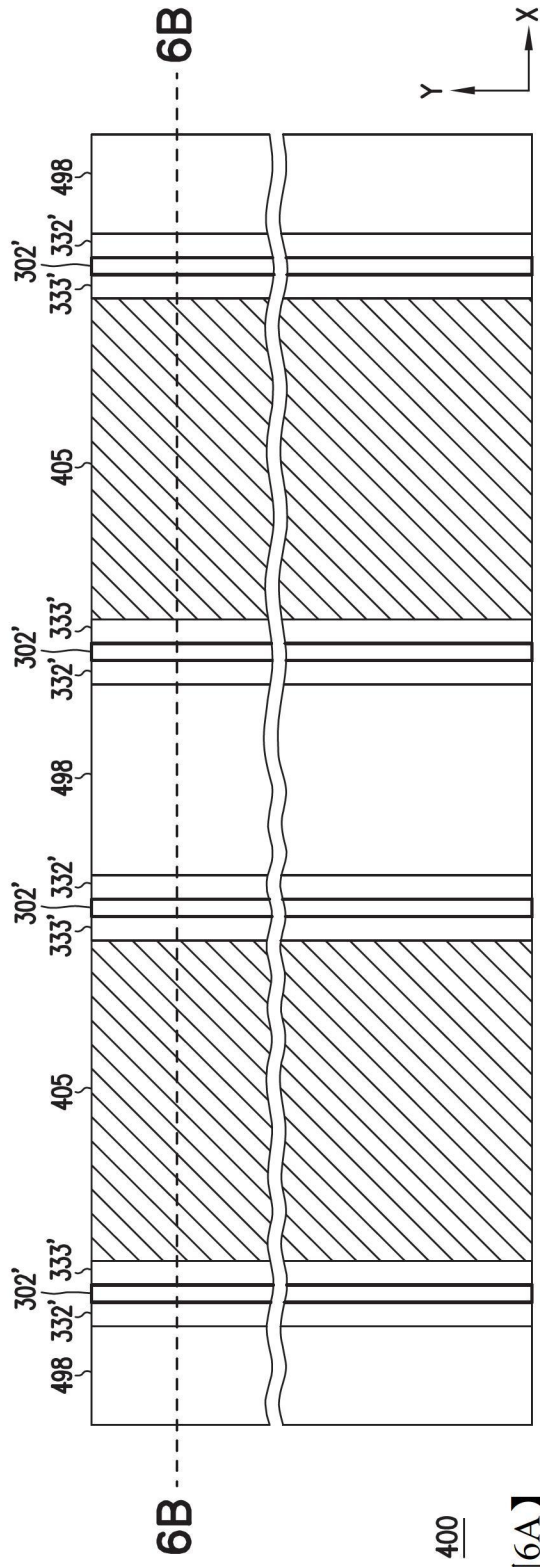
【圖4B】

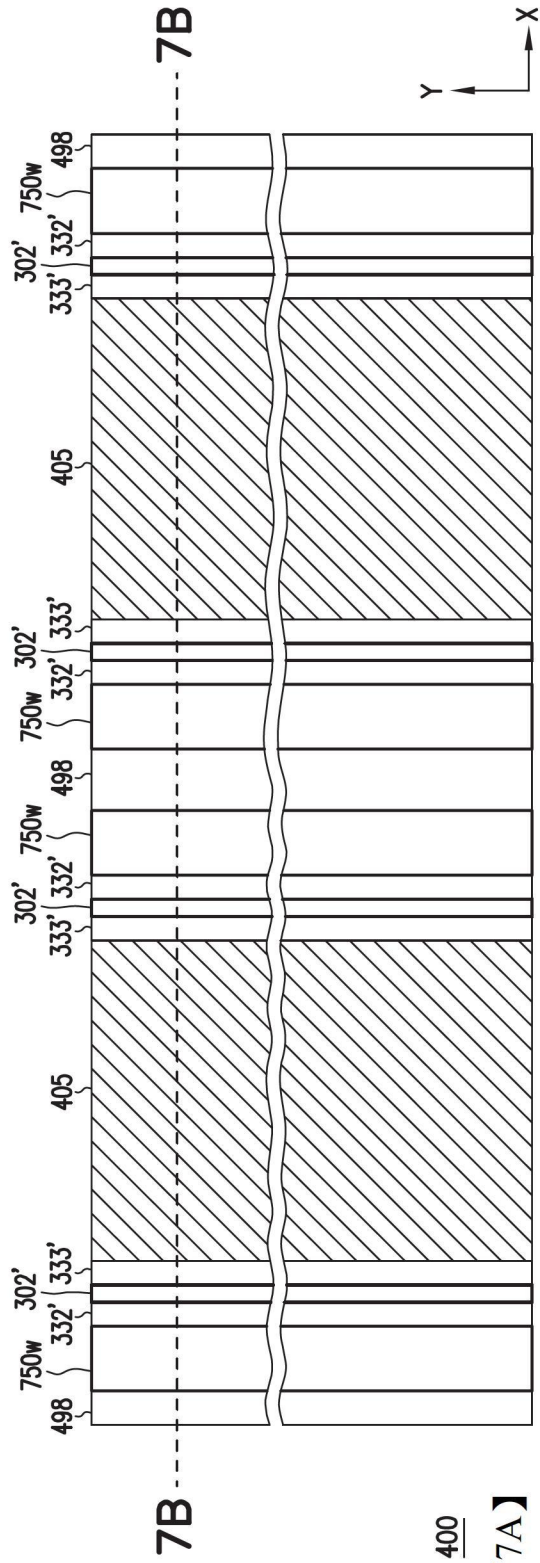


【圖5A】

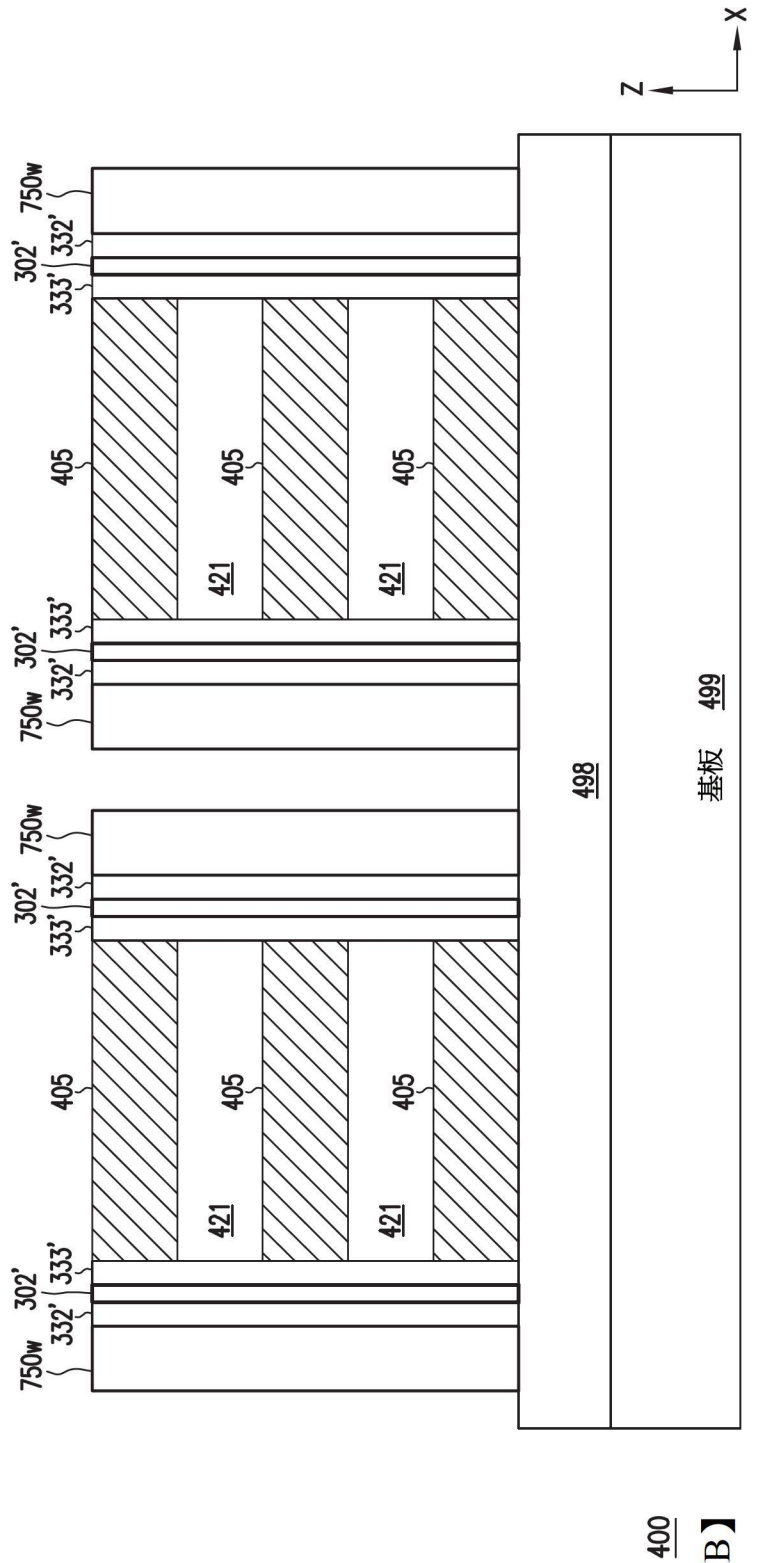


【圖5B】

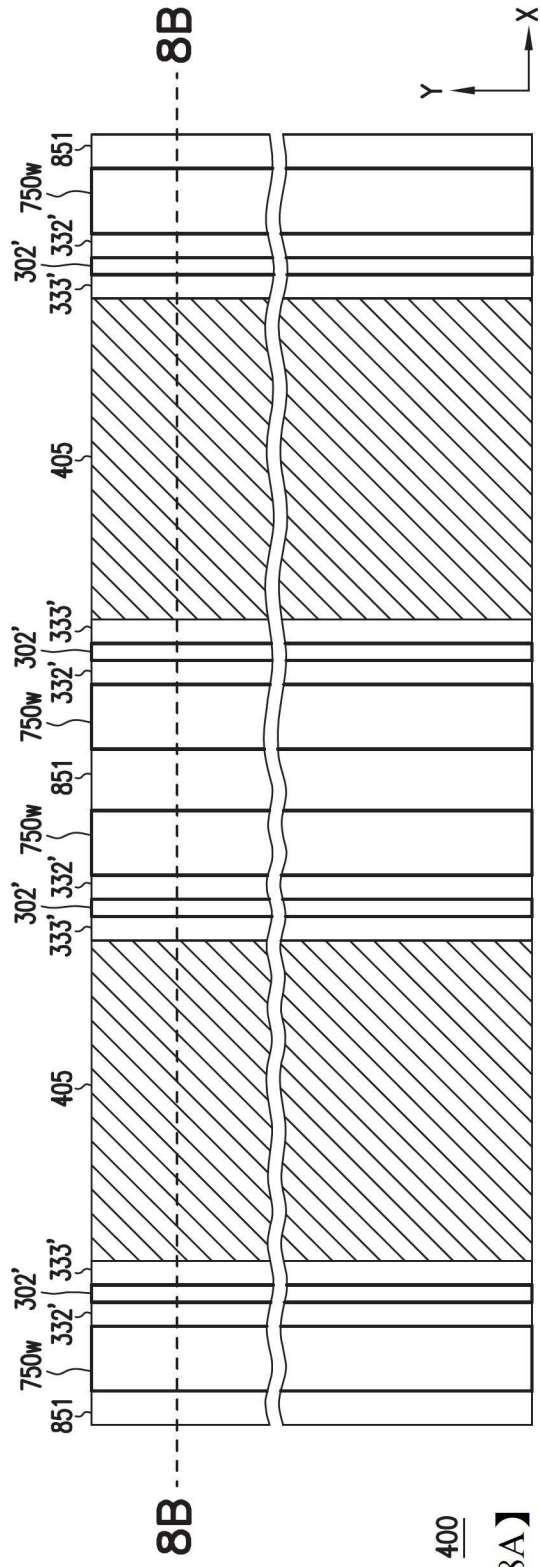




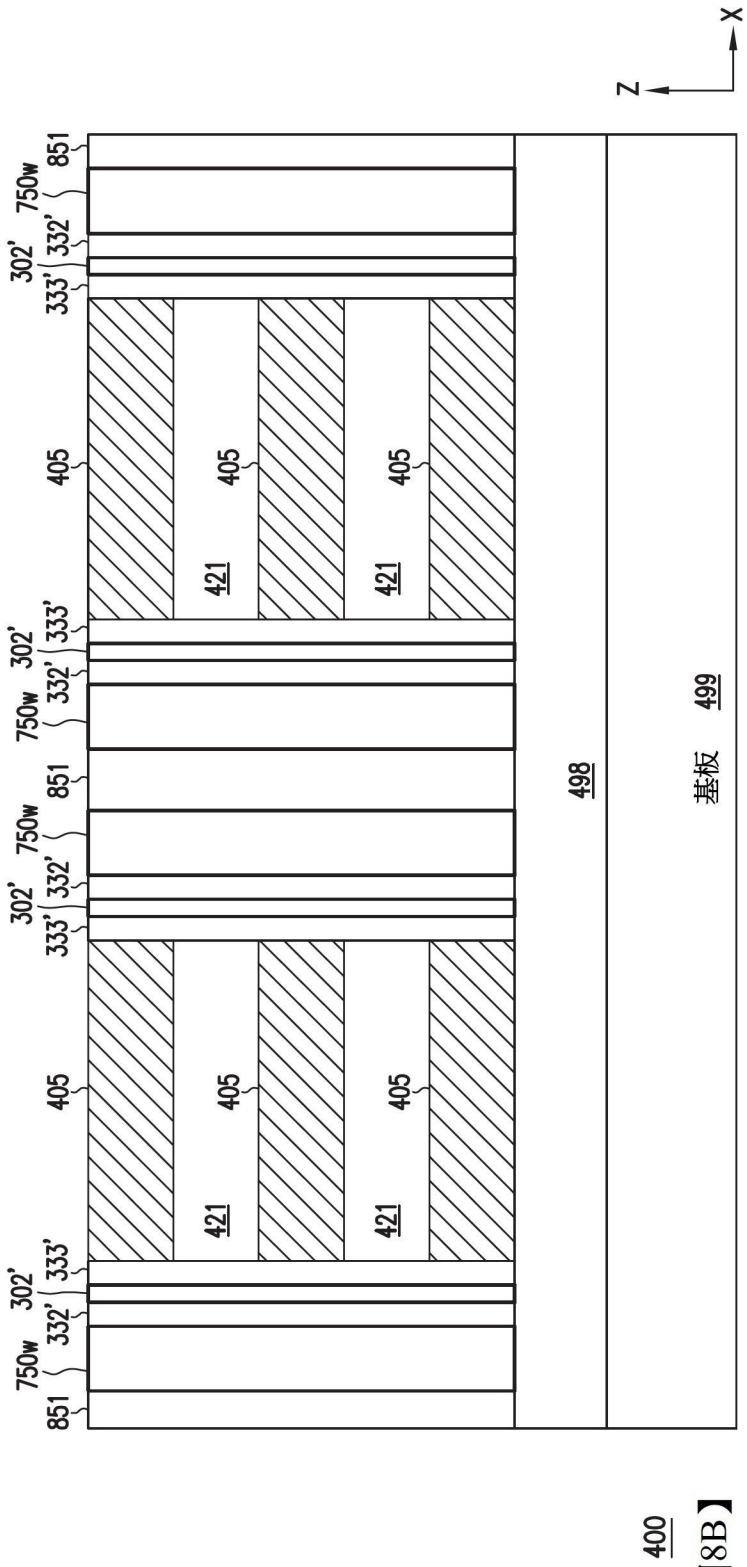
【圖7A】



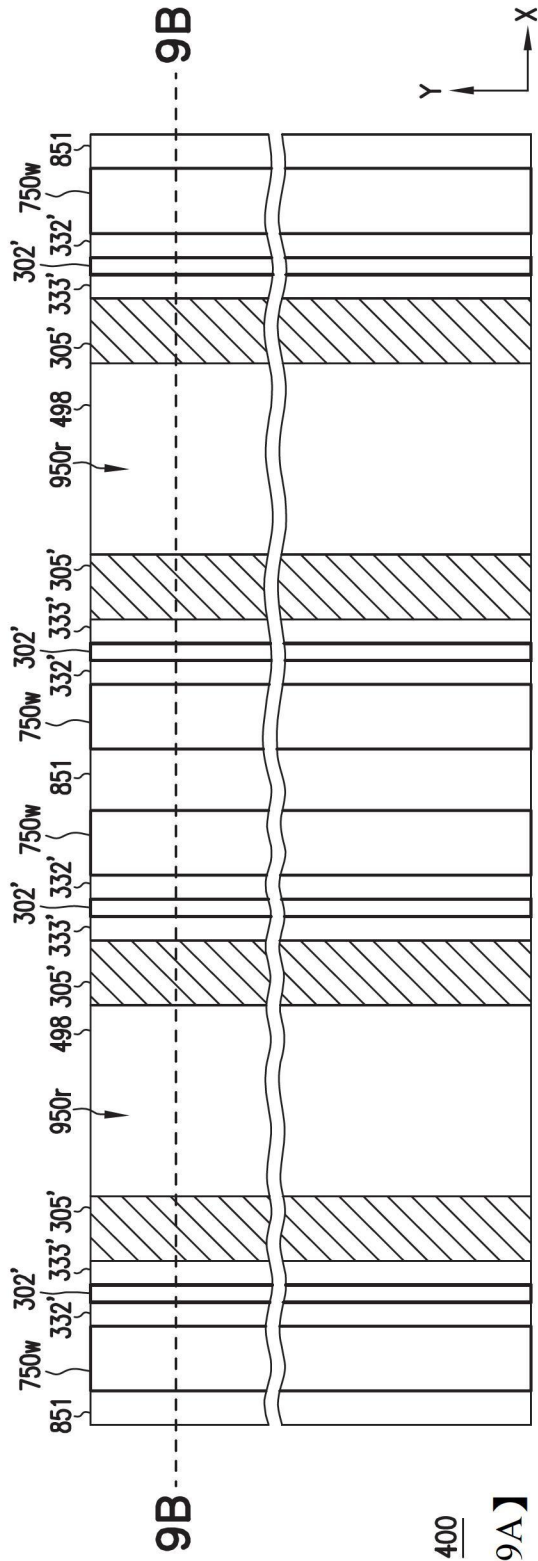
【圖7B】



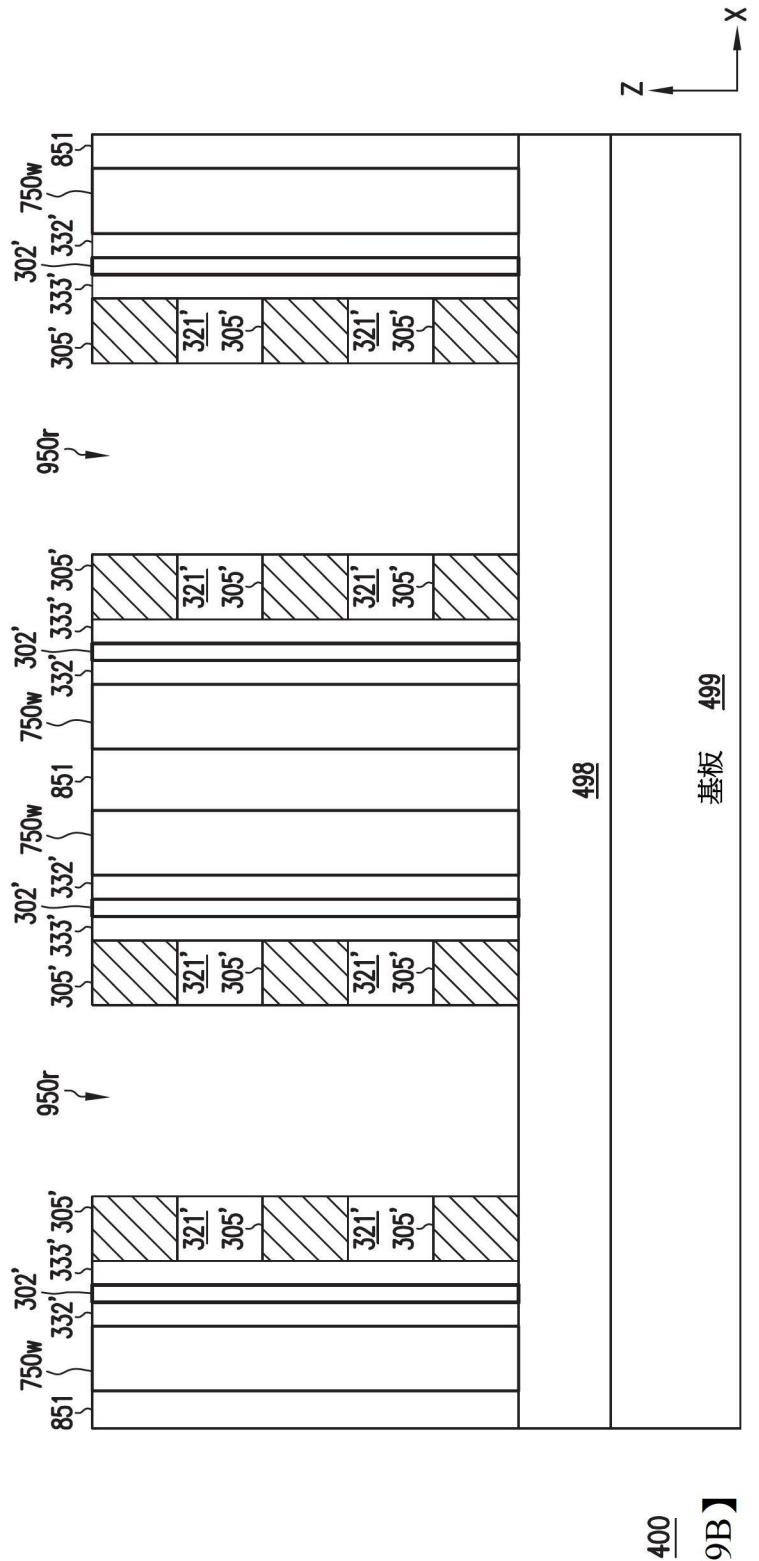
【圖8A】



【圖8B】

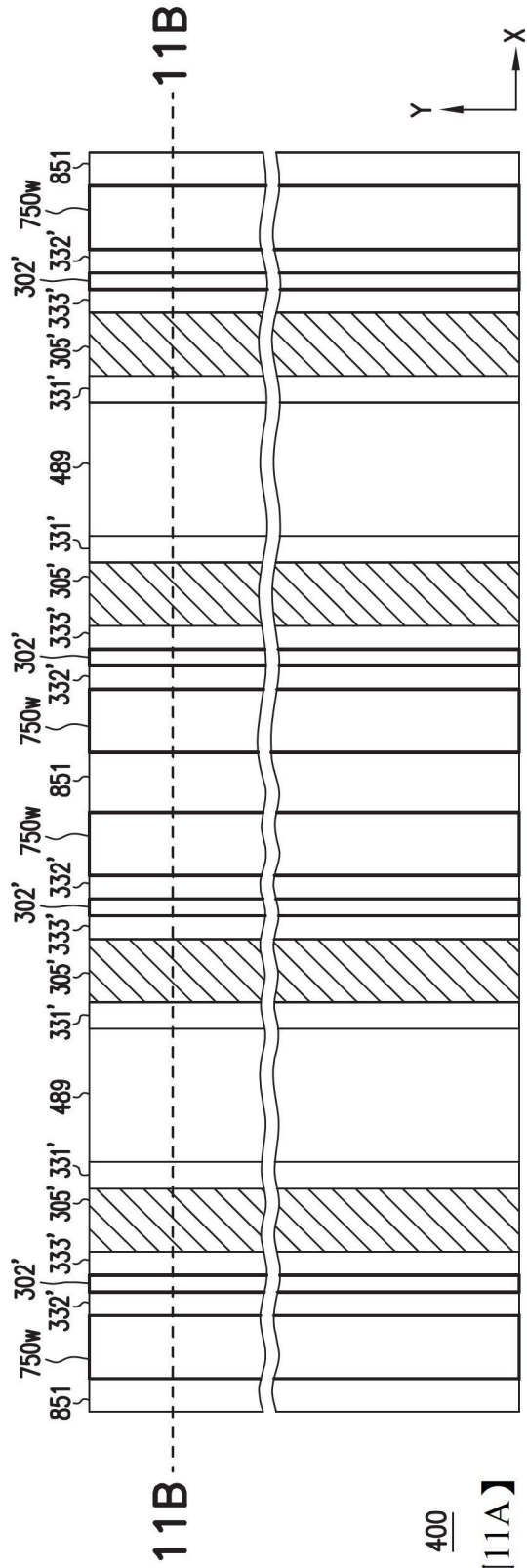


【圖9A】



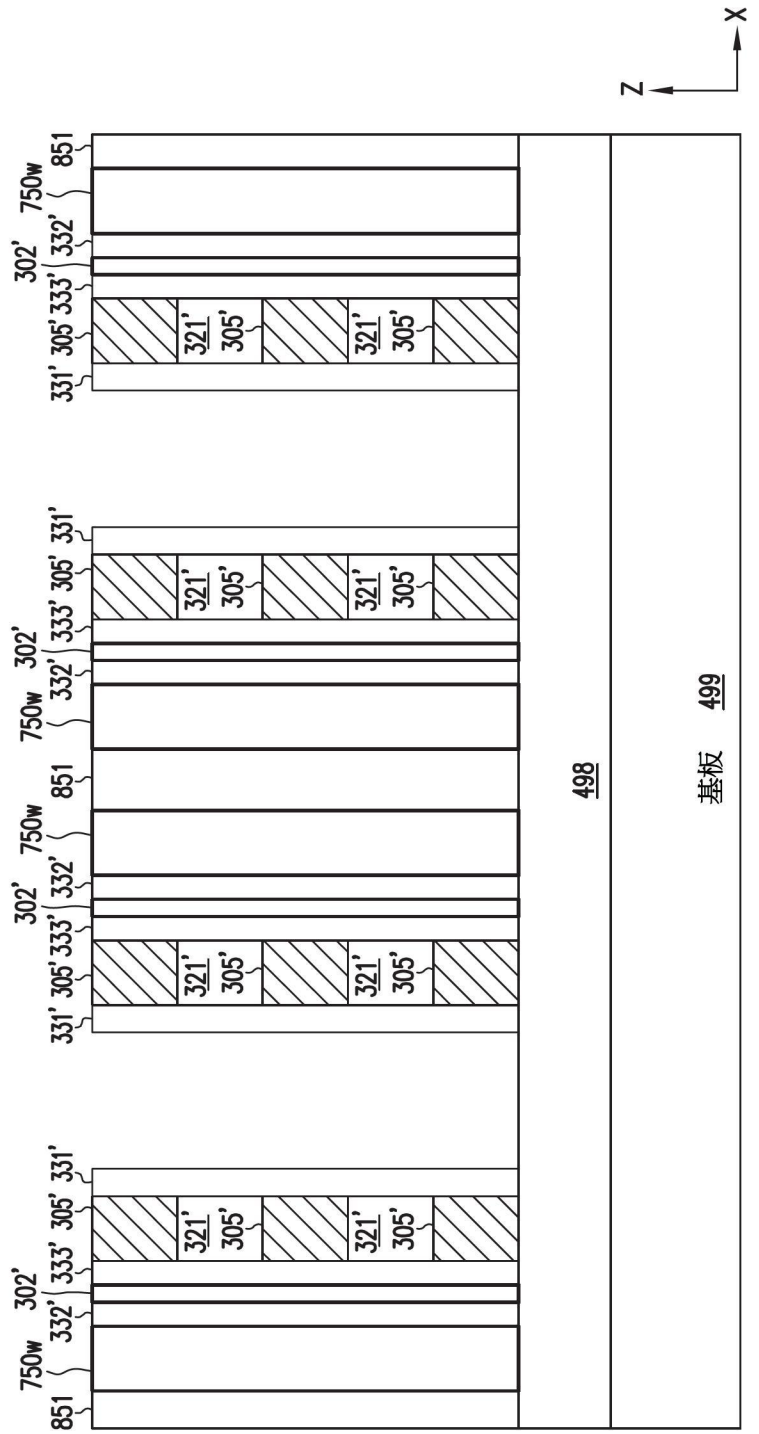
【圖9B】





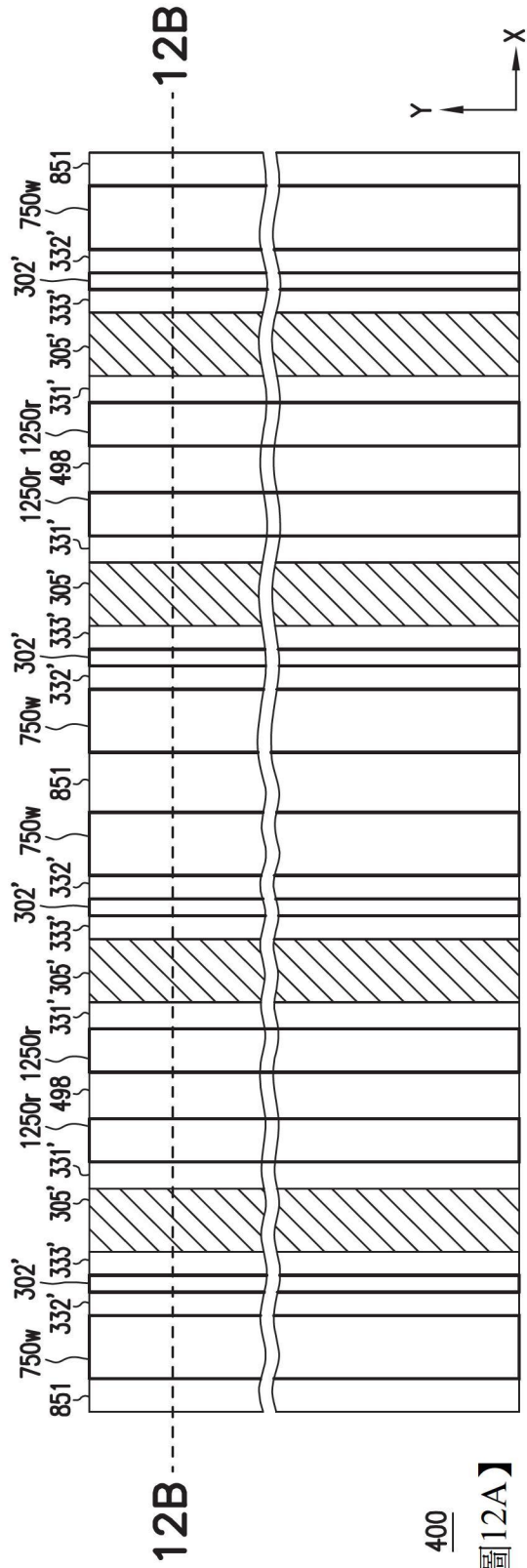
【圖11A】

400

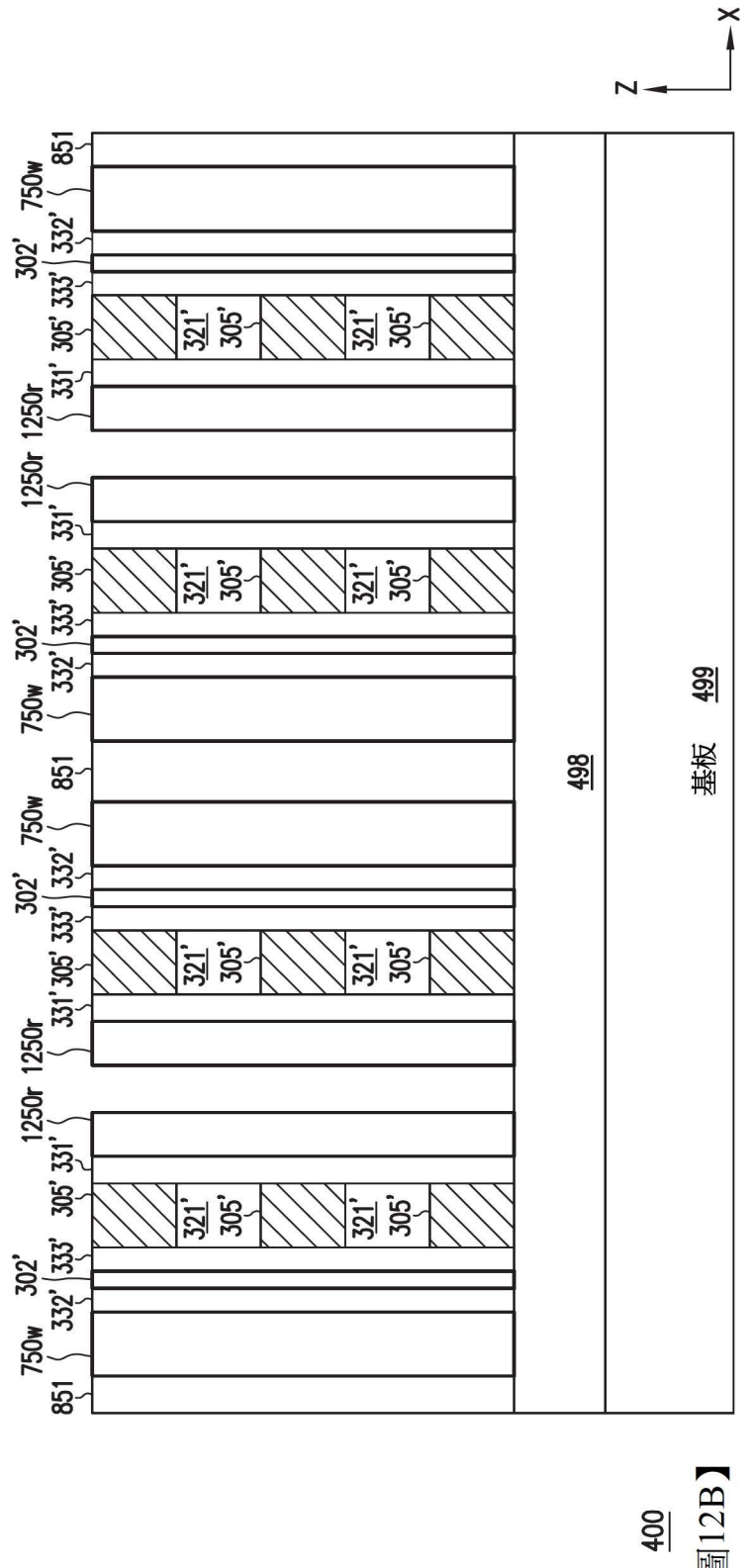


【圖11B】

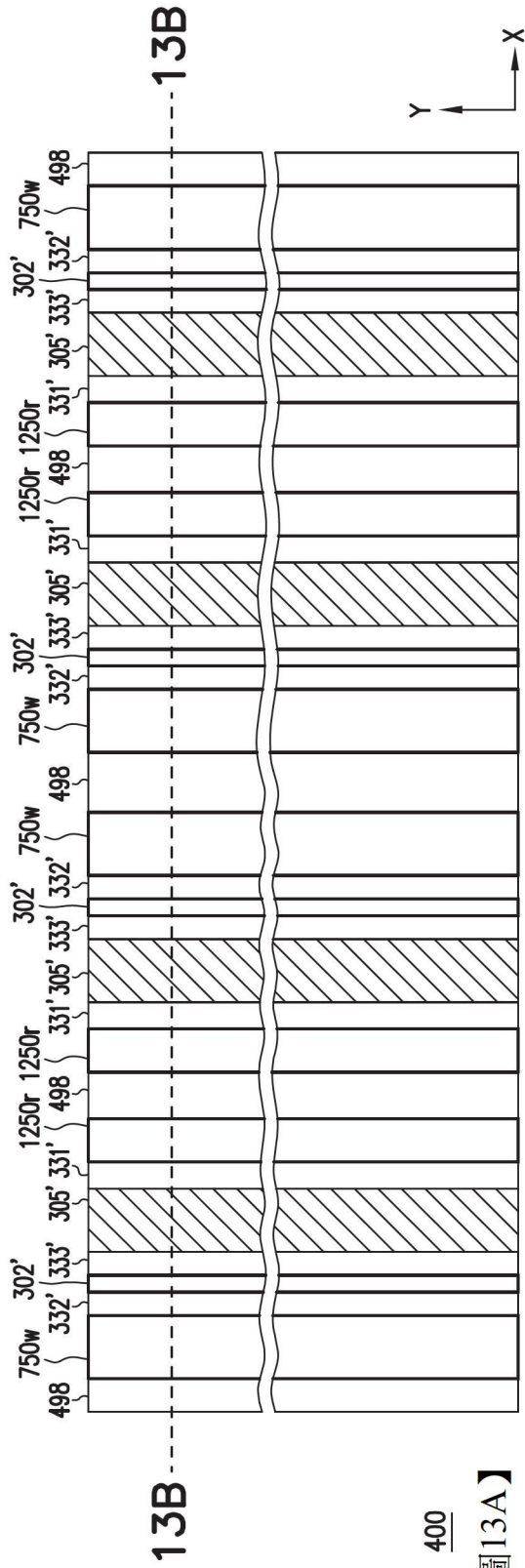
400



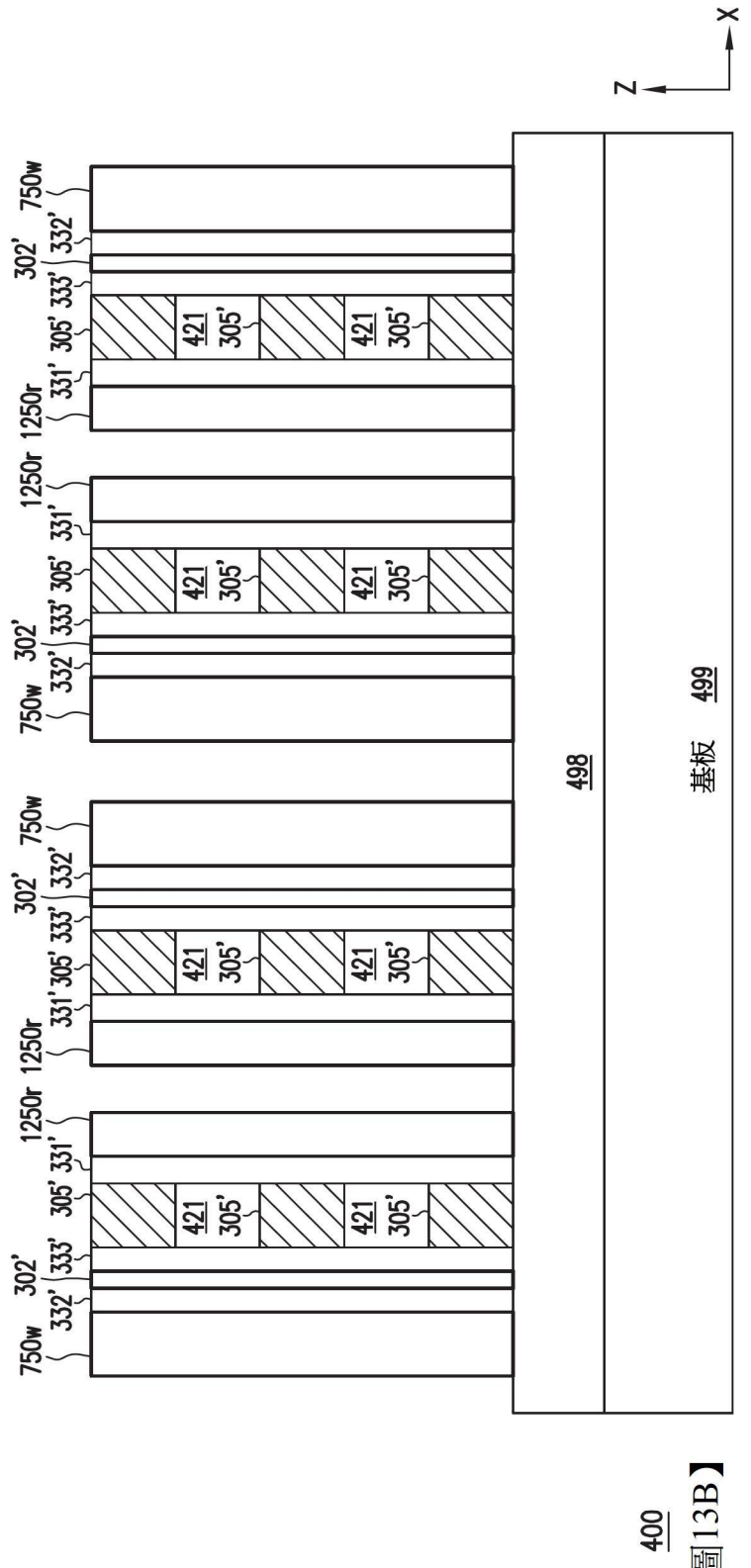
【圖12A】



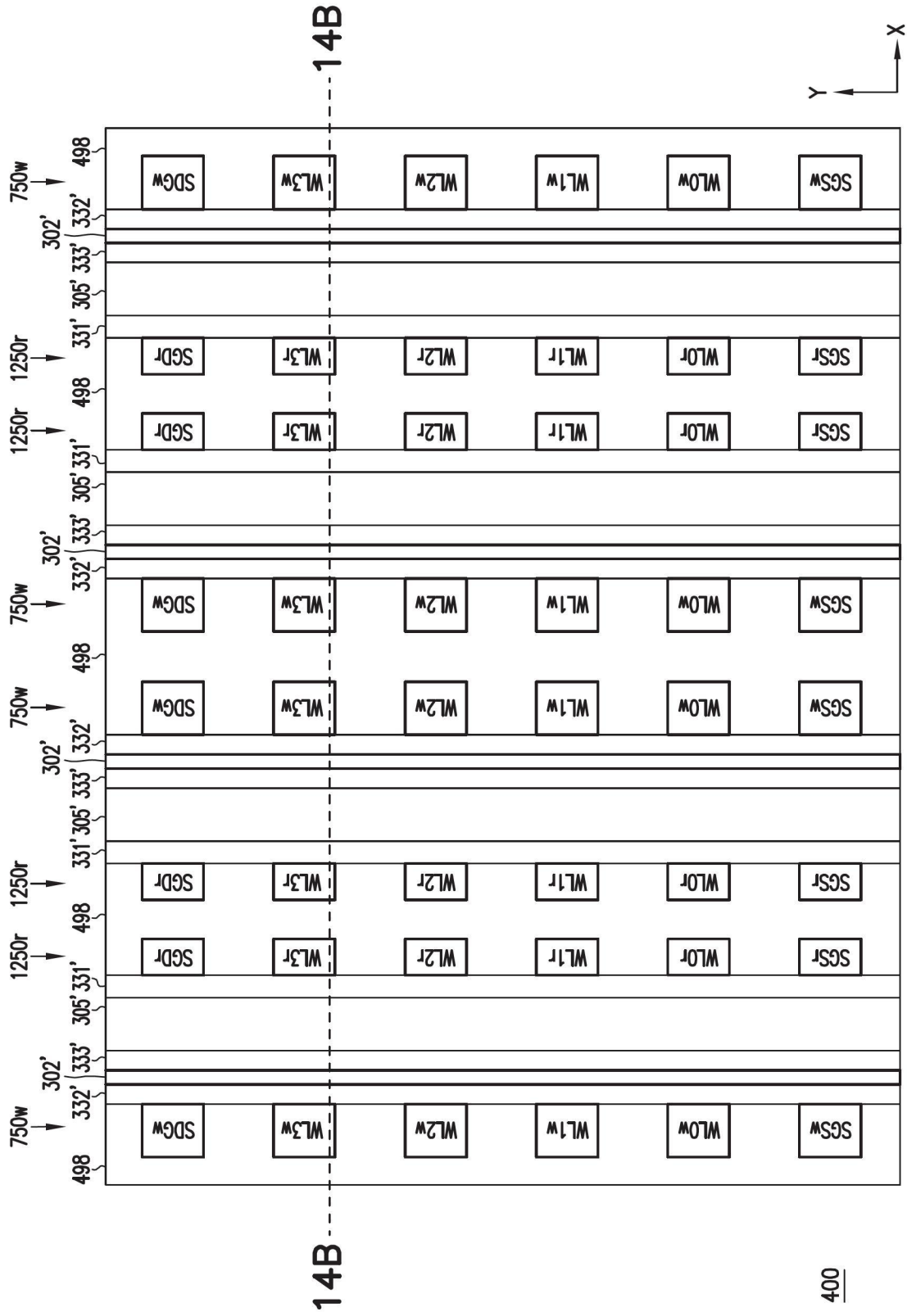
【圖12B】



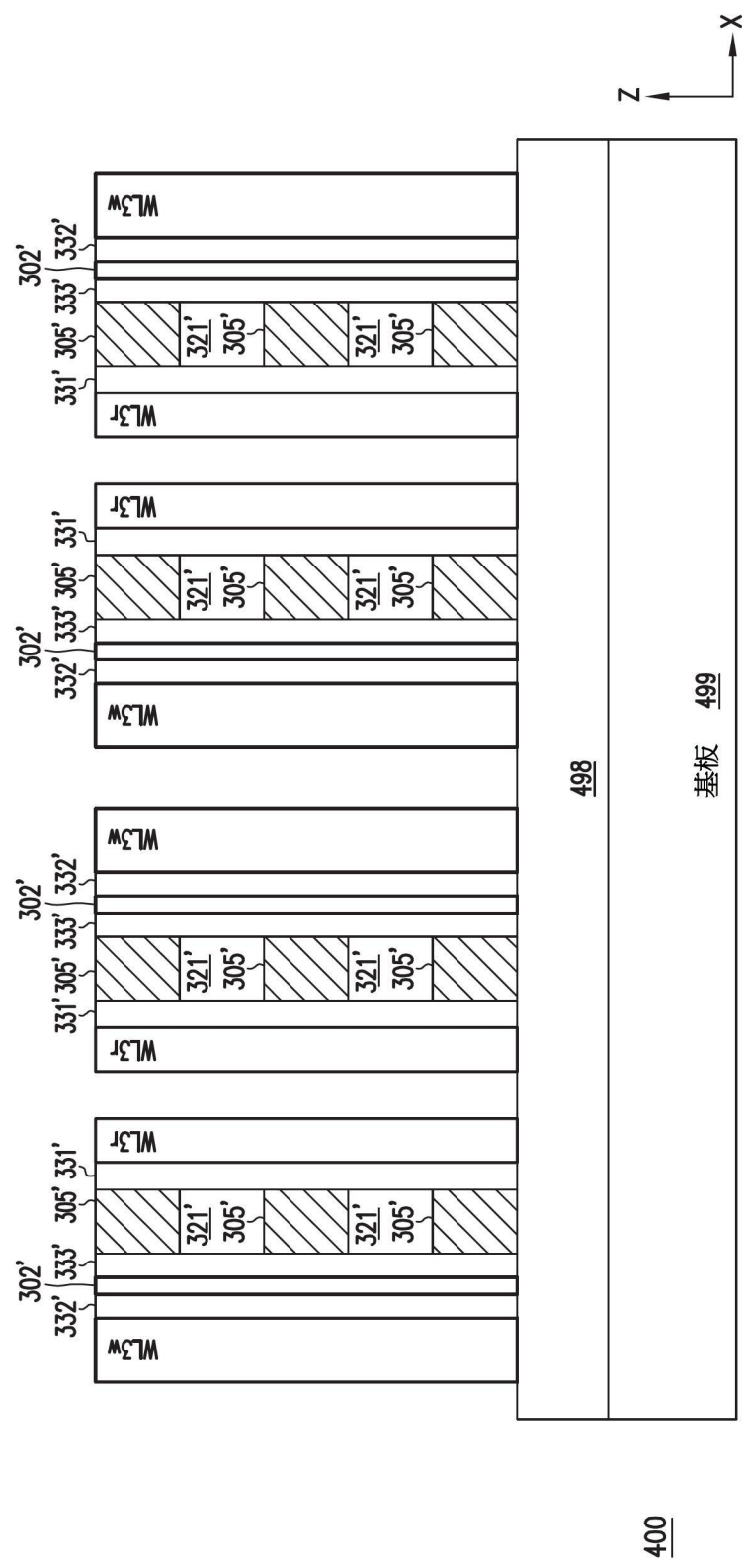
【圖13A】



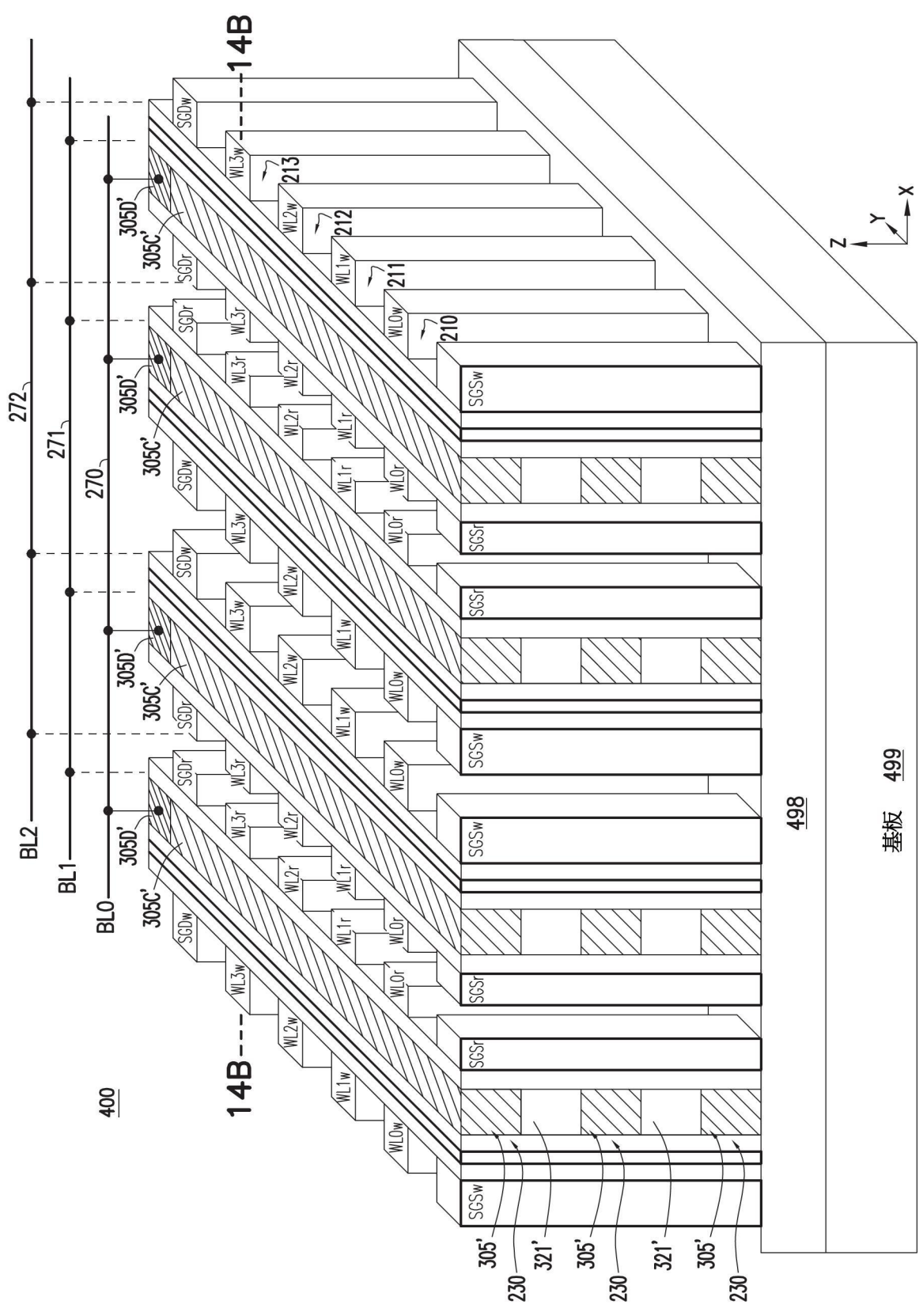
【圖13B】



【圖 14A】

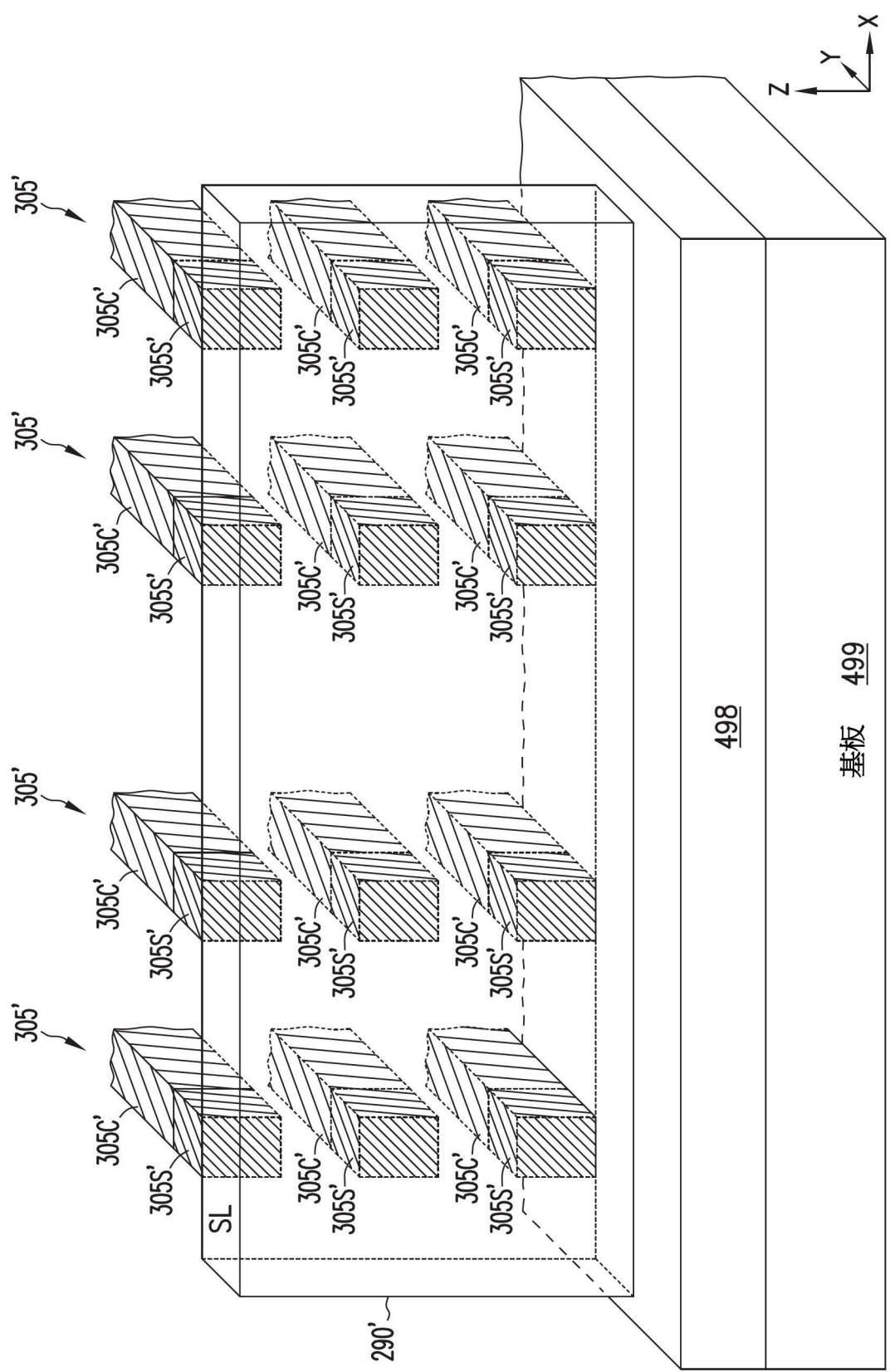


【圖14B】



【圖14C】

基板 499



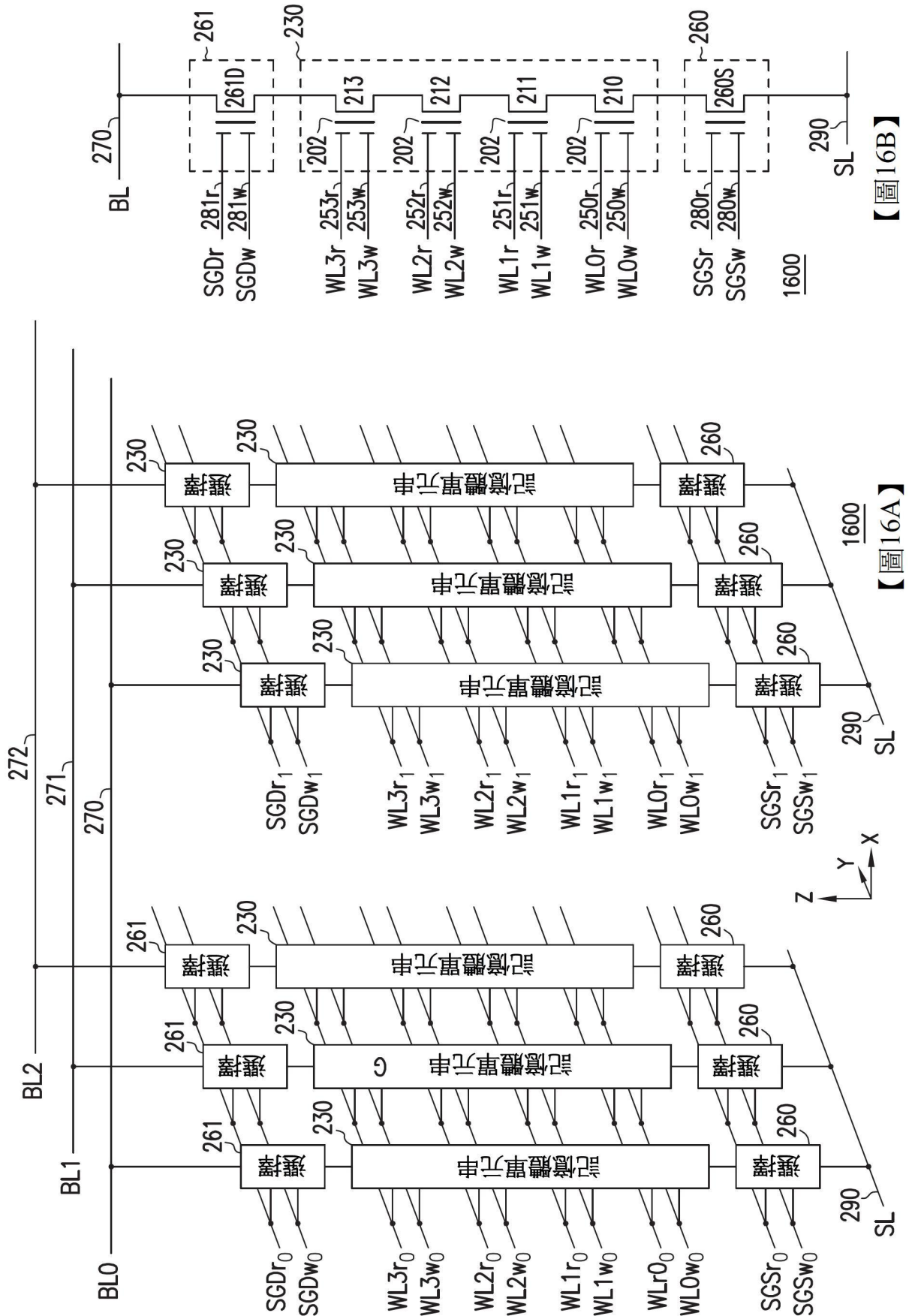
400

基板 499

498

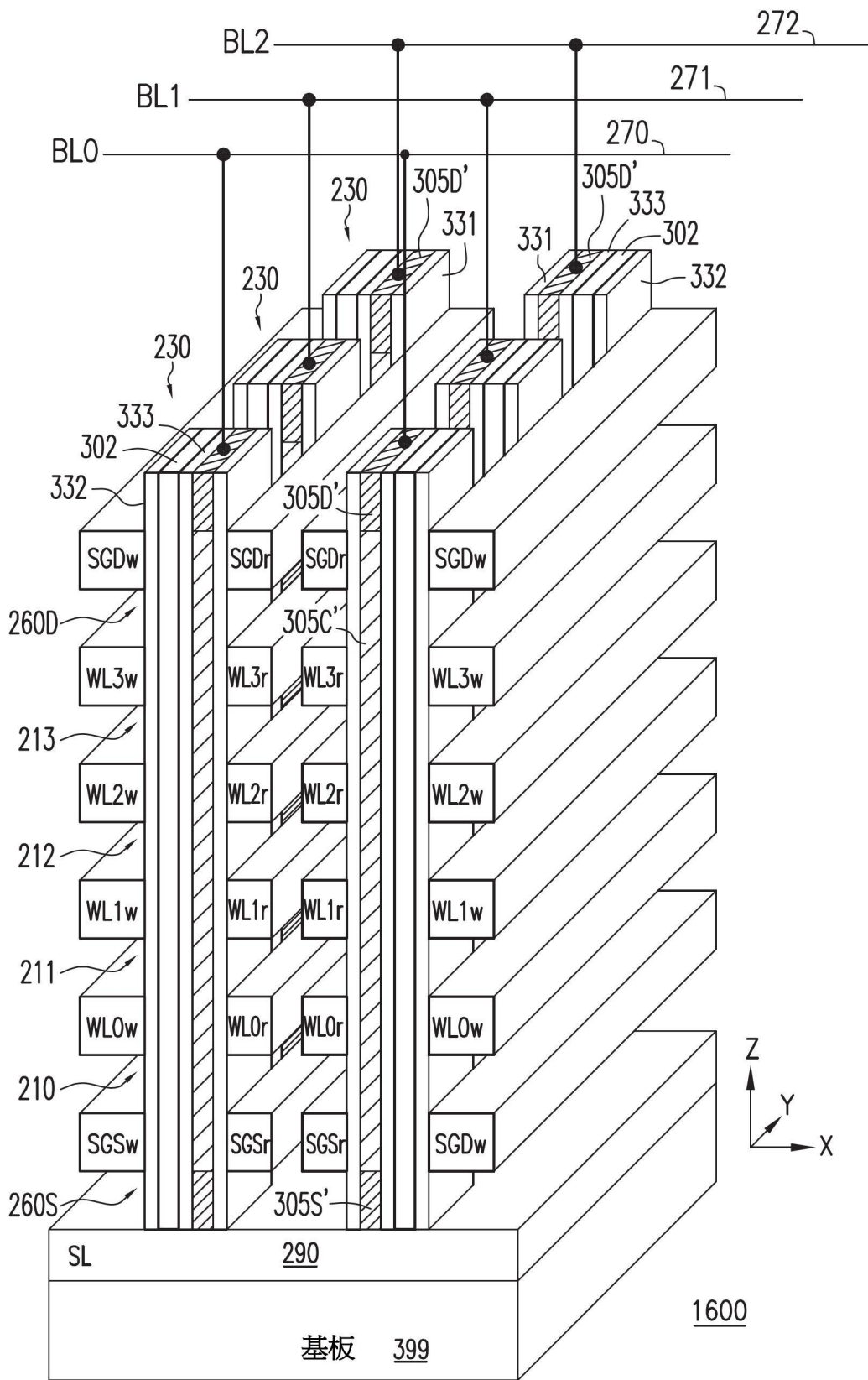
【圖14D】



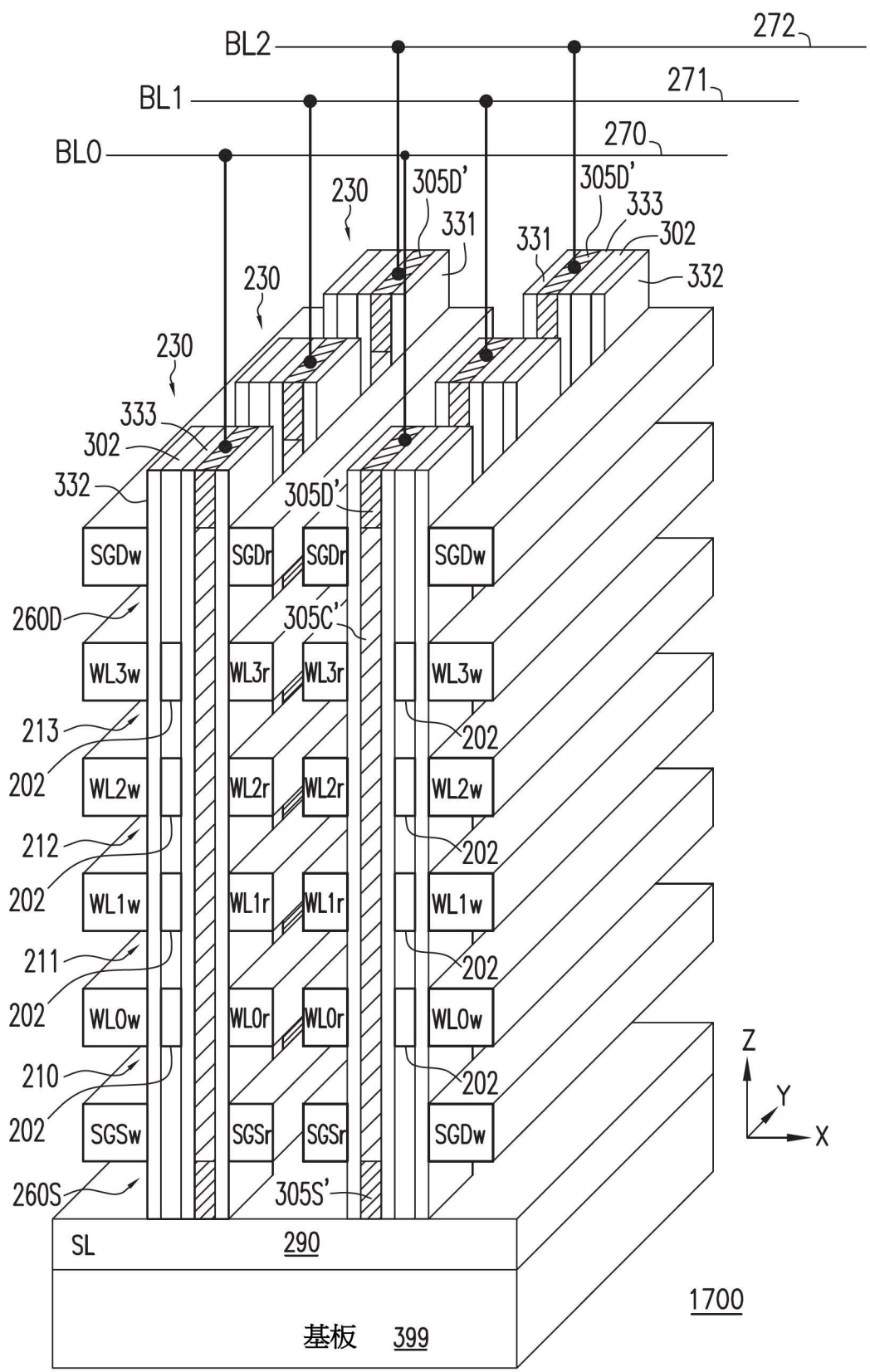


【圖16B】

【圖16A】



【圖16C】



【圖17】