



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월18일 10-0720095 2007년05월14일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0065860 2000년11월07일 2005년10월10일	(65) 공개번호 (43) 공개일자	10-2002-0036013 2002년05월16일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	공향식 경기도수원시팔달구영통동신나무실신원아파트644동304호  허성욱 서울특별시송파구잠실7동우성아파트25동902호  박영배 경기도용인시기홍읍농서리산24번지
(74) 대리인	김원근 팬코리아특허법인

(56) 선행기술조사문헌  
1020000027714

심사관 : 박남현

전체 청구항 수 : 총 11 항

(54) 박막 트랜지스터 어레이 기판 및 그 제조 방법

(57) 요약

먼저, 알루미늄 계열의 도전 물질을 적층하고 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선과 데이터 패드가 형성되는 패드부에 패드용 보조층을 형성한 다음, 게이트 절연막, 반도체층 및 저항 접촉층을 차례로 형성한다. 이어, 크롬 등의 금속을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 패드용 보조층 상부에 접촉 구멍을 가지는 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드를 드러내는 접촉 구멍을 형성한다. 이때, 데이터 패드의 접촉 구멍을 통하여 패드용 보조층이 드러난다. 이어 IZO를 적층하고 패터닝하여 드레인 전극, 게이트 패드 그리고, 데이터 패드 및 그 하부의 패드용 보조층과 각각 전기적으로 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다. 이렇게 패드부에 알루미늄 계열의 패드용 보조층을 형성하여 액정 패널 검사시에 패드부의 접촉 저항을 최소화할 수 있다.

대표도

도 4

## 특허청구의 범위

### 청구항 1.

절연 기판 위에 형성되어 있으며, 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극과 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 게이트 절연막 상부에 형성되어 있으며, 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선을 덮고 있는 보호막,

상기 보호막에 형성되어 있는 접촉 구멍을 통하여 상기 데이터 패드와 연결되어 있는 보조 패드 및

상기 데이터 패드의 하부에 십 모양으로 형성되어 있는 패드용 보조층을 포함하는 박막 트랜지스터 기판.

### 청구항 2.

제1항에서,

상기 패드용 보조층은 상기 반도체층과 동일한 층으로 형성되어 있는 박막 트랜지스터 기판

### 청구항 3.

제1항에서,

상기 패드용 보조층은 상기 게이트 배선과 동일한 층으로 형성되어 있는 박막 트랜지스터 기판.

### 청구항 4.

제3항에서,

상기 데이터 배선은,

데이터선, 상기 데이터선에 연결되어 있는 소스 전극 및 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 드레인 전극 포함하는 박막 트랜지스터 기판.

### 청구항 5.

제4항에서,

상기 보조 패드와 동일한 층에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 더 포함하는 박막 트랜지스터 기판.

### 청구항 6.

제5항에서,

상기 반도체층과 상기 데이터 배선 사이에 형성되어 있으며, 불순물로 고농도로 도핑되어 있는 저항성 접촉층을 더 포함하는 박막 트랜지스터 기판.

### 청구항 7.

제6항에서,

상기 저항성 접촉층은 상기 데이터 배선과 동일한 형태를 가지는 박막 트랜지스터 기판.

### 청구항 8.

제7항에서,

상기 반도체층은 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외하면 상기 데이터 배선과 동일한 모양인 박막 트랜지스터 기판.

### 청구항 9.

제3항 또는 8항에서,

상기 패드용 보조층은 알루미늄 계열의 도전 물질로 이루어져 있고, 상기 보조 패드는 IZO로 이루어져 있으며, 상기 패드용 보조층과 상기 보조 패드는 상기 데이터 패드의 제2 접촉 구멍을 통하여 서로 연결되어 있는 박막 트랜지스터 기판.

### 청구항 10.

절연 기판 위에 형성되어 있으며, 게이트선 및 상기 게이트선에 연결되어 있는 게이트 전극과 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 게이트 절연막 상부에 형성되어 있으며, 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 드레인 전극 및 상기 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선을 덮고 있는 보호막,

상기 보호막에 형성되어 있는 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터에 있어서,

상기 보호막 또는 상기 게이트 절연막은 적어도 상기 데이터 패드가 완전히 드러나도록 상기 데이터 패드가 형성되어 있는 패드부에서 제거되어 있는 박막 트랜지스터.

### 청구항 11.

제10항에서,

상기 화소 전극과 동일한 층에 형성되어 있으며, 상기 데이터 패드를 덮는 보조 패드를 더 포함하는 박막 트랜지스터.

### 청구항 12.

삭제

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.

여기서, 두 기관 중 하나의 기관에는 영상 신호 또는 주사 신호를 전달하며 매트릭스 배열의 화소를 정의하는 배선이 형성되어 있으며, 각각의 화소에는 배선과 전기적으로 연결되어 있으며 영상 신호가 전달되는 것을 제거하기 위한 박막 트랜지스터와 영상 신호가 전달되는 화소 전극이 형성되어 있으며, 이를 박막 트랜지스터 기관이라 한다.

이때, 배선의 끝 부분에는 패드가 연결되어 있으며, 이러한 패드는 외부 구동 회로로부터 배선으로 주사 신호 또는 영상 신호를 전달하는 수단으로 사용되며, 패드가 손상되는 것을 방지하기 위해 화소 전극과 같이 다른 층의 도전 물질로 이루어진 보조 패드로 덮는 것이 바람직하다.

하지만, 액정 표시 장치가 고정세화되어 패드의 피치(pitch) 사이의 간격이 좁아지거나, 액정 패널을 검사하는 공정에서 프로브 핀(probe pin)의 접촉 불량 발생하여 패드부의 접촉 저항이 증가하는 문제점이 발생한다. 특히, 이러한 문제점은 표면 접촉 저항 큰 IZO(indium zinc oxide)를 보조 패드로 사용하는 경우에 많이 발생하여 검사가 불가능한 수준까지 이르게 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 프로브 핀과 낮은 접촉 저항을 가질 수 있는 구조의 패드부를 가지는 박막 트랜지스터 어레이 기관을 제공하는 것이다.

삭제

### 발명의 구성

이러한 문제점을 해결하기 위하여 본 발명에서는 검사 장치의 프로브 핀에서 패드와 접하는 끝단 접촉부의 반경이  $2\mu\text{m}$  이하의 곡면을 가지는 프로브 핀을 사용하여 박막 트랜지스터 어레이 기판을 검사하거나, 패드부를 볼록한 모양으로 형성하거나 프로브 핀이 접촉하는 패드부의 면적이 최대가 되도록 형성하며 이를 위해 패드용 보조층을 추가하거나, 패드부에 저저항을 알루미늄 계열의 금속층을 추가하고 이를 보조 패드와 연결되도록 형성한다.

더욱 상세하게, 본 발명에 따른 박막 트랜지스터 기판에는, 절연 기판 위에 게이트선 및 게이트선에 연결되어 있는 게이트 전극과 게이트 패드를 포함하는 게이트 배선이 형성되어 있으며, 게이트 절연막이 게이트 배선을 덮고 있다. 게이트 절연막 상부에는 반도체층 형성되어 있으며, 패드용 보조층을 덮고 있는 데이터 패드를 포함하는 데이터 배선이 형성되어 있다. 데이터 배선을 덮고 있는 보호막의 상부에는 보호막에 형성되어 있는 접촉 구멍을 통하여 데이터 패드와 연결되어 있는 보조 패드가 형성되어 있다.

여기서, 패드용 보조층은 반도체층 또는 게이트 배선과 동일한 동일한 층으로 형성될 수 있다.

패드용 보조층이 게이트 배선과 동일한 층으로 형성되는 경우에, 패드용 보조층과 보조 패드는 데이터 패드의 제2 접촉 구멍을 통하여 서로 연결될 수 있다.

여기서, 데이터 배선은 데이터선, 데이터선에 연결되어 있는 소스 전극 및 게이트 전극을 중심으로 소스 전극과 마주하는 드레인 전극 포함하며, 보조 패드와 동일한 층에는 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다.

한편, 패드와 연결되어 있는 보조 패드를 볼록한 모양으로 형성하기 위해서는 패드가 형성되어 있는 패드부에서 게이트 절연막 및 보호막이 제거될 수도 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

본 발명의 실시예에서는 완성된 박막 트랜지스터 기판의 양부를 판단하기 위해 기판의 상부에 형성되어 있는 게이트 배선의 게이트 패드 또는 데이터 배선의 데이터 패드에 검사 장치의 프로브 핀을 접촉시킨다. 이때, 액정 표시 장치가 고정세화됨에 따라 화상 신호를 전달하는 데이터선 및 데이터 패드의 수가 증가하게 되어 패드와 접촉되는 프로브 핀 사이에 오정렬(mis-align)이 빈번하게 발생하며, 이로 인하여 패드와 프로브 핀 사이에 접촉 저항이 증가하게 되어 박막 트랜지스터 기판의 양부를 판정함에 있어 어려움이 있다. 이러한 문제점을 해결하기 위해 프로브 핀의 끝단인 접촉부 반경이  $2\mu\text{m}$  이하의 곡면을 가지는 프로브 핀을 사용하여 박막 트랜지스터 어레이 기판을 검사하며, 도면을 이용하여 상세하게 설명하기로 한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판을 검사하는 단계를 도시한 도면이다.

도 1에서 보는 바와 같이, 완성된 박막 트랜지스터 기판에서 데이터 패드를 포함하는 데이터 패드에는, 통상적으로 절연 기판(10)의 상부에 게이트 절연막(30)이 형성되어 있고 그 상부에는 데이터선(도시하지 않음)에 연결되어 외부로부터 신호가 전달되는 데이터 패드(68)가 형성되어 있다. 데이터 패드(68)를 덮는 보호막(70)에는 데이터 패드(68)를 드러내는 접촉 구멍(78)이 형성되어 있으며, 보호막(70)의 상부에는 접촉 구멍(78)을 통하여 데이터 패드(68)와 연결되어 있는 보조 데이터 패드(88)가 형성되어 있다.

여기서, 앞에서 설명한 바와 같이 박막 트랜지스터 기판의 양부를 판정하기 위한 검사 공정에서 검사 장치에 속하는 프로브 핀(200)을 박막 트랜지스터 기판의 상부에 접근시켜 보조 데이터 패드(88)와 접촉시킨다. 이때, 프로브 핀(200)과 보조 데이터 패드(88) 사이에서 오정렬이 발생하는 경우에는 프로브 핀(200)의 접촉부(220)는 보호막(70)의 접촉 구멍(78)으로 형성된 단차로 인하여 보호막(70) 상부의 IZO막(88)과 접촉하게 되어, 이들(88, 220) 사이의 접촉 저항이 증가된다. 여기서, 프로브 핀(200)의 접촉부(220)를  $2\mu\text{m}$  이하가 되도록 형성하면, 오정렬이 발생하더라도 프로브 핀(200)의 접촉부(220)는 데이터 패드(68)와 직접 접하는 IZO막(88)의 상부에 접촉되어 이들(220, 88) 사이의 접촉 저항을 최소화할 수 있어 박막 트랜지스터 기판의 양부 판정을 정확하게 할 수 있다.

한편, 프로브 핀(200)의 접촉부(220)와 보조 데이터 패드(88) 사이의 접촉 저항을 최소화하기 위해서는 접촉부(220)는 금(Au) 등과 같이 저저항을 가지는 물질로 이루어진 외부막(222)으로 코팅(coating)하는 것이 좋다.

또한, 본 발명의 다른 실시예에서는, 패드부, 데이터 패드를 가지는 패드부를 볼록한 모양으로 형성하거나 프로브 핀이 접촉하는 패드부의 면적을 넓히기 위해 데이터 패드의 하부 중앙에 반도체층과 동일한 층으로 패드용 보조층을 형성하거나, 패드부에 데이터 패드가 드러나도록 절연막을 제거한다. 또한, 저저항을 가지는 알루미늄 계열의 데이터 패드의 하부에 패드용 보조층을 삽입하고, 이러한 패드용 보조층을 IZO의 보조 패드와 연결되도록 형성한다.

먼저, 도 2 및 도 3을 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 3은 도 2에 도시한 박막 트랜지스터 기판을 III-III' 선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 저저항을 가지는 알루미늄 계열의 금속 물질로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

기판(10) 위에는 질화 규소(SiN<sub>x</sub>) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다. 또한, 이후의 데이터 패드(68)가 형성될 데이터 패드부의 게이트 절연막(30) 상부에는 반도체층(40) 또는 저항성 접촉층(55, 56)과 동일한 층으로 비정질 규소층(44, 54)으로 이루어진 패드용 보조층(45)이 섬 모양으로 형성되어 있다.

저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속으로 이루어진 데이터 배선(62, 65, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있고 패드용 보조층(45)을 덮고 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

여기서, 데이터 배선(62, 65, 66, 68)을 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 알루미늄 계열의 도전 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 그 예로는 Cr/Al(또는 Al 합금) 또는 Al/Mo 등을 들 수 있다.

데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 질화 규소로 이루어진 보호막(70)이 형성되어 있다.

보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있으며, 면적은 2mm×60μm를 넘지 않으며, 0.5mm×15μm 이상인 것이 바람직하다. 또한, 이후에 형성되는 보조 데이터 패드(88)가 볼록한 모양으로 형성되도록 하거나 보호막(70)에 의한 단차를 최소화하기 위해서는 데이터 패드(68)를 드러내는 접촉 구멍(78)은 패드용 보조층(45)보다 크게 형성하는 것이 바람직하다.

보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는 IZO(indium zinc oxide)로 이루어져 있다. 이때, 데이터 패드(68)의 하부에 패드용 보조층(45)이 형성되어 있어 보조 데이터 패드(88)는 거의 평탄하게 형성되고 보호막(70)에 의한 단차가 사라지게 되어 보조 데이터 패드(88)와 프로브 핀(200, 도 1 참조)의 접촉부(220)가 접할 수 있는 면적이 넓어진다. 따라서, 박막 트랜지스터 기판의 양부를 판정할 때, 보조 데이터 패드(88)와 접촉부(220) 사이에서 오정렬이 발생하더라도 이들(88, 220) 사이에서의 접촉 저항을 최소화할 수 있다.

이러한 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이(array) 기판은 알루미늄 계열의 금속으로 이루어진 게이트 패드(24)와 IZO로 이루어진 보조 게이트 패드(86)의 접촉 구조를 가진다. 이때, 접촉 구조의 접촉 저항은 게이트 배선(22, 24, 26)의 배선 저항에 대하여 10% 이하가 되도록 형성하며,  $0.15\Omega \cdot \text{cm}^2$  이하인 것이 바람직하다. 14.1인치의 액정 패널을 제작함에 있어서 패드부의 접촉 저항은  $0.05 \sim 0.1\Omega \cdot \text{cm}^2$  범위에서 설계한다.

여기서, 화소 전극(82)은 도1 및 도 2에서 보는 바와 같이, 게이트선(22)과 증착되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다. 또한, IZO 패턴(82, 86, 88)을 보호막(70)보다 먼저 형성할 수도 있으며, 데이터 배선(62, 65, 66, 68)보다 먼저 형성할 수도 있다.

이러한 본 발명의 실시예에 따른 구조에서는 게이트 배선(22, 24, 26)을 저저항을 가지는 알루미늄 계열로 이루어져 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있고, 동시에 패드부에서의 접촉 저항을 최소화할 수 있고 알루미늄 계열의 금속이 부식되는 것을 방지하여 패드부를 포함하는 접촉부의 신뢰성을 확보할 수 있다.

또한, 이러한 본 발명의 실시예에서는, 패드용 보조층(45)을 형성함으로써 패드부의 보조 데이터 패드(88)를 프로브 핀의 접촉 면적이 넓어지도록 평탄하거나 볼록한 모양으로 형성함으로써 액정 표시 장치의 제조 공정 중에 실시하는 패널 검사 시 프로브 핀과 보조 데이터 패드(88) 사이의 접촉 불량을 방지할 수 있어, 이들 사이에서의 접촉 저항을 최소화할 수 있다. 이때, 패드용 보조층(45)은 게이트 배선(22, 24, 26)과 동일한 층으로 형성될 수도 있다.

또한, 앞에서 설명한 바와 같이, 패드부를 볼록한 모양으로 형성하기 위한 방법으로는 데이터 패드(68)가 형성되어 있는 패드부의 게이트 절연막(30) 및 보호막(70)을 제거하는 방법이 있으며, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

여기서, 대부분의 구조는 제1 실시예와 동일하여 데이터 패드를 포함하는 패드부를 제외한 다른 부분에 대한 상세한 설명 및 그 도면은 생략한다.

도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터에서 데이터 패드부의 구조를 구체적으로 도시한 배치도이고, 도 5는 도 4에서 V-V' 선을 따라 절단한 단면도이다.

도 4 및 5에서 보는 바와 같이, 화소 전극(도 2 및 도 3 참조) 및 박막 트랜지스터(도 2 및 도 3 참조)가 형성되어 있는 화면 표시부 밖의 패드부 중 데이터 패드(68)가 형성되어 있는 일부(P)에는 게이트 절연막(30) 및 보호막(70)이 제거되어 있으며, 데이터 패드(68) 하부에만 게이트 절연막(30)의 일부가 잔류하고 있다. 이때, 보조 데이터 패드(88)는 데이터 패드(68)를 완전히 덮고 있으며, 기판(10)의 상부에 형성되어 있다.

이러한 구조에서도 보조 데이터 패드(88)가 볼록한 모양으로 형성되어 제1 실시예와 같은 효과를 얻을 수 있다.

한편, 앞에서 설명한 바와 같이, 저저항을 가지는 패드용 보조층을 추가로 형성하고, 이를 보조 데이터 패드(88)와 연결할 수 있으며, 도면을 참조하여 구체적으로 설명하기로 한다.

여기서도, 대부분의 구조는 제1 실시예와 동일하여 데이터 패드를 포함하는 패드부를 제외한 다른 부분에 대한 상세한 설명 및 그 도면은 생략하기로 한다.

도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 데이터 패드부의 구조를 도시한 배치도이고, 도 7은 도 6에서 VII-VII' 선을 따라 절단한 단면도이다.

도 6 및 도 7에서 보는 바와 같이, 패드부의 기판(10) 상부에는 게이트 배선(22, 24, 26)과 동일한 층으로 알루미늄 계열의 도전 물질로 이루어진 패드용 보조층(25)이 형성되어 있고, 패드용 보조층(25)을 덮는 게이트 절연막(30)의 상부에는 데이터 패드(68)가 형성되어 있다. 이때, 데이터 패드(68) 및 게이트 절연막(30)에는 패드용 보조층(25)을 드러내는 접촉 구멍(69)을 가지고 있다. 여기서, 접촉 구멍(69)은 원형 또는 사각형 모양을 가질 수 있으며, 다수의 열과 행을 가지는 모양으로 형성될 수 있다. 데이터 패드(68)는 보호막(70)으로 덮여 있으며, 보호막(70)에는 데이터 패드(68)를 드러내는 접촉 구멍(78)이 데이터 패드(68)의 접촉 구멍(69)보다 크게 형성되어 있다.

이러한 본 발명의 제3 실시예에 따른 구조에서는 데이터 패드(68)와 연결되어 있는 보조 데이터 패드(88)가 알루미늄 계열의 패드용 보조층(25)과 연결되어 있어, 게이트 패드부의 구조와 동일하게 낮은 접촉 저항의 패드부 구조를 가지며, 제조 공정 중의 액정 패널 검사시에 프로브 핀과의 접촉 저항을 최소화할 수 있다.

그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 대하여 도 2 및 도 3와 도 8a 내지 도 11b를 참고로 하여 상세히 설명한다. 이때, 제2 및 제3 실시예에 따른 제조 방법도 함께 설명하기로 한다.

먼저, 도 8a 및 8b에 도시한 바와 같이, 기관(10) 위에 저저항을 가지는 알루미늄 계열의 금속으로 이루어진 단일막을 2,500Å 정도의 두께로 적층하고 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다. 이때, 제3 실시예와 같이 데이터 패드부를 형성하기 위해서는 게이트 배선과 함께 패드용 보조층(25)을 형성한다.

다음, 도 9a 및 도 9b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 섬 모양의 반도체층(40)과 저항 접촉층(50)을 형성한다.

이때, 데이터 패드부에 비정질 규소층(45)과 도핑된 비정질 규소층(54)으로 이루어진 패드용 보조층(45)을 함께 섬 모양으로 형성한다.

여기서, 게이트 절연막(30)은 300°C 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하다. 여기서, 게이트 절연막(30)을 적층할 때, 공정 중에 게이트 배선(22, 24, 26)의 상부에 잔류하며, 고저항을 가지는 산화 알루미늄막의 일부 또는 전부가 제거될 수 있으며, 알루미늄 계열의 금속막에서 석출된 저저항의 반응층이 형성될 수도 있다. 또한, 게이트 절연막(30)을 증착하기 전에 알루미늄 계열의 금속막(22, 24, 26) 상부에 AlO<sub>x</sub>가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라즈마로 세정 공정을 인 시튜(in-situ)로 실시하는 것이 좋다.

다음, 도 10a 내지 도 10b에 도시한 바와 같이, 크롬, 몰리브덴, 몰리브덴 합금, 티타늄, 탄탈륨 등으로 이루어진 금속막을 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있으며 패드용 보조층(45)을 덮는 데이터 패드(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

이때, 제3 실시예와 같이 형성하기 위해서는 데이터 패드(68)가 패드용 보조층(25, 도 6 및 도 7 참조)의 상부에 접촉 구멍(69, 도 6 및 도 7 참조)을 가지도록 형성한다.

이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

다음으로, 도 11a 및 11b에서 보는 바와 같이, 질화 규소와 같은 무기 절연막을 적층하여 보호막(70)을 형성한다. 이때에도, 게이트 절연막(30) 형성시와 유사하게 보호막(70)은 300°C 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하며, 이때 알루미늄 계열의 금속막(22, 24, 26)의 표면에는 저저항의 반응층이 형성될 수 있으며, 제조 공정시 형성된 고저항을 금속 산화막이 일부 또는 전부가 제거될 수 있다. 물론, 데이터 배선(62, 65, 66, 68)이 알루미늄 계열의 금속을 포함하는 경우에도 동일한 결과가 얻어질 수 있다. 이어, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)을 통하여 드러난 금속막의 표면은 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있으며, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은 2mm×60μm를 넘지 않으며, 0.5mm×15μm 이상인 것이 바람직하다.

이때, 제2 실시예와 같은 구조를 형성하기 위해서는 데이터 패드부에서는 보호막(70)과 게이트 절연막(30)을 모두 제거한다.



한편, 제3 실시예에 따른 구조의 제조 방법에서는 보호막(70)의 접촉 구멍(78)을 형성할 때 데이터 패드(68)의 접촉 구멍(69)을 통하여 드러난 게이트 절연막(30)이 제거되어, 데이터 패드(68)의 접촉 구멍(69)을 통하여 패드용 보조층(25)이 드러나게 된다.

다음, 마지막으로 도 2 내지 도 8에 도시한 바와 같이, IZO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다. IZO를 적층하기 전의 예열(pre-heating) 공정을 추가할 수 있으며, 사용하는 기체는 접촉 구멍(74, 76, 78)을 드러난 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위해 질소를 이용하는 것이 바람직하다. 본 발명의 실시예에서, 접촉부의 접촉 저항을 최소화하기 위해서는 IZO를 상온에서 200℃ 이하의 범위에서 적층하는 것이 바람직하며, IZO 박막을 형성하기 위해 사용되는 표적(target)은 이데미츠(idemitsu)사의 IDIXO(indium x-metal oxide)라는 상품을 사용하였으며, In<sub>2</sub>O<sub>3</sub> 및 ZnO를 포함하고, Zn의 함유량은 15-20 at% 범위인 표적을 이용하는 것이 바람직하다. 여기서도, IZO를 증착하기 전에 알루미늄 계열의 금속막(24) 상부에 AlO<sub>x</sub>가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라즈마로 세정 공정을 인 시튜(in-situ)로 실시할 수 있으며, 알루미늄 계열의 금속막을 패터닝하기 위해 사용하는 알루미늄 식각액을 이용한 세정 공정을 실시할 수 있다. 이때, 알루미늄 식각액은 질산(HNO<sub>3</sub>), 염산(HPO<sub>4</sub>), 초산(CH<sub>3</sub>COOH) 및 초순수를 포함하며, 알루미늄 식각액을 이용한 세정 공정은 10SEC 이하로 하는 것이 좋으며, 7-10SEC 범위의 시간동안 실시하는 것이 바람직하다.

이러한 본 발명의 실시예에 따른 제조 방법에서는 IZO막을 적층하기 전에 IZO와 알루미늄 계열의 금속 사이의 접촉 특성을 향상시키기 위하여 절연막(30, 70)을 적층시에 어닐링 공정이 포함되도록 함으로써 패드부를 포함한 접촉부의 접촉 저항을 최소화하여 접촉부의 신뢰성을 확보할 수 있다.

또한, 앞에서 설명한 바와 같이, 데이터 패드부에 볼록한 모양으로 형성하거나, 보조 패드와 저저항 보조층을 추가함으로써 액정 패널의 제조 공정시에 실시하는 검사에서 패드부의 접촉 신뢰도를 향상시킬 수 있으며, 패드부의 접촉 저항을 최소화할 수 있다.

이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다. 여기서는, 앞에서 설명한 바와 같이, 게이트 배선과 동일한 층의 패드용 보조층과 행렬 모양의 접촉 구멍을 포함하는 데이터 패드를 가지는 박막 트랜지스터 기관의 구조 및 제조 방법에 대하여 설명한다.

먼저, 도 11 내지 도 13을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기관의 단위 화소 구조에 대하여 상세히 설명한다.

도 12는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 13 및 도 14는 각각 도 12에 도시한 박막 트랜지스터 기관을 XIII-XIII' 선 및 XIV-XIV' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기관(10) 위에 제1 실시예와 동일하게 알루미늄 계열의 금속으로 이루어진 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기관(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 또한, 기관(10)의 상부에는 제3 실시예에서와 같이 패드용 보조층(25)이 형성되어 있다.

게이트 배선(22, 24, 26, 28) 위에는 질화 규소(SiN<sub>x</sub>) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28) 및 패드용 보조층(25)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

저항성 접촉층 패턴(55, 56, 58) 위에는 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 탄탈륨 또는 티타늄 등의 금속으로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

이때, 데이터 패드(68) 및 그 하부층(42, 55)은 행렬 모양을 가지며, 패드용 보조층(25)을 드러내는 접촉 구멍(69)을 가지고 있다.

데이터 배선(62, 64, 65, 66, 68)은 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 탄탈륨 또는 티타늄으로 이루어진 도전막과 알루미늄 계열의 금속으로 이루어진 도전막을 포함하는 이중막으로 형성될 수도 있다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 질화 규소로 이루어진 보호막(70)이 형성되어 있다.

보호막(70)은 드레인 전극(66), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다. 이때, 보호막(70)의 접촉 구멍(78)은 패드용 보조층(25)보다 큰 것이 바람직하다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 이때, 보조 데이터 패드(88)는 데이터 패드(68)의 접촉 구멍(69)을 통하여 패드용 보조층(25)과 물리적 및 전기적으로 연결되어 있다.

그러면, 도 12 내지 도 14의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 12 내지 도 14와 도 15a 내지 도 22c를 참조하여 설명하기로 한다.

먼저, 도 15a 내지 15c에 도시한 바와 같이, 제1 실시예와 동일하게 알루미늄 계열의 금속을 단일막으로 적층하고 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선과 데이터 패드부에 패드용 보조층(25)을 형성한다.

다음, 도 16a 및 16b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 크롬으로 이루어진 금속막을 포함하는 도전체층(60)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다. 이때에도 게이트 절연막(30)은 300°C 이상의 온도

범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하다. 이때, 게이트 절연막(30)을 적층할 때, 제조 공정 중에 게이트 배선(22, 24, 26)의 상부에 잔류하며, 고저항을 가지는 산화 알루미늄막의 일부 또는 전부가 제거되며, 알루미늄 계열의 금속막에서 저저항의 반응층이 형성될 수도 있다. 또한, 게이트 절연막(30)을 증착하기 전에 알루미늄 계열의 금속막(22, 24, 26) 상부에  $AlO_x$ 가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라즈마로 세정 공정을 인 시튜(in-situ)로 실시할 수도 있다.

그 후, 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 17b 및 17c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿 slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 18a 및 18b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시키고, 접촉 구멍(69)도 함께 형성한다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로  $CeNH_3$ 을 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는  $CF_4$ 와 HCl의 혼합 기체나  $CF_4$ 와  $O_2$ 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 18a 및 도 18b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 19a 및 19b에 도시한 바와 같이, 기타 부분(B)과 접촉 구멍(69)에서 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF<sub>6</sub>과 HCl의 혼합 기체나, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 19a 및 19b에 나타난 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B) 및 접촉 구멍(69)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 도 20a 및 20b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 들 수 있으며, CF<sub>4</sub>와 O<sub>2</sub>를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이 때, 도 20b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 21a 및 21c에 도시한 바와 같이 질화 규소를 CVD 방법으로 증착하여 보호막(70)을 형성한 다음, 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다. 여기서, 데이터 패드(68)의 접촉 구멍(69)을 통하여 드러난 게이트 절연막(30)도 제거되어 접촉 구멍(69, 78)을 통하여 저저항을 가지는 알루미늄 계열의 패드용 보조층(25)이 드러난다. 보호막(70)을 적층할 때에도 게이트 절연막(30) 형성시와 유사하게 보호막(70)은 300°C 이상의 온도 범위에서 5분 이상의 시간 동안 적층하는 것이 바람직하며, 제조 공정시 형성된 고저항을 산화 금속막이 일부 또는 전부가 제거될 수 있다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은 2mm×60μm를 넘지 않으며, 0.5mm×15μm 이상인 것이 바람직하다.

마지막으로, 도 12 내지 도 14에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IZO층을 증착하고 마스크를 사용하여 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(86) 및 데이터 패드(68) 및 알루미늄 계열의 패드용 보조층(25)과 연결된 보조 데이터 패드(88)를 형성한다. 이때, 화소 전극(82), 보조 게이트 패드(86) 및 보조 데이터 패드(88)의 IZO를 패터닝하기 위한 식각액은 크롬(Cr)의 금속막을 식각하는데 사용하는 크롬 식각액을 사용하는데, 이는 알루미늄 계열의 금속을 부식시키지 않아 접촉 구조에서 드러난 알루미늄 계열의 금속이 부식되는 것을 방지할 수 있으며, 식각액으로 (HNO<sub>3</sub>)/(NH<sub>4</sub>)<sub>2</sub>Ce(NO<sub>3</sub>)<sub>6</sub>/H<sub>2</sub>O 등을 들 수 있다. 여기서도, IZO를 적층하기 전의 예열(pre-heating) 공정을 실시하는 것이 바람직하며, 이때 사용하는 기체는 접촉 구멍(72, 74, 76, 78)을 드러난 금속막(24, 25, 64, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위해 질소를 이용하는 것이 바람직하다. 또한, 접촉부의 접촉 저항을 최소화하기 위해서는 IZO를 상온에서 200℃ 이하의 범위에서 적층하는 것이 바람직하며, IZO 박막을 형성하기 위해 사용되는 표적(target)은 In<sub>2</sub>O<sub>3</sub> 및 ZnO를 포함하는 것이 바람직하며, ZnO의 함유량은 15-20 at% 범위인 것이 바람직하다. 여기서도, ITO를 증착하기 전에 알루미늄 계열의 금속막(24) 상부에 AlO<sub>x</sub>가 형성되는 것을 방지하기 위해 수소, 헬륨 또는 아르곤을 포함하는 플라즈마로 세정 공정을 인 시튜(in-situ)로 실시하는 것이 좋다.

이러한 본 발명의 제4 실시예에서는 제1 또는 제3 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

한편, 본 발명의 제1 실시예와 같이 4매의 마스크를 이용한 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도, 게이트 배선과 동일한 층으로 패드용 보조층을 형성하여 데이터 패드부에서 프로브 핀의 접촉 면적이 넓어지도록 데이터 패드부를 거의 평탄하게 형성할 수도 있다. 그러면 첨부한 도면을 참고로 하여 구체적으로 설명하기로 한다. 여기서도, 대부분의 구조는 제4 실시예와 동일하여 데이터 패드를 포함하는 패드부를 제외한 다른 부분에 대한 상세한 설명 및 그 도면은 생략하기로 한다.

도 22는 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 데이터 패드부의 구조를 도시한 배치도이고, 도 23은 도 22서 XXIII-XXIII' 선을 따라 절단한 단면도이다.

도 22 및 23에서 보는 바와 같이, 데이터 패드부의 기판(10) 상부에 섬 모양으로 형성되어 있는 패드용 보조층(25)을 덮는 게이트 절연막(30)이 형성되어 있으며, 패드용 보조층(25)의 게이트 절연막(30) 위에는 반도체 패턴(42), 저항성 접촉층 패턴(55) 및 데이터 패드(68)가 동일한 패턴으로 차례로 형성되어 있다. 또한, 게이트 절연막(30)의 상부에는 데이터 패드(68)를 드러내며 패드용 보조층(25)보다 큰 접촉 구멍(78)을 가지며, 질화 규소 또는 유기 절연 물질로 이루어진 보호막(70)이 형성되어 있으며, 보호막(70)의 상부에는 투명한 도전 물질인 IZO로 이루어진 보조 데이터 패드(88)가 형성되어 있다.

이러한 제5 실시예의 구조에서도 제2 실시예와 마찬가지로 보호막(70)의 단차를 최소화하기 위해 데이터 패드(68)의 하부에 패드용 보조층(25)을 형성함으로써 보호막(70) 상부에서 보조 데이터 패드(88)가 거의 평탄하게 형성된다. 따라서, 액정 표시 장치의 제조 공정 중에 실시하는 패널 검사시 프로브 핀이 접촉하는 보조 데이터 패드(88)의 접촉 면적을 넓힘으로써 이들 사이의 접촉 gbn불량을 방지할 수 있어, 이들 사이에서의 접촉 저항을 최소화할 수 있다.

앞에서 설명한 본 발명의 실시예에서는 데이터 패드부의 구조에 대해서만 언급하였으나, 게이트 패드부의 구조 또한 실시예와 같이 변경할 수 있다.

### 발명의 효과

이와 같이, 본 발명에 따르면 프로브 핀이 접하는 패드부를 볼록한 모양으로 형성하거나 그 면적을 넓게 형성하거나, 저항의 패드용 보조층을 추가함으로써, 액정 패널을 검사하는 공정에서 프로브(probe)의 접촉 불량을 최소화할 수 있으며 패드부의 접촉 저항을 최소화할 수 있다. 또한, 접촉부에서의 접촉 저항을 최소화할 수 있어 패드부를 포함한 접촉부의 신뢰성을 확보할 수 있다.

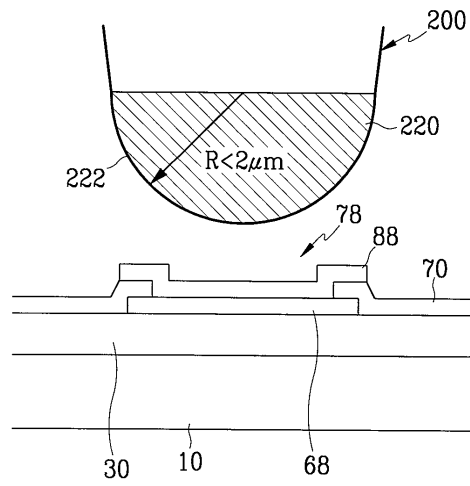
### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판을 검사하는 단계를 도시한 도면이고,

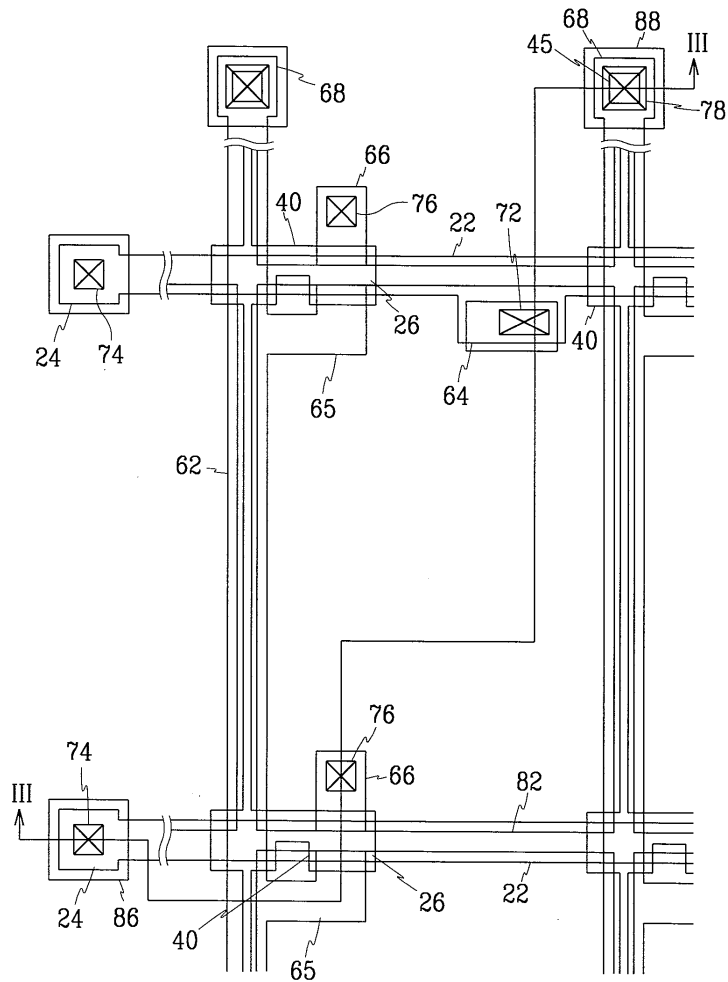
- 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,
- 도 3은 도 2에 도시한 박막 트랜지스터 기판을 III-III' 선을 따라 잘라 도시한 단면도이고,
- 도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 데이터 패드부를 도시한 배치도이고,
- 도 5는 도 4에 도시한 박막 트랜지스터 기판을 V-V' 선을 따라 잘라 도시한 단면도이고,
- 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 데이터 패드부를 도시한 배치도이고,
- 도 7은 도 6에 도시한 박막 트랜지스터 기판을 VII-VII' 선을 따라 잘라 도시한 단면도이고,
- 도 8a, 9a, 10a 및 11a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,
- 도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 절단한 단면도이고,
- 도 9b는 도 9a에서 IXb-IXb' 선을 따라 잘라 도시한 도면으로서 도 8b의 다음 단계를 도시한 단면도이고,
- 도 10b는 도 10a에서 Xb-Xb' 선을 따라 잘라 도시한 도면으로서 도 9b의 다음 단계를 도시한 단면도이고,
- 도 11b는 도 11a에서 XI-XIb' 선을 따라 잘라 도시한 도면으로서 도 10b의 다음 단계를 도시한 단면도이고,
- 도 12는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,
- 도 13 및 도 14는 도 12에 도시한 박막 트랜지스터 기판을 XIII-XIII' 선 및 XIV-XIV' 선을 따라 잘라 도시한 단면도이고,
- 도 15a는 본 발명의 제4 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도이며,
- 도 16a 및 16b는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도로서, 도 15b 및 도 15c 다음 단계에서의 단면도이고,
- 도 17a는 도 16a 및 16b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 17b 및 17c는 각각 도 17a에서 XVIIb-XVIIb' 선 및 XVIIc-XVIIc' 선을 따라 잘라 도시한 단면도이며,
- 도 18a, 19a, 20a와 도 18b, 19b, 20b는 각각 도 17a에서 XVIIb-XVIIb' 선 및 XVIIc-XVIIc' 선을 따라 잘라 도시한 단면도로서 도 17b 및 17c 다음 단계들을 공정 순서에 따라 도시한 것이고,
- 도 21a는 도 20a 및 도 20b의 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 21b 및 21c는 각각 도 21a에서 XXIb-XXIb' 선 및 XXIc-XXIc' 선을 따라 잘라 도시한 단면도이고,
- 도 22는 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에서 데이터 패드부의 구조를 도시한 배치도이고,
- 도 23은 도 22서 XXIII-XXIII' 선을 따라 절단한 단면도이다.

**도면**

도면1



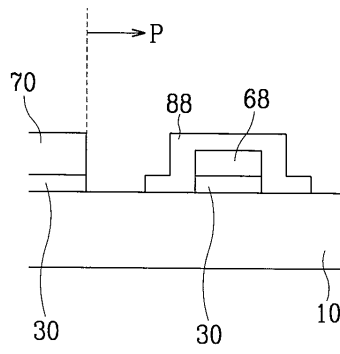
도면2



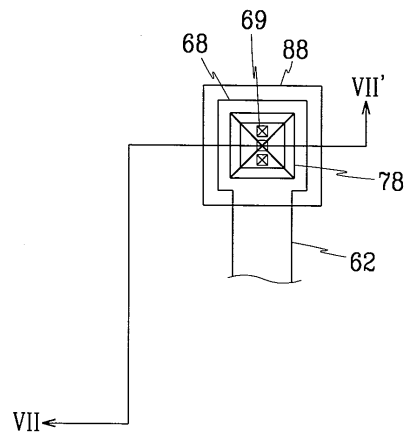




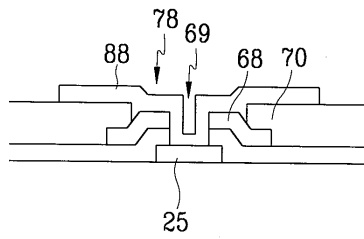
도면5



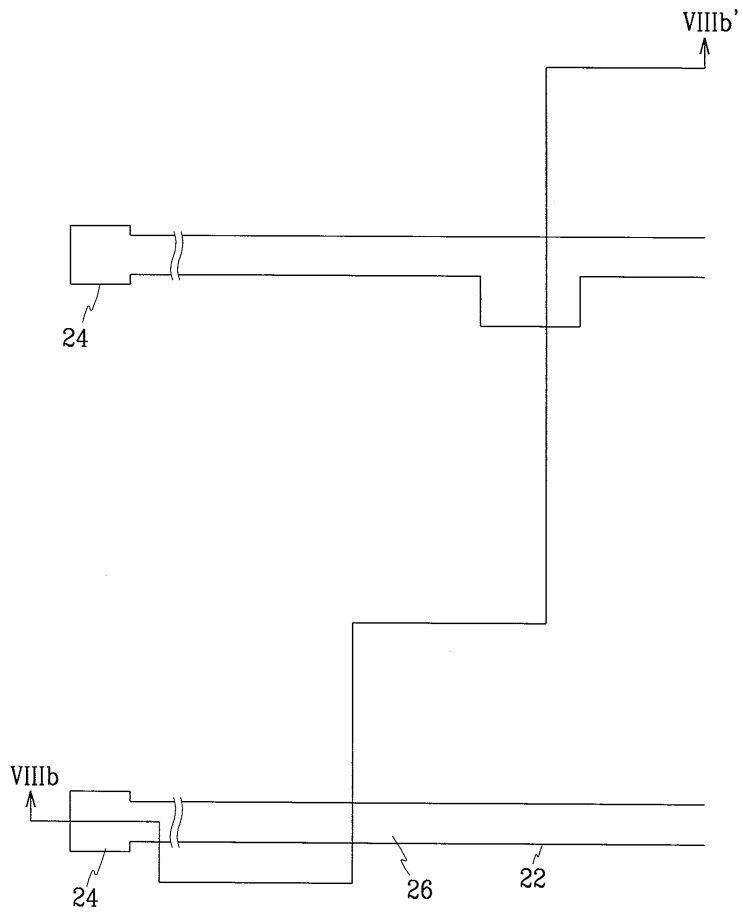
도면6



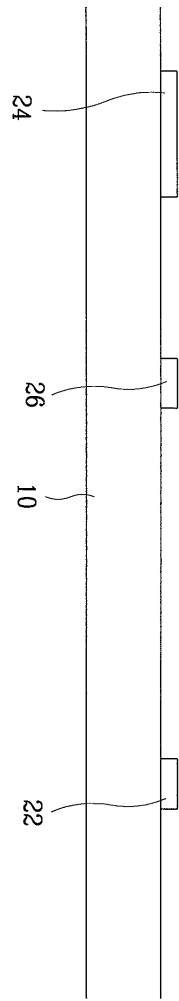
도면7



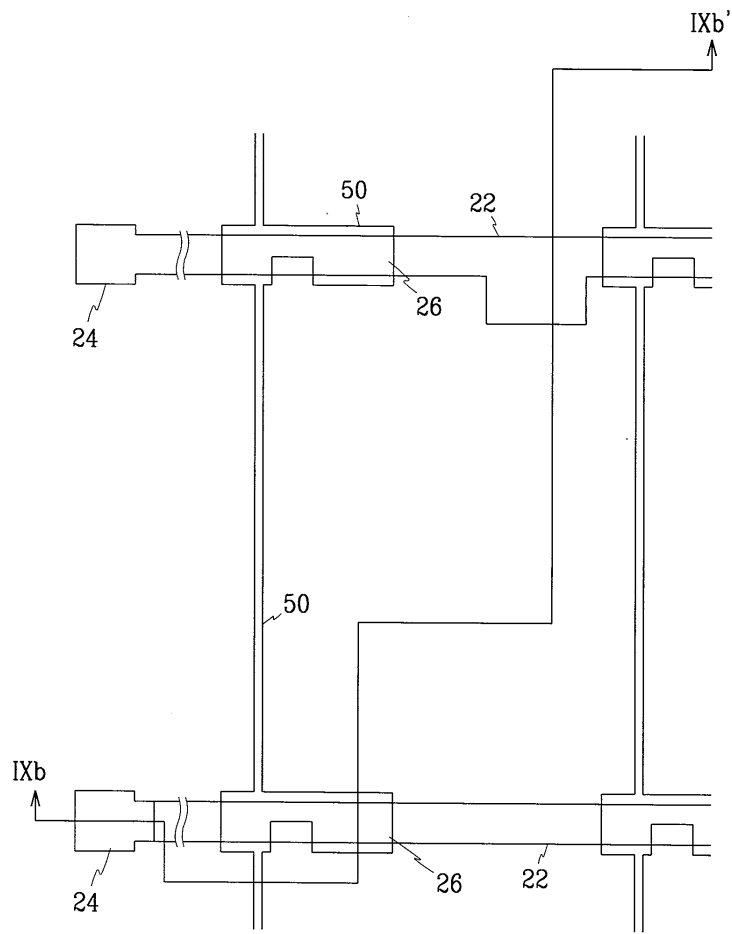
도면8a



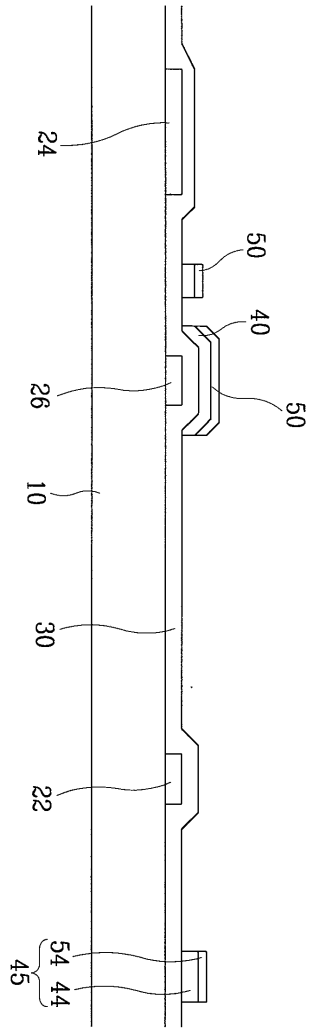
도면8b



도면9a

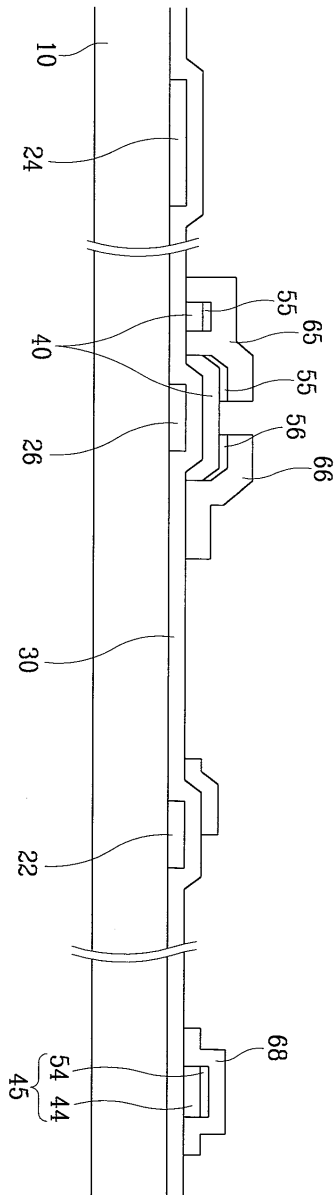


도면9b

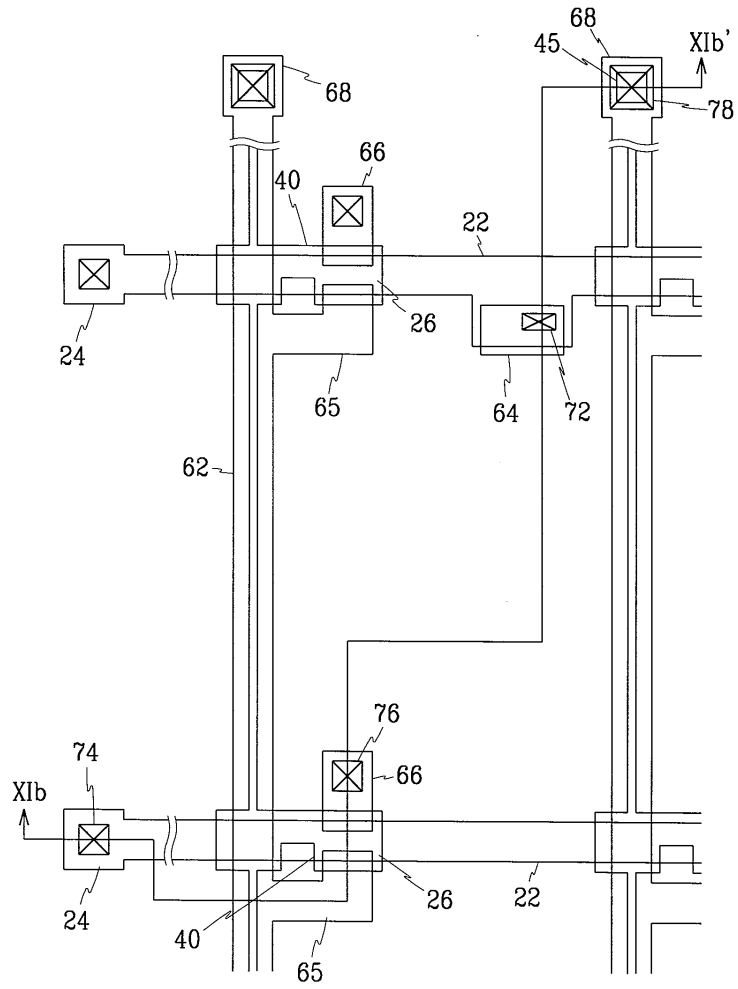




도면10b

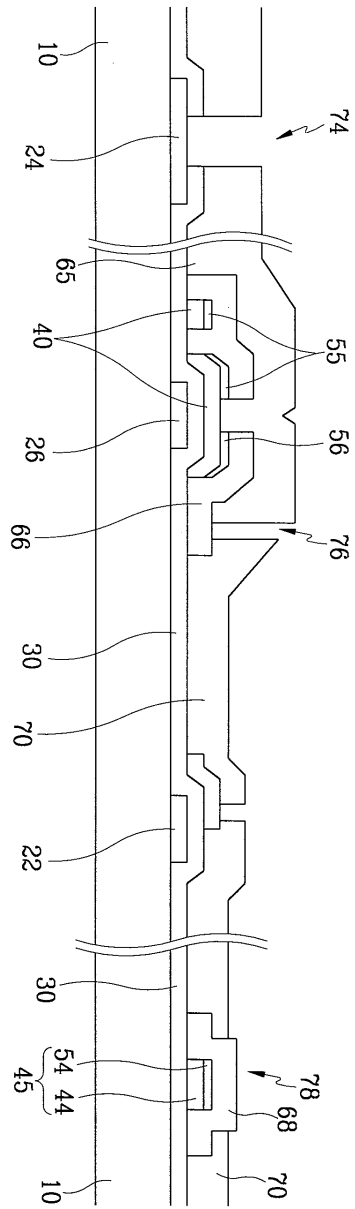


도면11a

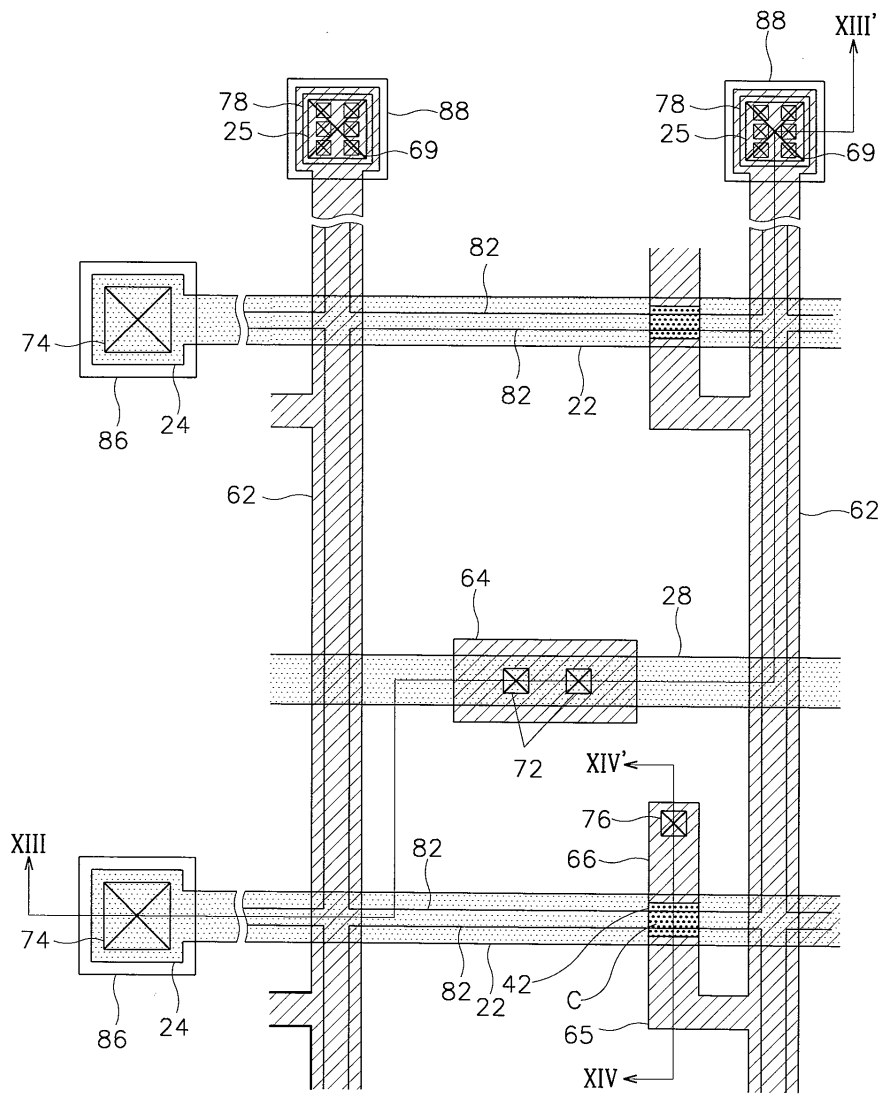




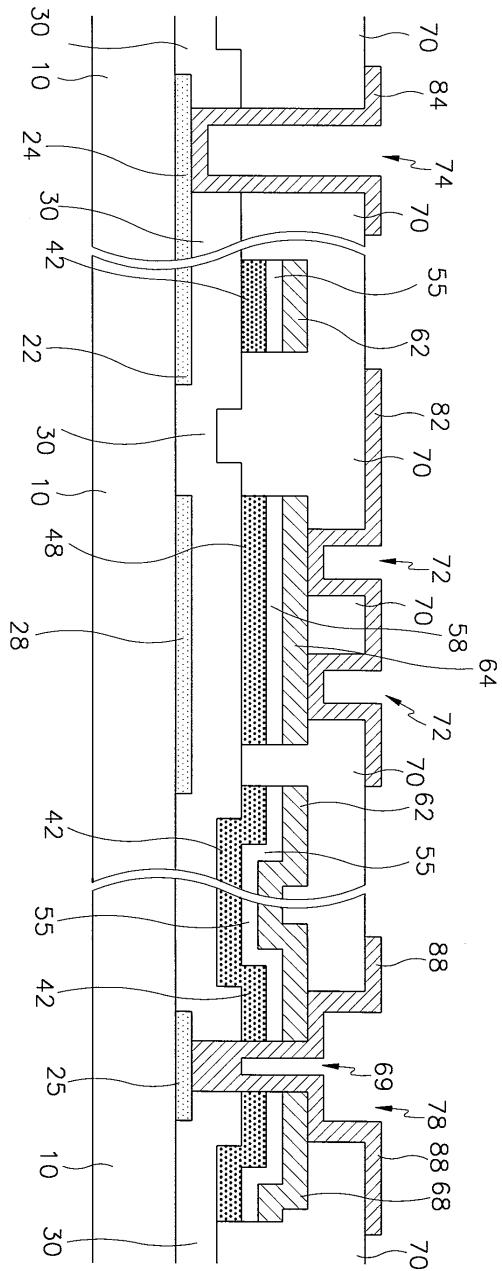
도면11b



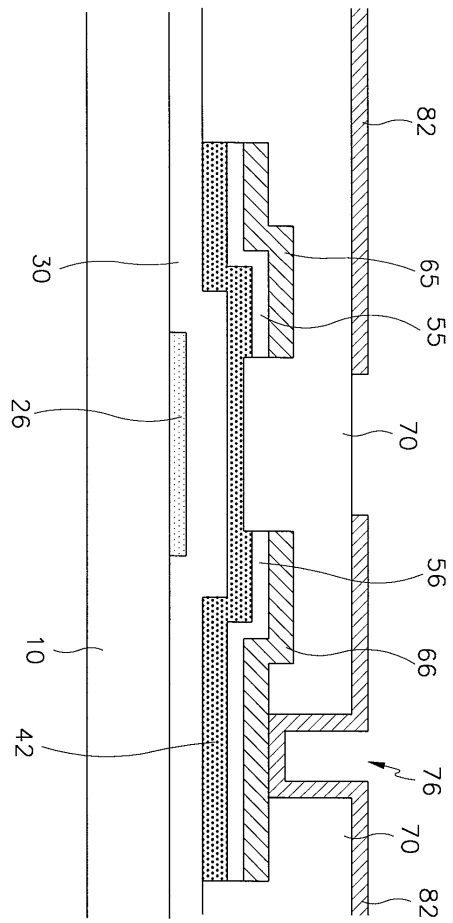
도면12



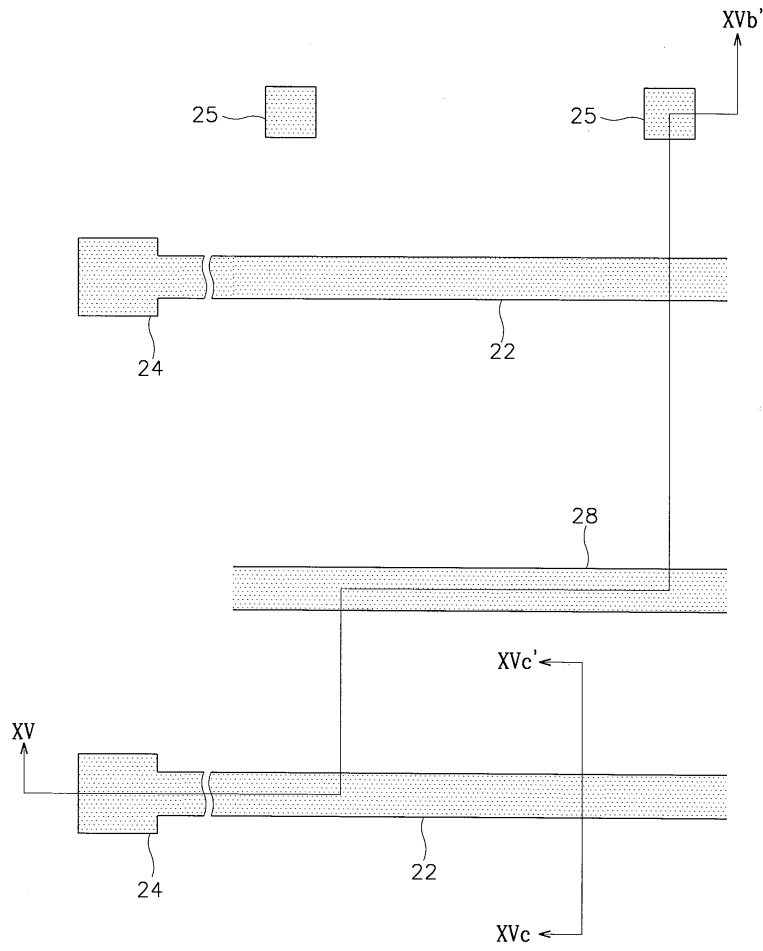
도면13



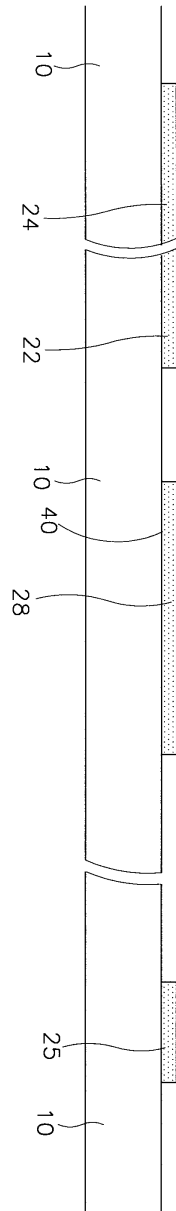
도면14



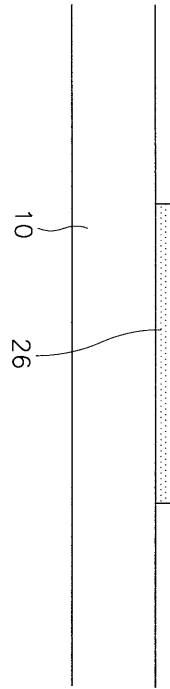
도면15a



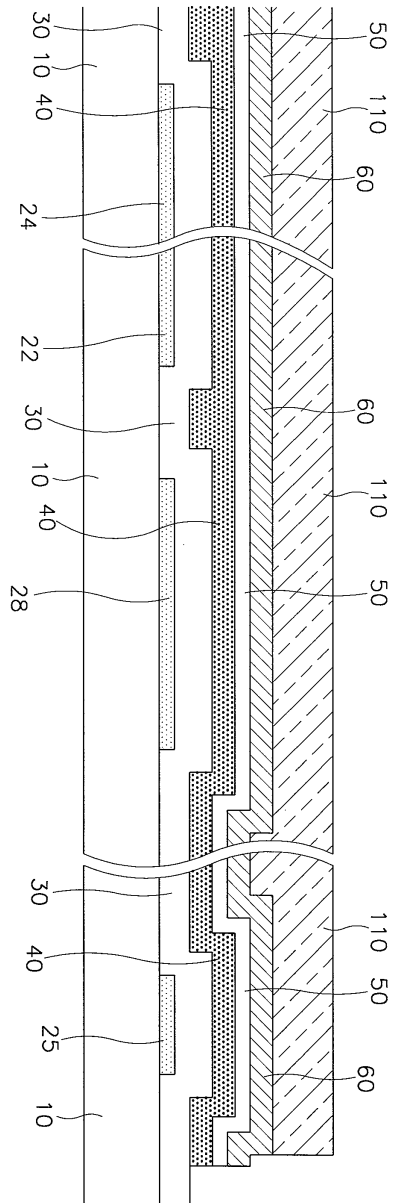
도면15b



도면15c

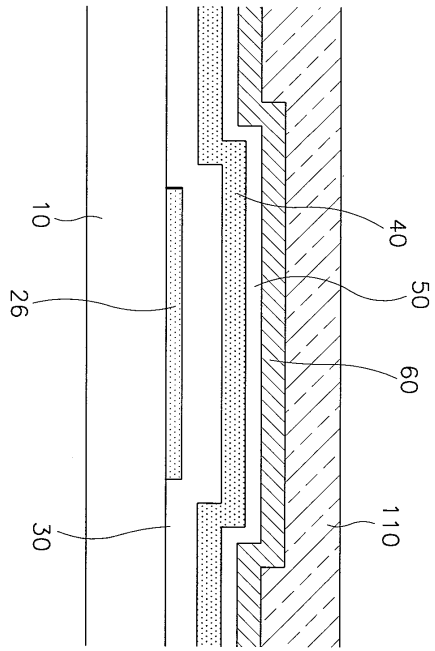


도면16a

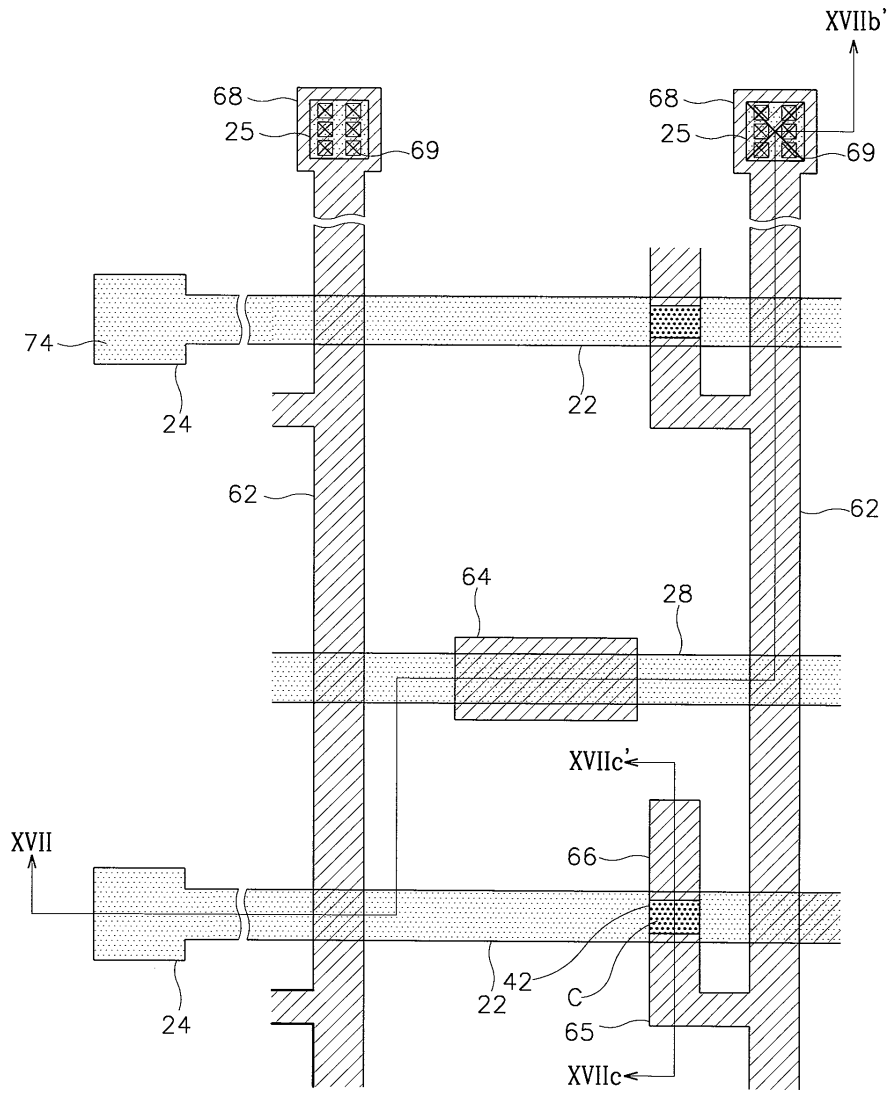




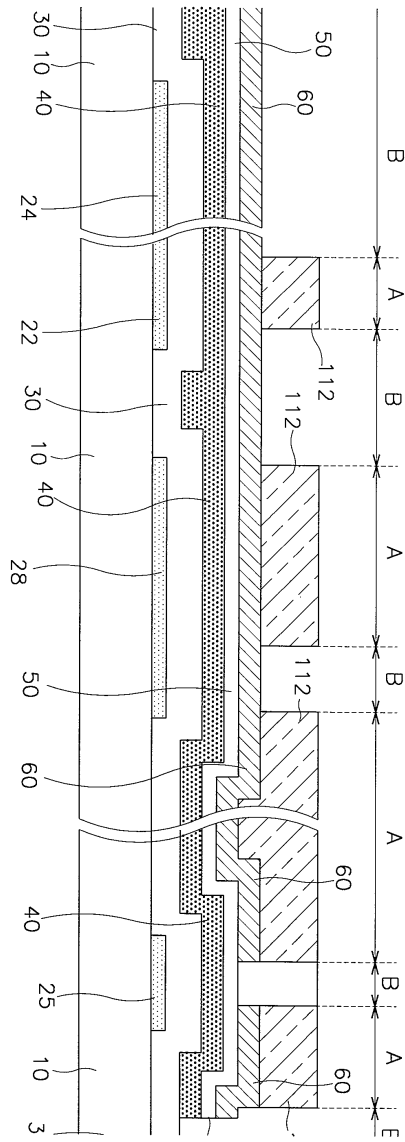
도면16b



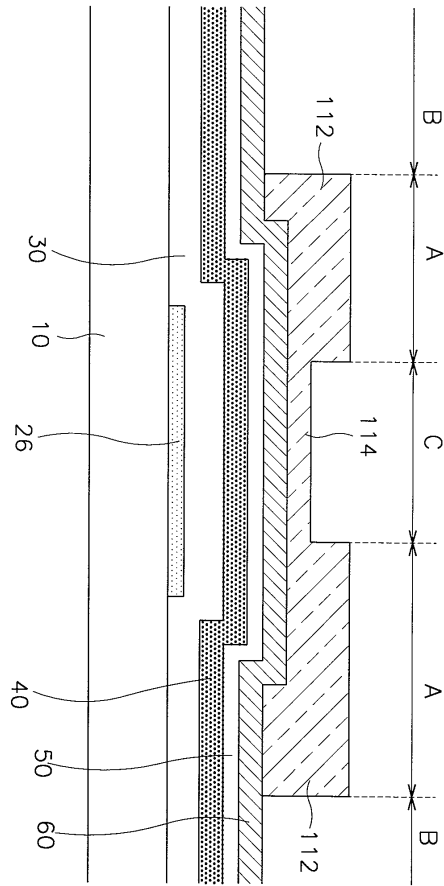
도면17a



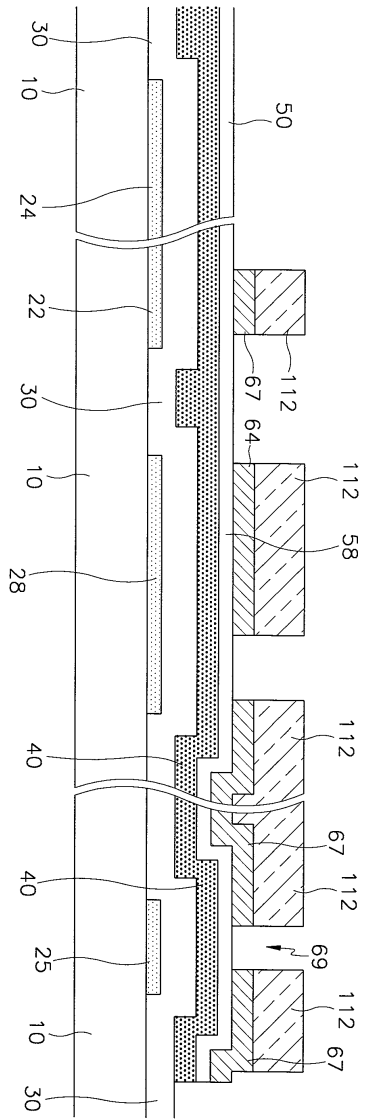
도면17b



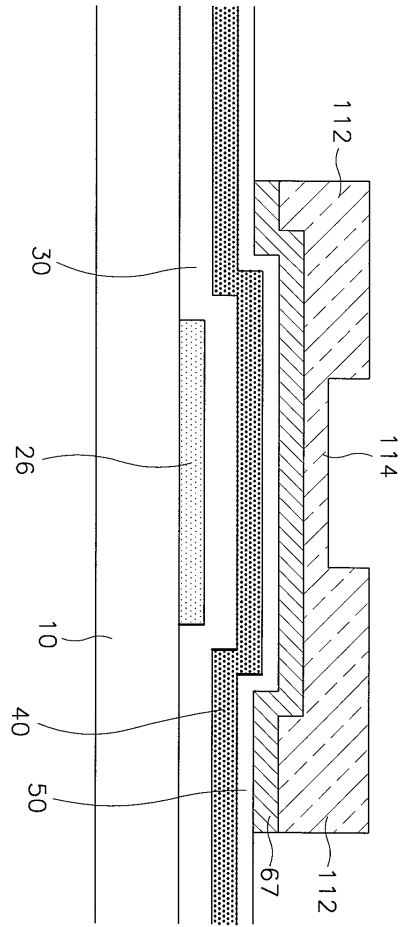
도면17c



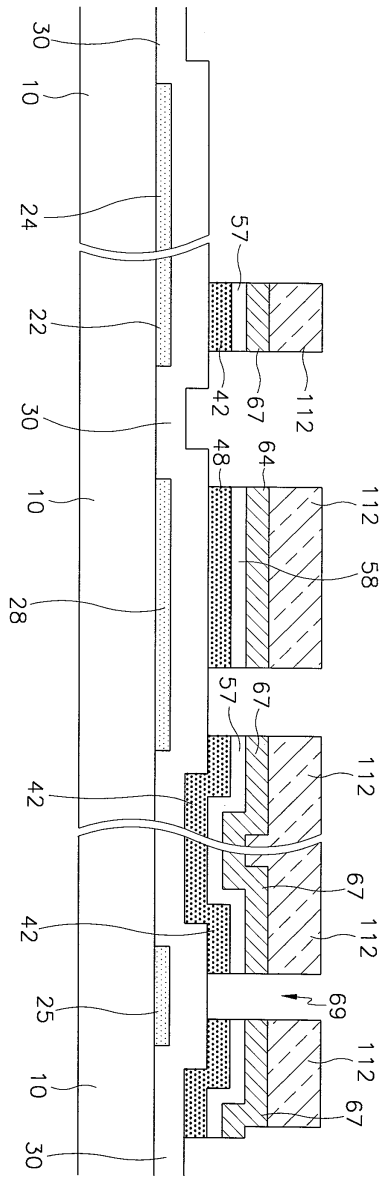
도면18a



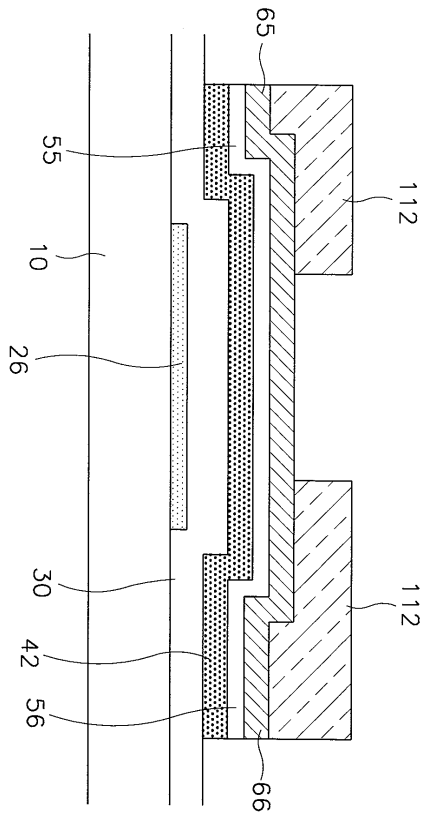
도면18b



도면19a

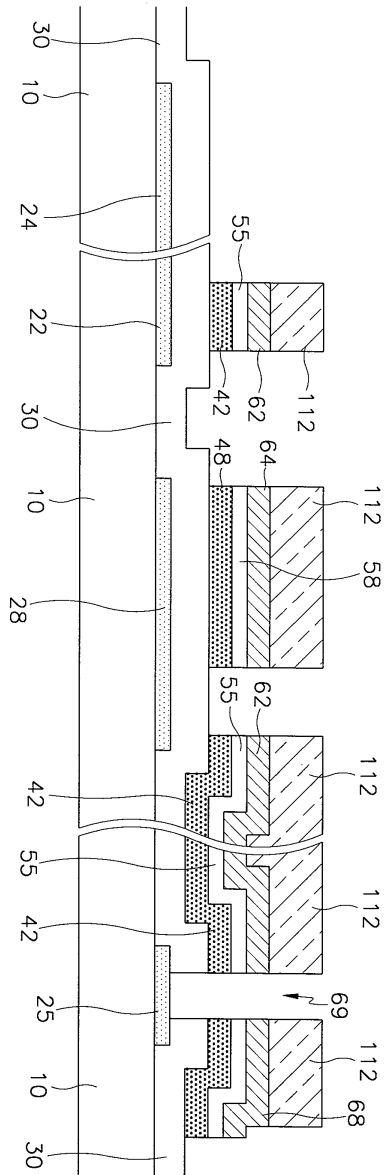


도면19b

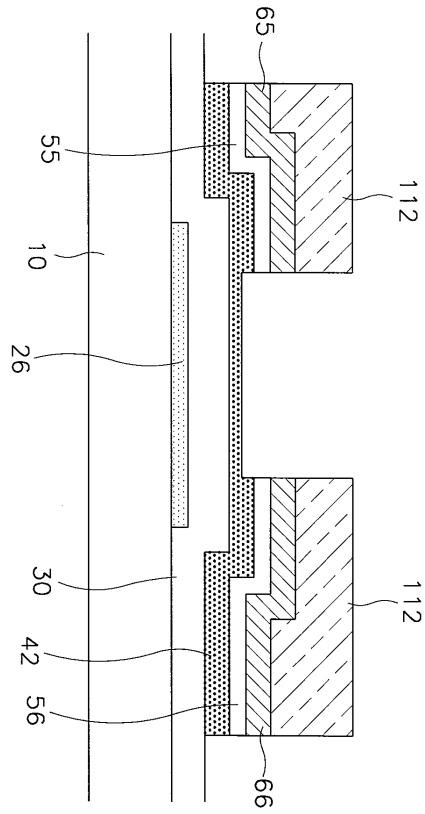




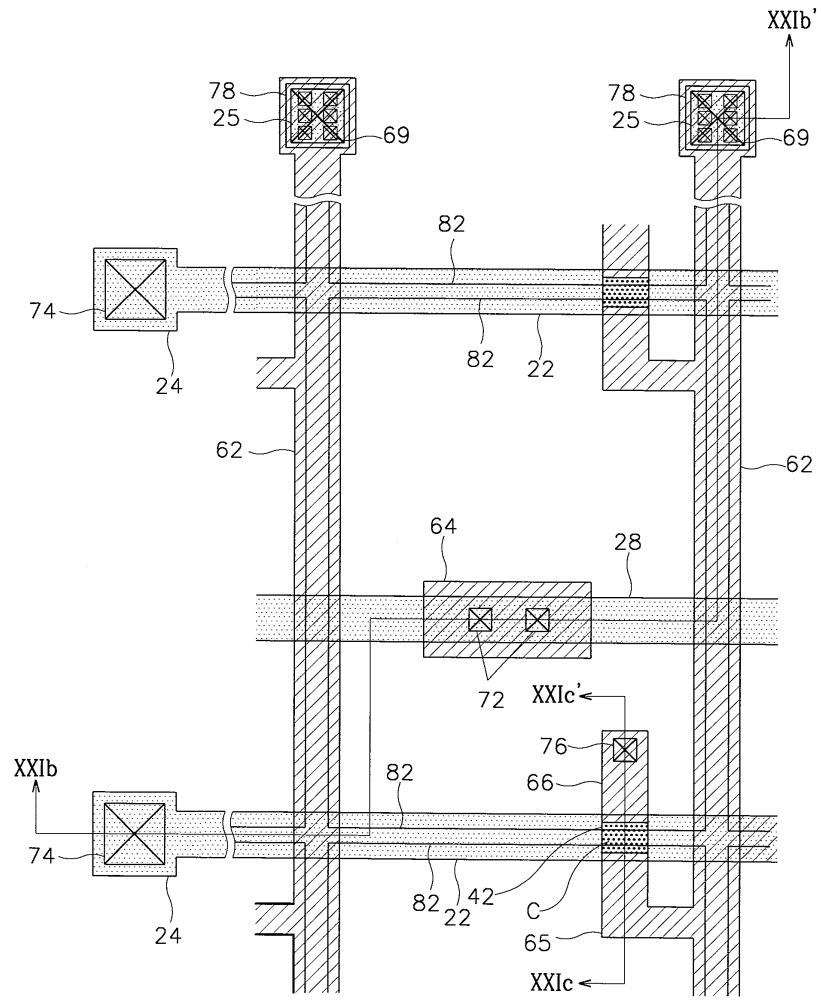
도면20a



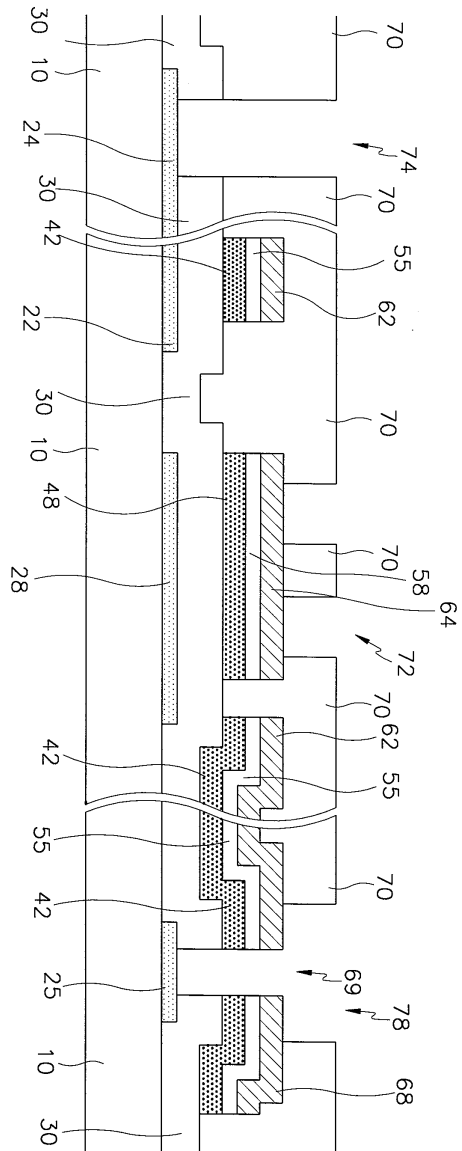
도면20b



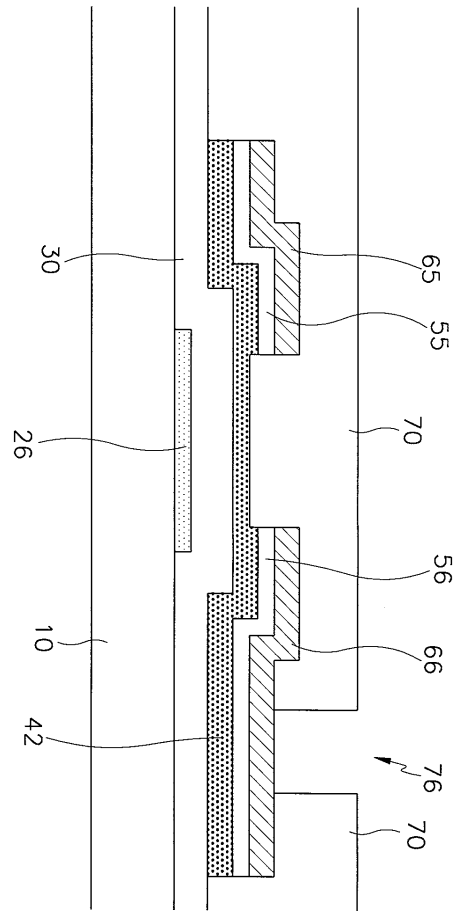
도면21a



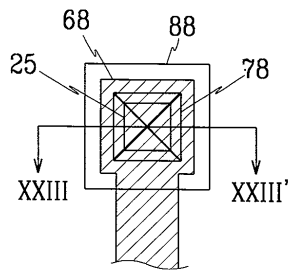
도면21b



도면21c



도면22



도면23

