

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-509685

(P2018-509685A)

(43) 公表日 平成30年4月5日(2018.4.5)

(51) Int.Cl.

G05F 1/56 (2006.01)
H03M 1/08 (2006.01)
H03M 1/74 (2006.01)

F 1

GO5F 1/56
HO3M 1/08
HO3M 1/74

310H
B

テーマコード(参考)

5H430

5J022

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21) 出願番号 特願2017-538998 (P2017-538998)
(86) (22) 出願日 平成28年2月12日 (2016.2.12)
(85) 翻訳文提出日 平成29年7月24日 (2017.7.24)
(86) 國際出願番号 PCT/US2016/017815
(87) 國際公開番号 WO2016/137768
(87) 國際公開日 平成28年9月1日 (2016.9.1)
(31) 優先権主張番号 14/628,996
(32) 優先日 平成27年2月23日 (2015.2.23)
(33) 優先権主張国 米国(US)

(71) 出願人 507364838
クアルコム、インコーポレイテッド
アメリカ合衆国 カリフォルニア 921
21 サン・ディエゴ モアハウス ドラ
イブ 5775
(74) 代理人 100108453
弁理士 村山 靖彦
(74) 代理人 100163522
弁理士 黒田 晋平
(72) 発明者 ドンウォン・ソ
アメリカ合衆国・カリフォルニア・921
21-1714・サン・ディエゴ・モアハ
ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】送信デジタル-アナログ変換器(DAC)スパー減衰

(57) 【要約】

送信デジタル-アナログ変換器(DAC)スパーを減衰させるための方法および装置が提供される。方法は、基準電圧が増幅器に注入されると開始する。次に、接地低ドロップアップアウトレギュレータの出力が測定され、次いで基準電圧と比較される。次いで比較の結果に基づいて増幅器の出力が調整される。基準電圧の方が接地低ドロップアップアウトレギュレータの出力よりも高い場合、増幅器の出力が接地に調整される。基準電圧の方が接地低ドロップアップアウトレギュレータの出力よりも低い場合、基準電圧と一致するように増幅器の出力が調整される。

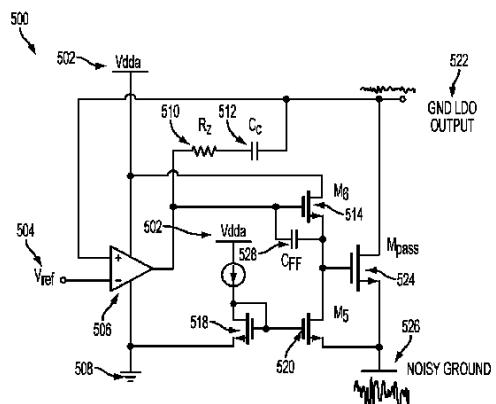


FIG. 5

【特許請求の範囲】**【請求項 1】**

デジタル-アナログ変換器(DAC)中のスパーを減衰させる方法であって、
増幅器に基準電圧を注入するステップと、
接地低ドロップアウトレギュレータの出力を測定するステップと、
前記接地低ドロップアウトレギュレータの出力を前記基準電圧と比較するステップと、
前記比較に基づいて前記増幅器の出力を調整するステップと
を含む方法。

【請求項 2】

前記出力比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも高いことを示している場合、前記増幅器の出力を接地に調整するステップをさらに含む、請求項1に記載の方法。 10

【請求項 3】

前記出力比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも低いことを示している場合、前記基準電圧と一致するように前記増幅器の出力を調整するステップをさらに含む、請求項1に記載の方法。

【請求項 4】

前記増幅器の出力を調整するステップが、
パストランジスタを特定の導通状態にバイアスするステップと、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定するステップと、
雑音性信号の一部に対して、バイアスされた前記パストランジスタの導電率を変化させるステップと
を含む、請求項3に記載の方法。 20

【請求項 5】

前記増幅器の出力を調整するステップが、
パストランジスタを特定の導通状態にバイアスするステップと、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定するステップと、
雑音性信号の一部に対して、バイアスされた前記パストランジスタの導電率を変化させるステップと
を含む、請求項2に記載の方法。 30

【請求項 6】

導電率が変更される前記雑音性接地信号の前記一部が前記雑音性信号の交流(AC)部分である、請求項4に記載の方法。

【請求項 7】

導電率が変更される前記雑音性接地信号の前記一部が前記雑音性接地信号の交流(AC)部分である、請求項5に記載の方法。

【請求項 8】

送信デジタル-アナログ変換器(DAC)スパー減衰のための装置であって、
増幅器と、
前記増幅器と通信する第1のトランジスタと、
前記第1のトランジスタと通信する第2のトランジスタと、
前記第2のトランジスタと通信する第3のトランジスタと、
前記第1のトランジスタおよび第2のトランジスタと通信する第4のトランジスタと、
接地低ドロップアウトレギュレータ(GND LDO)と
を備える装置。 40

【請求項 9】

前記第1、第2、第3および第4のトランジスタが金属酸化膜シリコン電界効果トランジスタ(MOSFET)である、請求項8に記載の装置。

10

20

30

40

50

【請求項 10】

前記増幅器が反転増幅器である、請求項8に記載の装置。

【請求項 11】

前記GND LDOが前記第4のトランジスタに接続される、請求項8に記載の装置。

【請求項 12】

前記第4のトランジスタが同じく雑音性接地に接続される、請求項11に記載の装置。

【請求項 13】

送信デジタル-アナログ変換器(DAC)中のスパーを減衰させるための装置であって、
増幅器に基準電圧を注入するための手段と、

接地低ドロップアウトレギュレータの出力を測定するための手段と、

前記接地低ドロップアウトレギュレータの出力を前記基準電圧と比較するための手段と

10

、
前記比較に基づいて前記増幅器の出力を調整するための手段と
を備える装置。

【請求項 14】

出力比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも
高いことを示している場合、前記増幅器の出力を接地に調整するための手段をさらに備える、請求項13に記載の装置。

【請求項 15】

前記比較が、前記接地低ドロップアウトレギュレータの出力の方が前記基準電圧よりも
低いことを示している場合、前記基準電圧と一致するように前記増幅器の出力を調整する
ための手段をさらに備える、請求項13に記載の装置。

20

【請求項 16】

パストランジスタを特定の導通状態にバイアスするための手段と、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定するための手
段と、

前記雑音性接地信号の一部に対して、バイアスされた前記パストランジスタの導電率を
変化させるための手段と

をさらに備える、請求項14に記載の装置。

【請求項 17】

パストランジスタを特定の導通状態にバイアスするための手段と、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定するための手
段と、

前記雑音性接地信号の一部に対して、バイアスされた前記パストランジスタの導電率を
変化させるための手段と

をさらに備える、請求項15に記載の装置。

30

【請求項 18】

実行されると、プロセッサに、

増幅器に基準電圧を注入するステップと、

接地低ドロップアウトレギュレータの出力を測定するステップと、

40

前記接地低ドロップアウトレギュレータの出力を前記基準電圧と比較するステップと、

前記比較に基づいて前記増幅器の出力を調整するステップと

を実施させる命令を含む非一時的コンピュータ可読媒体。

【請求項 19】

前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも高い場合、前
記接地低ドロップアウトレギュレータの出力を接地に調整するための命令をさらに含む、
請求項18に記載の非一時的コンピュータ可読媒体。

【請求項 20】

前記比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも
低いことを示している場合、前記基準電圧と一致するように前記接地低ドロップアウトレ

50

ギュレータの出力を調整するための命令をさらに含む、請求項19に記載の非一時的コンピュータ可読媒体。

【請求項 21】

前記増幅器の出力を調整し、
パストランジスタを特定の導通状態にバイアスし、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定し、
前記雑音性接地信号の一部に対して、バイアスされた前記パストランジスタの導電率を変化させる
ための命令をさらに含む、請求項19に記載の非一時的コンピュータ可読媒体。

【請求項 22】

前記増幅器の出力を調整し、
パストランジスタを特定の導通状態にバイアスし、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定し、
前記雑音性接地信号の一部に対して、バイアスされた前記パストランジスタの導電率を変化させる
ための命令をさらに含む、請求項20に記載の非一時的コンピュータ可読媒体。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、参照によりその内容全体が本明細書に組み込まれている、2015年2月23日に米国特許商標庁に出願した非仮出願第14/628996号の優先権および利益を主張するものである。

【0002】

本開示は、一般にワイヤレス通信システムに関し、より詳細には、接地低ドロップアウトレギュレータを使用して送信デジタル-アナログ変換器(DAC)スパーを減衰させるための方法および装置に関する。

【背景技術】

【0003】

ワイヤレス通信デバイスは、ますます小型で、かつ、ますます強力になっており、さらにはますます有能になっている。ユーザは、モバイル電話の使用ならびに電子メールおよびインターネットアクセスのためにますますワイヤレス通信デバイスを利用している。それと同時に、デバイスは、そのサイズがより小さくなっている。さらに、デバイスは、現在では、複数の送信機およびアンテナを組み込むことも可能である。これらの要因は、無線周波数(RF)放射へのユーザの露出をさらに増加し得る。セルラー電話、パーソナルデジタルアシスタント(PDA)、ラップトップコンピュータなどのデバイス、および他の同様のデバイスは、カバレージ領域が拡張された信頼性の高いサービスを提供している。そのようなデバイスは、移動局、局、アクセス端末、ユーザ端末、加入者ユニット、ユーザ機器と呼ぶことができ、また、同様の用語であってもよい。

【0004】

ワイヤレス通信システムは、同時に複数のワイヤレス通信デバイスのための通信をサポートすることができる。使用中、ワイヤレス通信デバイスは、アップリンクおよびダウンリンク上での伝送によって1つまたは複数の基地局と通信することができる。基地局は、アクセスポイント、Node Bと呼ぶことができ、あるいは他の同様の用語であってもよい。アップリンクすなわち逆方向リンクは、ワイヤレス通信デバイスから基地局への通信リンクを意味し、一方、ダウンリンクすなわち順方向リンクは、基地局からワイヤレス通信デバイスへの通信を意味している。

【0005】

ワイヤレス通信システムは、帯域幅および送信電力などの利用可能なシステム資源を共有することによって複数のユーザとの通信をサポートすることができる多重アクセスシス

10

20

30

40

50

テムであってもよい。そのような多重アクセスシステムの例には、符号分割多重アクセス(CDMA)システム、時分割多重アクセス(TDMA)システム、周波数分割多重アクセス(FDMA)システム、広帯域符号分割多重アクセス(WCDMA(登録商標))システム、モバイルのための広域システム(GSM(登録商標))通信システム、GSM(登録商標)展開のための拡張データ転送速度(EDGE)システムおよび直交周波数分割多重アクセス(OFDMA)システムがある。

【0006】

ワイヤレスデバイスは、上で説明した機能のうちの多くの機能を実施するためのシステムオンチップ(SoC)を組み込むことができる。近代のSoCは、空間を節約するために同じダイの上に感應アナログ/無線周波数(RF)ブロックを統合している。これらの感應ブロックは、雑音性デジタル処理回路と同じダイの上に配置することができる。デジタルコアによって生成されるスイッチング雑音は、電力および接地配電回路網を介してアナログ/RFブロックへ伝搬し、性能低下の原因になり得る。同じダイの中で実現されるトランジスタおよび機能が多ければ多いほど、より多くのスイッチング雑音が存在するので、この問題は、微細化技術およびパッケージピン総数制限によって一層悪化し得る。この問題は、雑音結合を容易にする、電力ピンおよび接地ピンの制限された数によって倍加される。

10

【0007】

DAC信号は、出力スペクトル中にスパーとして出現する符号依存雑音に敏感な感應混合信号である。いくつかのアプリケーションでは、スパーは、対応する帯域内の受信経路を鈍感にする。当分野には、受信帯域中のDACスパーを減衰させるための方法および装置が必要である。

20

【発明の概要】

【課題を解決するための手段】

【0008】

本開示に含まれている実施形態は、送信デジタル-アナログ変換器(DAC)スパーを減衰させるための方法を提供する。方法は、基準電圧が増幅器に注入されると開始する。次に、接地低ドロップアウトレギュレータの出力が測定され、次いで基準電圧と比較される。次いで比較の結果に基づいて増幅器の出力が調整される。基準電圧の方が接地低ドロップアウトレギュレータの出力よりも高い場合、増幅器の出力が接地に調整される。基準電圧の方が接地低ドロップアウトレギュレータの出力よりも低い場合、基準電圧と一致するように増幅器の出力が調整される。

30

【0009】

さらなる実施形態は、送信DACスパーを減衰させるための装置を提供する。装置は、増幅器と、増幅器と通信する第1のトランジスタと、第1のトランジスタと通信する第2のトランジスタと、第2のトランジスタと通信する第3のトランジスタと、第1のトランジスタおよび第2のトランジスタと通信する第4のトランジスタと、接地低ドロップアウトレギュレータ(GND LDO)とを含む。トランジスタは、金属酸化膜シリコン電界効果トランジスタ(MOSFET)または他の適切なトランジスタであってもよい。さらに、増幅器は反転増幅器であってもよい。

【0010】

さらなる実施形態は、送信DAC中のスパーを減衰させるための装置を提供する。装置は、増幅器に基準電圧を注入するための手段と、接地低ドロップアウトレギュレータの出力を測定するための手段と、接地低ドロップアウトレギュレータの出力を基準電圧と比較するための手段と、比較に基づいて増幅器の出力を調整するための手段とを含む。

40

【0011】

またさらなる実施形態は、実行されると、プロセッサに、増幅器に基準電圧を注入するステップと、接地低ドロップアウトレギュレータの出力を測定するステップと、接地低ドロップアウトレギュレータの出力を基準電圧と比較するステップと、比較に基づいて増幅器の出力を調整するステップとを実施させる命令を含む非一時的コンピュータ可読媒体を提供する。

【図面の簡単な説明】

50

【0012】

【図1】本開示の特定の実施形態によるワイヤレス多重アクセス通信システムを示す図である。

【図2】本開示の実施形態によるワイヤレス通信システムのブロック図である。

【図3】本開示の実施形態による、受信機帯域を鈍感にする雑音接地を示す略図である。

【図4】本開示の実施形態による、接地低ドロップアウトレギュレータを使用してDACスパーを減衰させるための装置のブロック図である。

【図5】本開示の実施形態による接地低ドロップアウトレギュレータのブロック図である。
10

【図6】本開示の実施形態による、デジタル接地化と、複数のコア間の雑音隔離とを共有するための装置のブロック図である。

【図7】本開示の実施形態を使用しない場合の信号のDAC出力スペクトルを示すグラフである。

【図8】本開示の実施形態による、接地低ドロップアウトレギュレータを使用した場合のDAC出力スペクトルを示すグラフである。

【図9】本開示の実施形態による、DACスパー減衰のための方法の流れ図である。

【発明を実施するための形態】**【0013】**

添付の図面に関連して以下に示される、発明を実施するための形態には、本発明の例示的実施形態についての説明であることが意図されており、本発明が実践され得る唯一の実施形態を表すことは意図されていない。発明を実施するための形態全体を通して使用されている「例示的」という用語は、「例、実例または例証として働く」ことを意味しており、必ずしも他の例示的実施形態に優る好ましい、または有利なものとして解釈してはならない。発明を実施するための形態には、本発明の例示的実施形態についての完全な理解を提供するために特定の詳細が含まれている。本発明の例示的実施形態は、これらの特定の詳細がなくても実践することができることは当業者には明らかであろう。いくつかの実例では、本明細書において提供される例示的実施形態の新規性が曖昧になることを回避するために、よく知られている構造およびデバイスは、ブロック図の形態で示されている。
20

【0014】

本出願において使用されているように、「構成要素」、「モジュール」、「システム」、等々という用語には、ハードウェアであれ、ファームウェアであれ、ハードウェアとソフトウェアの組合せであれ、ソフトウェアであれ、あるいは実行中のソフトウェアであれ、コンピュータ関連のエンティティを意味することが意図されている。たとえば構成要素は、それらに限定されないが、プロセッサ上で走るプロセス、集積回路、プロセッサ、オブジェクト、実行可能ファイル、実行スレッド、プログラムおよび/またはコンピュータであってもよい。例証として、コンピューティングデバイス上で走るアプリケーションおよびコンピューティングデバイスは、いずれも構成要素であってもよい。1つまたは複数の構成要素は、プロセスおよび/または実行のスレッド内に常駐させることができ、また、構成要素は、1つのコンピュータ上で局所化することができ、および/または2つ以上のコンピュータの間で分散させることができる。さらに、これらの構成要素は、様々なデータ構造をその上に記憶した様々なコンピュータ可読媒体から実行することができる。構成要素は、1つまたは複数のデータパケット(たとえば局所システム内、分散システム内、および/または他のシステムを有するインターネットなどのネットワーク全体にわたる他の構成要素と信号によって対話する1つの構成要素からのデータ)を有する信号などに従って、局所プロセスおよび/または遠隔プロセスによって通信することができる。
30
40

【0015】

さらに、本明細書においては、アクセス端末および/またはアクセスポイントに関連して様々な態様が説明される。アクセス端末は、音声および/またはデータ接続性をユーザに提供するデバイスを意味することができる。アクセスワイヤレス端末は、ラップトップコンピュータまたはデスクトップコンピュータなどのコンピューティングデバイスに接続
50

することができ、あるいはアクセスワイヤレス端末は、セルラー電話などの自立型デバイスであってもよい。また、アクセス端末は、システム、加入者ユニット、加入者局、移動局、モバイル、遠隔局、遠隔端末、ワイヤレスアクセスポイント、ワイヤレス端末、ユーザ端末、ユーザエージェント、ユーザデバイスまたはユーザ機器と呼ぶことも可能である。ワイヤレス端末は、加入者局、ワイヤレスデバイス、セルラー電話、PCS電話、コードレス電話、セッションイニシエーションプロトコル(SIP)電話、ワイヤレスローカルループ(WLL)局、パーソナルデジタルアシスタント(PDA)、ワイヤレス接続機能を有するハンドヘルドデバイス、またはワイヤレスモ뎀に接続された他の処理デバイスであってもよい。そもそもなれば基地局または基地局コントローラ(BSC)と呼ばれるアクセスポイントは、ワイヤレス端末を使用して、1つまたは複数のセクタを介して、エアインターフェースを介して通信するアクセสนetwork内のデバイスを意味することができる。アクセスポイントは、受信したエアインターフェースフレームをインターネットプロトコル(IP)パケットに変換することにより、ワイヤレス端末と、IPネットワークを含むことができる残りのアクセสนetworkとの間のルータとして作用することができる。また、アクセスポイントは、エアインターフェースのための属性の管理を同じく調整する。

10

【0016】

その上、本明細書において説明される様々な態様または特徴は、標準プログラミング技法および/またはエンジニアリング技法を使用した方法、装置または製造品として実現され得る。本明細書において使用されている「製造品」という用語には、任意のコンピュータ可読デバイス、搬送波または媒体からのアクセスが可能なコンピュータプログラムを包含することが意図されている。たとえばコンピュータ可読媒体は、それらに限定されないが、磁気記憶デバイス(たとえばハードディスク、フロッピー(登録商標)ディスク、磁気ストライプ...)、光ディスク(たとえばコンパクトディスク(CD)、デジタル多用途ディスク(DVD)...)、スマートカードおよびフラッシュメモリデバイス(たとえばカード、ステイック、キードライブ...)、およびリードオンリメモリ、プログラマブルリードオンリメモリおよび電気的消去可能プログラマブルリードオンリメモリなどの集積回路を含むことができる。

20

【0017】

様々な態様は、多数のデバイス、構成要素、モジュール、等々を含むことができるシステムに関して示される。様々なシステムは、追加デバイス、構成要素、モジュール、等々を含むことができ、および/または図に関連して説明されるデバイス、構成要素、モジュール、等々のすべてを含まなくてよいことを理解し、かつ、認識されたい。また、これらの手法の組合せを使用することも可能である。

30

【0018】

保証説明、添付の図面および添付の特許請求の範囲を考察することにより、当業者には本発明の様々な態様の他の態様ならびに特徴および利点が明らかになるであろう。

40

【0019】

図1は、一態様による多重アクセスワイヤレス通信システム100を示したものである。アクセスポイント102(AP)は複数のアンテナグループを含み、1つのグループは104および106を含み、別のグループは108および110を含み、また、追加グループは112および114を含む。図1では、各アンテナグループに対して2つのアンテナしか示されていないが、もっと多くのアンテナまたはもっと少ないアンテナを各アンテナグループに対して利用することができる。アクセス端末116(AT)は、アンテナ112および114と通信しており、アンテナ112および114は、ダウンリンクすなわち順方向リンク118を介して情報をアクセス端末116に送信し、また、アップリンクすなわち逆方向リンク120を介してアクセス端末116から情報を受信する。アクセス端末122は、アンテナ106および108と通信しており、アンテナ106および108は、ダウンリンクすなわち順方向リンク124を介して情報をアクセス端末122に送信し、また、アップリンクすなわち逆方向リンク126を介してアクセス端末122から情報を受信する。アクセス端末122は、改良されたサービスを提供するための複数の送信機およびアンテナを有することができる。周波数分割二重(FDD)システムでは、通信リンク118、12

50

0、124および126は、異なる周波数を使用して通信することができる。たとえばダウンリンクすなわち順方向118は、アップリンクすなわち逆方向リンク120によって使用される周波数とは異なる周波数を使用することができる。

【0020】

アンテナの各グループおよび/またはそれらが通信するように設計される領域は、しばしばアクセスポイントのセクタと呼ばれる。一様では、アンテナグループは、それぞれ、アクセスポイント102によってカバーされる領域のセクタ内のアクセス端末に通信するように設計される。

【0021】

ダウンリンクすなわち順方向リンク118および124を介した通信では、アクセスポイントの送信アンテナは、異なるアクセス端末116および122のためのダウンリンクすなわち順方向リンクの信号対雑音比(SNR)を改善するためにビーム形成を利用する。また、そのカバレージ全体にわたって無作為に散乱したアクセス端末に送信するためにビーム形成を使用しているアクセスポイントは、単一のアンテナを介してそのすべてのアクセス端末に送信するアクセスポイントよりも、近隣のセルにおけるアクセス端末に対する妨害が少ない。

10

【0022】

アクセスポイントは、端末と通信するために使用される固定局であってもよく、また、Node B、発展Node B(eNB)と呼ぶことも可能であり、あるいは何らかの他の用語であってもよい。また、アクセス端末は、移動局、ユーザ機器(UE)、ワイヤレス通信デバイス、端末と呼ぶことも可能であり、あるいは何らかの他の用語であってもよい。特定の様の場合、AP102またはアクセス端末116、122のいずれかは、以下で説明される技法を利用してシステムの性能を改善することができる。

20

【0023】

図2は、ワイヤレス通信デバイス200の例示的設計のブロック図を示したものである。この例示的設計では、ワイヤレスデバイス200は、データプロセッサ210およびトランシーバ220を含む。トランシーバ220は、双方向ワイヤレス通信をサポートする送信機230および受信機250を含む。通常、ワイヤレスデバイス200は、任意の数の通信システムおよび任意の数の周波数帯域のための任意の数の送信機および任意の数の受信機を含むことができる。ワイヤレス通信デバイス200上の各送信機およびアンテナは、RF放射を放出する。

30

【0024】

送信経路中では、データプロセッサ210は、送信されるデータを処理して、アナログ出力信号を送信機230に提供する。送信機230内では、アナログ出力信号が増幅器(アンプ)232によって増幅され、デジタル-アナログ変換によって生じるイメージを除去するために低域通過フィルタ234によってフィルタリングされ、VGA236によって増幅され、かつ、ミキサ238によってベースバンドからRFへアップ変換される。アップ変換された信号は、フィルタ240によってフィルタリングされ、ドライバ増幅器242および電力増幅器244によってさらに増幅され、スイッチ/デュプレクサ246を介して経路指定され、かつ、アンテナ248を介して送信される。

30

【0025】

受信経路中では、アンテナ248が基地局および/または他の送信機局から信号を受信し、かつ、受信した、スイッチ/デュプレクサ246を介して経路指定され、かつ、受信機250に提供される信号を提供する。受信機250内では、受信した信号がLNA252によって増幅され、帯域通過フィルタ254によってフィルタリングされ、かつ、ミキサ256によってRFからベースバンドへダウン変換される。ダウン変換された信号は、データプロセッサ210に提供されるアナログ入力信号を得るためにVGA258によって増幅され、低域通過フィルタ260によってフィルタリングされ、かつ、増幅器262によって増幅される。

40

【0026】

図2は、1つのステージで信号をRFとベースバンドとの間で変換する直接変換アーキテクチャを実現する送信機230および受信機250を示している。また、送信機230および/または受信機250は、複数のステージで信号をRFとベースバンドとの間で周波数変換するスーパーパ

50

ヘテロダインアーキテクチャを実現することも可能である。局部発振器(LO)発生器270は、送信および受信LO信号を生成して、それぞれミキサ238および256に提供する。位相固定ループ(PLL)272は、データプロセッサ210から制御情報を受け取り、かつ、適切な周波数の送信および受信LO信号を生成するために制御信号をLO発生器270に提供する。

【0027】

図2は例示的トランシーバ設計を示したものであり、また、ワイヤレスデバイス200は、複数のトランシーバを含むことができる。通常、送信機230および受信機250内の信号の条件付けは、増幅器、フィルタ、ミキサ、等々のうちの1つまたは複数のステージによって実施することができる。これらの回路は、図2に示されている構成とは別様に配置することができる。図2におけるいくつかの回路は省略することも可能である。トランシーバ220のすべての部分または一部は、1つまたは複数のアナログ集積回路(IC)、RF IC(RFIC)、混合信号IC、等々の上で実現することができる。たとえば送信機230内の増幅器232から電力増幅器244まで、同じくRFIC上で実現することができる。また、ドライバ増幅器242および電力増幅器244は、RFICの外部の別のIC上で実現することも可能である。

10

【0028】

データプロセッサ210は、ワイヤレスデバイス200のための様々な機能、たとえば送信および受信データの処理を実施することができる。メモリ212は、データプロセッサ210のためのプログラムコードおよびデータを記憶することができる。データプロセッサ210は、1つまたは複数の特定用途向け集積回路(ASIC)および/または他のIC上で実現することができる。

20

【0029】

近代のSoCは、雑音性デジタル処理回路のダイと同じダイの上に感応アナログ/RFブロックを統合している。スイッチング雑音は、複数のスイッチの動作によって生じ得る。デジタルコアによって生成されるスイッチング雑音は、電力および接地配電回路網を介してアナログ/RFブロックへ伝搬し、性能低下の原因になり得る。単一のチップの中で実現されるトランジスタおよび機能が多ければ多いほど、より多くのスイッチング雑音が存在するので、この問題は、微細化技術およびパッケージピン総数制限によって一層悪化し得る。さらに、雑音結合は、デバイス上の電力ピンおよび接地ピンの制限された数によって容易にされ得る。

30

【0030】

図3は、典型的な電流ステアリングDAC最上位ビット(MSB)セル306およびそのスイッチドライバ302の最後のステージを含む装置300を示したものである。各セルは、MSBセル306内のpチャネル金属酸化膜半導体(PMOS)電流源M1およびM2、およびMSBセル306内の一対のPMOSスイッチM3およびM4からなっている。スイッチドライバ302はデジタル回路である。スイッチドライバ302は、チップ上の多くの他のデジタル回路と接地を共有している。PMOS電流源およびスイッチは、とりわけ信号鎖内の次のブロックがDACのダイと同じダイの上に存在していない場合、nチャネル金属酸化膜半導体(NMOS)デバイスよりも頻繁に使用される。

【0031】

動作中、PMOSスイッチは、そのゲートがスイッチドライバ302内のNMOSを介して接地に短絡されるとターンオンする。この時点で、スイッチドライバ302接地304における雑音は、MSBセル306内のスイッチトランジスタM3の電圧 V_{GS} を変調することができる。これにより、正規の電流 I_{MSB} に加えて雑音電流 I_N が生じる。典型的なワイヤレスモデムSoCでは、この接地雑音は、白色雑音のみならず、送信水晶発振器(TCXO)インパルス電流およびモデム送信(TxFE)動作によって生じる有色雑音を同じく含む。上記機構は、接地雑音によるDAC出力の汚染を許容する。結果として生じる雑音電流 I_N は符号依存性であり、したがって $|f_{signal} +/- f_{noise}|$ のスパーとしてDAC出力スペクトル中に出現し、 f_{signal} はDAC入力周波数であり、また、 f_{noise} は接地雑音周波数である。周波数分割二重(FDD)アプリケーションでは、このスパーは、対応する帯域内の受信経路を鈍感にし、貧弱な品質の受信をもたらす。

40

50

【0032】

本開示において説明される実施形態は、上で説明した困難性を克服する方法を提供する。接地雑音誘導スパーを克服するために、以下でさらに詳細に説明される接地低ドロップアウトレギュレータ(GND LDO)が組み込まれる。

【0033】

図4は、DAC受信帯域中の接地雑音スパーを小さくするための装置を示したものである。装置400は、雑音接地における雑音を減衰させ、かつ、きれいな「接地」をDACコアに提供するGND LD0406を含む。GND LD0406は、増幅器418およびトランジスタ420を含む。また、装置は、電圧低ドロップアウトレギュレータ(VDD LDO)402と同じく含む。VDD LDOは、増幅器410およびトランジスタ412を含む。VDD LD0402は、コンデンサC_{DECAP}414、他のDAC負荷416および最後のステージのスイッチドライバ404に接続されている。最後のステージのスイッチドライバ404は、C_{DECAP}414、他のDAC負荷416、GND LD0406およびMSBセル408に接続されている。MSBセル408は、PMOSトランジスタ422および424、ならびにPMOSスイッチ426および428を含む。

10

【0034】

GND LD0406は、雑音性接地における雑音を減衰させ、かつ、きれいな「接地」をDACコアに提供するために使用されている。また、DACコアは、スイッチドライバ404およびクロックバッファ、ならびに説明されていない他の追加ブロックを同じく含むことができる。さらなる実施形態は、動的電流を提供するための減結合コンデンサC_{DECAP}414を並列に提供する。

20

【0035】

図5は、本明細書において説明されている実施形態による接地低ドロップアウトレギュレータ(GND LDO)のブロック図である。アセンブリ500は、誤差増幅器506、M5 520およびM6 514からなるソースフォロワステージ、補償回路網およびパストランジスタM_{pass}524を含む。M5 220のソースは、M5 520が雑音を知覚することができ、また、M6 514と協力して、パストランジスタM_{pass}524のV_{GS}を所望の帯域幅内に保持するための共通ゲート単位利得増幅器として動作することができるよう、雑音性接地526に接続されている。C_{FF}528は、共通ゲート増幅器の高周波数利得を大きくし、延いては雑音除去のために帯域幅を効果的に拡張するために使用されている。抵抗R_Z510およびコンデンサC_C512は、GND LD0500ループが負荷電流の全範囲にわたって安定であることを保証している。

30

【0036】

動作中、LDOレギュレータは、供給電圧が出力電圧に極めて近い場合であっても出力電圧を調整することができる直流(DC)電圧レギュレータである。他のDC-DCレギュレータに優るLDOレギュレータの利点は、より小さいスイッチング雑音(スイッチングが生じないため)、より小さいデバイスサイズ(大きいインダクタまたは変圧器を必要としない)、およびより大きい設計単純性を含む。典型的には、LDO設計には、基準、増幅器およびバス要素が組み込まれる。欠点の1つは、線形DCレギュレータが、出力電圧を調整するために調整デバイス全体にわたる電力の散逸を余儀なくされることである。

【0037】

LDOレギュレータの主な構成要素は、電力電界効果トランジスタ(FET)および誤差増幅器である。誤差増幅器506の一方の入力は、2つの抵抗の間の抵抗比によって決定される出力、すなわち入力の微小部分を監視している。一実施形態では、この入力は、誤差増幅器506の正端子上の入力であるGND LDO出力522である。誤差増幅器506に対する第2の入力は、安定電圧基準、ここではV_{ref}504からの入力であり、誤差増幅器506の負端子上の入力である。出力電圧が基準電圧に対して過度に高くなると、トランジスタM5 520、M6 514およびM_{pass}524は、一定の電圧を維持するように調整する。上で言及したように、抵抗R_Z510およびコンデンサC_C512は、可能な装荷電流の全範囲に対する帰還ループの安定性の保証を促進している。

40

【0038】

トランジスタ518は、定電流源502を接続して、M6 514と相俟って、M_{pass}524を調整する

50

ための誤差増幅器出力信号のためのソースフォロワステージとして動作し、かつ、雑音性接地526雑音を知覚して、GND LD0522の出力雑音を減衰させる共通ゲート増幅器として動作するM₅ 520のためのバイアス電圧を生成する。

【0039】

動作中、電圧基準Vref504が演算増幅器506の反転(-入力)に注入される。回路出力であるGND LDO出力522は、演算増幅器506の非反転反転入力(+入力)に注入される。演算増幅器506の出力は、抵抗R_Z510およびコンデンサC_C512を介して演算増幅器506の非反転側に挿入される。また、演算増幅器506の出力は、第1のnチャネル金属酸化膜シリコン電界効果トランジスタ(NチャネルMOSFET)M₆514のゲートに同じく注入される。第1のnチャネルMOSFET M₆514ドレインは、Vdda502に接続されている。第1のn-MOSFET M₆514は、第2のn-MOSFET M₅520のドレインに接続されたそのソースを有している。コンデンサC_FF528は、M₆514のゲートとソースにわたって接続されている。M₅520のソースは雑音性接地526に接続されている。

10

【0040】

基準:電流源は、Vdda502と、第3のn-MOSFET518のゲートおよびドレインとの間に接続されている。n-MOSFET518のソースは低雑音アナログ接地508に接続されている。n-MOSFET518のゲートは、M₅520のゲートに接続されている。これは、M₅520を共通ゲート増幅器構成にバイアスする。また、第1のn-MOSFET M₆514のソースは、第4のn-MOSFET M_{pass}524のゲートに同じく接続されている。第4のn-MOSFET M_{pass}524のドレインは、GND LDO出力522に接続されている。第4のn-MOSFET M_{pass}524のソースは雑音性接地526に接続されている。

20

【0041】

第1のn-MOSFET M₆514を介して演算増幅器506によってバイアスし、かつ、第2のn-MOSFET520と相俟って、vdda502と第3のn-MOSFET518との間の定電流源によってバイアスすることにより、雑音性接地から信号が引き出され、かつ、第4のn-MOSFET M_{pass}524のゲートをバイアスする非反転信号が生成される。第4のn-MOSFET M_{pass}524は、GND LD0522の雑音を小さくする。

30

【0042】

図6は、複数のコアを有するチップへの概念の拡張を示したものである。アセンブリ600は、第1のGND LD0604と共に第1のコア602を含み、第1のGND LD0604は、コア602が共有雑音性デジタル接地(DGND)から潜在的にピックアップし得るあらゆるスパーを減衰させるように動作する。第1のコア602からの出力は、位相固定ループ(PLL)606に入力される。PLL606からの出力は第2のコア608に入力される。第2のGND LD0610は、第2のコア608によって生成される信号を汚染し得る雑音性接地(GND)上のスパーを減衰させるように動作する。第2のコア608からの出力は、アナログ-デジタル変換器(ADC)612に入力される。PLL606からの第2の出力は第3のコア614に入力される。GND LD0616は、雑音性接地DGND上の雑音を除去し、かつ、第3のコア614によって生成される信号の汚染を防止するように動作する。図6に示されているように、GND LD0の使用は、性能が接地雑音にさらされ得る他のアナログ/混合信号設計に拡張することができる。

30

【0043】

図7は、シミュレートされたDAC出力スペクトルを示したものである。シミュレーションでは、79MHz、5m Vpp正弦雑音がスイッチドライバ接地304に注入され、2トーンDAC入力信号は、それぞれ6MHzおよび8MHzである。接地雑音は、73MHz、85MHz、71MHzおよび87MHzの4つの-71 dBcスパーを導入することがわかる。これらのスパーなどのスパーは、受信信号鎖を大いに鈍感にし、小さくする必要がある。

40

【0044】

図8は、DAC出力スペクトル中のスパーを減衰させるためのGND LDOを使用して可能な改善を示したものである。図8におけるシミュレーション条件は、図7に示されているシミュレーション条件と同じである。しかしながらGND LDOを使用することにより、DACスパーが13dBだけ減衰しており、今では許容可能範囲内である。シミュレーションは、他の受信帯域を損なうことなく受信帯域性能が改善され得ることを示している。

50

【0045】

図9は、本明細書において説明されている実施形態による、DACスパーを減衰させる方法のフローチャートである。方法900はステップ902で開始し、増幅器に基準電圧が注入される。ステップ904で、接地低ドロップアウトレギュレータ(GND LDO)の出力が測定される。ステップ906で、GND LDOの出力が基準電圧と比較される。GND LDOの測定された出力の方が基準電圧よりも高い場合、ステップ908で、増幅器出力が接地に調整される。比較が、GND LDO出力の方が基準電圧よりも低いことを示している場合、ステップ910で、増幅器出力が基準電圧に調整される。ステップ908および910において上で説明したように調整が実施された後、プロセスは、ステップ902で再び開始する。

【0046】

10

情報および信号は、様々な異なる技術および技法のいずれかを使用して表すことができることは当業者には理解されよう。たとえば上記の説明全体を通して参照され得るデータ、命令、コマンド、情報、信号、ビット、記号およびチップは、電圧、電流、電磁波、磁場または磁性粒子、光場または光学粒子、あるいはそれらの任意の組合せによって表され得る。

【0047】

20

さらに、本明細書において開示されている例示的実施形態に関連して説明されている様々な実例論理ブロック、モジュール、回路およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェアまたは両方の組合せとして実現することができることは当業者には認識されよう。ハードウェアおよびソフトウェアのこの互換性を明確に示すために、様々な実例構成要素ブロック、モジュール、回路およびステップは、上では、一般にそれらの機能に関して説明されている。そのような機能がハードウェアとして実現されるか、あるいはソフトウェアとして実現されるかどうかは、特定の適用例および全体的なシステムに課される設計制約で決まる。当業者は、説明されている機能を特定の適用例ごとに様々な方法で実現することができるが、そのような実施態様決定は、本発明の例示的実施形態の範囲からの逸脱を生じるものとして解釈してはならない。

【0048】

30

本明細書において開示されている例示的実施形態に関連して説明されている様々な実例論理ブロック、モジュールおよび回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、離散ゲートまたはトランジスタ論理、離散ハードウェア構成要素、あるいは本明細書において説明されている機能を実施するように設計されたそれらの任意の組合せを使用して実現または実行することができる。汎用プロセッサはマイクロプロセッサであってもよいが、代替では、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラまたは状態マシンであってもよい。また、プロセッサは、コンピューティングデバイスの組合せ、たとえばDSPとマイクロプロセッサの組合せ、複数のマイクロプロセッサ、DSPコアと関連した1つまたは複数のマイクロプロセッサ、または任意の他のそのような構成として実現することも可能である。

【0049】

40

1つまたは複数の例示的実施形態では、説明された機能は、ハードウェア、ソフトウェア、ファームウェアまたはそれらの任意の組合せの中で実現することができる。ソフトウェアの中で実現される場合、機能は、コンピュータ可読媒体上の1つまたは複数の命令あるいはコードとして記憶し、あるいは送信することができる。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む、コンピュータ記憶媒体と通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であってもよい。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM、もしくは他の光ディスク(disk)記憶装置、または他の磁気記憶デバイス、あるいは命令またはデータ構造の形態で所望のプログラムコードを搬送または記憶するために使用することができ、かつ、コンピュータによってアクセスされ得る任意の他の媒体を含むことができる。また、任意の接続も適切

50

にコンピュータ可読媒体と称される。たとえばソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバまたは他の遠隔ソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書において使用されているように、ディスク(diskおよびdisc)は、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)およびブルーレイディスク(disc)を含み、diskは、通常、データを磁気的に再生し、一方、discは、レーザを使用してデータを光学的に再生する。上記の組合せも、コンピュータ可読媒体の範囲内に含まれるものとする。

10

【0050】

開示された例示的実施形態の上記の説明は、すべての当業者による本発明を構築または使用を可能にするために提供されている。当業者には、これらの例示的実施形態に対する様々な修正が容易に明らかであり、また、本明細書において定義されている一般原理は、本発明の精神または範囲を逸脱することなく他の実施形態に適用され得る。したがって本発明には、本明細書において示されている例示的実施形態に限定されることは意図されておらず、本明細書において開示されている原理および新規な特徴と一致する最も広い範囲が与えられるべきである。

【符号の説明】

【0051】

20

100	多重アクセスワイヤレス通信システム	
102	アクセスポイント(AP)	
104	アンテナ	
106	アンテナ	
108	アンテナ	
110	アンテナ	
112	アンテナ	
114	アンテナ	
116	アクセス端末(AT)	
118	ダウンリンクすなわち順方向リンク(通信リンク)	30
120	アップリンクすなわち逆方向リンク(通信リンク)	
122	アクセス端末(AT)	
124	ダウンリンクすなわち順方向リンク(通信リンク)	
126	アップリンクすなわち逆方向リンク(通信リンク)	
200	ワイヤレス通信デバイス	
210	データプロセッサ	
212	メモリ	
220	トランシーバ	
230	送信機	
232	増幅器(アンプ)	40
234	低域通過フィルタ	
236	VGA	
238	ミキサ	
240	フィルタ	
242	ドライバ増幅器	
244	電力増幅器	
246	スイッチ/デュプレクサ	
248	アンテナ	
250	受信機	
252	LNA	50

254	帯域通過フィルタ	
256	ミキサ	
258	VGA	
260	低域通過フィルタ	
262	増幅器	
270	局部発振器(LO)発生器	
272	位相固定ループ(PLL)	
300	装置	10
302	スイッチドライバ	
304	接地	
306	電流ステアリングDAC最上位ビット(MSB)セル	
400	装置	
402	電圧低ドロップアウトレギュレータ(VDD LDO)	
404	最後のステージスイッチドライバ	
406	GND LDO	
408	MSBセル	
410	増幅器	
412	トランジスタ	
414	コンデンサ C_{DECAP}	
416	他のDAC負荷	20
418	増幅器	
420	トランジスタ	
422	PMOSトランジスタ	
424	PMOSトランジスタ	
426	PMOSスイッチ	
428	PMOSトランジスタ	
500	アセンブリ	
502	定電流源、Vdda	
504	V_{ref}	
506	誤差増幅器、演算増幅器	30
508	低雑音アナログ接地	
510	抵抗 R_z	
512	コンデンサ C_c	
514	トランジスタM6、第1のnチャネル金属酸化膜シリコン電界効果トランジスタ(NチャネルMOSFET)	
518	トランジスタ、第3のn-MOSFET	
520	トランジスタM5、第2のn-MOSFET	
522	GND LDO出力	
524	パストランジスタ M_{pass} 、第4のn-MOSFET	
526	雑音性接地	40
528	C_{FF}	
600	アセンブリ	
602	第1のコア	
604	第1のGND LDO	
606	位相固定ループ(PLL)	
608	第2のコア	
610	第2のGND LDO	
612	アナログ-デジタル変換器(ADC)	
614	第3のコア	
616	GND LDO	50

【図1】

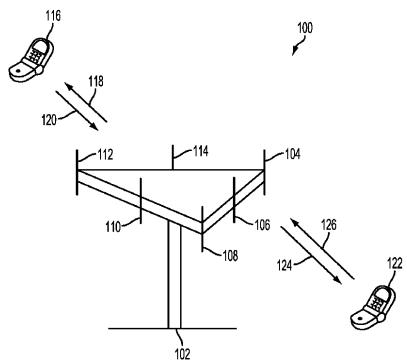
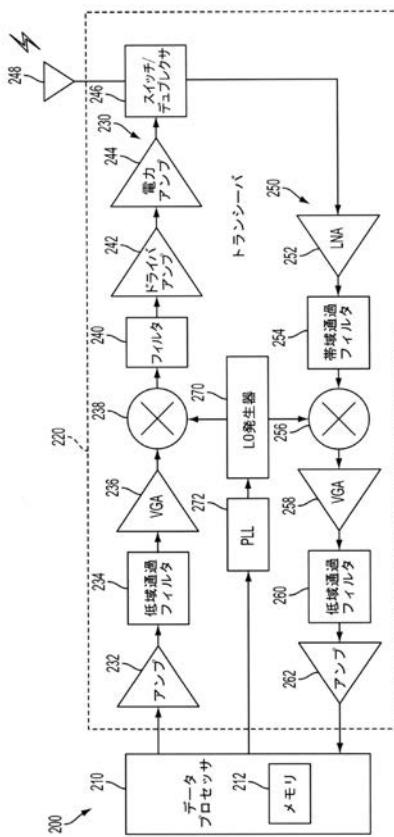
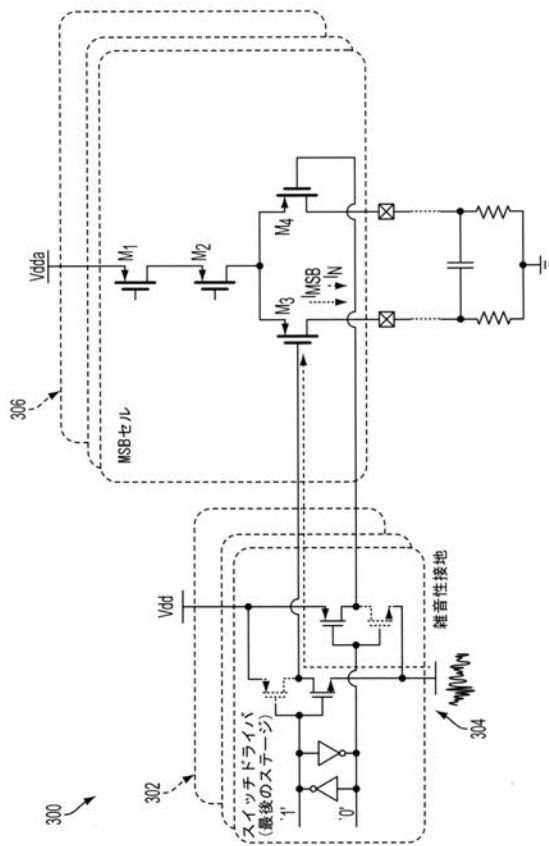


FIG. 1

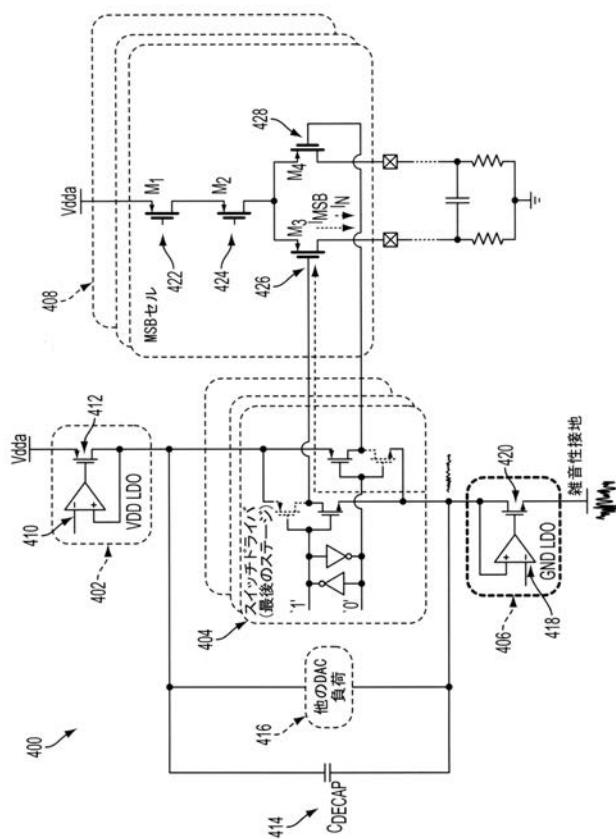
【図2】



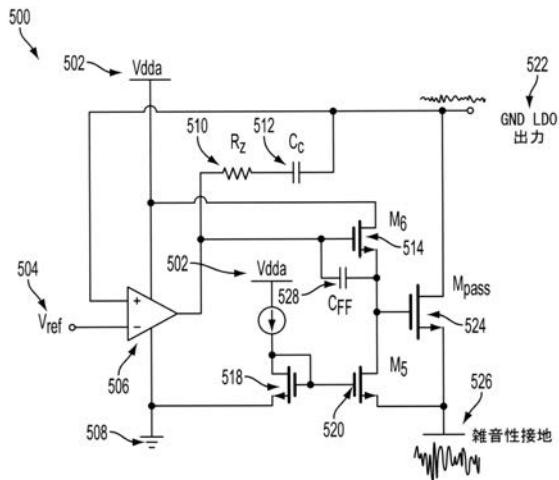
【図3】



【図4】



【図5】



【図6】

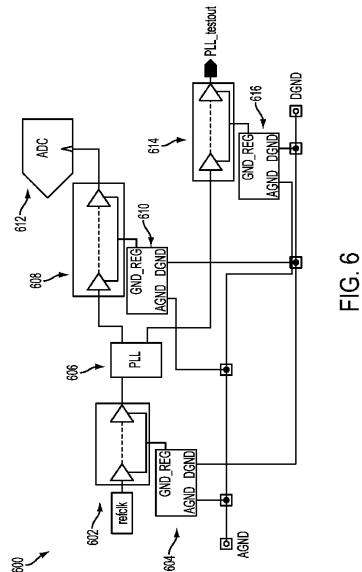
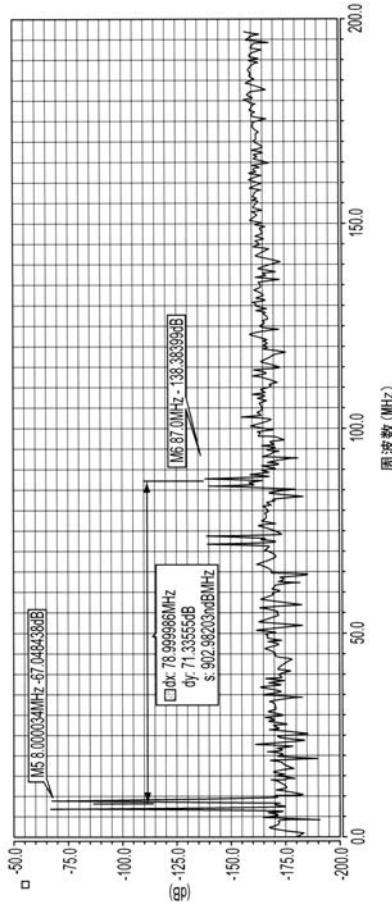
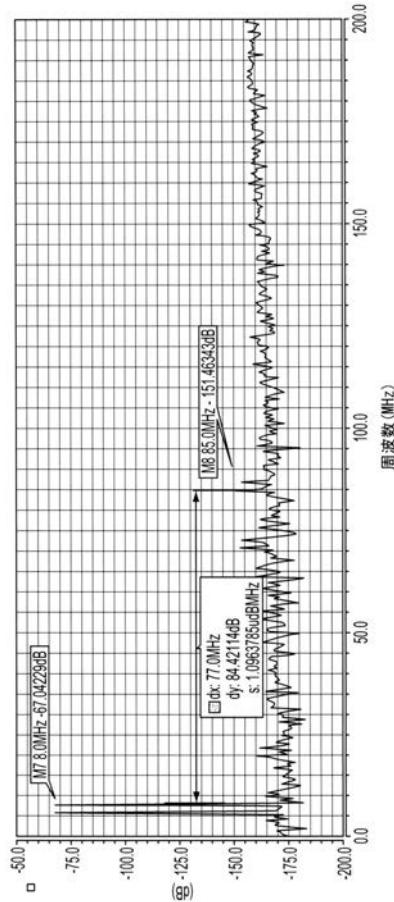


FIG. 6

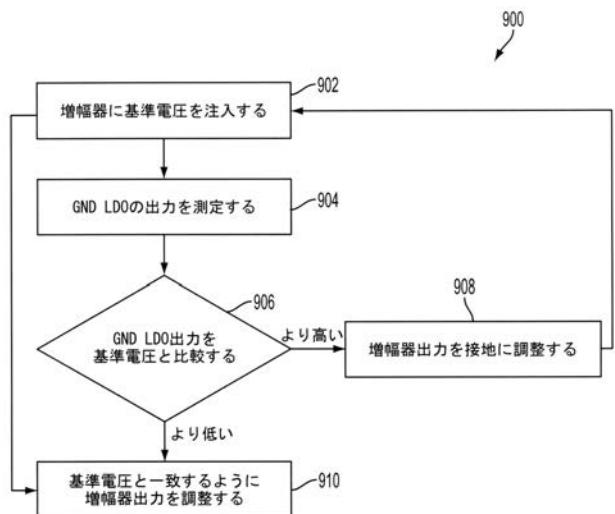
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成29年8月24日(2017.8.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デジタル-アナログ変換器(DAC)中のスパーを減衰させる方法であって、
接地低ドロップアウトレギュレータ内の増幅器に基準電圧を注入するステップと、
前記接地低ドロップアウトレギュレータの出力を測定するステップと、
前記接地低ドロップアウトレギュレータの出力を前記基準電圧と比較するステップと、
接地带雑音スパーを除去するために、前記比較に基づいて前記増幅器の出力を調整するステップと
 を含む方法。

【請求項2】

出力比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも
 高いことを示している場合、前記増幅器の出力を接地に調整するステップをさらに含む、
 請求項1に記載の方法。

【請求項3】

出力比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも
 低いことを示している場合、前記基準電圧と一致するように前記増幅器の出力を調整する
 ステップをさらに含む、請求項1に記載の方法。

【請求項4】

前記増幅器の出力を調整するステップが、
パストランジスタを特定の導通状態にバイアスするステップと、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定するステップと、
雑音性信号の一部に対して、バイアスされた前記パストランジスタの導電率を変化させるステップと
を含む、請求項3に記載の方法。

【請求項5】

前記増幅器の出力を調整するステップが、
パストランジスタを特定の導通状態にバイアスするステップと、
雑音性接地信号をバイアスされた前記パストランジスタへ向けて経路指定するステップと、
雑音性信号の一部に対して、バイアスされた前記パストランジスタの導電率を変化させるステップと
を含む、請求項2に記載の方法。

【請求項6】

導電率が変更される前記雑音性接地信号の前記一部が前記雑音性信号の交流(AC)部分である、請求項4に記載の方法。

【請求項7】

導電率が変更される前記雑音性接地信号の前記一部が前記雑音性接地信号の交流(AC)部分である、請求項5に記載の方法。

【請求項8】

送信デジタル-アナログ変換器(DAC)スパー減衰のための装置であって、
接地誘導雑音スパーを除去するように構成された接地低ドロップアウトレギュレータ(GND LDO)内の増幅器と、
前記増幅器に接続される第1のトランジスタと、
前記第1のトランジスタに接続される第2のトランジスタと、
前記第2のトランジスタに接続される第3のトランジスタと、
前記第1のトランジスタおよび第2のトランジスタに接続される第4のトランジスタと
を備える装置。

【請求項9】

前記第1、第2、第3および第4のトランジスタが金属酸化膜シリコン電界効果トランジスタ(MOSFET)である、請求項8に記載の装置。

【請求項10】

前記増幅器が反転増幅器である、請求項8に記載の装置。

【請求項11】

前記GND LDOが前記第4のトランジスタに接続される、請求項8に記載の装置。

【請求項12】

前記第4のトランジスタが同じく雑音性接地に接続される、請求項11に記載の装置。

【請求項13】

送信デジタル-アナログ変換器(DAC)中のスパーを減衰させるための装置であって、
接地低ドロップアウトレギュレータ内の増幅器に基準電圧を注入するための手段と、
前記接地低ドロップアウトレギュレータの出力を測定するための手段と、
前記接地低ドロップアウトレギュレータの出力を前記基準電圧と比較するための手段と
、
接地誘導雑音スパーを除去するために、前記比較に基づいて前記増幅器の出力を調整するための手段と
を備える装置。

【請求項14】

出力比較が、前記基準電圧の方が前記接地低ドロップアウトレギュレータの出力よりも

高いことを示している場合、前記増幅器の出力を接地に調整するための手段をさらに備える、請求項13に記載の装置。

【請求項 15】

前記比較が、前記接地低ドロップアウトレギュレータの出力の方が前記基準電圧よりも低いことを示している場合、前記基準電圧と一致するように前記増幅器の出力を調整するための手段をさらに備える、請求項13に記載の装置。

【請求項 16】

バストランジスタを特定の導通状態にバイアスするための手段と、

雑音性接地信号をバイアスされた前記バストランジスタへ向けて経路指定するための手段と、

前記雑音性接地信号の一部に対して、バイアスされた前記バストランジスタの導電率を変化させるための手段と

をさらに備える、請求項14に記載の装置。

【請求項 17】

バストランジスタを特定の導通状態にバイアスするための手段と、

雑音性接地信号をバイアスされた前記バストランジスタへ向けて経路指定するための手段と、

前記雑音性接地信号の一部に対して、バイアスされた前記バストランジスタの導電率を変化させるための手段と

をさらに備える、請求項15に記載の装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2016/017815												
A. CLASSIFICATION OF SUBJECT MATTER INV. G05F1/56 G05F1/575 ADD.														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G05F														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 5 289 425 A (HORIGUCHI MASASHI [JP] ET AL) 22 February 1994 (1994-02-22) abstract; figures 12-17 -----</td> <td style="padding: 2px;">1-22</td> </tr> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2005/068015 A1 (HAZUCHA PETER [US] ET AL) 31 March 2005 (2005-03-31) abstract; figure 2 -----</td> <td style="padding: 2px;">1,8,13, 18</td> </tr> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2011/175644 A1 (MATANO TATSUYA [JP]) 21 July 2011 (2011-07-21) abstract; figures 7B, 8B ----- -/-</td> <td style="padding: 2px;">1,8,13, 18</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 5 289 425 A (HORIGUCHI MASASHI [JP] ET AL) 22 February 1994 (1994-02-22) abstract; figures 12-17 -----	1-22	X	US 2005/068015 A1 (HAZUCHA PETER [US] ET AL) 31 March 2005 (2005-03-31) abstract; figure 2 -----	1,8,13, 18	X	US 2011/175644 A1 (MATANO TATSUYA [JP]) 21 July 2011 (2011-07-21) abstract; figures 7B, 8B ----- -/-	1,8,13, 18
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	US 5 289 425 A (HORIGUCHI MASASHI [JP] ET AL) 22 February 1994 (1994-02-22) abstract; figures 12-17 -----	1-22												
X	US 2005/068015 A1 (HAZUCHA PETER [US] ET AL) 31 March 2005 (2005-03-31) abstract; figure 2 -----	1,8,13, 18												
X	US 2011/175644 A1 (MATANO TATSUYA [JP]) 21 July 2011 (2011-07-21) abstract; figures 7B, 8B ----- -/-	1,8,13, 18												
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.												
<small>* Special categories of cited documents :</small> <ul style="list-style-type: none"> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed 														
<small>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</small>														
<small>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</small>														
<small>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</small>														
<small>"&" document member of the same patent family</small>														
Date of the actual completion of the international search	Date of mailing of the international search report													
15 July 2016	22/07/2016													
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Arias Pérez, Jagoba													

INTERNATIONAL SEARCH REPORT

International application No PCT/US2016/017815

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT
--

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SAO-HUNG LU ET AL: "A Fast Settling Low Dropout Linear Regulator with Single Miller Compensation Capacitor", A-SSCC 2005 : 2005 IEEE ASIAN SOLID-STATE CIRCUITS CONFERENCE ; 1 - 3 NOVEMBER, 2005, HSINCHU, TAIWAN, IEEE, PISCATAWAY, NJ, 1 November 2005 (2005-11-01), pages 153-156, XP031019767, ISBN: 978-0-7803-9162-8 abstract; figure 1	1-22
A	US 2010/213917 A1 (PULIJALA SRINIVAS K [US] ET AL) 26 August 2010 (2010-08-26) abstract; figure 3 -----	1-22

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2016/017815

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5289425	A 22-02-1994	US 5289425	A 22-02-1994	
		US 5347492	A 13-09-1994	
		US 5448526	A 05-09-1995	
US 2005068015	A1 31-03-2005	NONE		
US 2011175644	A1 21-07-2011	JP 2011147037	A 28-07-2011	
		KR 20110084129	A 21-07-2011	
		US 2011175644	A1 21-07-2011	
US 2010213917	A1 26-08-2010	DE 102010000498	A1 21-10-2010	
		US 2010213917	A1 26-08-2010	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 ヤン・ユ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 ホンハオ・ジ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 トンユ・ソン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 ガネーシュ・サリパリ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 シャビン・メディザド・タレイエ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

F ターム(参考) 5H430 BB01 BB09 BB11 EE04 EE19 HH01
5J022 AB06 BA02 CB01 CF00 CF02 CF07