



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 21/76 (2006.01)

H01L 21/762 (2006.01)

(11) 공개번호 10-2006-0129037

(43) 공개일자 2006년12월14일

(21) 출원번호 10-2006-7017589

(22) 출원일자 2006년08월30일

심사청구일자 없음

번역문 제출일자 2006년08월30일

(86) 국제출원번호 PCT/US2005/006177

(87) 국제공개번호 WO 2005/093825

국제출원일자 2005년02월26일

국제공개일자 2005년10월06일

(30) 우선권주장 10/791,759 2004년03월04일 미국(US)

(71) 출원인 어드밴스드 마이크로 디바이시즈, 인코포레이티드  
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자 본세르 더글라스 제이.  
미국 뉴욕 12590 와핑거스 폴스 타운 뷰 드라이브 274  
그로쇼프 요하네스  
미국 뉴욕 12524 피쉬킬 212 제퍼슨 블루버드 212  
다크시나-무르티 스리칸테스와라  
미국 뉴욕 12590 와핑거스 폴스 타운 뷰 드라이브 258  
페렐린 존 지.  
미국 뉴욕 12533 호프웰 정션 크릭사이드 로드 11  
치크 존 디.  
미국 뉴욕 12589 월킬 엘렌스 웨이 9

(74) 대리인 박장원

전체 청구항 수 : 총 7 항

(54) 반도체 제조 동안 S T I 디봇 형성 감소 방법

(57) 요약

STI 디봇 형성은 예를 들어, 400Å보다 두껍지 않은 매우 얇은 질화물 연마 정지층(52)을 이용함으로써 제거되거나 실질적으로 감소된다. 상기 매우 얇은 질화물 연마 정지층(52)은 도펀트 영역들(80)을 형성하기 위한 후속 마스크링, 주입 및 세정 단계들 동안에 제 위치에서 보유되며, 게이트 산화물(101) 및 게이트 전극(100) 형성 이전에 제거된다.

대표도

도 9

## 특허청구의 범위

### 청구항 1.

반도체 디바이스를 제조하는 방법에 있어서,

반도체 기판(50) 위에 400Å보다 크지 않은 두께로 질화물 연마 정지층(52)을 형성하는 단계와;

상기 질화물 연마 정지층에 개구 및 상기 기판에 트렌치를 형성하는 단계와;

절연 물질로 상기 트렌치를 충전하여 상기 질화물 연마 정지층 상에 하층을 형성하는 단계와; 그리고

상기 질화물 연마 정지층 상에서 정지하는 상부 플래너 표면을 형성하도록 연마함으로써, 얇은 트렌치 고립 영역(70)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

### 청구항 2.

제 1항에 있어서, 50Å 내지 150Å의 두께로 상기 질화물 연마 정지층(52)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

### 청구항 3.

제 1항에 있어서, 단지 20Å의 상기 질화물 연마 정지층(52)을 제거하는 동안에 상기 상부 플래너 표면을 형성하도록 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

### 청구항 4.

제 1항에 있어서, 상기 반도체 기판(50)의 상부 표면상에 패드 산화물층(51)을 형성하는 단계 및 상기 패드 산화물층(51) 상에 상기 질화물 연마 정지층(52)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

### 청구항 5.

제 1항에 있어서, 상기 질화물 연마 정지층을 통해 불순물들을 이온 주입하여 상기 반도체 기판에서 상기 얇은 트렌치 영역(70)에 인접하여 불순물 영역들(80)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

### 청구항 6.

제 5항에 있어서,

상기 질화물 연마 정지층(52)을 제거하는 단계와;

상기 질화물 연마 정지층을 제거한 이후에 상기 반도체 기판상에 게이트 산화물층(101)을 형성하는 단계와; 그리고

상기 게이트 산화물층(101) 상에 게이트 전극(100)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

## 청구항 7.

제 6항에 있어서, 상기 트렌치를 충전하는 절연 물질의 상부 표면(70A) 일부를 제거하도록 식각하며, 이에 따라 상기 절연 물질의 상부 표면이 상기 질화물 연마 정지층(52)을 제거하기 이전에 상기 반도체 기판의 상부 표면과 거의 동일 평면이 되는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

### 명세서

#### 기술분야

본 발명은 집적회로 반도체 디바이스들의 제조에 관한 것이다. 특히, 본 발명은 디봇(divot) 형성이 없거나 실질적으로 감소된 고품질의 얇은 트렌치 고립(STI)을 갖는 고 집적회로 반도체 디바이스들에 응용가능하다.

#### 배경기술

집적회로 반도체 디바이스 요소들의 소형화가 산업계를 움직임에 따라, 활성 영역의 폭 및 피치는 점점 작아지게 되었으며, 이에 따라 전통적인 로코스(LOCOS: local oxidation of silicon) 고립 기법들의 사용에서 문제가 발생하게 되었다. STI는 LOCOS보다 더욱 실행가능한 고립 기법으로 여겨지는데, 이는 본질상 LOCOS의 버드 비크(bird's beak) 특성을 거의 생성하지 않으며, 이에 따라 변환 차이들(conversion differences)의 감소를 달성하기 때문이다.

전통적인 STI 제조 기법들은 반도체 기판의 상부 표면에 패드 산화물을 형성하는 단계와, 그 위에 전형적으로 1000Å보다 큰 두께를 갖는 질화물(예를 들어, 실리콘 질화물) 연마 정지층을 형성하는 단계와, 반도체 기판에 트렌치를 형성하도록 이방성으로 식각하는 단계와, 트렌치에 열 산화물 라이너(liner)를 형성한 이후에 실리콘 산화물과 같은 절연 물질로 트렌치를 충전하는 단계와, 질화물 연마 정지층 상에 하중(overburden)을 형성하는 단계를 포함한다. 평탄화가 예를 들어, 화학적 기계적 연마(CMP)를 실행함으로써 수행된다. 후속 공정 동안, 질화물층이 패드 산화물과 함께 제거되며 이후에 활성 영역들이 형성되는데, 이는 전형적으로 마스크, 이온 주입, 및 세정 단계들을 포함한다. 이러한 세정 단계들 동안, 필드 산화물의 상부 코너들은 이방성으로 제어되며 산화물 충전에 공극 또는 "디봇(divot)"을 남겨놓는다.

예를 들어, 전통적인 STI 제조 기법이 도 1 내지 4에서 도시되는데, 유사한 특징들은 유사한 참조 부호들에 의해 표시된다. 도 1을 참조하면, 패드 산화물(11)이 반도체 기판(10)의 상부 표면 위에 형성되며, 실리콘 질화물 연마 정지층(12)이 그 위에 전형적으로 1000Å을 초과하는 두께로 형성된다. 이후에, 포토마스크(미도시)가 질화물 연마 정지층(12) 및 패드 산화물(11)을 통한 개구를 형성하는데 사용되며, 트렌치(12)가 반도체 기판에 형성된다.

후속적으로, 열 산화물 라이너(미도시)가 트렌치에 형성되며, 절연 물질이 증착되며, 그리고 평탄화가 예를 들어, CMP에 의해 수행되며, 결과적으로 산화물 충전을 표시하는 도 2의 참조 부호(20)에 의해 도시된 중간 구조를 발생시킨다. 후속적으로, 질화물 연마 정지층(12) 및 패드 산화물층(11)이 제거되며, 세정 단계들이 활성 영역들의 형성 이전에 수행된다. 이러한 세정 단계들은 도 3에서 도시된 바와같이 디봇들(30)을 형성하게 된다.

STI 디봇들은 다양한 관점들에서 문제가 될 수 있다. 예를 들어, STI 디봇들은 특히, 얇은 소스/드레인 접합들에서 높은 필드 에지 누출(field edge leakage)에 대한 책임을 진다. 도 4에서 도시된 바와같이, 도 4에서 도시된 바와같이, 얇은 소스/드레인 영역들(40)상에 형성된 실리사이드 영역들(41)은 참조 부호(42)에 의해 도시된 바와같이 이전 단계에서 형성된 접합 깊이 이하로 급격하게 하향으로 성장하여 높은 누출 및 단락(shorting)을 야기시킨다. STI 필드 에지들에서 도펀트들, 특히 붕소의 분리는 접합 깊이를 감소시킨다. 따라서, 접합들이 실리사이드화 된 이후에, 기판으로 침투한 실리사이드(42)는 단락 라우트들(routes)을 발생시키며, 이에 따라 소스/드레인 접합들에서 웰(well) 또는 기판으로의 큰 누출이 발생한다.

이에 부가하여, 만일 STI 에지가 디봇 형성의 결과로서 노출된 경우에, 낮은 임계 전압을 갖는 기생 트랜지스터가 영역 위에 낮은 불순물 농도로 형성되어 트랜지스터 특성 커브에서 킥(kink)을 발생시킨다. 킥의 존재는 설계된 전기적 특성들과 다른 전기적 특성들을 발생시키며, 이에 따라 균일한 특성들을 갖는 트랜지스터들을 제조할 수 없게 한다.

따라서, 디봇들이 없거나 실질적으로 감소된 높은 신뢰성의 STI 영역들을 갖는 고 집적 반도체 디바이스들을 제조할 수 있게 하는 방법이 필요하게 되었다.

### 발명의 상세한 설명

본 발명의 이점은 디봇들(divots)이 없거나 실질적으로 감소된 높은 신뢰성의 STI 영역들을 포함하는 반도체 디바이스를 제조하는 방법이다.

본 발명의 추가적인 이점들 및 신규 특징들은 그 일부가 하기의 상세한 설명에서 제시될 것이며, 하기 내용을 검토함으로써 그 일부가 기술분야의 당업자들에게 자명하게 될 것이며, 혹은 본 발명을 실시함으로써 알게 될 것이다. 본 발명의 이점들은 청구범위에서 특정적으로 개시된 수단들 및 조합들에 의해 구현되고 달성될 수 있다.

본 발명에 따르면, 상기 이점 및 다른 이점들은 부분적으로 반도체 디바이스 제조 방법에 의해 달성되며, 상기 방법은 반도체 기판 위에 400Å보다 크지 않는 두께의 질화물 연마 정지층을 형성하는 단계와, 상기 질화물 연마 정지층에 개구를 그리고 상기 기판에 트렌치를 형성하는 단계와, 절연 물질로 상기 개구를 충전하여 상기 질화물 연마 정지층 상에 하층을 형성하는 단계와, 그리고 상기 질화물 연마 정지층 상에서 정지하는 상부 플래너 표면을 형성하도록 연마함으로써 얇은 트렌치 고립 영역을 형성하는 단계를 포함한다.

본 발명의 실시예들은 상기 반도체 디바이스 기판의 상부 표면상에 패드 산화물을 형성하는 단계와, 상기 패드 산화물층상에 50Å 내지 150Å의 두께, 예를 들어 100Å의 상기 질화물 연마 정지층, 예를 들어 실리콘 질화물 연마 정지층을 형성하는 단계와, 화학 기상 증착에 의해 증착되는 실리콘 산화물과 같은 유전성 절연 물질로 상기 개구를 충전하는 단계와, 이후에 화학적 기계적 연마(CMP)를 수행하여 상기 질화물 연마 정지층의 단지 20Å의 상부 표면을 제거함으로써 상기 질화물 연마 정지층 상에서 정지하는 평탄화를 실행하는 단계를 포함한다. 본 발명의 실시예들은 상기 질화물 연마 정지층을 통해 불순물들을 이온 주입하여 반도체 기판에서 상기 얇은 트렌치 고립 영역에 인접하여 불순물 영역들을 형성하는 단계와, 상기 트렌치를 충전하는 절연 물질의 상부 표면의 일부를 제거하도록 식각하며, 이에 따라 상기 절연 물질의 상부 표면이 상기 반도체 기판의 상부 표면과 거의 동일한 표면이 되게 하는 단계와, 그리고 상기 질화물 연마 정지층을 제거하는 단계를 포함한다. 후속적으로, 종래 기법들을 이용함으로써 게이트 산화물층이 기판상에 형성됨과 아울러 게이트 전극층이 산화물층 상에 형성된다.

본 발명의 추가적인 이점들은 하기의 상세한 설명으로부터 기술분야의 당업자들에게 자명할 될 것인데, 여기서 본 발명의 실시예들은 단순히 본 발명을 수행하기 위한 최적 모드의 예시에 의해 설명된다. 구현될 바와같이, 본 발명은 다른 실시예들을 수행할 수 있으며, 그 여러 상세사항들은 본 발명을 벗어나지 않고 다양한 명백한 관점들에서 변형될 수 있다. 따라서, 도면들 및 상세한 설명은 본질상 예시적인 것이며 제한적인 것으로 고려되지 않는다.

### 실시예

본 발명은 STI 영역의 코너들에서 디봇들을 형성하는 종래의 STI 방법의 수행에 수반하는 문제들에 대처하며 해결한다. 이러한 종래 방법은 전형적으로 예를 들어, 1000Å보다 큰 두께인 비교적 두꺼운 질화물 연마 정지층을 형성하는 단계를 포함한다. 이러한 두꺼운 질화물 연마 정지층은 전형적으로 STI 산화물 연마 이후에 즉시 제거되는데, 이는 활성 영역들을 형성하기 위해 후속 단계들이 이온 주입을 요구하며, 두꺼운 질화물 필름들이 이러한 이온 주입을 차단하기 때문이다. 많은 마스크, 주입 및 세정 단계들이 활성 영역들을 형성하는데 사용되며, 이는 결과적으로 STI 영역의 코너들에서 디봇들을 형성한다. 이 문제에 대한 종래의 접근들은 예를 들어, STI 산화물 충전 이전에 포스트 산화물 연마 세정들 및 질화물 풀-백(pull-back)을 최적화함으로써 이러한 디봇들을 최소화하게 된다. 그러나, 이러한 접근들은 STI 디봇 문제를 적절히 해결하지 못했다.

본 발명에 따라, 매우 얇은 질화물 연마 정지층, 예를 들어 실리콘 질화물이 10Å 내지 400Å의 두께와 같은 400Å보다 크지 않는 두께로 증착된다. 적합한 실리콘 질화물 연마 식각 정지층 두께는 50Å 내지 150Å, 예를 들어 100Å이다.

유익하게, 얇은 질화물 연마 정지층은 STI 산화물 연마 이후에 즉시 제거되지 않는다. 오히려, 얇은 질화물 식각 정지층은 활성 영역들을 형성하기 위한 마스크, 이온 주입 및 세정 단계들을 포함하는 후속 공정 동안 보유된다. 얇은 질화물 식각 정지층의 사용은 충전된 트렌치 코너들을 충분히 보호하며, 이에 따라 디봇들의 형성을 발생시키게 될 STI 코너들에서 산화물의 등방성(isotropic) 공격을 방지한다. 이에 부가하여, 질화물 연마 정지층이 얇기 때문에, 이온 주입이 차단되지 않

는다. 사실상, 얇은 질화물 연마 정지층의 사용은 주입 동안 더욱 일관성있는 표면을 제공하는데, 이는 비교적 순수 실리콘 표면이 일관성없는 본래의 산화물을 제공하는 반면에 질화물 표면이 보다 크게 안정적이기 때문이다. 따라서, 본 발명의 실시예들에 따르면, 질화물 연마 정지층은 게이트 산화물이 형성될 때까지 제자리에서 보유되며, 이에 따라 활성 실리콘 영역을 보호하며, 보다 더욱 플래너 표면을 제공하며, 그리고 디봇들을 방지하거나 실질적으로 감소시킨다.

본 발명의 일 실시예에 따른 방법이 도 5 내지 11에서 개략적으로 도시되는데, 여기서 유사한 특징들은 유사한 참조 부호에 의해 표시된다. 50Å 내지 200Å 두께, 예를 들어 150Å의 패드 산화물이 반도체 기판(50)의 상부 표면 위에 형성된다. 본 발명의 실시예들에 따르면, 매우 얇은 실리콘 질화물 식각 정지층(52)이 패드 산화물(51)상에 형성된다. 실리콘 질화물 식각 정지층(52)은 전형적으로 50Å 내지 150Å의 두께, 예를 들어 100Å로 형성된다. 이후에, 트렌치(53)가 예를 들어, 종래 포토리소그래피 및 식각 기법들을 이용함으로써 기판(50)에 형성된다.

이 시점에서, 비록 도시되지만 않았지만, 얇은 열 산화물이 형성되어 트렌치를 라이닝(lining) 할 수 있다. 후속적으로, 도 6에서 도시된 바와같이, 실리콘 산화물과 같은 절연 물질(60)이 트렌치를 충전하여 실리콘 질화물 연마 정지층(52)상에 하층을 형성하도록 예를 들어, CVD에 의해 증착된다. 이후에, 평탄화가 예를 들어, CMP에 의해 수행되어 도 7에 도시된 바와같이 중간 구조를 발생시키는데, 여기서 참조 부호(70)는 STI 산화물 충전을 표시한다. CMP는 전형적으로 실리콘 질화물 연마 정지층(52) 상에서 정지하는 때에 실리콘 질화물 연마 정지층(52)으로부터 단지 20Å이 제거되도록 수행된다.

종래 실행들에서, 실리콘 질화물 연마 정지층은 CMP 이후에 제거되며, 활성 영역들을 형성하기 위해 종래의 마스크, 이온 주입 및 세정 단계들이 계속되며, 결과적으로 디봇들을 형성하게 되었다. 그러나, 본 발명의 실시예들에 따르면, 비교적 얇은 실리콘 질화물 정지층(52)이 종래 방식으로 수행되는 후속 마스크, 이온 주입 및 세정 단계들 동안에 보유되며, 결과적으로 트랜지스터의 소스/드레인 영역들에 사용될 수 있는 도 8에 도시된 바와 같은 불순물 영역들(80)을 형성하게 된다. 실리콘 질화물 연마 정지층(52)이 비교적 얇기 때문에, 사실상 주입 동안에 이온들을 차단하지 않는다. 이에 부가하여, 실리콘 질화물층은 안정한 표면을 형성하여 보다 큰 균일성을 갖는 불순물 영역들을 형성할 수 있게 한다.

후속적으로, STI 산화물 충전(70)의 상부 표면은 예를 들어, 불산(hydrofluoric acid)을 이용함으로써 제거되며, 이에 따라 상부 표면(70A)이 반도체 질화물 연마 정지층(52)의 상부 표면과 거의 동일한 평면이 되어 도 9에 도시된 중간 구조를 발생시킨다. 후속적으로, 실리콘 질화물 연마 정지층이 예를 들어, 불산을 이용함으로써 제거되며, 이후에 패드 산화물층(51)이 제거되어 도 10에 도시된 구조를 발생시킨다. 후속 공정이 수행되어 도 11에 도시된 트랜지스터 구조를 형성하는데, 이는 반도체 기판(50) 위에 놓인 게이트 전극(100)을 포함하며, 게이트 전극은 그 사이에서 게이트 산화물(101) 및 그 위에서 절연 측벽 스페이스들(102)을 갖는다. 도 11에서, 참조 부호(103)는 중간층(interlayer) 절연체를 나타내며, 요소(50)는 절연층을 통한 기판상의 절연층으로의 전기적 접촉을 나타낸다.

본 발명은 디봇이 형성되지 않거나 거의 감소된, 높은 신뢰성있는 STI 영역들을 갖는 반도체 디바이스들을 제조할 수 있게 하는 방법을 제공한다. 본 발명의 실시예들은 전략적으로 실리콘 질화물 연마 정지층의 두께를 400Å 이하로 감소시키는 단계와, 그리고 활성 영역들을 형성하는 때에 수행되는 종래의 세정 단계들 동안에 등방성 식각으로부터 트렌치 코너들을 보호하기 위해, CMP 직후에 실리콘 질화물 연마 정지층을 보유하는 단계를 포함하며, 이온 주입 동안에 얇은 실리콘 질화물 연마 정지층을 보유함으로써, 매우 균일한 주입 영역들을 달성한다.

### 산업상 이용 가능성

본 발명은 디봇이 형성되지 않거나 거의 감소된 STI 영역들을 포함하는 고 집적 반도체 디바이스들을 제조함에 있어서, 산업상 이용가능성을 만족한다. 본 발명은 서브-미크론 치수들을 갖는 반도체 디바이스들을 제조함에 있어서 특정 이용가능성을 만족한다.

선행하는 상세한 설명에서, 본 발명은 특징적인 예시적 실시예들을 참조하여 설명되었다. 그러나, 청구범위에서 제시된 바와 같은 본 발명의 광범위한 사상과 범주를 벗어남이 없이 다양한 변형들 및 변화들이 가해질 수 있음이 자명할 것이다. 따라서, 명세서 및 도면들은 예시적인 것이며 제한적인 것으로 고려되지 않아야 한다. 본 발명은 다양한 다른 조합들 및 실시예들을 사용할 수 있으며, 또한 본원에서 제시된 바와 같은 발명적 사상의 범주 내에서 임의의 변화들 또는 변형들이 될 수 있음을 이해해야 한다.

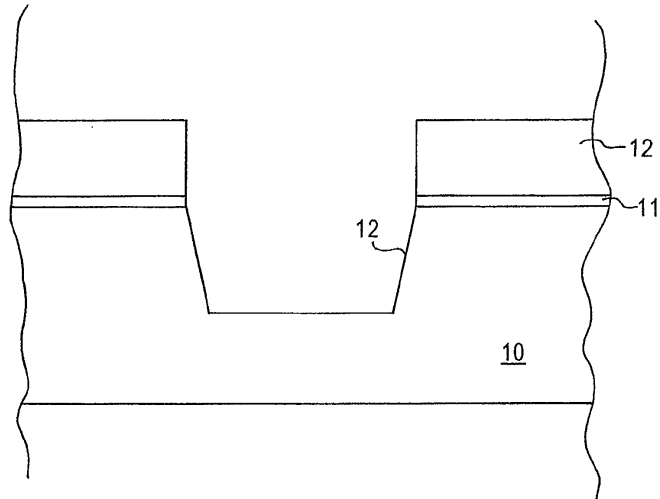
### 도면의 간단한 설명

도 1 내지 4는 STI 영역들을 형성하기 위한 종래 방법의 순차적 단계들을 개략적으로 예시한다.

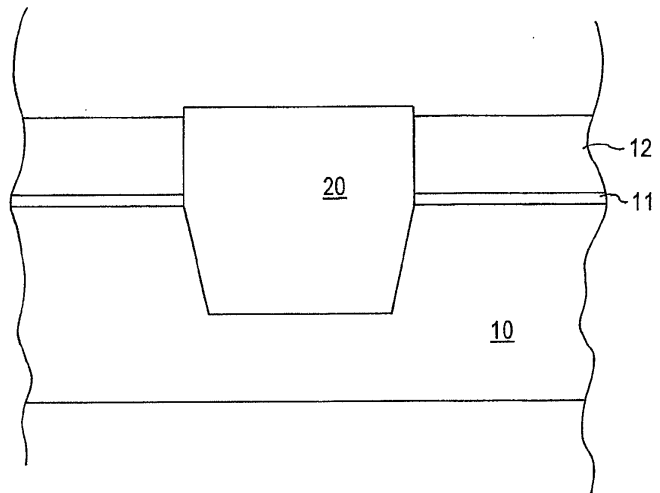
도 5 내지 11은 본 발명의 일 실시예에 따라 방법의 순차적 단계들을 개략적으로 예시한다. 도 5 내지 11에서, 유사한 특징들은 유사한 참조 부호에 의해 표시된다.

도면

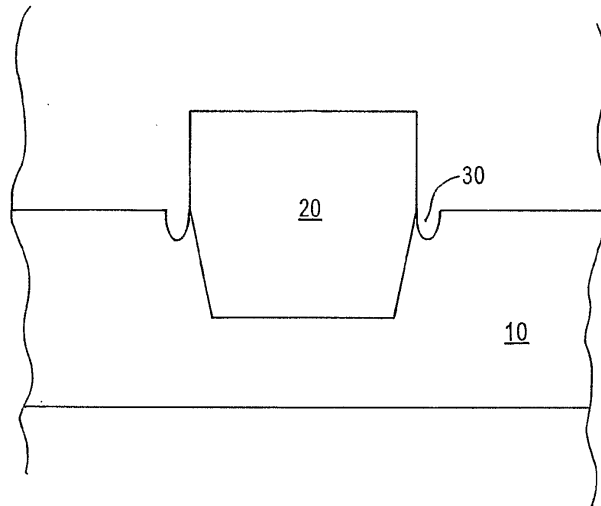
도면1



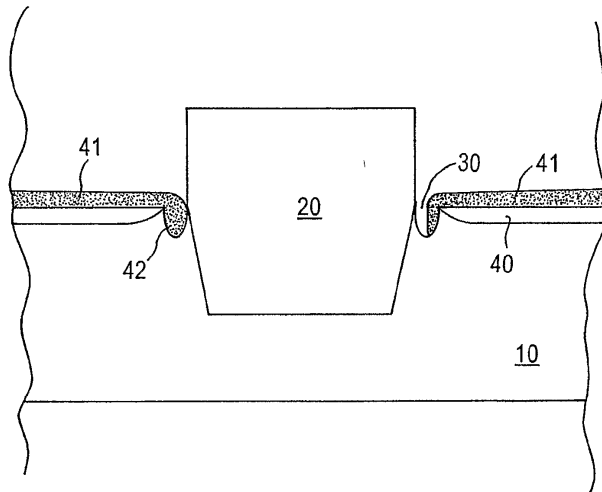
도면2



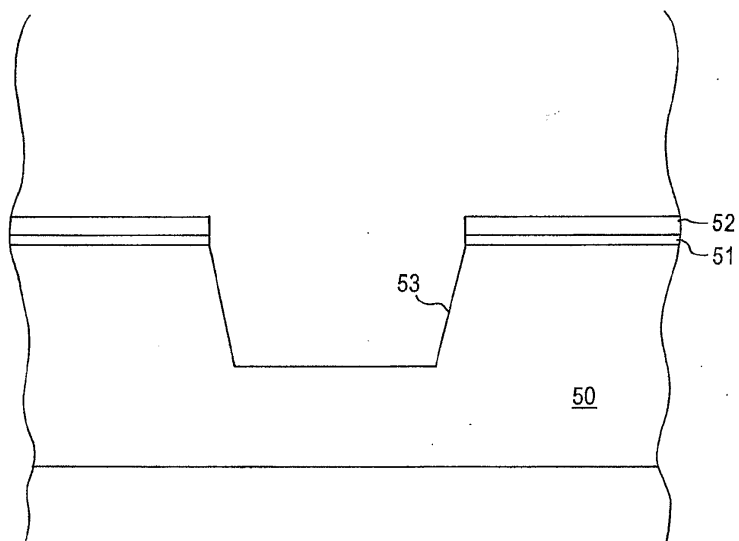
도면3



도면4

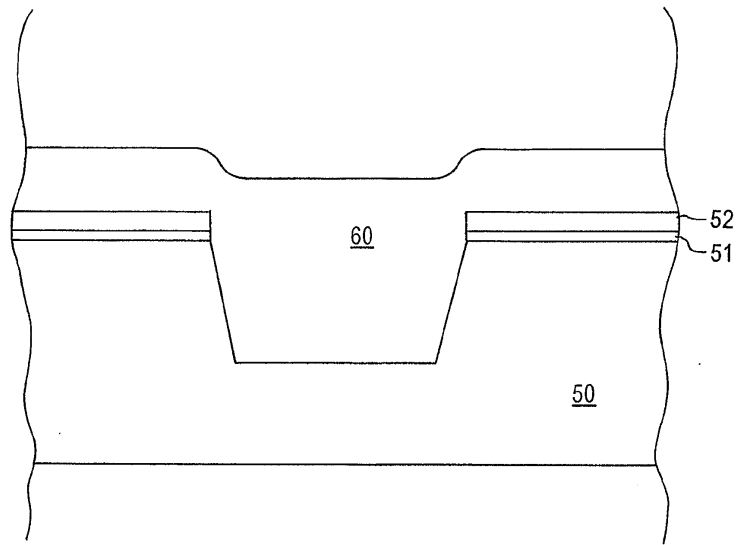


도면5

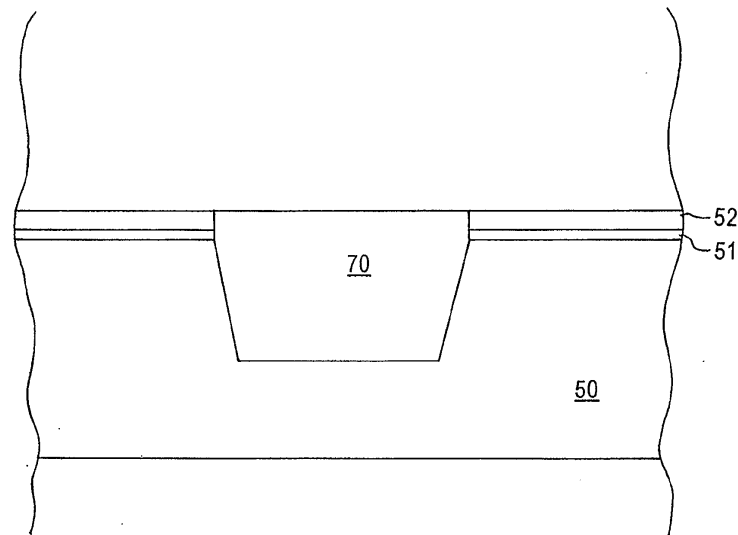




도면6

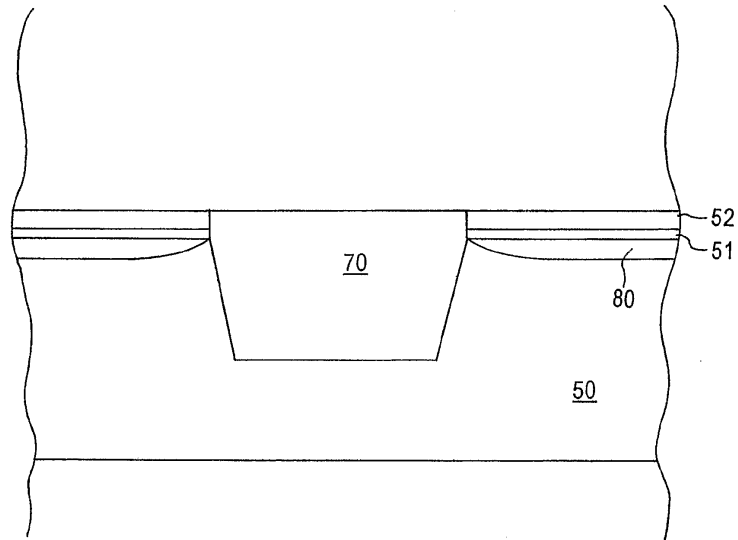


도면7

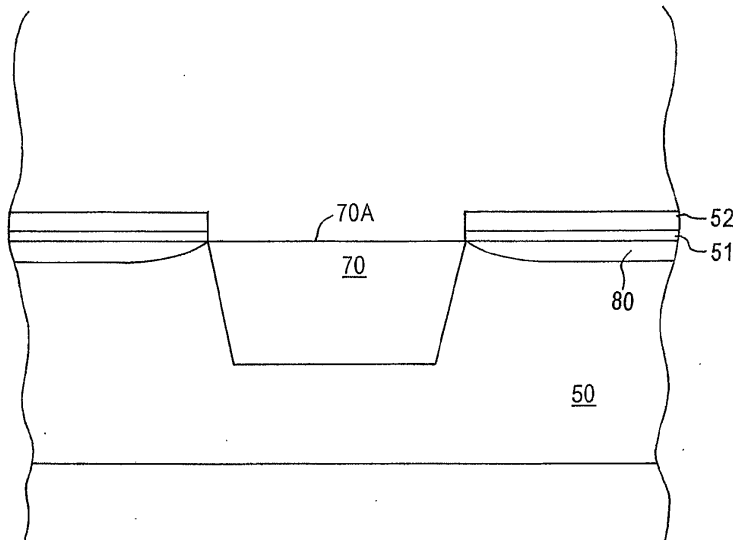




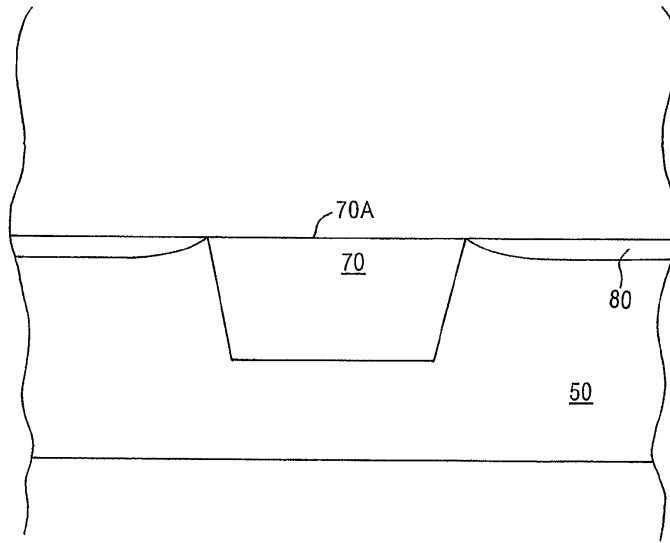
도면8



도면9



도면10



도면11

