



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월12일
(11) 등록번호 10-1028682
(24) 등록일자 2011년04월05일

(51) Int. Cl.

G11C 7/10 (2006.01) *G11C 7/22* (2006.01)

G11C 8/12 (2006.01)

(21) 출원번호 10-2009-0007957

(22) 출원일자 2009년02월02일

심사청구일자 2009년02월02일

(65) 공개번호 10-2009-0086029

(43) 공개일자 2009년08월10일

(30) 우선권주장

JP-P-2008-025348 2008년02월05일 일본(JP)

(56) 선행기술조사문현

KR1020050035567 A

KR1020020020860 A

전체 청구항 수 : 총 20 항

심사관 : 윤난영

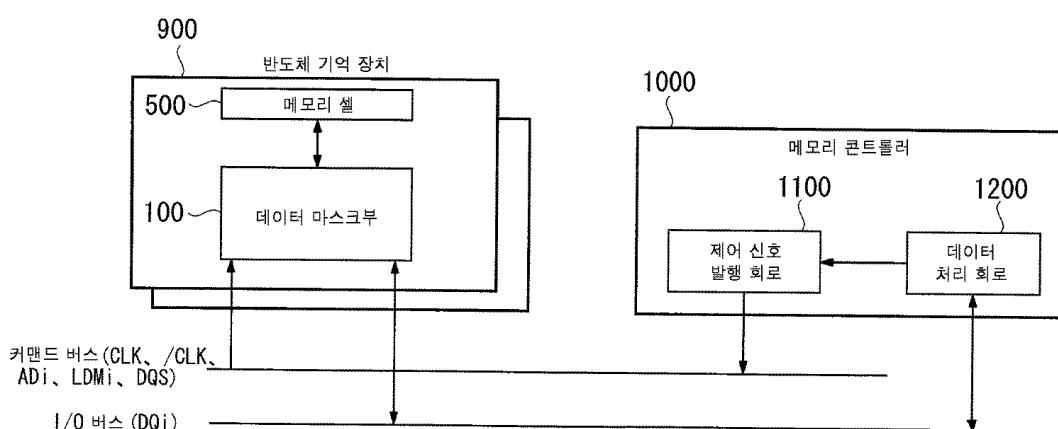
(54) 반도체 장치와 그 메모리 시스템

(57) 요 약

연속 비트열 (횡축) 과 복수의 비트폭 (종축) 으로 이루어지는 데이터의 입출력을 행할 때, 비트폭 (종축) 의 마스크 제어를 행하는 마스크 레지스터 회로에 기억되는 복수의 마스크 패턴으로부터 1 개의 마스크 패턴을 마스크 패턴 선택 신호에 의해 선택하고, 선택된 1 개의 마스크 패턴 및 비트열의 마스크 제어 신호에 기초하여 데이터의 입출력을 제어한다.

리드 데이터 컨버터 회로 및 라이트 데이터 컨버터 회로는, 버스트 판독 또는 버스트 기록 각각의 데이터 신호마다 마스크할지 여부를 선택하고, 데이터 신호를 마스크한다. 마스크된 데이터 신호는, 기록시에는 라이트 데이터 버퍼 회로를 비활성으로 함으로써 메모리 셀에 기록되지 않고, 판독시에는 외부 입출력 단자에 접속되는 데이터 드라이버 회로를 비활성으로 한다.

대 표 도



특허청구의 범위

청구항 1

외부로부터 입력되는 제어 신호에 기초하여, 연속된 비트열과 복수의 비트폭으로 이루어지는 데이터의 입출력을 행하는 반도체 장치에 있어서,

상기 입출력되는 데이터의 비트폭에 대응하는 복수의 입출력 단자와,

상기 비트폭의 각 비트에 대하여 각각 마스크할지 여부의 정보인 마스크 패턴을 미리 복수 개 기억하는 마스크 레지스터 회로를 구비하고,

마스크 패턴 선택 신호에 의해 상기 기억되는 복수의 마스크 패턴으로부터 1 개의 마스크 패턴을 선택하고,

마스크 비트열 선택 신호에 의해, 상기 제어 신호에 기초하여, 상기 연속된 비트열의 각 비트에 대하여 각각 마스크할지 여부의 정보를 입력하고,

상기 선택된 1 개의 마스크 패턴과 상기 마스크 비트열 선택 신호에 따라, 상기 입출력되는 데이터의 상기 각 비트를 각각 마스크하는

데이터 컨버터 회로를 구비하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 마스크 패턴 선택 신호에 대응한 신호를 입력하는 제 1 외부 단자와,

상기 마스크 비트열 선택 신호에 대응한 신호를 입력하는 제 2 외부 단자와,

상기 마스크 레지스터 회로에 미리 기억되는 상기 복수의 마스크 패턴을 각각 입력하는 외부 단자를 추가로 구비하는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 2 외부 단자에 접속되는 데이터 마스크 신호 래치 회로를 추가로 구비하고,

상기 데이터의 입출력을 행하는 경우, 상기 데이터 마스크 신호 래치 회로는, 상기 제어 신호에 기초하여 상기 제 2 외부 단자로부터 상기 마스크 비트열 선택 신호에 대응한 상기 신호를 받아들여, 상기 데이터의 상기 입출력의 각 타이밍에 상기 데이터의 상기 연속된 비트열의 각 비트를 개별적으로 마스크하도록 상기 데이터 컨버터 회로에 지시하는, 반도체 장치.

청구항 4

제 2 항에 있어서,

상기 제 1 외부 단자에 접속되는 마스크 패턴 선택 신호 래치 회로를 추가로 구비하고,

상기 데이터의 입출력을 행하는 경우, 상기 마스크 패턴 선택 신호 래치 회로는, 상기 제어 신호에 기초하여 상기 제 1 외부 단자로부터 상기 마스크 패턴 선택 신호에 대응한 상기 신호를 받아들여 상기 1 개의 마스크 패턴을 선택하고,

상기 선택된 1 개의 마스크 패턴이, 상기 데이터의 입출력의 각 타이밍에 상기 데이터의 상기 복수의 비트폭의 각 비트를 개별적으로 마스크하도록 상기 데이터 컨버터 회로에 지시하는, 반도체 장치.

청구항 5

제 2 항에 있어서,

상기 제 1 외부 단자의 상기 마스크 패턴 선택 신호에 대응한 상기 신호 및 제 2 외부 단자의 상기 마스크 비트

열 선택 신호에 대응한 상기 신호는, 상기 제어 신호의 입력시 또는 상기 제어 신호의 입력에서부터 상기 데이터의 입력까지 동안의 기간에 각각 입력되고,

상기 선택된 1 개의 마스크 패턴과 상기 마스크 비트열 선택 신호가 상기 데이터 컨버터 회로에 입력되는, 반도체 장치.

청구항 6

반도체 기억 장치 외부와 연속된 비트열과 복수의 비트폭으로 이루어지는 데이터를 입출력하는 반도체 기억 장치에 있어서,

상기 입출력되는 데이터의 상기 비트폭에 대응하는 복수의 입출력 단자와,

상기 데이터를 입출력하는 상기 복수의 입출력 단자에 각각 접속된 입출력 회로와,

상기 입출력 회로에 접속되며, 복수의 메모리 셀과 통신을 행하는 라이트 (write) 회로 및 리드 (read) 회로와,

상기 비트폭의 각 비트를 각각 마스크할지 여부의 정보인 마스크 패턴을 저장하는 마스크 레지스터 회로와,

상기 비트열의 각 비트를 각각 마스크할지 여부의 정보인 마스크 비트열 선택 신호를 생성하는 데이터 마스크 신호 생성 회로를 구비하고,

상기 마스크 패턴과 상기 마스크 비트열 선택 신호가 상기 라이트 회로 및 상기 리드 회로에 접속되고,

상기 마스크 패턴과 상기 마스크 비트열 선택 신호에 따라 상기 복수의 데이터의 입출력을 각각 마스크 제어하는, 반도체 기억 장치.

청구항 7

제 6 항에 있어서,

상기 라이트 회로 및 상기 리드 회로는, 상기 마스크 패턴과 상기 마스크 비트열 선택 신호에 따라 활성/비활성되는, 반도체 기억 장치.

청구항 8

제 6 항에 있어서,

상기 입출력 회로는, 상기 마스크 패턴과 상기 마스크 비트열 선택 신호에 따라 활성/비활성되는, 반도체 기억 장치.

청구항 9

제 6 항에 있어서,

상기 마스크 레지스터 회로는, 복수의 상기 마스크 패턴을 저장하고, 상기 반도체 기억 장치 외부로부터 입력되는 제어 신호에 기초하여, 상기 저장되는 복수의 마스크 패턴 중 1 개의 마스크 패턴을 선택하는, 반도체 기억 장치.

청구항 10

제 6 항에 있어서,

상기 마스크 레지스터 회로는, 상기 입출력 단자 또는 외부 어드레스 단자에 접속되고, 상기 반도체 기억 장치 외부로부터 입력되는 제어 신호에 기초하여, 상기 입출력 단자 또는 상기 외부 어드레스 단자로부터 입력한 상기 마스크 패턴을 저장하는, 반도체 기억 장치.

청구항 11

제 6 항에 있어서,

상기 데이터 마스크 신호 생성 회로는, 상기 입출력 단자 또는 외부 어드레스 단자에 접속되고, 상기 반도체 기억 장치 외부로부터 입력되는 제어 신호에 기초하여, 상기 비트열의 각 비트의 데이터를 각각 마스크할지 여부

의 정보를 상기 입출력 단자 또는 상기 외부 어드레스 단자로부터 입력하는, 반도체 기억 장치.

청구항 12

반도체 기억 장치 외부와 연속된 비트열과 복수의 비트폭으로 이루어지는 데이터의 입출력을 행하는 반도체 기억 장치의 제어 방법으로서,

상기 비트폭의 각 비트를 각각 마스크할지 여부의 정보인 복수의 마스크 패턴 중 1 개의 마스크 패턴을 선택하는 마스크 패턴 선택 신호를 생성하고,

상기 비트열의 각 비트를 각각 마스크할지 여부의 정보인 마스크 비트열 선택 신호를 생성하고,

외부로부터 입력되는 제어 신호에 기초하여, 복수의 메모리 셀과 통신을 행하는 라이트 회로 및 리드 회로가, 상기 생성된 마스크 패턴 선택 신호와 상기 생성된 마스크 비트열 선택 신호에 따라, 상기 입출력하는 데이터 중 개별적으로 마스크된 데이터 이외를, 상기 메모리 셀 또는 상기 반도체 기억 장치 외부와 통신하는, 반도체 기억 장치의 제어 방법.

청구항 13

제 12 항에 있어서,

상기 마스크 비트열 선택 신호가 상기 마스크 패턴 선택 신호를 적용하는 곳을 제어하는, 반도체 기억 장치의 제어 방법.

청구항 14

제 12 항에 있어서,

라이트 모드시, 상기 라이트 회로는 마스크된 데이터에 대응하는 라이트 앰프를 비활성으로 제어하고,

리드 모드시, 상기 리드 회로는 마스크된 데이터에 대응하는 상기 반도체 기억 장치의 입출력 단자에 접속되는 데이터 드라이버 회로를 비활성으로 제어하는, 반도체 기억 장치의 제어 방법.

청구항 15

메모리 콘트롤러와 메모리 디바이스 사이에서, 연속된 비트열과 복수의 비트폭으로 이루어지는 데이터의 입출력을 행하는 메모리 시스템에 있어서,

상기 메모리 콘트롤러와 상기 메모리 디바이스 사이는 복수의 커맨드 버스 및 복수의 I/O 버스에 의해 접속되고,

상기 메모리 콘트롤러는 제어 신호 발행 회로와 데이터 처리 회로를 구비하며,

상기 제어 신호 발행 회로와 상기 데이터 처리 회로는 상기 메모리 디바이스를 액세스하는 데에 필요한 커맨드, 어드레스, 상기 비트열의 마스크 정보, 및 상기 비트폭의 복수의 마스크 정보를 선택하는 선택 정보를 출력하는, 메모리 시스템.

청구항 16

제 15 항에 있어서,

상기 제어 신호 발행 회로와 상기 데이터 처리 회로는, 상기 메모리 디바이스의 메모리 셀을 액세스하기 전에, 미리 상기 커맨드 버스 및 상기 I/O 버스를 통하여 상기 메모리 디바이스에 상기 마스크 정보를 저장하는, 메모리 시스템.

청구항 17

제 15 항에 있어서,

상기 제어 신호 발행 회로와 상기 데이터 처리 회로는, 상기 비트열의 마스크 정보 또는 상기 비트폭의 복수의 마스크 정보를 선택하는 선택 정보를 상기 커맨드 정의에 사용하지 않는 그 밖의 제어 단자를 통하여 출력하는, 메모리 시스템.

청구항 18

제 17 항에 있어서,

상기 마스크 정보 또는 상기 선택 정보의 출력은, 상기 커맨드 발행에 동기 하여, 또는 상기 커맨드 발행 후이고 또한 상기 메모리 디바이스에 대한 기록 데이터의 발행 전 또는 상기 메모리 디바이스로부터 데이터가 출력될 때까지의 기간에 출력하는, 메모리 시스템.

청구항 19

제 15 항에 있어서,

상기 제어 신호 발행 회로와 상기 데이터 처리 회로는, 상기 비트열의 마스크 정보 또는 상기 비트폭의 복수의 마스크 정보를 선택하는 선택 정보를 상기 커맨드 정의에 사용하는 제어 단자를 통하여, 그리고 상기 커맨드 발행 후에 출력하는, 메모리 시스템.

청구항 20

제 19 항에 있어서,

상기 마스크 정보 또는 상기 선택 정보의 출력은, 상기 커맨드 발행 후이고 또한 상기 메모리 디바이스에 대한 기록 데이터의 발행 전 또는 상기 메모리 디바이스로부터 데이터가 출력될 때까지의 기간에 출력하는, 메모리 시스템.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 주로 반도체 장치와 그 메모리 시스템에 관한 것으로, 특히 데이터 마스크 기능을 구비하는 반도체 장치와 그 메모리 시스템에 관한 것이다.

[0002] 본원은 2008년 2월 5일에 일본에 출원된 특허출원 제2008-025348호에 기초하여 우선권을 주장하고, 그 내용을 여기에 원용한다.

배경기술

[0003] 도 11은 관련 기술의 일례인 라이트시의 데이터 마스크 동작을 구비하는 기억 장치의 일부분의 내부 구성 및 접속 구성을 나타내는 개략 블록도이다. 데이터 마스크부 (700)는 데이터 마스크 신호 (DM0, …, DM15) 용 외부 입력 단자에 접속되고, 128 비트폭의 데이터 신호 (DQ0, …, DQ127) 용 외부 입출력 단자에 접속되어 있다. 데이터 마스크부 (700)는 내부에 데이터 마스크 신호 래치 회로 (71)를 데이터 마스크 신호 (DM0, …, DM15) 용 외부 입력 단자마다 1 개씩 구비하고 있다. 또한, 데이터 신호 입출력 버퍼 회로 (72)를 데이터 신호 (DQ0, …, DQ127) 용 외부 입출력 단자의 8 비트분을 1 세트로 하여, 상기 세트마다 1 개씩 구비하고 있다. 각각의 데이터 마스크 신호 래치 회로 (71)와 데이터 신호 입출력 버퍼 회로 (72)는 클록 신호 (CLK)를 입력으로 하고 있다.

[0004] 도 11에 나타내는 바와 같이, 데이터 신호를 수 비트마다 그룹화하여 마스크할지 여부를 제어함으로써, 마스크에 필요한 외부 입력 단자를 줄이고 있다. 따라서, 그룹으로 마스크하는 것이 고정되어 있기 때문에, 비트마다 상이한 마스크를 실시하는 것은 곤란하다는 문제점이 있었다. 예를 들어, 도 11에 있어서, 데이터 마스크부 (700)는 8 비트마다 그룹을 만들어 1 개의 데이터 마스크 신호 래치 회로 (71)를 구비하는 구성이기 때문에, 동일 그룹의 비트에 상이한 마스크를 할 수 없다.

[0005] 도 11에 나타내는 관련 기술의 일례에 있어서, 데이터 신호 (DQ0 ~ DQ127) 용 외부 입출력 단자로부터 입력되는 데이터 신호 (DQ0 ~ DQ127)는 데이터 신호 입출력 버퍼 회로 (72)에 입력된다. 데이터 마스크 신호 (DM0 ~ DM15) 용 외부 입력 단자로부터 입력되는 데이터 마스크 신호 (DM0 ~ DM15)는 데이터 마스크 신호 래치 회로 (71)에 입력된다. 데이터 신호 입출력 버퍼 회로 (72) 및 데이터 마스크 신호 래치 회로 (71)는 클록 신호 (CLK)에 동기하여 동 사이클로 각각 입력되는 신호를 래치하고, 래치한 신호를 메모리 셀 (800)에

출력한다. 메모리 셀 (800) 은 데이터 마스크 신호 래치 회로 (71)로부터 입력된 데이터 마스크 신호 (DM0 ~ DM15) 에 기초하여, 데이터 신호 입출력 버퍼 회로 (72)로부터 출력되는 데이터 신호 (DQ0 ~ DQ127) 를 기억한다.

[0006] 관련 기술에서의 동작에 있어서는, 클록 신호 (CLK) 에 동기하여 데이터 신호 (DQ0, …, DQ127) 와 데이터 마스크 신호 (DM0 ~ DM15) 를 동일한 클록 사이클로 입력하고 있다. 데이터 신호 입출력 버퍼 회로 (72) 는 데이터 신호 (DQ0, …, DQ127) 용 외부 입출력 단자로부터 입력된 데이터 신호 (DQ0, …, DQ127) 를 래치하고, 래치한 데이터 신호 (DQ0, …, DQ127) 를 증폭시켜 메모리 셀 (800) 에 출력한다. 한편, 데이터 마스크 신호 래치 회로 (71) 는 데이터 마스크 신호 (DM0, …, DM15) 용 외부 입력 단자로부터 입력된 데이터 마스크 신호 (DM0, …, DM15) 를 래치하고, 래치한 데이터 마스크 신호 (DM0, …, DM15) 를 메모리 셀 (800) 에 출력한다.

관련 기술에서는 라이트 동작에서 데이터 신호 (DQ0, …, DQ127) 를 마스크한다. 이 때문에, 데이터 마스크 신호 (DM0, …, DM15) 는 데이터 신호 (DQ0, …, DQ127) 보다 빨리 메모리 셀 (800) 에 도달시켜, 이 데이터 마스크 신호 (DM0, …, DM15) 에 의해 라이트 동작을 정지시키는 수법이 취해졌다. 이 때문에, 클록 신호 (CLK) 의 주파수를 높게 하는 경우, 데이터 마스크 신호 (DM0, …, DM15) 가 데이터 신호 (DQ0, …, DQ127) 보다 빨리 메모리 셀 (800) 에 도달시킬 필요가 있기 때문에, 동작 주파수의 고속화가 제한되었다 (예를 들어, 특히 문헌 1, 2, 3 참조).

[0007] [특허 문헌 1] 일본 공개특허공보 제2001-351377호

[0008] [특허 문헌 2] 일본 공개특허공보 제2003-151300호

[0009] [특허 문헌 3] 일본 공개특허공보 제2002-050179호

발명의 내용

해결 하고자하는 과제

[0010] 상기 서술한 바와 같이, 관련 기술에는 데이터 마스크 신호용 외부 입력 단자는 필요하며, 데이터 신호를 그룹화하여 제어하고 있어, 그룹 내의 데이터 신호를 비트마다 제어하는 것은 곤란하다는 문제가 있다는 것을 본원 발명자들은 알아냈다.

[0011] 본 발명은 상기 문제를 해결하기 위해 또는 상기 문제의 적어도 일부를 개선하기 위해 이루어진 것이다.

과제 해결수단

[0012] 본 발명의 제 1 양태는, 외부로부터 입력되는 제어 신호에 기초하여, 연속된 비트열 (횡축) 과 복수의 비트폭 (종축) 으로 이루어지는 데이터의 입출력을 행하는 반도체 장치에 있어서, 상기 입출력되는 데이터의 비트폭 (종축) 에 대응하는 복수의 입출력 단자와, 상기 비트폭 (종축) 의 각 비트에 대하여 각각 마스크할지 여부의 정보인 마스크 패턴을 미리 복수 기억하는 마스크 레지스터 회로를 구비하고, 마스크 패턴 선택 신호에 의해 상기 기억되는 복수의 마스크 패턴으로부터 1 개의 마스크 패턴을 선택하고, 마스크 비트열 선택 신호에 의해, 상기 제어 신호에 기초하여, 상기 비트열 (횡축) 의 각 비트에 대하여 각각 마스크할지 여부의 정보를 입력하고, 상기 선택된 마스크 패턴과 상기 마스크 비트열 선택 신호에 따라, 상기 입출력되는 데이터의 상기 각 비트를 각각 마스크하는 데이터 컨버터 회로를 구비한다. 본 발명의 제 2 양태는, 반도체 기억 장치 외부와 연속된 비트열 (횡축) 과 복수의 비트폭 (종축) 으로 이루어지는 데이터를 입출력하는 반도체 기억 장치에 있어서, 상기 입출력되는 데이터의 상기 비트폭 (종축) 에 대응하는 복수의 입출력 단자와, 상기 데이터를 입출력하는 상기 복수의 입출력 단자에 각각 접속된 입출력 회로와, 상기 입출력 회로에 접속되며, 복수의 메모리 셀과 통신을 행하는 라이트 (write) 회로 및 리드 (read) 회로와, 상기 비트폭 (종축) 의 각 비트를 각각 마스크할지 여부의 정보인 마스크 패턴을 저장하는 마스크 레지스터 회로와, 상기 비트열 (횡축) 의 각 비트를 각각 마스크할지 여부의 정보인 마스크 비트열 선택 신호를 생성하는 데이터 마스크 신호 생성 회로를 구비하고, 상기 마스크 패턴과 상기 마스크 비트열 선택 신호가 상기 라이트 회로 및 상기 리드 회로에 접속되고, 상기 마스크 패턴과 상기 마스크 비트열 선택 신호에 따라 상기 복수의 데이터의 입출력을 각각 마스크 제어한다.

[0013] 본 발명의 제 3 양태는, 반도체 기억 장치 외부와 연속된 비트열 (횡축) 과 복수의 비트폭 (종축) 으로 이루어지는 데이터의 입출력을 행하는 반도체 기억 장치의 제어 방법에 있어서, 상기 비트폭 (종축) 의 각 비트를 각각 마스크할지 여부의 정보인 복수의 마스크 패턴 중 1 개의 마스크 패턴을 선택하는 마스크 패턴 선택 신호를 생성하고, 상기 비트열 (횡축) 의 각 비트를 각각 마스크할지 여부의 정보인 마스크 비트열 선택 신호를 생성하

고, 외부로부터 입력되는 제어 신호에 기초하여, 복수의 메모리 셀과 통신을 행하는 라이트 회로 및 리드 회로가, 상기 생성된 마스크 패턴 선택 신호와 상기 생성된 마스크 비트열 선택 신호에 따라, 상기 입출력하는 데이터 중 개별적으로 마스크된 데이터 이외를, 상기 메모리 셀 또는 상기 반도체 기억 장치 외부와 통신한다.

[0014] 본 발명의 제 4 양태는, 메모리 콘트롤러와 메모리 디바이스 사이에서, 연속된 비트열 (횡축) 과 복수의 비트폭 (종축) 으로 이루어지는 데이터의 입출력을 행하는 메모리 시스템에 있어서, 상기 메모리 콘트롤러와 상기 메모리 디바이스 사이는 복수의 커맨드 버스 및 복수의 I/O 버스에 의해 접속되고, 상기 메모리 콘트롤러는 제어 신호 발행 회로와 데이터 처리 회로를 구비하며, 상기 제어 신호 발행 회로와 데이터 처리 회로는 상기 메모리 디바이스를 액세스하는 데에 필요한 커맨드, 어드레스, 상기 비트열 (횡축) 의 마스크 정보, 및 상기 비트폭 (종축) 의 복수의 마스크 정보를 선택하는 선택 정보를 출력한다.

효과

[0015] 이 발명의 하나의 효과에 의하면, 데이터 마스크 신호용 외부 입력 단자를 증가시키지 않고, 데이터 신호의 버스트 판독 또는 버스트 기록에 있어서의 연속되는 각각의 데이터 신호마다 마스크할지 여부를 선택하여, 각각의 데이터 신호의 비트마다 상이한 마스크를 실시할 수 있는 반도체 기억 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 도 1 ~ 도 10 을 참조하여 본 발명의 반도체 기억 장치를 DDR-SDRAM (Double-Data-Rate Synchronous Dynamic Random Access Memory) 에 적용한 예에 대하여 설명한다. 입출력하는 데이터 신호의 비트폭 (종축) 은 16 비트, 어드레스 신호의 비트폭은 15 비트, 비트열 (횡축) 의 버스트 길이는 4 로 한다.

[0017] 도 1 은 제 1 실시형태의 DDR-SDRAM 이 구비하는 데이터 신호의 입출력에 관한 데이터 마스크부 (100) 의 내부 구성 및 메모리 셀 (500) 의 접속 구성을 나타내는 개략 블록도이다.

[0018] 클록 입력 버퍼 회로 (10) 는 클록 신호 (CLK) 용 외부 입력 단자 및 클록 신호/CLK 용 외부 입력 단자로부터 입력되는 클록 신호를 증폭시킨다. 그리고, 데이터 마스크 신호 래치 회로 (15) 와, 어드레스 신호 입력 버퍼 회로 (마스크 패턴 선택 신호 래치 회로; 14) 와, 마스크 레지스터 회로 (11) 와, 데이터 입력 버퍼 회로 (12a) 와, 리드 데이터 버퍼 회로 (12b) 와, 데이터 드라이버 회로 (12c) 와, 라이트 데이터 컨버터 회로 (16a) 와, 라이트 데이터 버퍼 회로 (16b) 와, 리드 데이터 컨버터 회로 (16c) 와, 데이터 마스크부 (100) 의 외부로 증폭된 클록 신호를 출력한다.

[0019] 마스크 레지스터 회로 (11) 는 마스크 동작에 있어서, 내부에 구비하는 마스크 레지스터에 기록된 마스크 패턴 신호 (DM0, …, DM15) 를 라이트 데이터 컨버터 회로 (16a) 및 리드 데이터 컨버터 회로 (16c) 에, 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력되는 마스크 레지스터 선택 신호에 기초하여 출력한다. 마스크 레지스터 회로 (11) 는 내부에 구비하는 마스크 레지스터의 개선 동작에 있어서, 데이터 입력 버퍼 회로 (12a) 로부터 입력되는 데이터 신호 (DQ0, …, DQ15) 를 마스크 패턴 신호 (DM0, …, DM15) 로서, 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력되는 마스크 레지스터 선택 신호에 기초하여 선택된 마스크 레지스터에 기억시킨다. 마스크 레지스터 회로 (11) 는 16 비트폭의 마스크 레지스터 0, 마스크 레지스터 1, 마스크 레지스터 2 및 마스크 레지스터 3 을 내부에 구비한다.

[0020] 마스크 레지스터 회로 (11) 는 후술하는 외부 단자 (입출력 단자, 즉 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자) 로부터, 미리 저장하는 마스크 패턴을 입력한다.

[0021] 데이터 입출력 버퍼 회로 (12) (입출력 회로) 는 데이터 입력 버퍼 회로 (12a) 와, 리드 데이터 버퍼 회로 (12b) 와, 데이터 드라이버 회로 (12c) 를 구비하고 있다.

[0022] 데이터 입력 버퍼 회로 (12a) 는 데이터 스트로브 신호 입력 버퍼 회로 (13) 로부터 입력되는 데이터 스트로브 신호 (DQS) 의 천이에 동기하여, 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) (입출력 단자) 로부터 데이터 신호 (DQ0, …, DQ15) 를 판독한다. 또한, 판독한 데이터 신호 (DQ0, …, DQ15) 를 라이트 데이터 컨버터 회로 (16a) 및 마스크 레지스터 회로 (11) 에 증폭시켜 출력한다.

[0023] 리드 데이터 버퍼 회로 (12b) 는 리드 데이터 컨버터 회로 (16c) 로부터 데이터 신호 (DQ0, …, DQ15) 가 입력되고, 입력된 데이터 신호 (DQ0, …, DQ15) 를 증폭시켜 데이터 드라이버 회로 (12c) 에 출력한다.

[0024] 데이터 드라이버 회로 (12c) 는 데이터 스트로브 신호 입력 버퍼 회로 (13) 로부터 입력되는 데이터 스트로브

신호 (DQS) 의 천이에 동기하여, 리드 테이터 버퍼 회로 (12b) 로부터 테이터 신호 (DQ0, …, DQ15) 를 판독한다. 그리고, 판독한 데이터 신호 (DQ0, …, DQ15) 를 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) (입출력 단자) 에 증폭시켜 출력한다.

[0025] 데이터 스트로브 신호 입력 버퍼 회로 (13) 는 데이터 스트로브 신호 (DQS) 용 입력 단자로부터의 데이터 스트로브 신호 (DQS) 를 증폭시켜, 데이터 입력 버퍼 회로 (12a) 및 데이터 드라이버 회로 (12c) 에 데이터 스트로브 신호 (DQS) 를 출력시킨다.

[0026] 어드레스 신호 입력 버퍼 회로 (마스크 패턴 선택 신호 래치 회로 ; 14) 는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) (제 1 외부 단자) 로부터 입력되는 어드레스 신호 (AD0, …, AD14) 를 증폭시킨다. 그리고, 증폭된 어드레스 신호 (AD0, …, AD14) 를 메모리 셀 (500) 을 선택하기 위해 데이터 마스크부 (100) 밖으로 출력한다. 또, 후술하는 바와 같이, 어드레스 신호 입력 버퍼 회로 (마스크 패턴 선택 신호 래치 회로 ; 14) 는 복수의 상기 마스크 패턴 중 1 개의 마스크 패턴을 선택하는 마스크 패턴 선택 신호를 출력한다. 클록 신호 (CLK) 의 천이에 동기하여, DDR-SDRAM 에 모드 레지스터 세트 (MRS) 커맨드가 입력 되고, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD13 및 AD14 에 "H" 가 입력되는 경우, 어드레스 신호 입력 버퍼 회로 (14) 는 입력되는 마스크 지시 신호의 하위 2 비트 신호를 디코딩한다. 이 마스크 지시 신호의 하위 2 비트 신호란 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD0 및 AD1 에 해당하는 외부 입력 단자로부터 입력되는 신호이다. 어드레스 신호 입력 버퍼 회로 (마스크 패턴 선택 신호 래치 회로 ; 14) 는 메모리 셀 (500) 내의 메모리 셀을 선택하는 어드레스 기능을 겸용하고 있다.

[0027] 어드레스 신호 입력 버퍼 회로 (14) 는 DDR-SDRAM 에 라이트 커맨드 또는 리드 커맨드가 입력된 후의 클록 사이클에서, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 입력되는 마스크 지시 신호의 하위 2 비트 신호를 디코딩한다. 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 0 ~ 3 을 선택하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

[0028] 데이터 마스크 신호 래치 회로 (15) (데이터 마스크 신호 생성 회로) 는 데이터 마스크 신호 (LDM0, …, LDM3) 용 외부 입력 단자 (19) (제 2 외부 단자) 로부터 입력되는 데이터 마스크 신호 (LDM0, …, LDM3) 를 래치한다. 이 래치한 데이터 마스크 신호 (LDM0, …, LDM3) 에 기초하여, 마스크 동작을 제어하는 신호(이하, 마스크 제어 신호 또는 마스크 비트열 선택 신호라고 한다) 를 라이트 데이터 컨버터 회로 (16a) 및 리드 데이터 컨버터 회로 (16c) 에 출력한다.

[0029] 데이터 마스크 신호 (LDM0, LDM1, LDM2 및 LDM3) 는 버스트 길이가 4 일 때의 1 번째, 2 번째, 3 번째 및 4 번째의 데이터 신호 (DQ0, …, DQ15) 에 대해 마스크할지 여부의 선택을 지시하는 신호이다. 예를 들어, 데이터 마스크 신호 (LDM0) 가 "H" 일 때 1 번째의 데이터 신호 (DQ0, …, DQ15) 는 마스크되고, 데이터 마스크 신호 (LDM0) 가 "L" 일 때 1 번째의 데이터 신호 (DQ0, …, DQ15) 는 마스크되지 않는다. 마찬가지로, 데이터 마스크 신호 (LDM1) 는 2 번째의 데이터에, 데이터 마스크 신호 (LDM2) 는 3 번째의 데이터에, 데이터 마스크 신호 (LDM3) 는 4 번째의 데이터에 대응하여 마스크할지 여부의 선택을 지시한다.

[0030] 데이터 컨버터 회로 (16) 는 라이트 데이터 컨버터 회로 (16a) 와, 라이트 데이터 버퍼 회로 (16b) 와, 리드 데이터 컨버터 회로 (16c) 를 구비하고 있다.

[0031] 라이트 데이터 컨버터 회로 (16a) 는 데이터 마스크 신호 래치 회로 (15) 로부터 마스크 제어 신호가 입력되고, 마스크 레지스터 회로 (11) 로부터 마스크 패턴 신호 (DM0, …, DM15) 가 입력되고, 데이터 입력 버퍼 회로 (12a) 로부터 데이터 신호 (DQ0, …, DQ15) 가 입력된다. 라이트 데이터 컨버터 회로 (16a) 는 입력된 마스크 패턴 신호 (DM0, …, DM15) 를 사용하여, 입력된 데이터 신호 (DQ0, …, DQ15) 를 입력된 마스크 제어 신호에 기초하여 변환한다. 요컨대, 데이터 컨버터 회로 (16) 는 복수의 입출력 단자수에 대응한 데이터의 비트 폭 (종축) 중 몇 번째의 입출력 단자를 마스크할지 여부를 나타내는 마스크 패턴 신호와, 1 개의 입출력 단자에 대응하는 연속된 데이터의 비트열 (횡축) 중 몇 번째의 비트열을 마스크할지 여부를 나타내는 마스크 제어 신호 (마스크 비트열 선택 신호) 에 따라, 데이터 입력 버퍼 회로와 라이트 데이터 버퍼 회로 사이의 데이터 비트의 전송을 마스크할지 여부를 제어한다. 그리고, 라이트 데이터 컨버터 회로 (16a) 는 변환된 데이터 신호를 라이트 데이터 버퍼 회로 (16b) 에 데이터 신호 (DQ0, …, DQ15) 로서 출력한다.

[0032] 라이트 데이터 컨버터 회로 (16a) 가 행하는 변환에 있어서, 입력은 데이터 신호 (DQ0, …, DQ15) 이고, 출력은 마스크된 데이터 신호 (DQ0, …, DQ15) 또는 마스크되지 않는 데이터 신호 (DQ0, …, DQ15) 이다. 상기 변

환의 출력의 선택은 데이터 마스크 신호 래치 회로 (15)로부터 입력되는 마스크 제어 신호에 의해 정해진다.

[0033] 마스크는 마스크 패턴 신호 (DM0, …, DM15)의 값 (비트 패턴)에 따라 비트마다 행해진다. 마스크 패턴 신호는 각각 DM0은 DQ0에, DM1은 DQ1에, DM2는 DQ2에, …, DM15는 DQ15에 대응하고 있다. DMn (n = 0, 1, …, 15)이 "H"인 경우에는 대응하는 DQn (n = 0, 1, …, 15)이 마스크되고, DMn (n = 0, 1, …, 15)이 "L"인 경우에는 대응하는 DQn (n = 0, 1, …, 15)은 마스크되지 않는다.

[0034] 라이트 데이터 버퍼 회로 (16b)는 라이트 데이터 컨버터 회로 (16a)로부터 데이터 신호 (DQ0, …, DQ15)가 입력되고, 입력된 데이터 신호 (DQ0, …, DQ15)를 증폭시켜 메모리 셀 (500)에 출력한다. 라이트 앰프 기능도 구비한다.

[0035] 리드 데이터 컨버터 회로 (16c)는 데이터 마스크 신호 래치 회로 (15)로부터 마스크 제어 신호가 입력되고, 마스크 레지스터 회로 (11)로부터 마스크 패턴 신호 (DM0, …, DM15)가 입력되고, 메모리 셀 (500)로부터 데이터 신호 (DQ0, …, DQ15)가 입력된다. 리드 데이터 컨버터 회로 (16c)는 입력된 마스크 패턴 신호 (DM0, …, DM15)를 사용하여, 입력된 데이터 신호 (DQ0, …, DQ15)를 입력된 마스크 제어 신호에 기초하여 변환한다. 리드 데이터 컨버터 회로 (16c)는 라이트 데이터 컨버터 회로 (16a)와 동일한 변환을 한 데이터 신호를 리드 데이터 버퍼 회로 (12b)에 데이터 신호 (DQ0, …, DQ15)로서 출력한다.

[0036] 라이트 데이터 컨버터 회로 (16a)와 라이트 데이터 버퍼 회로 (16b)는 메모리 셀 (500)과 데이터 입력 버퍼 (12a) 사이에서의 기록 통신을 행하는 데에 있어서 불가분한 회로이며, 라이트 회로라고 불린다.

[0037] 리드 데이터 컨버터 회로 (16c)와 리드 데이터 버퍼 회로 (12b)는 메모리 셀 (500)과 데이터 드라이버 회로 (12c) 사이에서의 판독 통신을 행하는 데에 있어서 불가분한 회로이며, 리드 회로라고 불린다.

[0038] 리드 데이터 컨버터 회로 (16c)는 리드 데이터 버퍼 회로 (12b)와 데이터 드라이버 회로 (12c) 사이에 배치할 수도 있다.

[0039] 메모리 셀 (500)은 DDR-SDRAM이 구비하는 다른 외부 입력 단자로부터 입력되는 제어 신호에 기초하여, 라이트 동작시에는 라이트 데이터 버퍼 회로 (16b)로부터 입력된 데이터 신호 (DQ0, …, DQ15)를 기억하고, 리드 동작시에는 기억하는 데이터 신호 (DQ0, …, DQ15)를 리드 데이터 컨버터 회로 (16c)에 출력한다.

[0040] 도 2는 본 제 1 실시형태의 데이터 마스크부 (100)가 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)마다 마스크 레지스터 회로 (11a)를 구비하는 것을 나타내는 도면이다.

[0041] 마스크 레지스터 회로 (11)는, 도 2에서 나타내는 바와 같이, 내부에 마스크 레지스터 회로 (11a)를 16개 구비하고, 데이터 신호 (DQ0, …, DQ15)용 외부 입력 단자마다 배치되어 있다. 마스크 레지스터 회로 (11a)는 마스크 동작에 있어서, 내부에 구비하는 마스크 레지스터에 기록된 신호를 입력되는 마스크 레지스터 선택 신호에 기초하여 마스크 패턴 신호 (DM)로서 데이터 컨버터 회로 (16)에 출력한다. 마스크 레지스터 회로 (11a)는 내부에 구비하는 마스크 레지스터의 쟁신 동작에 있어서, 어드레스 신호 입력 버퍼 회로 (14)로부터 입력되는 마스크 레지스터 선택 신호에 기초하여 선택된 마스크 레지스터에, 입력되는 데이터 신호 (DQ)를 기억시킨다. 마스크 레지스터 회로 (11a)는 4비트의 마스크 레지스터를 구비하며, 각각이 0번, 1번, 2번 및 3번으로 식별된다. 마스크 레지스터 회로 (11a)가 구비하는 마스크 레지스터는 동일한 식별자를 갖는 각 마스크 레지스터 16개를 1세트로 하여, 마스크 레지스터 0 ~ 3을 구성한다. 즉, 0번의 세트가 마스크 레지스터 0을 구성하고, 1번의 세트가 마스크 레지스터 1을 구성하고, 2번의 세트가 마스크 레지스터 2를 구성하며, 3번의 세트가 마스크 레지스터 3을 구성한다.

[0042] 도 3은 본 제 1 실시형태에 관련된 마스크 패턴 신호 (DM0, …, DM15)를 기억하는 동작을 설명하기 위한 타이밍차트이다.

[0043] 신호의 레벨을 "H" 및 "L"을 사용하여 표기한다. "H"는 신호가 High 레벨인 것을 나타내고, "L"은 신호가 Low 레벨인 것을 나타낸다.

[0044] (마스크 레지스터의 기억 동작 예 1)

[0045] 타이밍 1에서 MRS 커맨드와, 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자 (18)의 AD13 및 AD14에 해당하는 외부 입력 단자에 "HH"가 입력된다. 어드레스 신호 입력 버퍼 회로 (14)는 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자 (18)로부터 판독한 마스크 지시 신호의 하위 2비트 신호를 디코딩한다. 타

이밍 1 에서는 (AD0, AD1) = (L, L) 이고, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 0 을 나타내고 있다. 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 0 의 갱신을 나타내는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

[0046] 타이밍 3 에서 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 에 마스크 패턴을 나타내는 신호 "HHHHHHHH…" 가 입력된다. 데이터 입력 버퍼 회로 (12a) 는 데이터 스트로브 신호 입력 버퍼 회로 (13) 를 통하여 입력되는 데이터 스트로브 신호 (DQS) 의 천이에 동기하여 상기 신호를 증폭시키고, 마스크 레지스터 회로 (11) 에 증폭된 데이터 신호를 출력한다. 마스크 레지스터 회로 (11) 는 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력된 마스크 레지스터 선택 신호와, 데이터 입력 버퍼 회로 (12a) 로부터 입력된 데이터 신호에 기초하여, 내부에 구비하는 마스크 레지스터 0 에 "HHHHHHHH…" 를 기억시킨다.

[0047] (마스크 레지스터의 기억 동작예 2)

[0048] 타이밍 5 에서 MRS 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD13 및 AD14 에 해당하는 외부 입력 단자에 "HH" 가 입력된다. 어드레스 신호 입력 버퍼 회로 (14) 는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩한다. (AD0, AD1) = (H, L) 이고, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 1 을 나타내고 있다. 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 1 의 갱신을 나타내는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

[0049] 타이밍 7 에서 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 에 마스크 패턴을 나타내는 신호 "HLHLHLHL…" 이 입력된다. 데이터 입력 버퍼 회로 (12a) 는 데이터 스트로브 신호 입력 버퍼 회로 (13) 를 통하여 입력되는 데이터 스트로브 신호 (DQS) 의 천이에 동기하여 상기 신호를 증폭시키고, 마스크 레지스터 회로 (11) 에 증폭된 데이터 신호를 출력한다. 마스크 레지스터 회로 (11) 는 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력된 마스크 레지스터 선택 신호와, 데이터 입력 버퍼 회로 (12a) 로부터 입력된 데이터 신호에 기초하여, 내부에 구비하는 마스크 레지스터 1 에 "HLHLHLHL…" 을 기억시킨다.

[0050] (마스크 레지스터의 기억 동작예 3)

[0051] 타이밍 9 에서 MRS 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD13 및 AD14 에 해당하는 외부 입력 단자에 "HH" 가 입력된다. 어드레스 신호 입력 버퍼 회로 (14) 는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩한다. (AD0, AD1) = (L, H) 이고, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 2 를 나타내고 있다. 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 2 의 갱신을 나타내는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

[0052] 타이밍 11 에서 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 에 마스크 패턴을 나타내는 신호 "LLLLLLL…" 이 입력된다. 데이터 입력 버퍼 회로 (12a) 는 데이터 스트로브 신호 입력 버퍼 회로 (13) 를 통하여 입력되는 데이터 스트로브 신호 (DQS) 의 천이에 동기하여 상기 신호를 증폭시키고, 마스크 레지스터 회로 (11) 에 증폭된 데이터 신호를 출력한다. 마스크 레지스터 회로 (11) 는 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력된 마스크 레지스터 선택 신호와, 데이터 입력 버퍼 회로 (12a) 로부터 입력된 데이터 신호에 기초하여, 내부에 구비하는 마스크 레지스터 2 에 "LLLLLLL…" 을 기억시킨다.

[0053] (마스크 레지스터의 기억 동작예 4)

[0054] 타이밍 13 에서 MRS 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD13 및 AD14 에 해당하는 외부 입력 단자에 "HH" 가 입력된다.

[0055] 어드레스 신호 입력 버퍼 회로 (14) 는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩한다. (AD0, AD1) = (H, H) 이고, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 3 을 나타내고 있다. 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 3 의 갱신을 나타내는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

- [0056] 타이밍 15에서 데이터 신호 (DQ0, …, DQ15) 용 외부 입력 단자 (17)에 마스크 패턴을 나타내는 신호 "HHLLLHHH…." 가 입력된다. 데이터 입력 버퍼 회로 (12a)는 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여 상기 신호를 증폭시키고, 마스크 레지스터 회로 (11)에 증폭된 데이터 신호를 출력한다. 마스크 레지스터 회로 (11)는 어드레스 신호 입력 버퍼 회로 (14)로부터 입력된 마스크 레지스터 선택 신호와, 데이터 입력 버퍼 회로 (12a)로부터 입력된 데이터 신호에 기초하여, 내부에 구비하는 마스크 레지스터 3에 "HHLLLHHH…."를 기억시킨다.
- [0057] 이어서, 도 4는 본 제 1 실시형태에 관련된 라이트 동작의 마스크를 설명하기 위한 타이밍차트이다. 이 라이트 동작에서는, 미리 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터는 도 5에서 나타내는 값을 기억하고 있는 것으로 한다.
- [0058] (라이트 동작의 마스크 예 1)
- [0059] 타이밍 1에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 로우 어드레스 신호가 입력된다. 타이밍 3에서 라이트 커맨드 (도 4에서는 WRIT라고 기재) 와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 컬럼 어드레스 신호와, 데이터 마스크 신호 (LDM0, …, LDM3) 용 외부 입력 단자 (19)로부터 데이터 마스크 신호 (LDM0, …, LDM3)가 입력된다. 이 때, (LDM0, LDM1, LDM2, LDM3) = (H, L, H, L)은 상기 라이트 커맨드에 대응하는 1 번째의 라이트 데이터 신호 (D1) (타이밍 5)와 3 번째의 라이트 데이터 신호 (D3) (타이밍 7)가 마스크되는 것을 나타내고 있다. 데이터 마스크 신호 래치 회로 (15)는 타이밍 3에서 판독한 데이터 마스크 신호 (LDM0, …, LDM3)에 따라, 상기 라이트 커맨드의 1 번째와 3 번째의 라이트 데이터에 마스크를 하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 라이트 데이터 컨버터 회로 (16a)에 출력한다.
- [0060] 타이밍 4에서 어드레스 신호 입력 버퍼 회로 (14)는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (14)는 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩하여, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터를 선택하는 마스크 레지스터 선택 신호를 생성한다. 이 때, (AD0, AD1) = (H, L)은 마스크 레지스터 1에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다.
- [0061] 어드레스 신호 입력 버퍼 회로 (14)는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터 1의 마스크 패턴 신호 (DM0, …, DM15)를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11)에 출력한다.
- [0062] 마스크 레지스터 회로 (11)는 어드레스 신호 입력 버퍼 회로 (14)로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 1에 기억되는 마스크 패턴 신호 (DM0, …, DM15)를 라이트 데이터 컨버터 회로 (16a)에 출력한다. 도 5에 나타내는 바와 같이, 마스크 레지스터 1은 "HLHLHLHLHLHLHLHL"을 기억하고 있으며, 대응하는 DQ0, DQ2, DQ4, DQ6, DQ8, DQ10, DQ12 및 DQ14가 마스크되는 것을 나타내고 있다.
- [0063] 타이밍 5, 타이밍 6, 타이밍 7 및 타이밍 8에서 데이터 입력 버퍼 회로 (12a)는, 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여 데이터 신호 (DQ0, …, DQ15)를 판독한다. 그리고, 증폭시켜 라이트 데이터 컨버터 회로 (16a)에 출력한다.
- [0064] 라이트 데이터 컨버터 회로 (16a)는 데이터 마스크 신호 래치 회로 (15)로부터 입력된 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11)로부터 입력된 마스크 패턴 신호 (DM0, …, DM15)를 사용하여, 데이터 입력 버퍼 회로 (12a)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 변환한다. 라이트 데이터 컨버터 회로 (16a)는 변환한 데이터 신호 (DQ0, …, DQ15)를 라이트 데이터 버퍼 회로 (16b)에 출력한다. 라이트 데이터 버퍼 회로 (16b)는 라이트 데이터 컨버터 회로 (16a)로부터 입력된 데이터 신호 (DQ0, …, DQ15)를 증폭시키고, 증폭된 데이터 신호 (DQ0, …, DQ15)를 메모리 셀 (500)에 출력한다.
- [0065] 따라서, 마스크된 라이트 데이터 신호 (D1) 와, 라이트 데이터 신호 (D2) 와, 마스크된 라이트 데이터 신호 (D3) 와, 라이트 데이터 신호 (D4)가 메모리 셀 (500)에 기록된다.
- [0066] 「마스크된 라이트 데이터 신호 (D1) 와 마스크된 라이트 데이터 신호 (D3)가 메모리 셀 (500)에 기록된다」는 것은 라이트 데이터 버퍼 회로 (16b)가 동작하지 않아 (즉, 비활성 제어), 대응하는 메모리 셀의 전(前) 이력 데이터가 유지되는 것을 나타낸다.
- [0067] 본원에서는 데이터 마스크 신호 (LDM)로 지시받는 「「상기 버스트 길이를 나타내는 연속하는 비트열」의 몇

번지를 마스크할지 여부의 비트열 마스크 정보 (마스크 비트열 선택 신호)」와, 「마스크 레지스터 회로로부터 지시받는 「몇 번째의 I/O (DQ) 를 마스크할지 여부의 DQ 마스크 정보인 마스크 패턴 신호와, 복수의 마스크 패턴 중 1 개의 마스크 패턴을 선택하는 마스크 패턴 선택 신호 (마스크 레지스터 지시 신호)」를 개시한다.

[0068] 실시예 1 에서는 라이트 데이터 컨버터 회로 (16a) 는 상기 비트열 마스크 신호와 상기 마스크 패턴 신호의 양자가 일치된 논리곱 (AND 논리) 의 논리 제어 회로 (도시 생략) 를 구비한다. 이로써, 도 4 의 타이밍 5 ~ 8 에 나타나는 바와 같이, 예를 들어 DQ0 의 비트열 2 번째를 나타내는 기록 데이터 (D2) 는 마스크되지 않는다. 또한, DQ1 의 비트열 1 번째의 기록 데이터 (D1) 는 마스크되지 않는다. 마스크 레지스터 1 에 대응한 DQ0, 2, 4, 6 등의 비트열 1 번째 D1 과 3 번째 D3 만의 데이터가 마스크된다.

[0069] 상기 논리 제어는 비트열 마스크 정보 (마스크 비트열 선택 신호) 가 마스크 패턴 신호를 적용할 곳을 결정하는 논리로서, 비트열 마스크 정보 (마스크 비트열 선택 신호) 가 마스크 패턴 신호에 우선하여 상기 논리가 행해지는 우선 논리 회로이다.

[0070] 또, 이 논리 제어는, 이하와 같이 변경할 수 있다.

[0071] 제 1 실시예의 제 1 응용예로서, 라이트 데이터 컨버터 회로 (16a) 는 「상기 비트열 마스크 신호가 상기 마스크 패턴 신호보다 우선한 논리 제어 회로」를 구비한다. 이 경우, DQ0 ~ 15 의 비트열 1 번째 D1 과 3 번째 D3 의 모든 데이터가 마스크된다.

[0072] 제 1 실시예의 제 2 응용예로서, 라이트 데이터 컨버터 회로 (16a) 는 「상기 마스크 패턴 신호가 상기 비트열 마스크 신호보다 우선한 논리 제어 회로」를 구비한다. 이 경우, 마스크 레지스터 1 에 대응한 DQ0, 2, 4, 6 등의 비트열 1 번째 D1 ~ 4 번째 D4 의 데이터가 마스크된다.

[0073] 상기 논리 제어 회로는 추가적인 그 밖의 레지스터 등의 정보를 추가하여, 마스크 논리를 합리적으로 생성할 수 있다.

[0074] 이후의 실시예의 설명에서도 라이트 데이터 컨버터 회로 (16a) 의 상기 논리 제어는 상기 논리곱으로 설명되는데, 발명의 사상은 이것에 한정되지 않는다.

[0075] (라이트 동작의 마스크예 2)

[0076] 타이밍 11 에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 로우 어드레스 신호가 입력된다. 타이밍 13 에서 라이트 커맨드 (도 4 에서는 WRIT 라고 기재) 와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 컬럼 어드레스 신호와, 데이터 마스크 신호 (LDM0, …, LDM3) 용 외부 입력 단자 (19) 로부터 데이터 마스크 신호가 입력된다. 이 때, (LDM0, LDM1, LDM2, LDM3) = (L, H, L, H) 는 상기 라이트 커맨드에 대응하는 2 번째의 라이트 데이터 신호 (D6) (타이밍 16) 와 4 번째의 라이트 데이터 신호 (D8) (타이밍 18) 가 마스크되는 것을 나타내고 있다. 데이터 마스크 신호 래치 회로 (15) 는 타이밍 13 에서 판독한 데이터 마스크 신호 (LDM0, …, LDM3) 에 따라, 상기 라이트 커맨드의 2 번째와 4 번째의 라이트 데이터에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 라이트 데이터 컨버터 회로 (16a) 에 출력한다.

[0077] 타이밍 14 에서 어드레스 신호 입력 버퍼 회로 (14) 는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (14) 는 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩하여, 마스크 레지스터 회로 (11) 가 구비하는 레지스터를 선택하는 신호를 생성한다. 이 때, (AD0, AD1) = (H, H) 는 마스크 레지스터 3 에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다.

[0078] 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 3 의 마스크 패턴 신호 (DM0, …, DM15) 를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

[0079] 마스크 레지스터 회로 (11) 는 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 3 에 기억되는 마스크 패턴 신호 (DM0, …, DM15) 를 라이트 데이터 컨버터 회로 (16a) 에 출력한다. 도 5 에 나타나는 바와 같이, 마스크 레지스터 3 은 "HHLLHHHHHLLHHH" 를 기억하고 있으며, 대응하는 DQ0, DQ1, DQ5, DQ6, DQ7, DQ8, DQ9, DQ13, DQ14 및 DQ15 가 마스크된다.

- [0080] 타이밍 15, 타이밍 16, 타이밍 17 및 타이밍 18에서 데이터 입력 버퍼 회로 (12a)는, 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여 데이터 신호 (DQ0, …, DQ15)를 판독한다. 그리고, 증폭시켜 라이트 데이터 컨버터 회로 (16a)에 출력한다.
- [0081] 라이트 데이터 컨버터 회로 (16a)는 데이터 마스크 신호 래치 회로 (15)로부터 입력된 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11)로부터 입력된 마스크 패턴 신호 (DM0, …, DM15)를 사용하여, 데이터 입력 버퍼 회로 (12a)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 변환한다. 라이트 데이터 컨버터 회로 (16a)는 변환한 데이터 신호 (DQ0, …, DQ15)를 라이트 데이터 버퍼 회로 (16b)에 출력한다. 라이트 데이터 버퍼 회로 (16b)는 라이트 데이터 컨버터 회로 (16a)로부터 입력된 데이터 신호 (DQ0, …, DQ15)를 증폭시키고, 증폭된 데이터 신호 (DQ0, …, DQ15)를 메모리 셀 (500)에 출력한다.
- [0082] 따라서, 라이트 데이터 신호 (D5)와, 마스크된 라이트 데이터 신호 (D6)와, 라이트 데이터 신호 (D7)와, 마스크된 라이트 데이터 신호 (D8)가 메모리 셀 (500)에 기록된다.
- [0083] 이어서, 도 6은 본 제 1 실시형태에 관련된 리드 동작의 마스크를 설명하기 위한 타이밍차트이다. 또, 이 리드 동작에서는, 미리 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터는 도 5에서 나타내는 값을 기억하고 있는 것으로 한다.
- [0084] (리드 동작의 마스크 예 1)
- [0085] 타이밍 1에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자 (18)로부터 로우 어드레스 신호가 입력된다. 타이밍 3에서 리드 커맨드 (도 6에서는 READ라고 기재)와, 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자 (18)로부터 컬럼 어드레스 신호와, 데이터 마스크 신호 (LDM0, …, LDM3)용 외부 입력 단자 (19)로부터 데이터 마스크 신호가 입력된다. 이 때, (LDM0, LDM1, LDM2, LDM3) = (H, L, H, L)은 상기 리드 커맨드에 대응하는 1 번째의 리드 데이터 신호 (D1) (타이밍 7)와 3 번째의 리드 데이터 신호 (D3) (타이밍 9)가 마스크되는 것을 나타내고 있다. 데이터 마스크 신호 래치 회로 (15)는 타이밍 3에서 판독한 데이터 마스크 신호 (LDM0, …, LDM3)에 따라, 상기 리드 커맨드의 1 번째와 3 번째의 리드 데이터에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 리드 데이터 컨버터 회로 (16c)에 출력한다.
- [0086] 타이밍 4에서 어드레스 신호 입력 버퍼 회로 (14)는, 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자 (18)로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (14)는 판독한 마스크 지시 신호의 하위 2비트 신호를 디코딩하여, 마스크 레지스터 회로 (11)가 구비하는 레지스터를 선택하는 신호를 생성한다. 이 때, (AD0, AD1) = (H, L)은 마스크 레지스터 1에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다.
- [0087] 어드레스 신호 입력 버퍼 회로 (14)는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터 1의 마스크 패턴 신호 (DM0, …, DM15)를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11)에 출력한다. 마스크 레지스터 회로 (11)는 어드레스 신호 입력 버퍼 회로 (14)로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 1에 기억되는 마스크 패턴 신호 (DM0, …, DM15)를 리드 데이터 컨버터 회로 (16c)에 출력한다. 도 5에 나타내는 바와 같이, 마스크 레지스터 1은 "HLHLHLHLHLHLHLHL"을 기억하고 있으며, 대응하는 DQ0, DQ2, DQ4, DQ6, DQ8, DQ10, DQ12 및 DQ14가 마스크되는 것을 나타내고 있다.
- [0088] 리드 데이터 컨버터 회로 (16c)는 데이터 마스크 신호 래치 회로 (15)로부터 입력된 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11)로부터 입력된 마스크 패턴 신호 (DM0, …, DM15)를 사용하여, 메모리 셀 (500)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 변환하고, 변환된 데이터 신호 (DQ0, …, DQ15)를 리드 데이터 버퍼 회로 (12b)에 출력한다. 리드 데이터 버퍼 회로 (12b)는 리드 데이터 컨버터 회로 (16c)로부터 입력된 데이터 신호 (DQ0, …, DQ15)를 래치하고, 래치한 데이터 신호 (DQ0, …, DQ15)를 증폭시켜 데이터 드라이버 회로 (12c)에 출력한다. 타이밍 17, 타이밍 18, 타이밍 19 및 타이밍 20에서 데이터 드라이버 회로 (12c)는, 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여, 리드 데이터 버퍼 회로 (12b)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 판독한다. 그리고, 판독한 데이터 신호 (DQ0, …, DQ15)를 증폭시켜, 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)에 출력한다.
- [0089] 따라서, DDR-SDRAM은 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)로부터 타이밍 7에서 마스크된

리드 데이터 신호 (D1) 를, 타이밍 8 에서 리드 데이터 신호 (D2) 를, 타이밍 9 에서 마스크된 리드 데이터 신호 (D3) 를, 타이밍 10 에서 리드 데이터 신호 (D4) 를 출력한다.

[0090] 「타이밍 7 에서 마스크된 리드 데이터 신호 (D1) 를 출력한다. 타이밍 9 에서 마스크된 리드 데이터 신호 (D3) 를 출력한다」라는 것은 데이터 드라이버 회로 (12c) 가 동작하지 않아 (즉, 비활성 제어), 대응하는 외부 입출력 단자 (17) 가 하이 임피던스 등의 무효 데이터를 출력하는 것을 나타낸다. 이로써, 예를 들어, 타이밍 9 의 DQ0 의 데이터열 D3 시에는, 전 이력인 데이터 D2 의 데이터가 반도체 기억 장치 외부 등의 종단 저항 등에 의해 유지된다.

[0091] (리드 동작의 마스크 예 2)

[0092] 타이밍 11 에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 로우 어드레스 신호가 입력된다. 타이밍 13 에서 리드 커맨드 (도 6 에서는 READ 라고 기재) 와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 컬럼 어드레스 신호와, 데이터 마스크 신호 (LDM0, …, LDM3) 용 외부 입력 단자 (19) 로부터 데이터 마스크 신호가 입력된다. 이 때, (LDM0, LDM1, LDM2, LDM3) = (L, H, L, H) 는 상기 리드 커맨드에 대응하는 2 번째의 리드 데이터 신호 (D6) (타이밍 18) 와 4 번째의 리드 데이터 신호 (D8) (타이밍 20) 가 마스크되는 것을 나타내고 있다. 데이터 마스크 신호 래치 회로 (15) 는 타이밍 13 에서 판독한 데이터 마스크 신호 (LDM0, …, LDM3) 에 따라, 상기 리드 커맨드의 2 번째와 4 번째의 리드 데이터에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 리드 데이터 컨버터 회로 (16c) 에 출력한다.

[0093] 타이밍 14 에서 어드레스 신호 입력 버퍼 회로 (14) 는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (14) 는 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩하여, 마스크 레지스터 회로 (11) 가 구비하는 레지스터를 선택하는 마스크 레지스터 선택 신호를 생성한다. 이 때, (AD0, AD1) = (H, H) 는 마스크 레지스터 3 에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다.

[0094] 어드레스 신호 입력 버퍼 회로 (14) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 3 의 마스크 패턴 신호 (DM0, …, DM15) 를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다. 마스크 레지스터 회로 (11) 는 어드레스 신호 입력 버퍼 회로 (14) 로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 3 에 기억되는 마스크 패턴 신호 (DM0, …, DM15) 를 리드 데이터 컨버터 회로 (16c) 에 출력한다. 도 5 에 나타내는 바와 같이, 마스크 레지스터 3 은 "HHLLLHHHHHLLLHHH" 을 기억하고 있으며, 대응하는 DQ0, DQ1, DQ5, DQ6, DQ7, DQ8, DQ9, DQ13, DQ14 및 DQ15 가 마스크되는 것을 나타내고 있다.

[0095] 리드 데이터 컨버터 회로 (16c) 는 데이터 마스크 신호 래치 회로 (15) 로부터 입력되는 마스크 제어 신호에 기초하여, 메모리 셀 (500) 로부터 입력되는 데이터 신호 (DQ0, …, DQ15) 를 변환하고, 변환된 데이터 신호 (DQ0, …, DQ15) 를 리드 데이터 버퍼 회로 (12b) 에 출력한다. 리드 데이터 버퍼 회로 (12b) 는 리드 데이터 컨버터 회로 (16c) 로부터 입력된 데이터 신호 (DQ0, …, DQ15) 를 래치하고, 래치한 데이터 신호 (DQ0, …, DQ15) 를 증폭시켜 데이터 드라이버 회로 (12c) 에 출력한다. 데이터 드라이버 회로 (12c) 는 데이터 스트로브 신호 입력 버퍼 회로 (13) 를 통하여 입력되는 데이터 스트로브 신호 (DQS) 의 천이에 동기하여, 리드 데이터 버퍼 회로 (12b) 로부터 입력되는 데이터 신호 (DQ0, …, DQ15) 를 판독한다. 그리고, 판독한 데이터 신호 (DQ0, …, DQ15) 를 증폭시켜, 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 에 출력한다.

[0096] 따라서, DDR-SDRAM 은 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 로부터 타이밍 17 에서 리드 데이터 신호 (D5) 를, 타이밍 18 에서 마스크된 리드 데이터 신호 (D6) 를, 타이밍 19 에서 리드 데이터 신호 (D7) 를, 타이밍 20 에서 마스크된 리드 데이터 신호 (D8) 를 출력한다.

[0097] 이와 같이, 제 1 실시형태에 의하면, 마스크 레지스터 회로 (11) 를 구비하고, 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 를 통하여 마스크 레지스터 회로 (11) 에 입력되는 마스크 패턴 신호 (DM0, …, DM15) 를 기억함으로써, 마스크 패턴 신호 (DM0, …, DM15) 를 입력하기 위한 외부 입력 단자를 추가하지 않고, 리드 동작 및 라이트 동작의 데이터 신호 (DQ0, …, DQ15) 의 각각의 비트에 대해 마스크 할지 여부를 구분하여 사용할 수 있는 반도체 기억 장치를 제공 할 수 있다. 또한, 미리 마스크 레지스터 회로 (11) 에 복수의 마스크 패턴 신호 (DM0, …, DM15) 를 기억시켜 둠으로써, 리드 동작 또는 라이트 동작에서 복수의 마스크 패턴 신호

(DM0, …, DM15) 를 구분하여 마스크할 수 있다.

[0098] (제 2 실시형태)

이하, 도 5 및 도 7 내지 도 10 을 참조하여 본 발명의 제 2 실시형태에 대하여 설명한다. 본 제 2 실시형태의 구성은 마스크를 하는지 여부를 선택하기 위해 제 1 실시형태에서 구비하였던 데이터 마스크 신호 (LDM0, …, LDM3) 용 외부 입력 단자 (19) 를 구비하지 않고, 마스크를 실시할 수 있는 구성이다.

[0100] 도 7 은 본 발명에 관련된 제 2 실시형태에서 DDR-SDRAM 이 구비하는 데이터 신호의 입출력에 관한 데이터 마스크부 (200) 의 내부 구성 및 메모리 셀 (500) 의 접속 구성을 나타내는 개략 블록도이다.

[0101] 제 2 실시형태는 제 1 실시형태로부터 데이터 마스크 신호 (LDM0, …, LDM3) 용 외부 입력 단자 (19) 를 제거한 구성으로 되어 있다.

[0102] 또한, 도 7 에 있어서, 데이터 마스크부 (200) 는 제 1 실시형태로부터 데이터 마스크 신호 래치 회로 (15) 를 제거하고, 어드레스 신호 입력 버퍼 회로 (14) 가 어드레스 신호 입력 버퍼 회로 (24) 로 치환된 구성으로 되어 있다. 데이터 마스크부 (200) 는 제 1 실시형태에서 데이터 마스크 신호 래치 회로 (15) 가 출력 하였던 데이터 신호에 마스크하는 것을 나타내는 마스크 제어 신호를, 어드레스 신호 입력 버퍼 회로 (24) 로부터 출력하는 구성으로 되어 있다. 그 이외의 다른 회로나 다른 접속 구성은 제 1 실시형태와 동일한 구성으로 되어 있다.

[0103] 어드레스 신호 입력 버퍼 회로 (24) 는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 입력되는 어드레스 신호 (AD0, …, AD14) 를 증폭시킨다. 그리고, 증폭된 어드레스 신호를 데이터 마스크부 (200) 밖으로 출력한다. 클록 신호 (CLK) 의 천이에 동기하여, DDR-SDRAM 에 MRS 커맨드가 입력되고, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 어드레스 신호 (AD13 및 AD14) 에 "H" 가 입력되는 경우, 어드레스 신호 입력 버퍼 회로 (24) 는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 입력되는 마스터 지시 신호의 하위 2 비트 신호를 디코딩한다. 어드레스 신호 입력 버퍼 회로 (24) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터를 선택하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다.

[0104] 마스크 지시 신호의 하위 2 비트 신호란 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD0 및 AD1 에 해당하는 외부 입력 단자로부터 입력되는 신호이다.

[0105] 어드레스 신호 입력 버퍼 회로 (24) 는 DDR-SDRAM 에 라이트 커맨드 또는 리드 커맨드가 입력된 다음의 클록 사이클에서, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 입력되는 마스크 지시 신호를 디코딩 한다. 어드레스 신호 입력 버퍼 회로 (24) 는 마스크 지시 신호의 하위 2 비트 신호의 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터를 선택하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다. 또한, 어드레스 신호 입력 버퍼 회로 (24) 는 마스크 지시 신호의 상위 2 비트 신호의 디코딩 결과로부터, 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 라이트 데이터 컨버터 회로 (16a) 및 리드 데이터 컨버터 회로 (16c) 에 출력한다.

[0106] 상기 마스크 제어 신호는 제 1 실시형태에서 데이터 마스크 신호 래치 회로 (15) 가 생성하는 마스크 제어 신호와 동일한 신호로서, 데이터 신호에 마스크할지 여부를 선택하는 신호이다. 마스터 지시 신호의 상위 2 비트 신호는 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 의 AD13 및 AD14 에 해당하는 단자로부터 입력되는 신호이다.

[0107] 도 8 은 본 제 2 실시형태의 데이터 마스크부 (200) 가 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17) 마다 마스크 레지스터 회로 (11a) 를 구비하는 것을 나타내는 도면이다.

[0108] 마스크 레지스터 회로 (11) 는, 도 8 에서 나타내는 바와 같이, 내부에 마스크 레지스터 회로 (11a) 를 16 개 구비하고, 데이터 신호 (DQ0, …, DQ15) 용 외부 입력 단자마다 배치되어 있다. 마스크 레지스터 회로 (11a) 는 마스크 동작에 있어서, 내부에 구비하는 마스크 레지스터에 기록된 신호를 입력되는 마스크 레지스터 선택 신호에 기초하여 마스크 패턴 신호 (DM) 로서 데이터 컨버터 회로 (16) 에 출력한다. 마스크 레지스터 회로 (11a) 는 내부에 구비하는 마스크 레지스터의 개선 동작에 있어서, 어드레스 신호 입력 버퍼 회로 (24) 로부터 입력되는 마스크 레지스터 선택 신호에 기초하여 선택된 마스크 레지스터에, 입력되는 데이터 신호 (DQ) 를 기억시킨다. 마스크 레지스터 회로 (11a) 는 4 비트의 마스크 레지스터를 구비하며, 각각이 0 번, 1 번,

2 번 및 3 번으로 식별된다. 마스크 레지스터 회로 (11a) 가 구비하는 마스크 레지스터는 동일한 식별자를 갖는 각 마스크 레지스터 16 개를 1 세트로 하여, 마스크 레지스터 0 ~ 3 을 구성한다. 즉, 0 번의 세트가 마스크 레지스터 0 을 구성하고, 1 번의 세트가 마스크 레지스터 1 을 구성하고, 2 번의 세트가 마스크 레지스터 2 를 구성하며, 3 번의 세트가 마스크 레지스터 3 을 구성한다.

[0109] 이어서, 도 9 는 본 제 2 실시형태에 관련된 라이트 동작의 마스크 동작을 설명하기 위한 타이밍차트이다.

[0110] 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터에는, 미리 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터는 도 5 에 나타내는 값을 기억 하고 있는 것으로 한다.

[0111] (라이트 동작의 마스크예 3)

[0112] 타이밍 1 에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 로우 어드레스 신호가 입력된다. 타이밍 3 에서 라이트 커맨드 (도 9 에서는 WRIT 라고 기재) 와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 컬럼 어드레스 신호가 입력된다.

[0113] 타이밍 4 에서 어드레스 신호 입력 버퍼 회로 (24) 는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (24) 는 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩하여, 마스크 레지스터 회로 (11) 가 구비하는 레지스터를 선택하는 신호를 생성한다. 또한, 어드레스 신호 입력 버퍼 회로 (24) 는 판독한 마스크 지시 신호의 상위 2 비트 신호를 디코딩하여, 마스크 제어 신호를 생성한다. 이 때, (AD0, AD1) = (H, L) 은 마스크 레지스터 1 에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다. 한편, (AD13, AD14) = (L, L) 은 상기 라이트 커맨드의 1 번째의 라이트 데이터 신호 (D1) (타이밍 5) 와 3 번째의 라이트 데이터 신호 (D3) (타이밍 7) 를 마스크하는 것을 나타내고 있다.

[0114] 어드레스 신호 입력 버퍼 회로 (24) 는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 1 의 마스크 패턴 신호 (DM0, …, DM15) 를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다. 또한, 어드레스 신호 입력 버퍼 회로 (24) 는, 상기 디코딩 결과로부터, 상기 라이트 커맨드의 1 번째와 3 번째의 라이트 데이터 신호에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 라이트 데이터 컨버터 회로 (16a) 에 출력한다.

[0115] 마스크 레지스터 회로 (11) 는 어드레스 신호 입력 버퍼 회로 (24) 로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 1 에 기억되는 마스크 패턴 신호 (DM0, …, DM15) 를 라이트 데이터 컨버터 회로 (16a) 에 출력한다. 도 5 에 나타내는 바와 같이, 마스크 레지스터 1 은 "HLHLHLHLHLHLHLHL" 을 기억하고 있으며, 대응하는 DQ0, DQ2, DQ4, DQ6, DQ8, DQ10, DQ12 및 DQ14 가 마스크되는 것을 나타내고 있다.

[0116] 타이밍 5, 타이밍 6, 타이밍 7 및 타이밍 8 에서 데이터 입력 버퍼 회로 (12a) 는, 데이터 스트로브 신호 입력 버퍼 회로 (13) 를 통하여 입력되는 데이터 스트로브 신호 (DQS) 의 천이에 동기하여 데이터 신호 (DQ0, …, DQ15) 를 판독한다. 그리고, 증폭시켜 라이트 데이터 컨버터 회로 (16a) 에 출력한다.

[0117] 라이트 데이터 컨버터 회로 (16a) 는 어드레스 신호 입력 버퍼 회로 (24) 로부터 입력된 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11) 로부터 입력된 마스크 패턴 신호 (DM0, …, DM15) 를 사용하여, 데이터 입력 버퍼 회로 (12a) 로부터 입력되는 데이터 신호를 변환한다. 라이트 데이터 컨버터 회로 (16a) 는 변환한 데이터 신호를 라이트 데이터 버퍼 회로 (16b) 에 출력한다. 라이트 데이터 버퍼 회로 (16b) 는 라이트 데이터 컨버터 회로 (16a) 로부터 입력된 데이터 신호를 증폭시키고, 증폭된 데이터 신호를 메모리 셀 (500) 에 출력한다.

[0118] 따라서, 마스크된 라이트 데이터 신호 (D1) 와, 라이트 데이터 신호 (D2) 와, 마스크된 라이트 데이터 신호 (D3) 와, 라이트 데이터 신호 (D4) 가 메모리 셀 (500) 에 기록된다.

[0119] (라이트 동작의 마스크예 4)

[0120] 타이밍 11 에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 로우 어드레스 신호가 입력된다. 타이밍 13 에서 라이트 커맨드 (도 9 에서는 WRIT 라고 기재) 와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18) 로부터 컬럼 어드레스 신호가 입력된다.

- [0121] 타이밍 14에서 어드레스 신호 입력 버퍼 회로 (24)는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (24)는 판독한 마스크 지시 신호의 하위 2비트 신호를 디코딩하여, 마스크 레지스터 회로 (11)가 구비하는 레지스터를 선택하는 신호를 생성한다. 또한, 어드레스 신호 입력 버퍼 회로 (24)는 판독한 마스크 지시 신호의 상위 2비트 신호를 디코딩하여, 마스크 제어 신호를 생성한다. 이 때, (AD0, AD1) = (H, H)는 마스크 레지스터 3에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다. 한편, (AD13, AD14) = (L, H)는 상기 라이트 커맨드에 대응하는 2번째의 라이트 데이터 신호 (D6) (타이밍 16)와 4번째의 라이트 데이터 신호 (D8) (타이밍 18)를 마스크하는 것을 나타내고 있다.
- [0122] 어드레스 신호 입력 버퍼 회로 (24)는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터 3의 마스크 패턴 신호 (DM0, …, DM15)를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11)에 출력한다. 또한, 어드레스 신호 입력 버퍼 회로 (24)는, 상기 디코딩 결과로부터, 상기 라이트 커맨드의 2번째의 라이트 데이터 신호 (D6) (타이밍 16)와 4번째의 라이트 데이터 신호 (D8) (타이밍 18)에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 라이트 데이터 컨버터 회로 (16a)에 출력한다.
- [0123] 마스크 레지스터 회로 (11)는 어드레스 신호 입력 버퍼 회로 (24)로부터 입력된 마스터 레지스터 선택 신호에 기초하여, 마스크 레지스터 3에 기억되는 마스크 패턴 신호 (DM0, …, DM15)를 라이트 데이터 컨버터 회로 (16a)에 출력한다. 도 5에 나타내는 바와 같이, 마스크 레지스터 3은 "HHLLLHHHHHLLLHHH"를 기억하고 있으며, 대응하는 DQ0, DQ1, DQ5, DQ6, DQ7, DQ8, DQ9, DQ13, DQ14 및 DQ15가 마스크되는 것을 나타내고 있다.
- [0124] 타이밍 15, 타이밍 16, 타이밍 17 및 타이밍 18에서 데이터 입력 버퍼 회로 (12a)는, 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여 데이터 신호 (DQ0, …, DQ15)를 판독한다. 그리고, 증폭시켜 라이트 데이터 컨버터 회로 (16a)에 출력한다.
- [0125] 라이트 데이터 컨버터 회로 (16a)는 어드레스 신호 입력 버퍼 회로 (24)로부터 입력된 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11)로부터 입력된 마스크 패턴 신호 (DM0, …, DM15)를 사용하여, 데이터 입력 버퍼 회로 (12a)로부터 입력되는 데이터 신호를 변환한다. 라이트 데이터 컨버터 회로 (16a)는 변환한 데이터 신호를 라이트 데이터 버퍼 회로 (16b)에 출력한다. 라이트 데이터 버퍼 회로 (16b)는 라이트 데이터 컨버터 회로 (16a)로부터 입력된 데이터 신호를 증폭시키고, 증폭된 데이터 신호를 메모리 셀 (500)에 출력한다.
- [0126] 따라서, 라이트 데이터 신호 (D5)와, 마스크된 라이트 데이터 신호 (D6)와, 라이트 데이터 신호 (D7)와, 마스크된 라이트 데이터 신호 (D8)가 메모리 셀 (500)에 기록된다.
- [0127] 이어서, 도 10은 본 제 2 실시형태에 관련된 리드 동작의 마스크 동작을 설명하기 위한 타이밍차트이다. 또, 상기 동작에서는, 미리 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터는 도 5에서 나타내는 값을 기억하고 있는 것으로 한다.
- [0128] (리드 동작의 마스크 예 3)
- [0129] 타이밍 1에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 로우 어드레스 신호가 입력된다. 타이밍 3에서 리드 커맨드 (도 10에서는 READ라고 기재)와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 컬럼 어드레스 신호가 입력된다.
- [0130] 타이밍 4에서 어드레스 신호 입력 버퍼 회로 (24)는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (24)는 판독한 마스크 지시 신호의 하위 2비트 신호를 디코딩하여, 마스크 레지스터 회로 (11)가 구비하는 레지스터를 선택하는 신호를 생성한다. 또한, 어드레스 신호 입력 버퍼 회로 (24)는 판독한 마스크 지시 신호의 상위 2비트 신호를 디코딩하여, 마스크 제어 신호를 생성한다. 이 때, (AD0, AD1) = (H, L)은 마스크 레지스터 1에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다. 한편, (AD13, AD14) = (L, L)은 상기 리드 커맨드의 1번째의 라이트 데이터 신호 (D1) (타이밍 7)와 3번째의 라이트 데이터 신호 (D3) (타이밍 9)를 마스크하는 것을 나타내고 있다.
- [0131] 어드레스 신호 입력 버퍼 회로 (24)는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11)가 구비하는 마스

크 레지스터 1 의 마스크 패턴 신호 (DM0, …, DM15) 를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다. 또한, 어드레스 신호 입력 버퍼 회로 (24) 는, 상기 디코딩 결과로부터, 상기 리드 커맨드의 1 번째와 3 번째의 라이트 테이터 신호에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 리드 테이터 컨버터 회로 (16c) 에 출력한다.

마스크 레지스터 회로 (11)는 어드레스 신호 입력 버퍼 회로 (24)로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 1에 기억되는 마스크 패턴 신호 (DM0, …, DM15)를 리드 데이터 컨버터 회로 (16c)에 출력한다. 도 5에 나타내는 바와 같이, 마스크 레지스터 1은 "HLHLHLHLHLHLHLHL"을 기억하고 있으며, 대응하는 DQ0, DQ2, DQ4, DQ6, DQ8, DQ10, DQ12 및 DQ14가 마스크되는 것을 나타내고 있다.

리드 데이터 컨버터 회로 (16c)는 어드레스 신호 입력 버퍼 회로 (24)로부터 입력되는 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11)로부터 입력된 마스크 패턴 신호 (DM0, …, DM15)를 사용하여, 메모리 셀 (500)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 변환하고, 변환된 데이터 신호 (DQ0, …, DQ15)를 리드 데이터 버퍼 회로 (12b)에 출력한다. 리드 데이터 버퍼 회로 (12b)는 리드 데이터 컨버터 회로 (16c)로부터 입력된 데이터 신호 (DQ0, …, DQ15)를 래치하고, 래치한 데이터 신호 (DQ0, …, DQ15)를 증폭시켜 데이터 드라이버 회로 (12c)에 출력한다. 타이밍 7, 타이밍 8, 타이밍 9 및 타이밍 10에서 데이터 드라이버 회로 (12c)는, 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여, 리드 데이터 버퍼 회로 (12b)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 판독한다.

그리고, 판독한 데이터 신호 (DQ0, …, DQ15) 를 증폭시켜, 데이터 신호 (DQ0, …, DQ15) 을 외부 입출력 단자 (17) 에 출력한다.

따라서, DDR-SDRAM 은 데이터 신호 (DQ0, …, DQ15) 용 외부 입출력 단자 (17)로부터 타이밍 7에서 마스크된 리드 데이터 신호 (D1)를, 타이밍 8에서 리드 데이터 신호 (D2)를, 타이밍 9에서 마스크된 리드 데이터 신호 (D3)를, 타이밍 10에서 리드 데이터 신호 (D4)를 출력한다.

(리드 동작의 마스크예 4)

타이밍 11에서 ACT 커맨드와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 로우 어드레스 신호가 입력된다. 타이밍 13에서 리드 커맨드 (도 10에서는 READ라고 기재) 와, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 컬럼 어드레스 신호가 입력된다.

타이밍 14에서 어드레스 신호 입력 버퍼 회로 (24)는, 어드레스 신호 (AD0, …, AD14) 용 외부 입력 단자 (18)로부터 마스크 지시 신호를 판독한다. 어드레스 신호 입력 버퍼 회로 (24)는 판독한 마스크 지시 신호의 하위 2 비트 신호를 디코딩하여, 마스크 레지스터 회로 (11)가 구비하는 레지스터를 선택하는 신호를 생성한다. 또한, 어드레스 신호 입력 버퍼 회로 (24)는 판독한 마스크 지시 신호의 상위 2 비트 신호를 디코딩하여, 마스크 제어 신호를 생성한다. 이 때, $(AD0, AD1) = (H, H)$ 는 마스크 레지스터 3에 기억되어 있는 마스크 패턴 신호를 마스크에 사용하는 것을 나타내고 있다. 한편, $(AD13, AD14) = (L, H)$ 는 상기 리드 커맨드의 2 번째의 라이트 데이터 신호 (D6) (타이밍 18)와 4 번째의 라이트 데이터 신호 (D8) (타이밍 20)를 마스크하는 것을 나타내고 있다.

어드레스 신호 입력 버퍼 회로 (24)는, 상기 디코딩 결과로부터, 마스크 레지스터 회로 (11) 가 구비하는 마스크 레지스터 3 의 마스크 패턴 신호 (DM0, …, DM15) 를 출력하는 지시를 포함하는 마스크 레지스터 선택 신호를 생성하고, 생성된 마스크 레지스터 선택 신호를 마스크 레지스터 회로 (11) 에 출력한다. 또한, 어드레스 신호 입력 버퍼 회로 (24)는, 상기 디코딩 결과로부터, 상기 리드 커맨드의 2 번째와 4 번째의 라이트 데이터 신호에 마스크하는 것을 나타내는 마스크 제어 신호를 생성하고, 생성된 마스크 제어 신호를 리드 데이터 컨버터 회로 (16c) 에 출력한다.

마스크 레지스터 회로 (11)는 어드레스 신호 입력 버퍼 회로 (24)로부터 입력된 마스크 레지스터 선택 신호에 기초하여, 마스크 레지스터 3에 기억되는 마스크 패턴 신호 (DM0, …, DM15)를 리드 데이터 컨버터 회로 (16c)에 출력한다. 도 5에 나타내는 바와 같이, 마스크 레지스터 3은 "HHLLLHHHHHLLLHHH"를 기억하고 있으며, DQ0, DQ1, DQ5, DQ6, DQ7, DQ8, DQ9, DQ13, DQ14 및 DQ15가 마스크되는 것을 나타내고 있다.

리드 데이터 컨버터 회로 (16c) 는 어드레스 신호 입력 버퍼 회로 (24) 로부터 입력되는 마스크 제어 신호에 기초하여, 마스크 레지스터 회로 (11) 로부터 입력된 마스크 패턴 신호 (DM0, ..., DM15) 를 사용하여 메모리 셀 (500) 로부터 입력되는 데이터 신호 (DQ0, ..., DQ15) 를 변환하고, 변환된 데이터 신호 (DQ0, ..., DQ15) 를 리

드 데이터 버퍼 회로 (12b)에 출력한다. 리드 데이터 버퍼 회로 (12b)는 리드 데이터 컨버터 회로 (16c)로부터 입력된 데이터 신호 (DQ0, …, DQ15)를 래치하고, 래치한 데이터 신호 (DQ0, …, DQ15)를 증폭시켜 데이터 드라이버 회로 (12c)에 출력한다. 타이밍 17, 타이밍 18, 타이밍 19 및 타이밍 20에서 데이터 드라이버 회로 (12c)는, 데이터 스트로브 신호 입력 버퍼 회로 (13)를 통하여 입력되는 데이터 스트로브 신호 (DQS)의 천이에 동기하여, 리드 데이터 버퍼 회로 (12b)로부터 입력되는 데이터 신호 (DQ0, …, DQ15)를 판독한다. 그리고, 판독한 데이터 신호 (DQ0, …, DQ15)를 증폭시켜, 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)에 출력한다.

[0141] 따라서, DDR-SDRAM은 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)로부터 타이밍 17에서 리드 데이터 신호 (D5)를, 타이밍 18에서 마스크된 리드 데이터 신호 (D6)를, 타이밍 19에서 리드 데이터 신호 (D7)를, 타이밍 20에서 마스크된 리드 데이터 신호 (D8)를 출력한다.

[0142] 이와 같이, 제 2 실시형태의 구성에 의하면, 마스크 레지스터 회로 (11)를 구비하고, 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)를 통하여 마스크 레지스터 회로 (11)에 기억하는 마스크 패턴 신호 (DM0, …, DM15)를 기억함으로써, 마스크 패턴 신호 (DM0, …, DM15)를 입력하기 위한 외부 입력 단자를 추가하지 않고, 리드 동작 및 라이트 동작의 데이터 신호 (DQ0, …, DQ15)의 각각의 비트에 대해 마스크할지 여부를 구분하여 사용할 수 있다. 또한, 데이터 마스크부 (200)가 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자 (18)를 통하여 마스크 지시 신호를 판독하고, 어드레스 신호 입력 버퍼 회로 (24)를 구비함으로써, 데이터 마스크 신호 (LDM0, …, LDM3)용 외부 입력 단자 (19)를 구비하지 않고도 마스크할 수 있는 DDR-SDRAM을 제공할 수 있다.

[0143] 또한, 미리 마스크 레지스터 회로 (11)에 복수의 마스크 패턴 신호 (DM0, …, DM15)를 기억시켜 둠으로써, 리드 동작 또는 라이트 동작에서 복수의 마스크 패턴 신호 (DM0, …, DM15)를 구분하여 마스크할 수 있다.

[0144] 본 제 2 실시형태에서는, 마스크 동작을 할 때에 마스크 지시 신호의 상위 2 비트 신호를 디코딩하여, 마스크되는 데이터 신호 (DQ0, …, DQ15)를 선택했으나, 보다 많은 비트를 사용함으로써, 마스크되는 데이터 신호의 선택에 종류를 갖게 해도 된다. 이 경우, 마스크되는 데이터 신호 (DQ0, …, DQ15)를 선택하는 마스크 지시 신호의 비트수와, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터를 선택하기 위해 사용하는 비트수의 합계가 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자수를 초과하지 않도록 정하게 된다.

[0145] 본 제 1 실시형태 및 본 제 2 실시형태에서는 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터는 16비트폭의 레지스터가 4개로 했는데, 데이터 신호용 외부 입출력 단자의 수에 맞추어 비트폭을 변경해도 된다.

[0146] 또한, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터의 수도 변경해도 된다. 이 경우, 마스크하는 데이터 신호를 선택에 사용하는 마스크 지시 신호의 비트수와, 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터를 선택하기 위해 사용하는 비트수의 합계가 어드레스 신호 (AD0, …, AD14)용 외부 입력 단자수를 초과하지 않도록 정하게 된다.

[0147] 또한, 본 제 1 실시형태 및 본 제 2 실시형태에서는, 어드레스 신호 (AD0, …, AD14)는 15비트폭이었으나, 반도체 기억 장치의 기억 용량에 맞추어 증감시켜도 된다.

[0148] 또한, 데이터 마스크 신호 (LDM0, …, LDM3)를 마스크 레지스터 회로 (11)에 의해 설정하고, 마스크 패턴 신호 (DM0, …, DM15)를 데이터 마스크 신호 래치 회로 (15)에 의해 설정해도 된다. 요컨대, 이 경우, 외부로부터 입력되는 제어 신호에 기초하여 연속된 데이터의 비트열 (횡축; 시간축)의 입출력을 행하는 반도체 장치에 있어서, 상기 데이터의 입출력의 비트폭 (종축)을 나타내는 복수의 입출력 단자와, 상기 비트열의 각 비트를 개별적으로 마스크하는 마스크 패턴을 복수 기억하는 마스크 레지스터 회로와, 상기 복수의 마스크 패턴을 선택하는 마스크 패턴 선택 신호와, 상기 비트폭의 마스크 비트를 선택하는 마스크 비트열 선택 신호와, 상기 마스크 패턴 선택 신호에 의해 선택된 상기 마스크 패턴과 상기 마스크 비트열 선택 신호를 사용하여 상기 데이터를 마스크하는 데이터 컨버터 회로를 구비하는 반도체 장치가 구체화되어, 본원과 동등한 효과를 실현시킬 수 있다.

[0149] 도 12는 본 발명의 반도체 기억 장치와 그 메모리 콘트롤러를 구비한 메모리 시스템이다.

[0150] 메모리 콘트롤러 (1000)는 반도체 기억 장치 (900)와 커맨드 버스 및 I/O 버스에 의해 접속되어 있다. 반도체 기억 장치 (900)는 메모리 셀 (500)과 데이터 마스크부 (100)로 구성된다. 메모리 콘트롤러 (1000)는 제어 신호 발행 회로 (1100)와 데이터 처리 회로 (1200)로 구성된다. 메모리 콘트롤러 (900)는 미리

데이터 마스크부 (100) 내의 마스크 레지스터 회로 (11) (도 1)에 복수의 마스크 패턴을 저장하기 위해, 제어 신호 발행 회로 (1100) 가 각각 발행하는 모드 레지스터 설정 커맨드 (MRS) (도 3)를 커맨드 버스에 발행한다.

모드 레지스터 설정 커맨드 (MRS)에 동기하여, 마스크 레지스터 회로 내의 복수의 마스크 패턴을 선택하는 어드레스 신호 (ADi)도 제어 신호 발행 회로 (1100)가 커맨드 버스에 발행한다. 또한, 소정 시간 후, 데이터 처리 회로 (1200)가 I/O 버스에서 선택한 마스크 패턴에 대응하는 마스크 패턴 정보를 I/O 버스에 발행한다.

[0151] 메모리 콘트롤러 (1000)는 반도체 기억 장치 (900)에 액세스 (라이트)하는 경우, 제어 신호 발행 회로 (1100)가 각각 발행하는 액티브 커맨드 (ACT) (도 4)와 메모리 어드레스 (X)에 계속하여, 라이트 커맨드 (WRIT) (도 4)와 메모리 어드레스 (Y)를 커맨드 버스에 발행한다. 제어 신호 발행 회로 (1100)는 라이트 커맨드에 동기하여 비트열 마스크 정보 (마스크 비트열 선택 신호)를 커맨드 버스 (LDMi)에 발행한다. 또한, 소정 시간 후, 복수의 마스크 패턴 중 1개의 마스크 패턴을 선택하는 마스크 패턴 선택 신호 (마스크 레지스터 지시 신호)를 커맨드 버스 (어드레스 신호 (ADi))에 발행한다. 또한, 소정 시간 후, 데이터 처리 회로 (1200)는 I/O 버스에서 메모리 셀로의 라이트 데이터를 I/O 버스에 발행한다.

[0152] 메모리 콘트롤러 (1000)는 반도체 기억 장치 (900)에 액세스 (리드)하는 경우, 제어 신호 발행 회로 (1100)가 각각 발행하는 액티브 커맨드 (ACT) (도 4)와 메모리 어드레스 (X)에 계속하여, 리드 커맨드 (READ) (도 6)와 메모리 어드레스 (Y)를 커맨드 버스에 발행한다. 리드 커맨드에 동기하여 비트열 마스크 정보 (마스크 비트열 선택 신호)를 커맨드 버스 (LDMi)에 발행한다. 또한, 소정 시간 후, 복수의 마스크 패턴 중 1개의 마스크 패턴을 선택하는 마스크 패턴 선택 신호 (마스크 레지스터 지시 신호)를 커맨드 버스 (어드레스 신호 (ADi))에 발행한다. 또한, 소정 시간 후, 반도체 기억 장치 (900)가 메모리 버스에 대한 리드 데이터를 I/O 버스에 출력한다.

[0153] 커맨드 버스, I/O 버스에는 도시하지 않은 종단 저항 등이 부하되어, 반도체 기억 장치 (900)로부터 출력되는 리드 데이터 중, 마스크된 데이터 비트에 상당하는 I/O 버스는 전 이력의 리드 데이터가 유지되거나 종단 저항 등에 접속된 전원으로부터 로드에 의해 전 이력의 리드 데이터가 종단 전압값으로 천이된다. 이들은 연속되는 데이터의 비트열의 액세스 주파수에 따라 상이하다. 마스크된 데이터 비트에 상당하는 I/O 버스에 접속되는 반도체 기억 장치 (900) 내의 데이터 드라이버 회로 (12c)는 비제어 (즉, 마스크 제어에 의해 하이 임피던스 제어)가 된다.

도면의 간단한 설명

[0154] 도 1은 제 1 실시형태의 DDR-SDRAM이 구비하는 데이터 신호의 입출력에 관한 회로의 일부분의 내부 구성 및 접속 구성을 나타내는 개략 블록도.

[0155] 도 2는 제 1 실시형태의 DDR-SDRAM이 구비하는 데이터 신호의 입출력에 관한 회로의 일부분의 내부 구성 및 접속 구성을 나타내는 개략 블록도로서, 특히 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)마다 마스크 레지스터를 구비하는 것을 나타내는 도면.

[0156] 도 3은 제 1 실시형태에 관련된 마스크 레지스터의 기억 동작을 설명하기 위한 타이밍차트.

[0157] 도 4는 제 1 실시형태에 관련된 라이트 동작의 마스크를 설명하기 위한 타이밍차트.

[0158] 도 5는 제 1 실시형태 및 제 2 실시형태의 리드 동작에 및 라이트 동작에에서 마스크 레지스터 회로 (11)가 구비하는 마스크 레지스터가 기억하는 마스크 패턴 신호.

[0159] 도 6은 제 1 실시형태에 관련된 리드 동작의 마스크를 설명하기 위한 타이밍차트.

[0160] 도 7은 제 2 실시형태의 DDR-SDRAM이 구비하는 데이터 신호의 입출력에 관한 회로의 일부분의 내부 구성 및 접속 구성을 나타내는 개략 블록도.

[0161] 도 8은 제 2 실시형태의 DDR-SDRAM이 구비하는 데이터 신호의 입출력에 관한 회로의 일부분의 내부 구성 및 접속 구성을 나타내는 개략 블록도로서, 특히 데이터 신호 (DQ0, …, DQ15)용 외부 입출력 단자 (17)마다 마스크 레지스터를 구비하는 것을 나타내는 도면.

[0162] 도 9는 제 2 실시형태에 관련된 라이트 동작의 마스크를 설명하기 위한 타이밍차트.

[0163] 도 10은 제 2 실시형태에 관련된 리드 동작의 마스크를 설명하기 위한 타이밍차트.

[0164]

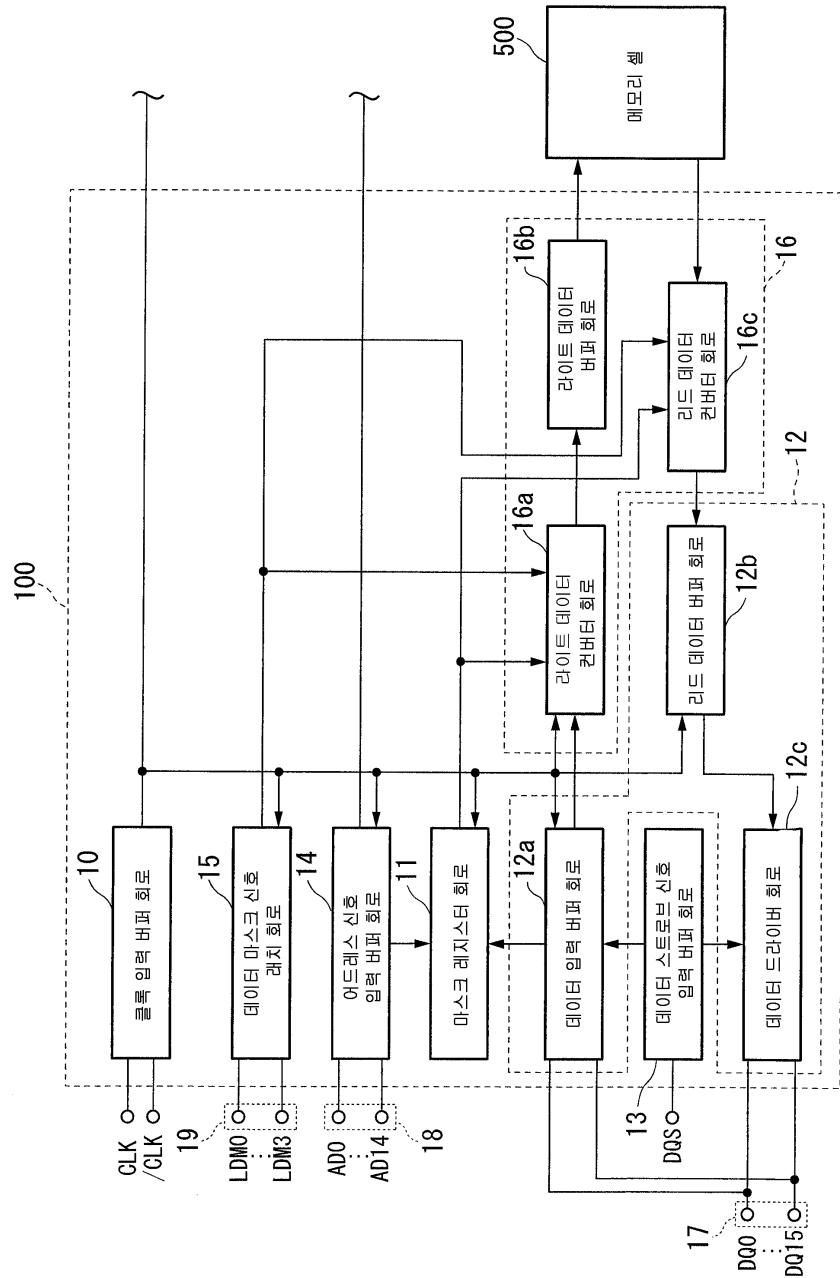
도 11 은 관련 기술의 일레인 라이트 데이터 마스크 동작을 구비하는 반도체 기억 장치의 일부분의 내부 구성 및 접속 구성을 나타내는 개략 블록도.

[0165]

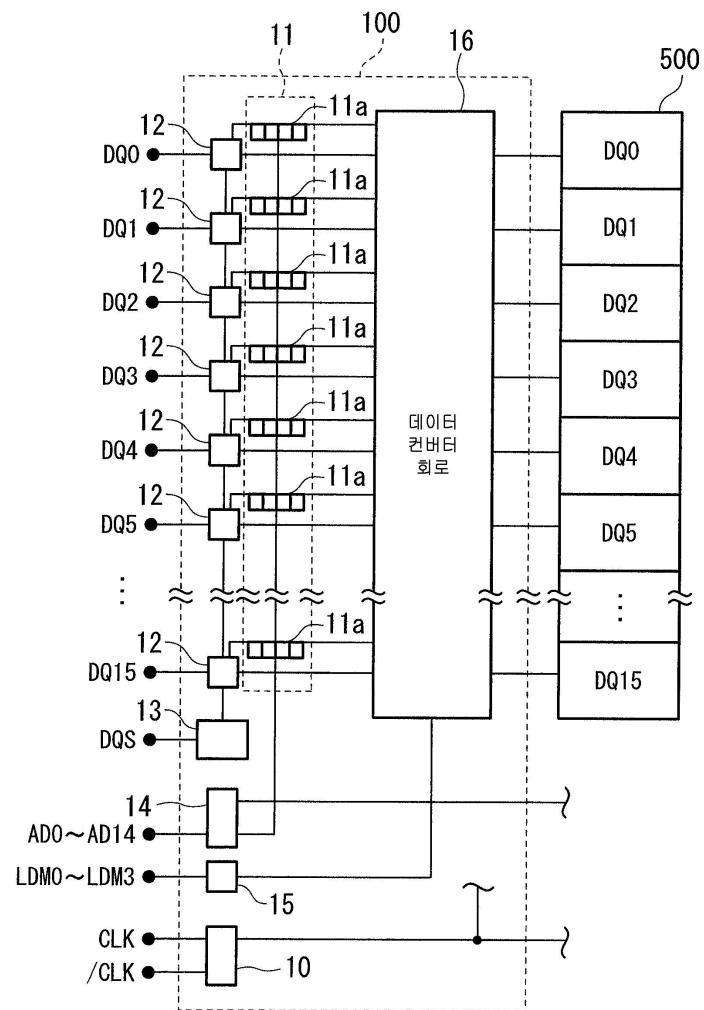
도 12 는 본 발명에 의한 반도체 기억 장치와 그 메모리 컨트롤러를 구비한 메모리 시스템의 구성을 나타내는 개략 블록도.

도면

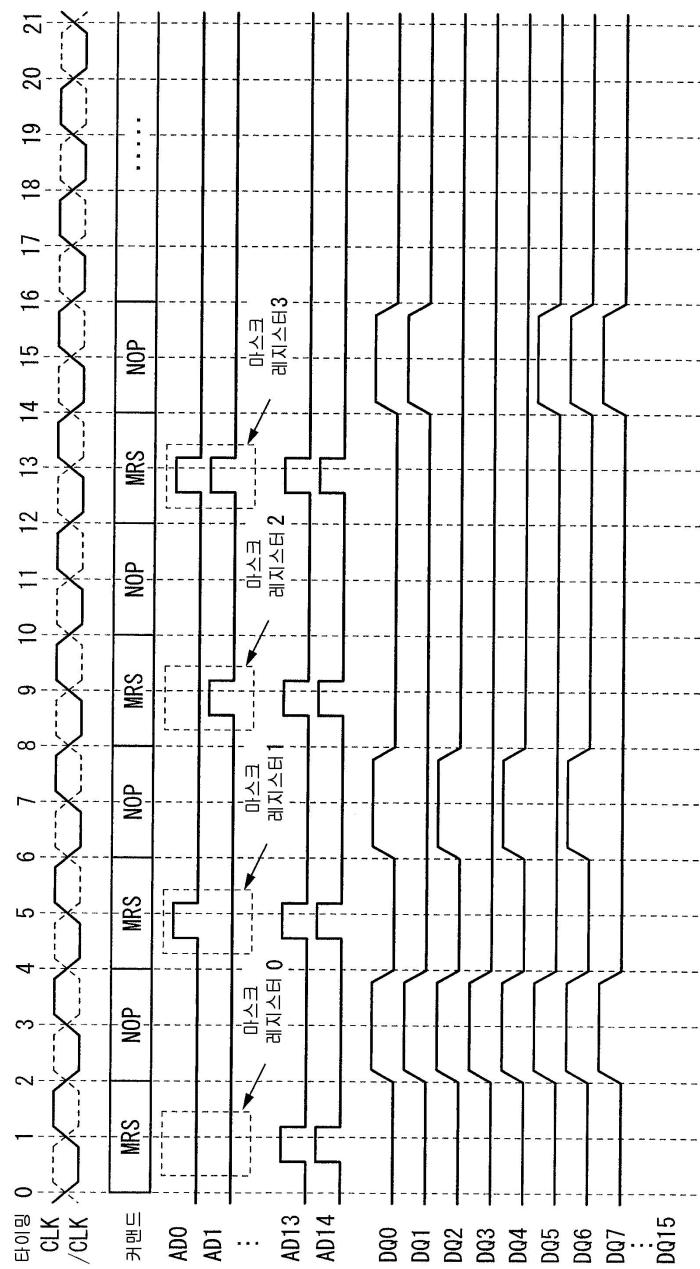
도면1



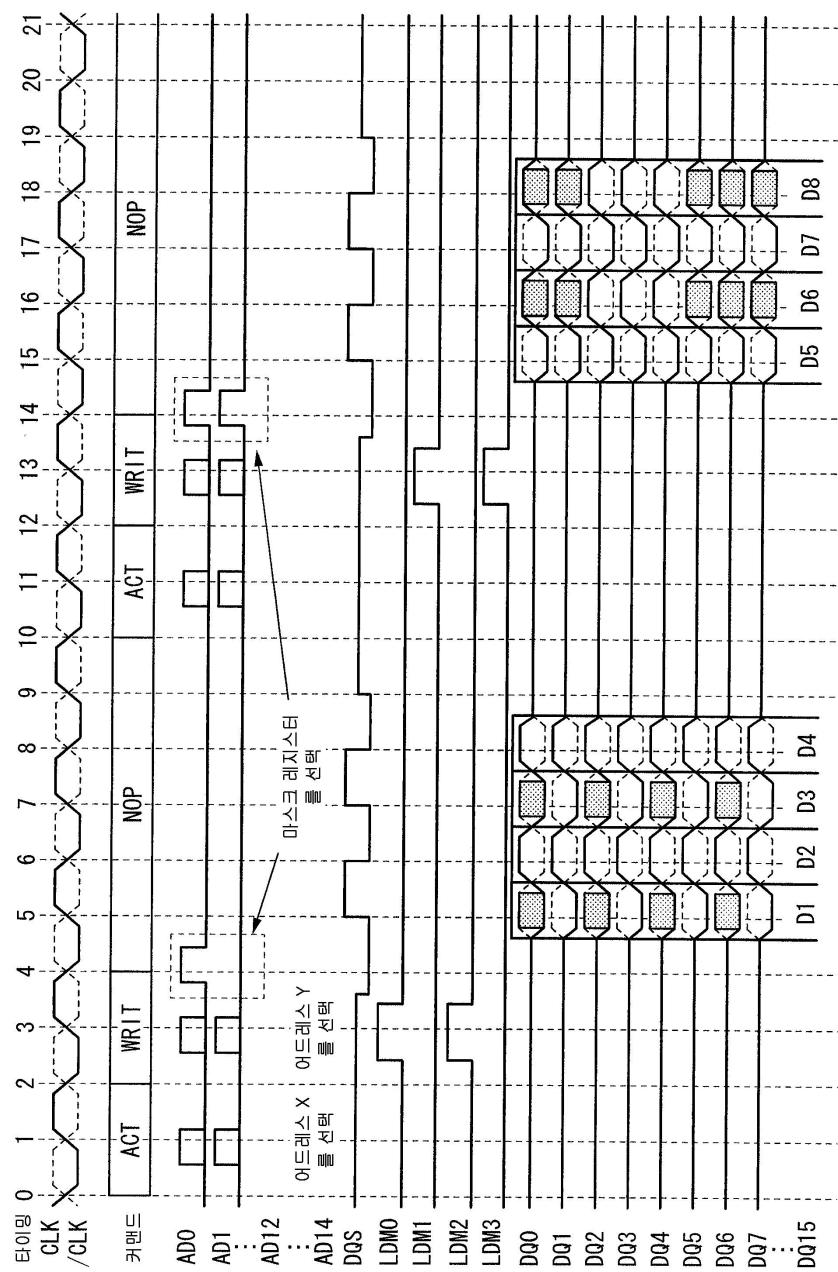
도면2



도면3



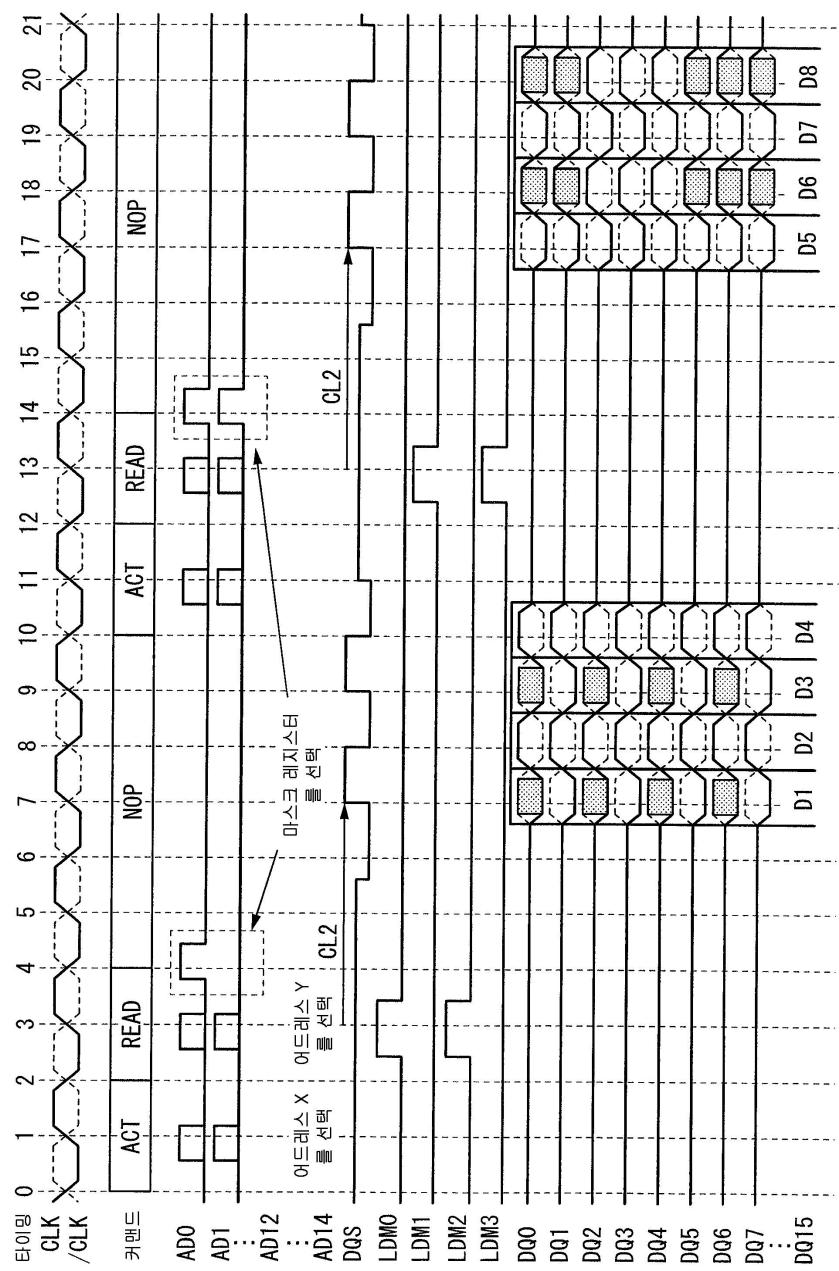
도면4



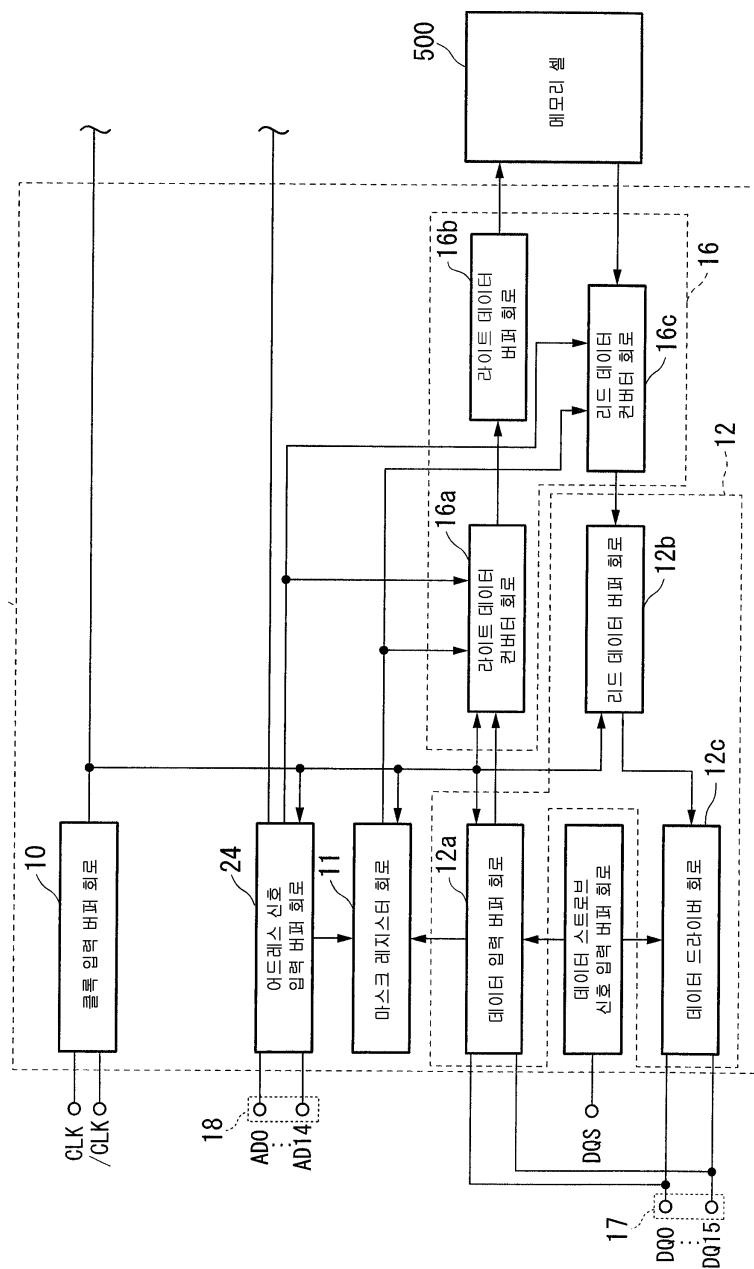
도면5

DM	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
마스크 레지스터 0	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L
마스크 레지스터 1	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L
마스크 레지스터 2	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H
마스크 레지스터 3	H	H	L	L	H	H	H	H	H	H	L	L	H	H	H	H

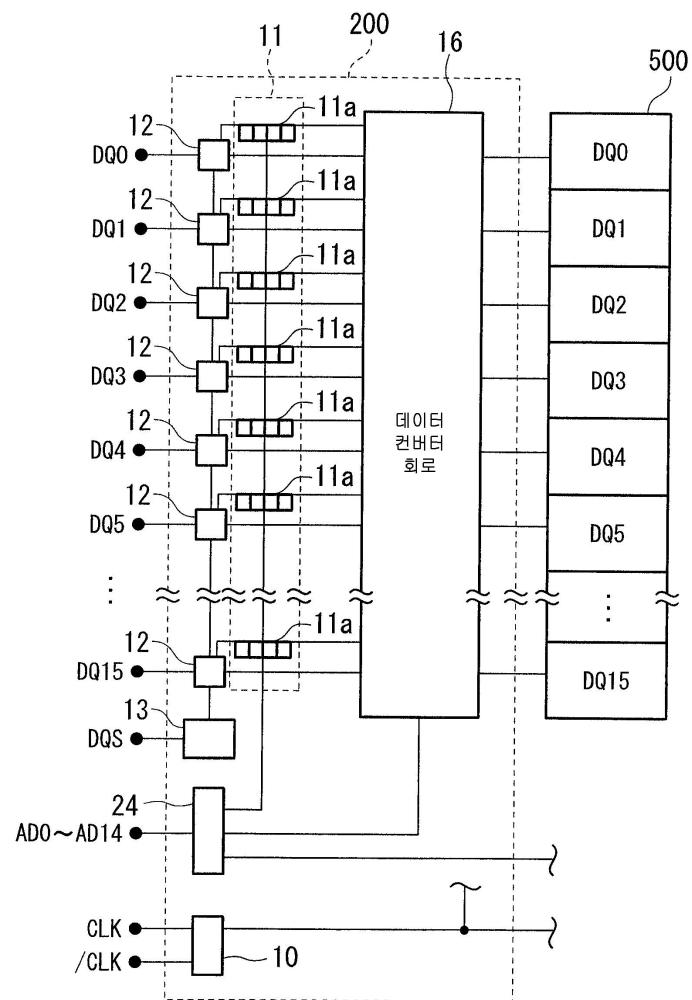
도면6



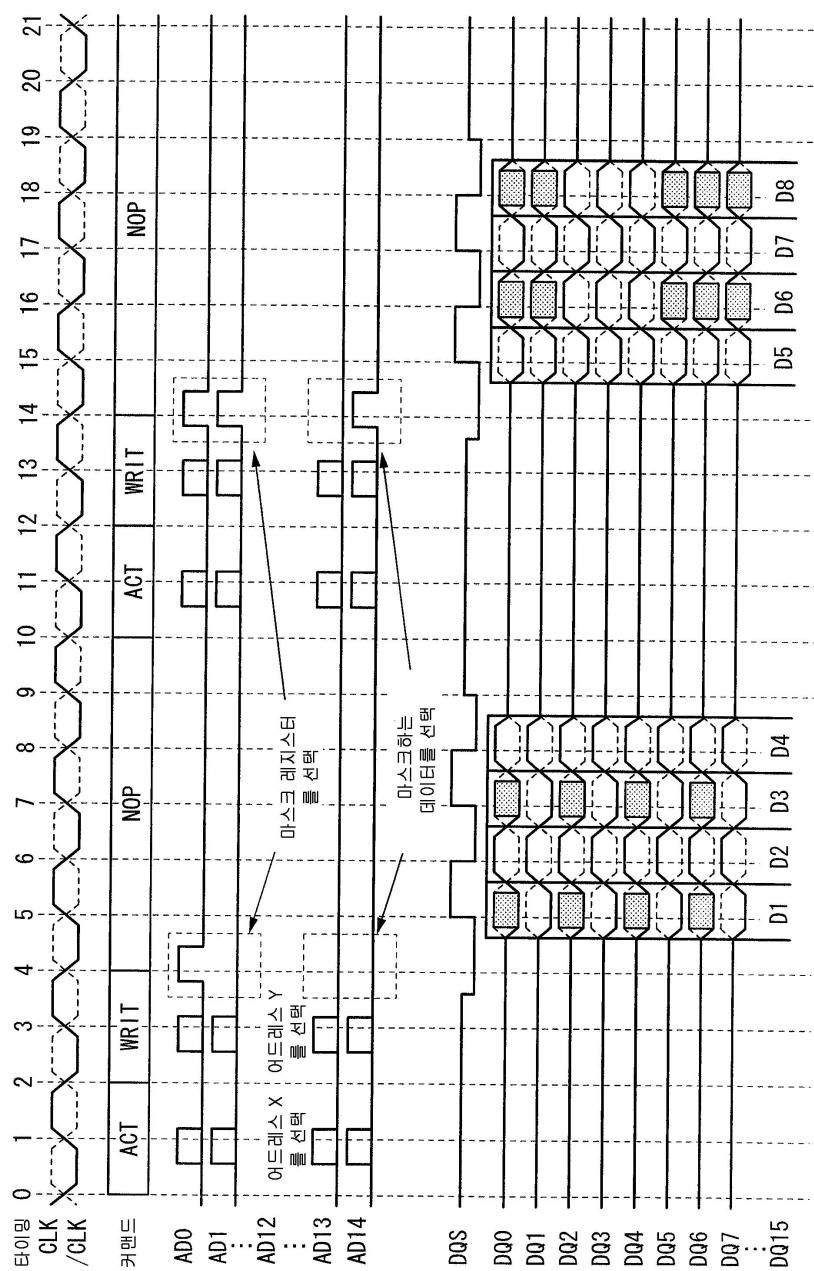
도면7



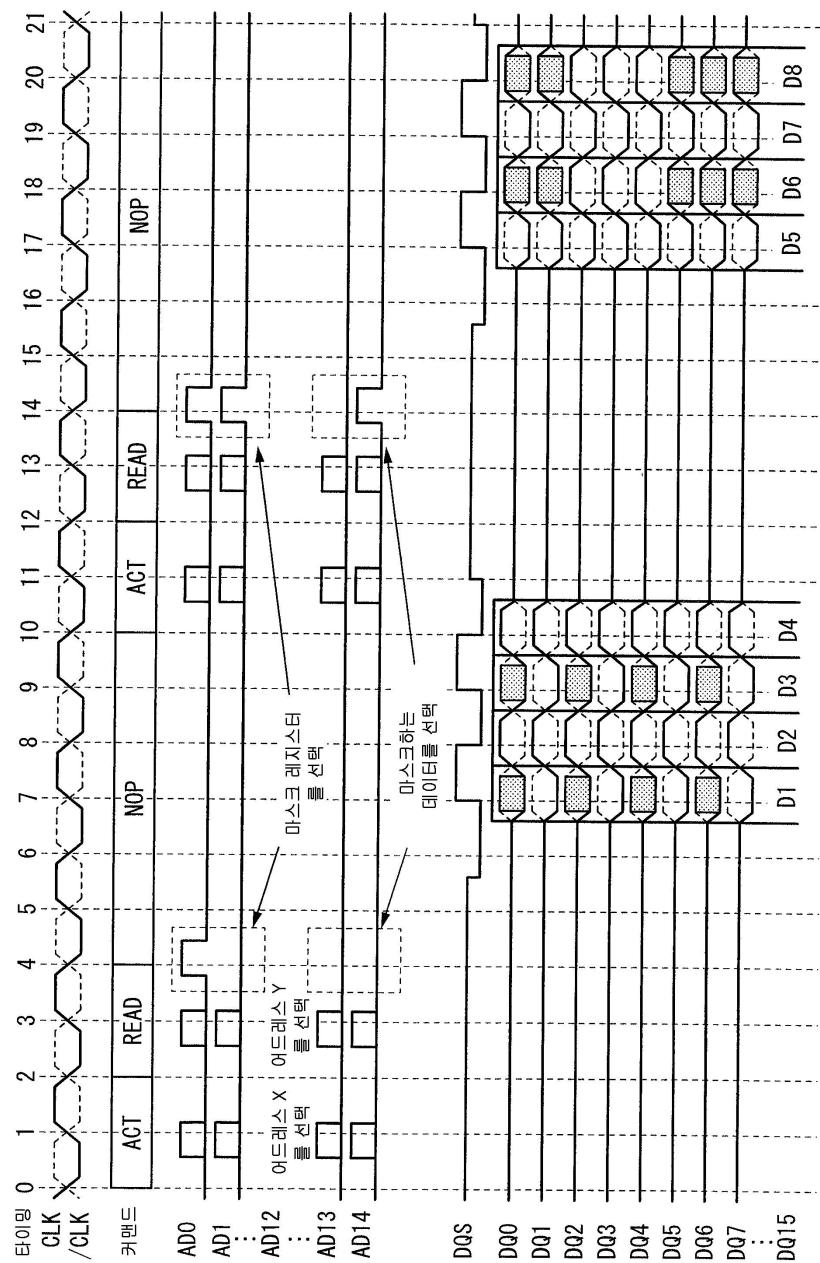
도면8



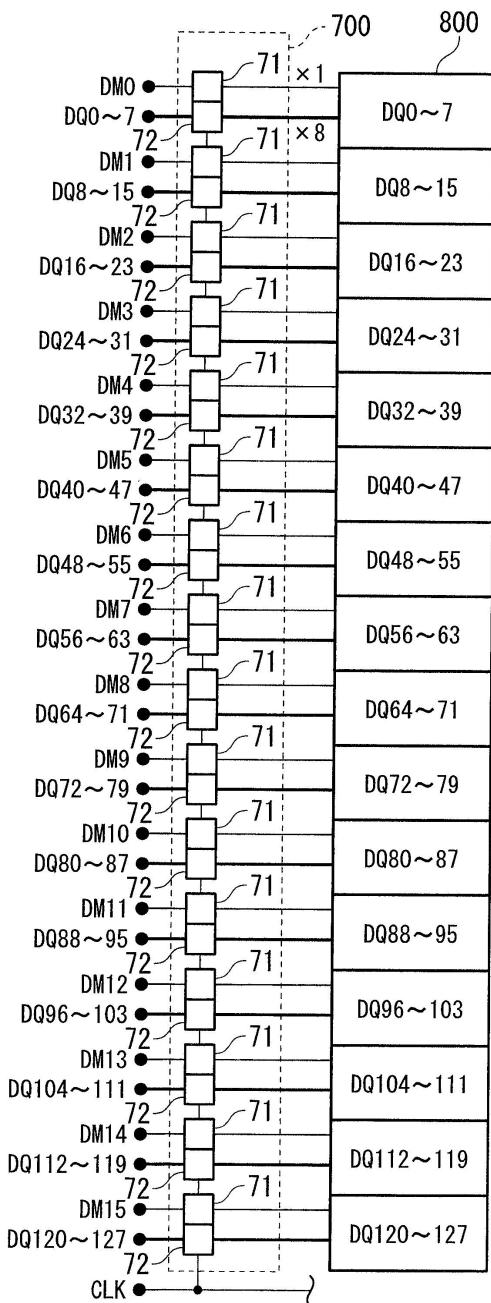
도면9



도면10



도면11



도면12

