



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월07일  
(11) 등록번호 10-2298537  
(24) 등록일자 2021년08월31일

- (51) 국제특허분류(Int. Cl.)  
H03K 17/082 (2006.01) H02M 1/00 (2007.01)  
H02M 1/32 (2021.01) H02M 3/07 (2006.01)  
H02M 3/156 (2006.01) H03K 17/687 (2006.01)  
H03K 5/08 (2006.01)
- (52) CPC특허분류  
H03K 17/0822 (2013.01)  
H02M 1/0009 (2021.05)
- (21) 출원번호 10-2018-7037641
- (22) 출원일자(국제) 2017년06월30일  
심사청구일자 2020년06월29일
- (85) 번역문제출일자 2018년12월26일
- (65) 공개번호 10-2020-0014675
- (43) 공개일자 2020년02월11일
- (86) 국제출원번호 PCT/IB2017/001097
- (87) 국제공개번호 WO 2018/002729  
국제공개일자 2018년01월04일
- (56) 선행기술조사문헌  
JP2003114726 A  
JP2015524207 A  
US20160028307 A1

- (73) 특허권자  
텍사스 인스트루먼트 인코퍼레이티드  
미국 75243 텍사스주 달라스 메일 스테이션 3999  
노스 센트럴 익스프레스웨이 13588
- (72) 발명자  
술메이어, 카일  
미국 75025 텍사스 플라노 주리크 디알. 7809  
아라스, 슈알프  
미국 75206 텍사스 달라스 에이퍼티. 19307 사우스웨스턴 블러바드 8749  
라만, 아비두르  
미국 75081 텍사스 리차드슨 카스카다 디알. 445
- (74) 대리인  
양영준

전체 청구항 수 : 총 20 항

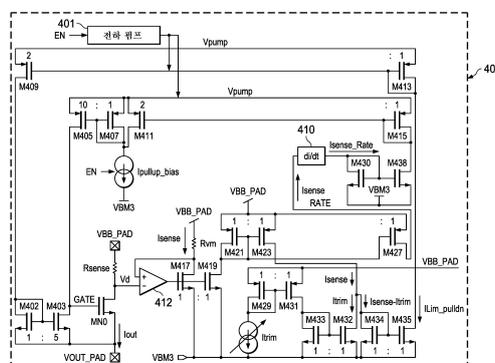
심사관 : 최규돈

(54) 발명의 명칭 높은 유도성 부하 시스템들에서 FET들의 연속적인 전류 제한을 위한 방법들 및 장치들

(57) 요약

설명된 예들에서, 장치(400)는: FET(MNO) 디바이스; FET(MNO)의 드레인 단자에 연결된 제1 공급 전압(VBB\_PAD); FET(MNO)의 소스 단자에 연결된 출력 단자(VOUT\_PAD); FET(MNO)의 게이트 단자에 연결된 바이어스 전류 공급부(Ipullup\_bias); FET(MNO)의 게이트 단자에 연결된 제2 공급 전압(Vpump); 감지 전류를 출력하는 전류 감지 회로(410); 감지 전류 및 미리 결정된 제한치 전류(Itrim)에 연결된 전류 제한치 비교기(M429, M431, M433, M432); FET(MNO)의 게이트 단자에 연결된 풀다운 전류 회로(M402, M403); 감지 전류에 연결된 전류 시간 미분 회로(410); 및 감지 전류를 수신하도록 연결되고 바이어스 전류 공급부(Ipullup\_bias)에 연결된 회로(M430, M438, M415, M411)를 포함한다.

대표도



(52) CPC특허분류

*H02M 1/32* (2013.01)

*H02M 3/07* (2013.01)

*H02M 3/156* (2013.01)

*H03K 17/687* (2013.01)

*H03K 5/08* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

장치로서,

드레인 단자, 소스 단자 및 게이트 단자를 갖는 FET;

상기 FET의 상기 소스 단자와 상기 드레인 단자 사이의 전류 전도 경로에 전류를 공급하기 위해 연결된 제1 공급 전압;

상기 FET의 상기 전류 전도 경로를 통해 흐르는 전류를 수신하도록 연결된 출력 단자;

상기 FET의 상기 게이트 단자에 연결된 바이어스 전류 공급부;

상기 FET의 상기 게이트 단자에 연결된 제2 공급 전압;

상기 FET를 통해 흐르는 전류에 비례하는 감지 전류를 출력하도록 연결된 전류 감지 회로;

상기 감지 전류에 연결되고 상기 감지 전류를 미리 결정된 제한치 전류와 비교하는 전류 제한치 비교기;

상기 전류 제한치 비교기에 연결되고 상기 FET의 상기 게이트 단자로부터 전류를 제거하도록 연결된 풀다운 전류 회로;

상기 감지 전류에 연결되고 감지 전류율(sense rate current)를 출력하는 전류 시간 미분 회로; 및

상기 감지 전류율을 수신하도록 연결되고 상기 바이어스 전류 공급부에 연결된 회로

를 포함하는, 장치.

#### 청구항 2

제1항에 있어서,

상기 전류 제한치 비교기로부터 상기 풀다운 전류 회로에 연결된 인에이블 출력을 더 포함하는, 장치.

#### 청구항 3

제1항에 있어서,

상기 감지 전류율에 응답하여 상기 FET의 상기 게이트 단자로의 상기 바이어스 전류를 감소시키는 회로를 더 포함하는, 장치.

#### 청구항 4

제1항에 있어서,

상기 미리 결정된 제한치 전류는 프로그램 가능한, 장치.

#### 청구항 5

제4항에 있어서,

상기 미리 결정된 제한치 전류는 기입 가능한 저장 회로에 저장되는, 장치.

#### 청구항 6

제1항에 있어서,

상기 감지 전류에 연결된 상기 전류 시간 미분 회로는 상기 감지 전류의 증가율이 미리 결정된 문턱치를 초과할 때 상기 감지 전류율을 출력하기 위한 전류율 검출 회로를 포함하는, 장치.

**청구항 7**

제1항에 있어서,

상기 감지 전류율과 상기 바이어스 전류 공급부 사이에 연결된 인에이블 회로; 및

상기 감지 전류 및 기준 전류에 연결되고, 상기 인에이블 회로에 인에이블 신호를 출력하는 전류율 인에이블 비교기 회로

를 더 포함하는, 장치.

**청구항 8**

제7항에 있어서,

상기 전류율 인에이블 비교기 회로는 스케일링 팩터(scaling factor)를 포함하고, 상기 전류율 인에이블 비교기 회로는 상기 감지 전류와, 상기 스케일링 팩터 및 상기 미리 결정된 제한치 전류의 곱셈된 결과 간의 차이를 상기 기준 전류와 비교하는, 장치.

**청구항 9**

제8항에 있어서,

상기 스케일링 팩터는 프로그램 가능한, 장치.

**청구항 10**

제9항에 있어서,

상기 스케일링 팩터를 저장하는 프로그램 가능한 저장 회로를 포함하는, 장치.

**청구항 11**

제10항에 있어서,

상기 프로그램 가능한 저장 회로를 어드레싱하기 위해 연결된 외부 버스 인터페이스를 포함하는, 장치.

**청구항 12**

방법으로서,

인에이블 신호를 수신하는 단계;

공급 전압 단자와 전류 공급용 출력 단자 사이에 FET의 전류 전도 경로를 연결하는 단계;

상기 FET의 게이트 단자에 전압 및 풀업 바이어스 전류를 연결하는 단계;

상기 FET를 통해 흐르는 전류를 감지하는 단계;

상기 FET를 통해 흐르는 상기 감지된 전류를 미리 결정된 전류 제한치와 비교하는 단계;

상기 FET를 통해 흐르는 상기 전류를 상기 미리 결정된 전류 제한치와 비교하는 것에 응답하여, 상기 FET의 상기 게이트 단자에서의 전류를 감소시키는 단계;

상기 FET를 통해 흐르는 전류의 증가율을 증가율 문턱치와 비교하는 단계; 및

상기 FET를 통해 흐르는 상기 전류의 증가율을 비교하는 것에 응답하여 상기 FET의 상기 게이트 단자로의 상기 풀업 바이어스 전류를 감소시키는 단계

를 포함하는, 방법.

**청구항 13**

제12항에 있어서,

상기 FET를 통해 흐르는 상기 전류의 증가율을 비교하는 단계는:

상기 FET를 통해 흐르는 상기 전류를 상기 미리 결정된 전류 제한치의 미리 결정된 백분율인 문턱치와 비교하는 단계; 및

상기 비교에 응답하여, 상기 FET의 상기 게이트 단자로의 상기 풀업 바이어스 전류를 감소시키는 단계를 인에이블하는 단계

를 더 포함하는, 방법.

**청구항 14**

제12항에 있어서,

상기 FET의 상기 게이트 단자에서의 상기 전류를 감소시키는 단계 이후, 상기 FET를 동작하여 상기 출력 단자에서의 전류를 미리 결정된 전류 제한치로 공급하는 단계를 더 포함하는, 방법.

**청구항 15**

제12항에 있어서,

상기 공급 전압 단자와 상기 전류 공급용 출력 단자 사이에 FET의 전류 전도 경로를 연결하는 단계는 상기 FET의 드레인 단자를 공급 전압에 연결하고 상기 FET의 소스 단자를 상기 출력 단자에 연결하는 단계를 더 포함하는, 방법.

**청구항 16**

제12항에 있어서,

상기 공급 전압과 상기 전류 공급용 출력 단자 사이에 상기 FET의 전류 전도 경로를 연결하는 단계는 상기 FET의 드레인 단자를 전류 공급용 단자에 연결하고, 상기 FET의 소스 단자를 접지 전위 수신용 단자에 연결하는 단계를 더 포함하는, 방법.

**청구항 17**

제12항에 있어서,

상기 FET의 상기 게이트 단자에 상기 전압 및 상기 풀업 바이어스 전류를 연결하는 단계는 공급 전압보다 큰 증가된 게이트 전압을 공급하는 단계를 더 포함하는, 방법.

**청구항 18**

제12항에 있어서,

상기 FET를 통해 흐르는 상기 감지된 전류를 상기 미리 결정된 전류 제한치와 비교하는 단계는 상기 감지된 전류를 기입 가능한 저장 회로에 저장된 조정 가능한 전류 제한치와 비교하는 단계를 포함하는, 방법.

**청구항 19**

집적 회로로서,

전압 공급부와 부하 사이에 연결된 전류 전도 경로를 갖는 전력 FET의 게이트를 구동하기 위한 단자;

상기 집적 회로에 공급 전압을 연결하기 위한 전압 입력 단자;

상기 전력 FET의 상기 게이트를 구동하기 위한 단자 및 증가된 전력 공급부를 연결하기 위한 상기 전압 입력 단자에 연결된 풀업 바이어스 회로;

상기 전력 FET에 흐르는 전류에 비례하는 전압을 수신하는 상기 전압 입력 단자에 연결되고, 감지된 전류 출력을 갖는 전류 감지 회로;

상기 감지된 전류를 전류 제한치와 비교하는 전류 제한치 비교기;

상기 전류 제한치 비교기 및 상기 전력 FET의 상기 게이트를 구동하기 위한 상기 단자에 연결된 풀다운 전류 회로;

상기 감지된 전류에 연결된 전류 시간 미분 회로; 및  
 상기 전류 시간 미분 회로 및 상기 풀업 바이어스 회로에 연결된 전류 감소 회로  
 를 포함하는 집적 회로.

**청구항 20**

제19항에 있어서,  
 상기 전류 제한치를 설정하는 조정 가능한 트립 전류 공급부를 더 포함하는, 집적 회로.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 일반적으로 전력 트랜지스터들에 관한 것으로, 보다 상세하게는 높은 유도성 부하(inductive load)를 구동하는 전력 전계 효과 트랜지스터(field effect transistor)(FET) 디바이스에 관한 것이다.

**배경 기술**

[0002] 전력 전계 효과 트랜지스터(FET)들은 높은 유도성 부하들을 구동하는데 점점 더 많이 사용되고 있다. 예시적인 애플리케이션에서, 전력 FET는 자동차 또는 다른 차량의 헤드램프(headlamp) 또는 전조등(headlight)을 구동한다. 전력 FET는 전력 공급 장치(power supply)와 고전류 전구(high current bulb) 사이에 케이블을 사용하여 연결되어 전력 FET 회로로부터의 전류를 헤드램프에 연결한다. 케이블과 전구는 5 μH를 초과하는 높은 유도성 부하를 나타낼 수 있다. 예시적인 자동차 애플리케이션에서, 유도성 부하는 5 내지 20 μH 범위 내에 있을 수 있다. 일부 통상적인 전조등들의 전구들은 턴 온시 매우 높은 전류를 필요로 한다. 예를 들어, 전조등의 "돌입" 전류(처음에 턴 온시 인출되는 전류)는 90 내지 100 암페어 범위 내에 있을 수 있다.

[0003] 전력 FET는 디바이스에 손상 없이 유지될 수 있는 전류 및 전압의 안전한 동작 영역(safe operating area)(SOA)을 갖는다. SOA는 FET 제조업체에 의해 결정된다. SOA는 FET에 손상 없이 안정적인 동작을 보장하고 FET가 제품의 예상 수명을 충족하도록 보장해야 하는 전류 및 전압 조건을 나타낸다. 전력 FET를 보호하고 디바이스가 권장된 SOA 내에서 동작하도록 유지하기 위해, 전류 제한이 사용된다. 그러나, 전류 제한 회로로 하여금 셋다운하게 하거나 FET 디바이스에 흐르는 전류를 제한하게 하는, FET를 통한 매우 높은 전류가 발생하면, 유도성 부하에 저장된 에너지가 방전되어야 한다. FET가 오프될 수 있거나 턴 오프될 수도 있지만, FET는 여전히 유도성 부하와 전력 공급 장치 사이의 회로 내에 있으며, 저장된 에너지는 FET를 통해 방전된다. FET를 통한 인덕터 에너지의 방전은 SOA 경계 조건들이 위반될 수 있기 때문에 바람직하지 않은 디바이스 스트레스를 유발하거나 심지어는 FET를 파괴시킬 수도 있다. 전력 FET 회로의 통상적인 전류 제한치 또는 셋다운의 특정한 특성은 턴 오프시에 전류 오버슈트가 발생할 수 있거나 또는 FET의 전류 제한치가 FET에 대한 SOA의 경계를 초과할 수 있다는 것이다.

**발명의 내용**

[0004] 설명한 예들에서, 장치는: 드레인 단자, 소스 단자 및 게이트 단자를 갖는 FET 디바이스; FET의 드레인 단자에 연결된 제1 공급 전압; FET의 소스 단자에 연결된 출력 단자; FET의 게이트 단자에 연결된 바이어스 전류 공급부; FET의 게이트 단자에 연결된 제2 공급 전압; FET를 통해 흐르는 전류에 비례하는 감지 전류를 출력하도록 연결된 전류 감지 회로를 포함한다. 감지 전류에 연결된 전류 제한치 비교기는 감지 전류를 미리 결정된 제한치 전류와 비교하고; 풀다운 전류 회로는 FET의 게이트 단자로부터 전류를 제거하도록 연결되며; 전류시간 미분 회로(current time derivative circuit)는 감지 전류에 연결되어 감지 전류율(sense rate current)를 출력하며; 회로는 감지 전류율을 수신하도록 연결되고 바이어스 전류 공급부에 연결된다.

**도면의 간단한 설명**

[0005] 도 1은 유도성 부하에 연결된 통상의 하이 사이드(high side) 전력 FET 회로 및 드라이버 디바이스의 회로도이다.

도 2는 유도성 부하에 연결된 통상의 로우 사이드(low side) 전력 FET 회로 및 드라이버 디바이스의 다른 회로도이다.

도 3a 및 3b는 통상의 전력 FET 회로에 대한 전압 및 전류의 2 개의 그래프이다.

도 4는 하이 사이드 드라이버 구성의 전력 FET 실시예의 회로도이다.

도 5는 추가적인 전력 FET 실시예의 다른 회로도이다.

도 6a 내지 도 6d는 예시적인 전력 FET 회로들에 대한 입력 전압 및 출력 전류의 그래프들이다.

도 7은 로우 사이드 드라이버 구성의 전력 FET 실시예의 회로도이다.

도 8은 예시적인 방법의 흐름도이다.

도 9는 대안적인 방법의 다른 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0006] 도면들에서, 달리 지적하지 않는 한, 대응하는 번호들과 부호들은 일반적으로 대응하는 부분들을 지칭한다. 도면은 반드시 축척대로 그려지는 것은 아니다.
- [0007] "연결된"이라는 용어는 개재하는 요소들과 이루어진 접속들을 포함할 수 있고, "연결된" 임의의 요소들 사이에는 추가 요소들 및 다양한 접속들이 존재할 수 있다.
- [0008] 도 1은 전력 FET를 사용하여 유도성 부하에 전류를 공급하는 통상적인 회로의 회로도이다. 도 1에서, 전력 FET(MNO)는 전력 FET가 드레인 단자에서 전력 공급 장치에 연결되고, 소스 단자로부터 전류를 부하에 공급하는 "하이 사이드" 드라이버로서 배열된다. 도 1에서 FET(MNO)는 N-형 FET로서 도시되어 있다. 대안적인 배열에서, FET(MNO)는 드레인 및 소스 단자들이 반대로 된 P-형 FET로서 배열될 수도 있다. 다양한 FET 디바이스들이 전력 애플리케이션들에 이용 가능하며 이들은 실시예들에 적용 가능하다.
- [0009] FET 디바이스의 게이트 전도체 및 게이트 절연체는 반도체 기판과의 커패시터를 형성한다. 전력 FET의 경우, 게이트 커패시턴스가 상당히 클 수 있다. 전력 FET를 초기 오프 상태에서 온 상태로 전환하려면, 게이트 커패시터가 충전되어야 한다. 그런 다음 FET를 온 상태에서 오프 상태로 전환하려면, 게이트 커패시터가 방전되어야 한다. FET의 스위칭 속도는 회로의 적절한 동작에 중요하기 때문에, 게이트 드라이버 디바이스들이 종종 FET의 게이트 단자에 연결되어 전력 FET를 턴 온하고 턴 오프한다. 실질적인 전류는 게이트 단자에 공급되거나, 또는 스위칭 동작들 동안, 전력 FET의 게이트 단자로부터 나와서, 게이트 커패시터를 충전 및 방전하고 필요에 따라 FET를 턴 온 또는 턴 오프할 수 있다.
- [0010] 도 1에서, 하이 사이드 드라이버로서 부하를 구동하기 위한 통상적인 전력 FET 회로(100)가 도시된다. 전력 FET(MNO)는 GATE라고 표시된 게이트 단자에서의 전압 및 전류에 응답하여 단자(VOUT)에 전압 및 전류를 공급한다. 공급 전압(VBB)은 입력 단자(VIN)에 연결되어 FET의 드레인-소스 전류 전도 경로(drain to source current conduction path)에 전류를 공급한 다음 단자(VOUT)에 있는 부하에 전류를 공급한다. 추가적인 FET 디바이스들을 또한 포함할 수 있는 드라이버 회로(105)는 EN이라고 표시된 입력 인에이블 신호에 응답하여 FET 게이트 신호를 FET 단자(GATE)에 공급한다. 이러한 예시적인 배열에서, 드라이버 회로(105)는 전하 펌프(101)로부터 전력을 공급 받는다. 전하 펌프(101)는 GATE 신호를 구동하기 위한 전압(VIN)보다 큰 전압을 제공한다. 단자(VOUT)에서의 출력 전압은 입력(VIN)에 가까운 높은 전압 레벨들을 취할 수 있다. 이러한 출력 전압(VOUT)은 FET(MN-0)의 소스 단자에 있다. 트랜지스터(MNO)를 턴 온하기 위해, 단자(GATE)에서의 전압은 소스 전압보다 트랜지스터 문턱 전압( $V_t$ )만큼 상승되어야 한다. 실질적으로 공급 전압을 공급 전압(VIN)보다 높은 FET GATE 입력으로 상승시킴으로써, FET(MNO)는 드라이버(105)에 의해 언제나 턴 온될 수 있다. 일 예에서, 전하 펌프는 VIN보다 13 볼트만큼 증압된(boosted) 펌프 전압을 게이트 드라이버(105)에 출력한다.
- [0011] 전류들을 부하에 공급할 때, FET(MNO)는 보통 선형 모드로 동작한다. 이 모드에서 전력 FET의 동작시, VOUT은 VIN과 거의 동일해질 수 있다.
- [0012] 도 1에서, 전력 FET(MNO)를 보호하기 위해 전류 제한이 적용된다. 예시적인 자동차 애플리케이션에서, FET(MNO)의 소스에서 출력(VOUT)에 연결된 케이블은 헤드램프와 같은 부하(109)에 연결될 수 있다. 예컨대 차량 사고로 인해 전조등 또는 케이블이 손상되면, 접지로의 단락이 발생할 수 있다. 이것은 도 1에 도시된 경우이다. 단락이 발생한 경우, 출력(VOUT)에 인출되는 전류는 전력 FET(MNO)가 안전하게 전도할 수 있는 전류를 빠르게 초과시킬 수 있다. 도 1에서, 부하는 도시되지 않은 전구로 도시되지만 케이블(109)은 접지에 단락된 것으로 도시된다. 전류 감지 회로는 전력 FET(MNO)를 통해 흐르는 전류를 검출 및 제한하여 전력 FET를 보호하

는데 사용된다. 일부 애플리케이션들에서, 전류 제한치에 도달할 때, 전력 FET는 디스에이블될 수 있다. 다른 애플리케이션들에서, 전류 제한치에 도달할 때, 전력 FET는 최대 안전 전류를 전도하면서 부하에 전력을 계속 공급하도록 동작된다.

[0013] 도 1에서, 감지 저항기(Rsense)는 입력 전압(VIN)과 FET(MNO)의 드레인 단자 사이에 연결된다. 저항기(Rsense)를 통해 흐르는 전류는 (FET(MNO)를 통해 흐르는 드레인-소스 전류 또는 Ids 전류이기도 한) 출력 전류와 동일하다. 따라서 감지 저항기(Rsense) 양단에 발생된 전압은 옴의 법칙(Ohm's law)의 작용으로 인해, FET 전류에 비례한다. 저항기(Rsense) 양단의 전압은 전압-전류(voltage-to-current)(V/I) 변환기(103)에 의해 전류로 변환된다. 감지된 전류가 증가함에 따라, 도 1에서 Iclimit라고 표시된 전류가 드라이버(105)로부터 출력된 게이트 전류를 조절하고 이에 따라 GATE 단자 쪽으로의 전류를 감소시킨다. 사용 가능한 전류를 제한함으로써, 전력 FET(MNO)를 통해 흐르는 드레인-소스 전류는 최대 레벨로 제한될 수 있다. 헤드램프 드라이버 애플리케이션과 같은 중요 애플리케이션에서, 시스템은 FET가 최대 안전 전류로 지속적으로 부하에 전류를 공급하는 것을 요구할 수 있다. 예를 들어, 이러한 조건은 전조등의 처음의 턴 온 중에 높은 돌입 전류가 유지되어야 하는 때의 시동 시에도 존재할 수 있다.

[0014] 도 1의 통상적인 전력 FET 회로의 문제점은 FET(MNO)가 예컨대 하강 신호(falling signal)(EN)에 응답하여 턴 오프될 때, 부하(109)가 방전되어야 하는 에너지를 (특히 유도성 부하를 구동할 때) 내부에 저장해 놓았을 수 있다는 것이다. FET의 게이트 커패시턴스를 방전하는 경로가 없으면, FET가 턴 오프되기 전에 바람직하지 않게 긴 시간이 경과할 수 있다. 이 시간 동안 FET는 방전 인덕터(부하)와 직렬 회로를 이루며, FET로 흐르는 큰 전류로 인해, FET의 SOA 조건을 초과하는 Ids 전류가 발생할 수 있다.

[0015] 회로(100)는 보통 케이블이 헤드램프에 연결되지만, 접지에 단락된 것으로 도시된 것을 나타내는 것과 같이, 유도성 부하(109)에 연결된 것으로 도시된다. 자동차 애플리케이션들에서, 부하는 약 5 내지 20 μH 범위일 수 있다. 다른 부하들은 FET(MNO)에 의해 구동될 수 있다.

[0016] 도 2는 로우 사이드 드라이버 애플리케이션에 대한 통상적인 전력 FET 회로(200)의 회로도이다. 도 2의 회로(200)는 도 1의 회로(100)와 유사하고 그 방식대로 동작하는 여러 구성요소를 포함한다. 도 2에서, 드라이버(205), 감지 저항기(Rsense), 전압-전류(V/I) 회로(203) 및 전력 FET(MNO)는 모두 도 1의 유사한 요소들에 대응하여, 편의상 참조 표시들은 이제 도 1의 "1XX"에서 도 2의 "2XX"로 바뀐다. 도 2에서, 회로(200)는 "드라이버 공급부(driver supply)"라고 표시된 단자에서의 전압에 의해 공급 받는 한편, 전력 FET(MNO)는 부하(209)에 연결된 드레인 단자("DRAIN")를 갖는다. 이러한 예시적인 배열에서 부하는 공급 전압(VBB)과 전력 FET의 드레인 사이에 직렬로 연결된다. 일부 예들에서, 이러한 전압(VBB)은 납 축전지로부터 공급된 12 내지 13 볼트일 수 있다. 다른 예들에서, 24 볼트, 48 볼트, 6 볼트 또는 더 높거나 낮은 전압들과 같은 다른 전압들이 사용될 수 있다. 전조등 스위치의 예에서, 부하(209)는 전조등 및 배터리를 전조등에 접속하는 케이블을 포함한다. 부하(209)는 인덕터로서 도시된다. 예시적인 자동차 애플리케이션들에서, 인덕터(209)는 5 내지 20 μH의 범위에 있을 수 있다. 회로(200)는 다른 부하들을 또한 구동할 수 있다.

[0017] 도 1과 도 2 각각의 하이 사이드 배열과 로우 사이드 배열 간의 하나의 차이점으로, 도 2의 FET 게이트 단자(GATE)는 도 1에서와 같이 승압된 전압에 연결될 필요가 없다. 도 2의 로우 사이드 드라이버 구성에서 FET(MNO)의 소스 단자는 감지 저항기(Rsense)를 통해 접지에 연결된다. 이제 FET(MNO)를 턴 온하는데 필요한 게이트-소스 전압은 그저 문턱 전압(Vt)에다 접지보다 높은 감지 저항기(Rsense)의 전압을 더한 전압이고, 그래서 이 예에서, GATE 전압을 공급하는 어떠한 전하 펌프도 필요하지 않다.

[0018] 도 2의 회로의 동작에서, FET(MNO)는 드라이버 회로(205)가 인에이블 신호(EN)를 수신할 때 FET에 대한 문턱치 전압(Vt)보다 적어도 높은 전압으로 상승되는 게이트 단자(GATE)에서의 전압에 응답하여, 전류가 부하(209)를 통해 흐르게 한다. 부하(209)를 통해 흐르는 전류는 FET에 의해 전도된 드레인-소스 전류와 동일하며, 이러한 동일한 전류는 감지 저항기(Rsense)를 통해 접지로 흐른다. 저항기(Rsense) 양단의 전압은 옴의 법칙의 작용으로 인해 FET(MNO)를 통해 흐르는 전류에 비례한다. 전압은 V/I 또는 전압-전류 변환기(203)에 의해 전류로 변환된다. FET 전류는 제한치 전류(Iclimit)를 사용하여 드라이버(205)로부터 전류를 제거함으로써 제한된다. 감지된 전류가 문턱 전류 레벨을 초과하면, Iclimit은 도 1의 하이 사이드 드라이버 회로에 대한 전류 제한 동작과 동일한 방식으로, 게이트 단자(GATE)에서 전력 FET(MNO) 쪽으로의 전류를 감소시킨다.

[0019] 도 3a 및 도 3b는 턴 온 동작시 회로(100)와 같은 FET 회로의 전압 입력 및 대응 전류의 전압 그래프 및 전류 그래프이다. 도 3a 및 도 3b의 수평 축은 밀리초 단위의 시간을 도시한다. 도 3a의 수직 축은 데이터 라인(301)에서 입력 단자(EN) 상의 상승 전압(rising voltage)을 도시한다. 시간(20.0)에서 인에이블 단자는 3.4

볼트의 상승 전압을 수신한다. 데이터 라인(303)은 도 3b의 수직 축상의 FET(MN0)를 통해 흐르는 전류를 도시한다. 이 예에서 전류 제한은 90 암페어인 것으로 정해진다. 도 3b의 데이터 라인(303)에서, 전류는 시간(M3: 20.3)에서 지정된 전류 제한치를 오버슈트하여, 190 암페어보다 높은 최대 전류까지 상승하며, 이것은 90 암페어라는 원하는 전류 제한치보다 100 암페어 높은 레벨이다. 시간(M2: 21.95)에서, 전류는 거의 90 암페어의 제한치인 90.89 암페어에서 안정화된다. 제한치(여기서는 90 암페어)에 도달할 때 전류 제한 회로가 게이트 신호를 감소시키더라도, 게이트 커패시턴스를 방전하고 FET에서 전류 흐름을 감소시키는데 시간이 걸려 전력 FET(MN0)가 감소된 전류에서 동작할 수 있을 때까지는 전류 오버슈트가 발생하기 때문에, 전류 오버슈트가 유발된다.

[0020] 도 4는 예시적인 실시예의 전력 FET 회로(400)의 회로도이다. 도 4에는 하이 사이드 드라이버 배열이 도시된다. 전력 FET(MN0)는 출력 단자(VOUT\_PAD)에 있는 부하에 전류 및 전압을 공급하도록 연결된다. 고전압 및 고전류를 처리하는 능력들이 있고 매우 낮은 온 저항(on resistance)(RDSon)을 갖는 전력 FET들은 Texas Instruments Incorporated에서 현재 구입 가능한 NexFET™ MOSFET 디바이스들을 포함한다. NexFET™ 디바이스들은 반도체 기관의 하부 표면에서 드레인 콘택트 및 기관의 상부 표면상의 소스 콘택트를 가지며, 많은 채널 영역들이 공유할 수 있는 공유 드레인 영역을 특징으로 하는 일종의 수직형 FET이며, 기관에 형성된 하나 이상의 병렬 MOSFET 디바이스를 포함한다. 그러나, 실시예들은 임의의 한 가지 전력 트랜지스터 타입 또는 임의의 반도체 기술 타입에 제한되지 않으며, 다양한 실시예들이 임의의 전력 FET 디바이스에 적용 가능하다.

[0021] 도 4에서, 회로는 출력 전류(Iout)를 출력한다. 배터리 전압과 같은 공급 전압은 입력 단자(VBB\_PAD)에 연결될 수 있다. 전하 펌프 회로(401)로부터의 전압(Vpump)은 다양한 구성요소에 연결된다. 이러한 공급 전압(Vpump)은 입력 단자(VBB\_PAD)에서의 전압보다 높게 증가된다. 도 4에서, 모든 구성요소는 (400)의 경계에서 점선으로 표시된 바와 같이 단일 집적 회로 상에 구현될 수 있다. 그러나, 대안적인 배열들에서, 구성요소들 중 일부는 이산적인 구성요소들로서 구현될 수 있는 반면 다른 구성요소들은 하나 이상의 집적 회로 상에 배열된다. 일 예에서, 전력 FET(MN0) 및 감지 저항기(Rsense)는 전력 FET 집적 회로 상에 제조되었고; 반면에 나머지 구성요소들은 별도의 드라이버 집적 회로 상에 제조되었다. 이러한 별개의 집적 회로들은 개별적으로 패키징되어 회로 보드 또는 모듈에 장착될 수 있다. 대안적인 배열들에서, 구성요소들이 별개의 집적 회로들 상에 또는 별개의 집적 회로 다이들 상에 구현되는 경우에도, 멀티 칩 모듈(multi-chip module)(MCM)들 또는 적층형 다이 패키지(stacked die package)들과 같은 최신 패키징 기술이 시스템(400)을 위한 단일 패키지를 형성하는데 사용될 수 있다. 실시예들과 함께 사용하기 위한 전력 FET들은: NexFET™ 디바이스들, 전력 애플리케이션들에 적합한 수직형 FET 디바이스들, DMOS 전력 FET들 및 LDMOS 전력 FET들을 포함한다. 실시예들은 어느 FET 디바이스에도 적용 가능하다.

[0022] 도 4에서, 전력 FET(MN0)의 게이트 단자(GATE)에는 여러 회로들이 연결된다. 이러한 회로들은 전력 FET 게이트 전류 및 전압을 공급하고 조절한다. 이들 회로들은 게이트 드라이버 회로를 구성한다. 단자(GATE)는 트랜지스터(M407)로 형성된 전류 미러의 일부인 PFET 트랜지스터이고, 전류원 "Ipullup\_bias"에 의해 바이어스되는, 트랜지스터(M405)로부터 풀업 바이어스 전류(pull up bias current)를 수신한다.

[0023] 전류원(Ipullup\_bias)은 인에이블 신호(EN)에 응답하여 게이트 단자(GATE)를 전압 공급원(Vpump)으로 풀업하는데 사용되는 전류를 제공한다. 신호가 인에이블 단자(EN) 상에서 수신될 때, 전하 펌프(401) 및 풀업 바이어스 전류원(Ipullup\_bias)이 활성화된다. 트랜지스터들(M405 및 M407)은 또한 여기서 10:1로서 도시된 전류 스케일링(current scaling)을 제공하여, 전하 펌프 전압(Vpump)로부터 FET(MN0)의 GATE 단자에 공급되는 전류를 전류(Ipullup\_bias)의 10 배로 증가시킨다. 전류 미러들에서 상이한 크기의 트랜지스터를 사용함으로써, 다양한 트랜지스터들이 전류 스케일링을 제공할 수 있다. 스케일링 특징은 더 작은 바이어스 및 기준 전류원을 사용할 수 있게 해준다. 다른 스케일링 팩터가 추가적인 실시예를 형성하는데 사용될 수 있다. 도 4의 스케일링 팩터는 1:1, 2:1, 1:5, 10:1과 같이 콜론으로 간격을 둔 두 개의 정수로 표시된다.

[0024] 또한, 전력 FET(MN0)의 게이트 단자(GATE)는 전류 미러를 형성하는 트랜지스터(M403) 및 트랜지스터(M402)에 의해 트랜지스터(M409)에 의한 전압(Vpump)에 연결된다. 트랜지스터(M413)는 (M409)와 함께 전류 미러를 형성하고 "Ilim\_pulldn"이라고 표시된 풀다운 전류를 게이트 단자(GATE)에 미러링한다.

[0025] 전류 감지 회로는 도 4에 포함된다. 감지 저항기(Rsense)는 배터리 공급 전압을 연결하기 위한 패드(VBB\_PAD)와 전력 FET(MN0)의 드레인 단자 사이에 연결된다. FET 드레인 전압(Vd)은 전압-전류 변환기의 연산 증폭기(412)에 연결된다. 연산 증폭기 및 트랜지스터(M417)는 저항기(Rvm)와 함께 전압-전류 변환기 회로를 형성한다. 연산 증폭기(412)는 음의 입력과 양의 입력 사이에 가상 접지를 갖는 피드백 구성으로 배열되기 때

문에, 회로는 출력 전압을 조절하여 양의 입력과 음의 입력 간의 차이를 최소화하며, 트랜지스터(M417)의 게이트 단자에서의 전압은 전압(Vd)에 따라 증가되거나 감소될 것이다. 저항기(Rvm)를 통해 흐르는 전류(Isense)는 출력 전류(Iout)에 비례하여, 전류 감지 기능을 제공할 것이다.

[0026] 감지된 전류(Isense)는 (Isense)를 몇몇 다른 기준 전류 레벨과 비교함으로써 전력 FET의 동작을 제어하는데 사용된다. 트랜지스터(M419)는 Isense를 트랜지스터들(M421 및 M423)에 의해 형성된 전류 미러에 연결한 다음, 트랜지스터들(M432, M433 및 M434)을 사용하여 형성된 비교기에 연결한다. "Itrim"이라고 표시된 전류원은 트랜지스터(M429 및 M431)로 형성된 전류 미러에 의해 비교기에 공급된다. 트림 전류(Itrim)은 고정되거나 조정 가능하다. 예를 들어, Itrim은 Itrim의 전류를 설정하는 디지털 제어 워드(digital control word)를 갖는 디지털-아날로그 컨버터(digital to analog)(DAC)에 의해 제공될 수 있다. 추가적인 배열들은 전류 Itrim을 제공하는 트림 가능한 전류원들 또는 고정 전류원들을 포함한다. 기입 가능한 레지스터를 사용하여 병렬 전류원들을 M429에 선택적으로 연결하는 프로그램 가능한 전류원은 트림 가능한 전류원(Itrim)에 사용될 수 있다. 다른 실시예에서, 전류원(Itrim)은 I2C 버스와 같은 디지털 버스 인터페이스 및 설정 가능한 레지스터 값을 사용하여 설정될 수 있다. 레지스터에 값들을 기입함으로써, 시스템 컨트롤러 또는 CPU는 전류 Itrim 값을 변경할 수 있다. 다른 실시예들에서, 값은 제조시에 트림 저항기들을 사용하여 설정될 수 있다. 보다 많은 실시예들에서, 전류원(Itrim)에 대한 값은 고정될 수 있다. 트랜지스터들(M433, M432)에 의해 형성된 비교기는 트랜지스터들(M434, M435)로 형성된 전류 미러에 연결된다.

[0027] 동작시, 전류(Isense)가 트림 전류(Itrim)보다 클 때, 비교기는 풀다운 전류(ILim\_pulldn)를 출력한다. 이러한 풀다운 전류는 P형 FET 디바이스들(M413, M409)에 의해 FET 트랜지스터(MN0)의 게이트에 미러링되고, 트랜지스터들(M402, M403)에 의해 형성된 미러는 전력 FET(MN0)의 게이트 단자(GATE) 쪽으로 흐르는 전류를 감소시키는 데 사용되며, 이에 따라 출력 전류(Iout)를 제어한다. Itrim의 값으로 설정된 전류 제한치에 도달될 때, 풀다운 전류는 출력 전류(Iout)를 원하는 전류 제한치로 유지하는데 사용될 수 있다. 예시적인 실시예(400)에서, 다양한 트랜지스터 및 전류 미러 디바이스들은 전류들을 증가시키는 디바이스 스케일링을 갖는다. 예를 들어, (M402, M403)으로 형성된 전류 미러는 FET(MN0)의 게이트에서 풀다운 전류를 증가시키는 5:1 크기 비율을 갖는다. 유사하게, 트랜지스터들(M413, M409)에 의해 형성된 전류 미러는 2:1 비율을 갖는다. 이러한 스케일링 팩터들은 특정 애플리케이션의 필요에 따라 대안적인 실시예들을 형성하기 위해 수정될 수 있다. 트랜지스터 스케일링을 사용하면 감지 전류(Isense)가 출력 전류(Iout)보다 낮아질 수 있어서, 드라이버 제어 회로의 전력을 절약할 수 있다.

[0028] 회로(400)가 턴 온될 때, 인에이블 신호(EN)가 수신되고 전하 펌프(401)를 턴 온하여, 전력 공급 장치 전압(Vpump)을 출력한다. 풀업 전류(Ipullup\_bias)는 트랜지스터들(M407, M405)에 의해 형성된 전류 미러를 통해 FET(MN0)의 게이트에 공급된다. 이러한 예시적인 실시예에서, 트랜지스터들(M405, M407)은 FET(MN0)의 게이트 단자(GATE)에서 풀업 전류를 증가시키기 위해 10:1 스케일링을 제공한다. FET가 처음에 턴 오프될 때, 게이트와 소스 단자들(Cgs) 사이의 게이트 커패시터는 완전히 방전된다. 전압(Vpump) 및 바이어스 전류원(Ipullup\_bias)로부터의 풀업 전류가 FET의 게이트로 공급됨에 따라, 전력 FET(MN0)의 게이트 커패시터(Cgs)가 충전되고, 게이트 단자(GATE)가 전력 FET(MN0)의 문턱 전압을 초과하며, FET(MN0)이 턴 온될 때까지, FET(MN0)의 소스는 소스 팔로워 구성(source follow configuration)의 게이트에서 증가하는 전압을 추종한다. FET(MN0)의 게이트 단자(GATE)의 상승 시간은 바이어스 전류(Ipullup\_bias)에 의해 설정된다. 이러한 풀업 바이어스 전류 값은 제조 이전에, 제조 이후에 고정될 수 있으며, 조정 가능하거나 트림 가능하게 만들어질 수 있다.

[0029] FET(MN0)가 턴 온된 후에, 게이트 전류 및 전압은 전류(Iout)를 제어하는데 사용될 수 있다. FET(MN0)는 대부분의 상황들에서 선형 모드에서 동작한다. FET의 턴 오프 상황에서 게이트 단자(GATE)를 풀다운하기 위한 추가 회로는 게이트를 VOUT\_PAD에 연결하는 추가 제어 회로와 함께 트랜지스터들(M402, M403)을 사용하여 게이트를 신속하게 방전시키는데 사용될 수 있다.

[0030] 단자(VOUT\_PAD)에 있는 부하에 전류를 공급하는 동작에서, 저항기들(Rsense 및 Rvm)은 수학식 1 및 수학식 2에 따라 출력 전류(Iout)보다 작지만 비례하는 전류(Isense)를 형성하는 비율로 동작한다.

[0031] [수학식 1]

[0032] 
$$R_{sense} * I_{out} = I_{sense} * R_{vm}$$

[0033] [수학식 2]

$$I_{sense} = I_{out} * (R_{sense} / R_{vm})$$

[0034]

[0035] 감지된 전류( $I_{sense}$ )가 조정 가능한 전류( $I_{trim}$ )보다 크거나 같을 때, 트랜지스터들(M432, M433, M434, M435)로 형성된 전류 비교기는 풀다운 전류( $I_{lim\_pulldn}$ )를 출력하기 시작할 것이다. 비교기 회로들은 도 4에 도시된 바와 같이  $I_{lim\_pulldn}$ 이 되도록 미러링된 차이( $I_{sense} - I_{trim}$ )를 형성한다. 전류 제한치에 도달했을 때 출력 전류( $I_{out}$ )와 트림 전류와 풀다운 전류의 관계는 수학식 3으로 주어진다:

[0036] [수학식 3]

$$I_{out(\\text{limit})} = (R_{vm} / R_{sense}) * (I_{trim} + I_{lim\_pulldn})$$

[0037]

[0038] 트림 전류( $I_{trim}$ )의 값을 정함으로써, 출력 전류( $I_{out}$ )에 대한 전류 제한치가 제어되고 설정될 수 있다. 회로 내의 트랜지스터들의 크기들은 회로 내의 다양한 전류들의 비율로 수정될 수 있다. 예를 들어 트랜지스터(M413과 M409)는 2 대 1의 비율을 가지며, 반면에 트랜지스터(M403과 M402)는 5 대 1의 비율을 가지므로, 출력 전류( $I_{out}$ )는 회로에서 다른 전류들보다 훨씬 클 수 있다.

[0039] 전류 제한 회로에 추가하여, 도 4의 실시예에는 전류 시간 미분 제어 회로(current time derivative control circuit)(410)를 또한 특징으로 한다. 실시예들에서, 전력 FET(MN0)은 전류 제한 동작 동안 전류 오버슈트를 감소시키거나 없앨 수 있다. 통상적인 전류 제한 회로에서 관찰되는 출력 전류 오버슈트는 실시예들을 사용함으로써 없어지거나 크게 감소된다. 이것은 전력 FET에 흐르는 전류가 전류 제한치에 도달하기 전에 감지된 전류의 급속한 증가율을 먼저 검출하고, 그리고 출력 전류 증가율을 감소시킴으로써 달성된다. 출력 전류( $I_{out}$ )가 전류 제한치에 도달함에 따라, 출력 전류의 증가율은 감소한다. 전류 제한치에 가까워짐에 따라 전류 증가율이 감소하면, 오버 슈트 없거나 또는 심각한 오버 슈트도 발생하지 않고 출력 전류가 전류 제한치에서 안정화된다. 따라서 출력 전류의 증가율을 감지하고 전류 제한치에 도달하더라도 전력 FET를 통해 전류 증가율을 조절함으로써, 출력 전류는 안전하게 전류 제한치에 도달하고 통상적인 전류 제한 회로의 큰 전류 오버슈트 없이 안정화될 수 있다. 이러한 방식으로, FET는 SOA 조건들 내에서 동작되어, FET를 손상 또는 수명 감소로부터 보호할 수 있다.

[0040] 도 4에서, 전류 시간 미분 또는 "di/dt" 기능(410)은 트랜지스터(M421) 및 트랜지스터(M427)를 포함하는 전류 미러로부터 감지 전류( $I_{sense}$ )를 수신한다. 전류 시간 미분 기능(410)은 출력 전류( $I_{out}$ )의 증가율에 비례하는 감지 전류( $I_{sense}$ )의 증가율을 결정한다. 트랜지스터들(M430, M438)로 형성된 전류 미러는 트랜지스터들(M415, M411)을 사용하여 출력 전류( $I_{sense\_rate}$ )를 풀업 바이어스 전류 회로에 연결한다. 전류( $I_{sense\_rate}$ )는 M438을 통해 접지로 흐르고, 전력 FET(MN0)의 GATE 단자 쪽으로 흐르는 풀업 전류( $I_{pullup\_bias}$ )를 감소시킨다.

[0041] 동작시, 감지된 전류( $I_{sense}$ )의 증가율이 문턱치를 초과할 때, 전류 시간 미분 회로(410)는 전류( $I_{sense\_rate}$ )를 출력하여 FET(MN0)의 게이트에 공급된 풀업 전류가 감소되게 할 것이다. FET(MN0)의 게이트에 공급되는 전류가 감소하면 FET 게이트 단자(GATE)의 슬루율(slew rate)이 감소하고, 출력 전류( $I_{out}$ )의 증가율이 느려진다. 전류 제한치에 도달된 후에, 출력 전류의 변화율은 (전류( $I_{out}$ )가 전류 제한치에서 고정되고 더 이상 증가하지 않으므로) 다시 떨어질 것이고, 전류 시간 미분 회로(410)는 더 이상  $I_{sense\_rate}$ 를 출력하지 않을 것이며, 더 이상 출력 전류에 영향을 미치지 않을 것이다. 전류 시간 미분 회로(410)는 출력 전류( $I_{out}$ )가 고정되거나 또는 제한치 전류로 거의 고정된 후에는 어떠한 감지된 전류 증가율도 검출하지 않을 것이다.

[0042] 전류 시간 미분 회로(410)는 전류-시간 또는 di/dt 감지에 유용한 다양한 회로를 사용하여 구현될 수 있다.  $I_{sense}$ 의 전류-전압 변환을 사용하는 저항성 정전 용량 감지(resistive capacitive sensing)는 이후에 주기적으로 샘플링되는 커패시터와 함께 사용될 수 있다. 홀 효과 센서들, 코일들, 전류 루프들 및 기타 필드 감지(field sensing) 접근법들이 사용될 수 있다. 전류를 문턱치는 고정되거나, 프로그램 가능하거나, 또는 제조가 완료된 후 교정 작업 중에 프로그램된 일회성 프로그램 가능한 값일 수 있다. 트림 가능한 저항기들이 전류를 문턱치를 설정하는데 사용될 수 있다. I2C 인터페이스 버스와 같은 버스를 통해 제어기 또는 프로세서에 의해 액세스 가능한 레지스터는 전류 증가율 문턱치에 대한 프로그램 가능한 값을 제공할 수 있다.

[0043] 도 4에 도시된 실시예에서, 전류 시간 미분 회로(410)는 상시 활성 상태이다. 이러한 배열은 출력 전류( $I_{out}$ )에서 원하는 감소된 오버슈트를 제공하면서, 전류 시간 미분 회로(410)는 또한 상승 시간 내내 FET(MN0)의 슬루

율을 감소시킬 것이고, 이에 따라 FET 턴 온 시간이 증가될 것이다. 일부 애플리케이션들에서, 이러한 효과는 초기 전원 가동(power up) 동작시 부하로의 돌입 전류를 제한할 수 있거나, 또는 시스템 시동 속도(system start up)를 느려지게 할 수 있으므로, 바람직하지 않을 수 있다.

[0044] 도 5는 대안적인 실시예(500)의 회로도이다. 도 5에서, 구성요소들 중 많은 구성요소는 도 4의 실시예와 유사하며 그와 동일한 방식으로 기능한다. 이러한 구성요소들에 대해, 참조 표시들은 도 4에 도시된 것들과 유사하지만, 편의상 선두의 숫자들이 "4"에서 "5"로 바뀌어져 있다.

[0045] 도 5에서, 전력 FET(MN0)는 전력 패드(VBB\_PAD)에서의 공급 전압과 출력 단자(VOUT\_PAD) 사이에 연결된다. 전력 FET(MN0)는 도 4와 관련하여 위에서 설명한 바와 동일한 방식으로 전력 FET(MN0)를 턴 온 및 턴 오프 제어하는 게이트 전류를 제공하기 위해 공급 및 바이어스 회로를 게이트 단자(GATE)에 연결한다. 전하 펌프(501)는 인에이블 신호(EN)를 수신할 때 공급 전압(Vpump)을 출력한다. 풀업 바이어스 전류 공급부(Ipullup\_bias)는 또한 신호(EN)에 의해 인에이블된다.

[0046] 도 4와 관련하여 위에서 설명한 바와 같이 배열되고 동작하는 op 앰프(512)를 포함하는 전류 감지 회로 이외에, 도 5에서, 시간 미분 회로(510)가 인에이블 스위치인 트랜지스터(M539)에 의해 풀업 바이어스 회로 및 풀업 전류원(Ipullup\_bias)에 연결된다. 추가적인 인에이블링 회로는 제어 신호(EN\_di\_dt\_FB)를 출력한다. 이러한 제어 신호는 전류(Isense)(및 대응적으로는 Iout)가 전류 제한치에 근접하면서 전류 제한치의 선택된 백분율로 증가했을 때만 스위치(M539)로 하여금 di/dt 감지 회로인 전류 시간 미분 회로(510)의 Isense\_Rate 출력을 트랜지스터들(M505, M507)의 풀업 바이어스 공급 회로에 연결시키도록 사용된다.

[0047] 도 5에서, 비교기 회로는 기준 전류(Iref), 트랜지스터들(M546, M547, M548, M549), 제한치 전류(Itrim) 및 감지된 전류(Isense)에 의해 형성된다. 트랜지스터(M528)는 감지된 전류(Isense)를 트랜지스터들(M547, M546)에 의해 형성된 전류 미러를 포함하는 비교기에 미러링한다. 트림 전류(Itrim)는 도 5에 도시된 스케일링 팩터("X" 및 "Y")에 의해 지시된 바와 같이 트랜지스터들(M547 및 M546)의 각각의 크기들에 의해 미러링되고 스케일링된다. 이렇게 스케일링된 트림 전류는 감지된 전류(Isense)로부터 감소된다. 이러한 차이 전류는 트랜지스터들(M548 및 M549)에 의해 슈미트 트리거(Schmitt trigger) 디바이스(551)의 입력 단자에 미러링되고, 슈미트 트리거 디바이스에서 기준 전류(Iref)와 비교된다. 슈미트 트리거(551)는 인버터이므로, Isense와 (Y/X)\*Itrim의 스케일링 곱 간의 차이 전류가 Iref보다 클 때, 슈미트 트리거(551)로의 입력이 줄어들고, 출력(EN\_di\_dt\_FB)이 하이가 된다. 슈미트 트리거 디바이스(551)는 감지 전류(Isense)와 스케일링된 트림 전류((Y/X)\*Itrim) 간의 차이가 Iref보다 크거나 같을 때만 펄스를 출력한다.

[0048] 인에이블 신호(EN\_di\_dt\_FB)는 수학적 식 4의 부등식이 충족될 때 하이가 될 것이다:

[0049] [수학적 식 4]

$$I_{sense} - (Y/X) * I_{trim} >= I_{ref}$$

[0050]

[0051] 슈미트 트리거(551)로부터 출력되는 인에이블 신호(EN\_di\_dt\_FB)는 트랜지스터(M539)에 연결된다. 트랜지스터(M539)는 전류 시간 미분 회로(510)의 출력인 전류(Isense\_rate)를 풀업 바이어스 회로에 선택적으로 연결하도록 동작한다. 이러한 방식으로, 전류 시간 미분 회로(510)의 출력은 감지된 전류(Isense)와 스케일링된 트림 전류((Y/X)\*Itrim) 간의 차이가 기준 전류(Iref)를 충족하거나 초과할 때 FET(MN0) 게이트 단자(GATE)의 상승 시간의 그 부분 동안에만 사용된다. 감지된 전류가 이러한 문턱치까지 상승하지 않는 동작들 동안, 시간 미분 회로(510)는 전력 FET(MN0)의 전류에 영향을 주지 않는다. 출력 전류가 상승 중이고 감지된 전류(Isense)와 스케일링된 트림 전류((Y/X)\*Itrim) 사이의 차이가 기준 전류(Iref)와 동일하거나 초과하는 경우, 시간 미분 회로(510)는 풀업 바이어스 회로에 연결된다. 전류(Isense\_rate)는 전류가 전류 제한치를 향해 상승함에 따라 전류(Iout)의 증가율을 감소시킨다.

[0052] 인에이블 신호(EN\_di\_dt\_Fb)는 전류 제한치의 미리 결정된 백분율에서 활성화 상태가 되도록 조정될 수 있다. 위에서 설명한 바와 같이, 전류 제한치는 전류원(Itrim)을 조정함으로써 설정되며, 전류 시간 미분 회로를 인에이블하기 위한 전류 제한치의 백분율은 트랜지스터들(M546, M547)의 상대 크기들을 선택함으로써 트랜지스터 스케일링 비(Y:X)를 사용하여 설정될 수 있다. 또한, 대안적인 배열에서, 스케일링은 DAC 회로에 연결된 어드레스 가능 레지스터와 같은 기입 가능한 저장 회로를 제공함으로써 달성될 수 있다. I2C 직렬 인터페이스와 같은 외부 프로세서와의 인터페이스가 스케일링 팩터를 저장할 수 있도록 배열할 수 있다. 또한, 인에이블 신호의 동작은 전류원들(Iref 및 Itrim)을 조정함으로써 조정될 수 있다.

- [0053] 도 6a 내지 도 6d는 도 4 및 도 5에 도시된 바와 같은 예시적인 실시예 동작들의 4 개의 그래프이다. 도 6a 내지 도 6d의 모든 그래프에서, 수평축은 밀리초 단위의 시간을 도표로 나타낸다. 도 6a에서, 인에이블 신호 전압(EN)은 수직 축 상에서 도표로 표시된다. 데이터 라인(601)은 인에이블 단자에서의 전압을 도표로 나타낸다. 시간(20.0 밀리 초)에서, 인에이블 신호(EN)는 거의 제로 전압으로부터 풀업 바이어스 회로들 및 전하 펌프가 도 4 및 도 5의 회로 실시예들의 전력 FET를 턴 온시키기에 충분한 전압까지 상승시킨다.
- [0054] 도 6b 내지 도 6d에서, 전력 FET를 통과하는 전류는 암페어(A) 단위로 수직 축 상에 도표로 표시된다. 도 6b의 데이터 라인(603)은 도 4 및 도 5에 도시된 바와 같은 풀다운 제한 전류 회로를 갖되, 전류 시간 미분 회로가 인에이블되어 있지 않은 전력 FET의 FET 드레인 전류 응답을 도시한다. 도 6b에서, 시간(M15:20.16404)에서, 전류가 108 암페어 이상으로 상승하는 데이터 라인(603) 내의 응답으로 오버슈트가 발생한다. 발진이 시간(21.0)에서 사라질 때까지 수 사이클 동안 발진으로 인해 약 90 암페어의 원하는 전류 제한치를 계속하여 오버슈트하고, 전류(Iout)는 시간(M16 21.22289)에 90 암페어의 원하는 전류 제한치 근처인 약 91 암페어에서 최종적으로 안정화된다.
- [0055] 도 6b에서, 전류 시간 미분 회로(410)가 상시 동작하는 도 4의 실시예에 대한 출력 전류(Iout)가 도시된다. 데이터 라인(605)은 전력 FET의 드레인 전류를 나타낸다. 시간(20.05)에서, 출력 전류는 인에이블 신호에 응답하여 상승하기 시작하지만, 증가율(기울기)은 전류 시간 미분 회로에 의해 제한되므로, 최종 전류는 대략 시간(M17: 20.485)에서 약 90 암페어의 제한치 바로 위의 91.39 암페어의 제한치에 도달한다. 도 6a의 데이터 라인(603)과 대조적으로, 도 6b의 전류 출력 데이터 라인(605)은 가시적인 오버슈트를 갖지 않는다. 전류 시간 미분 또는 di/dt 회로는 전류 오버슈트를 없앴지만, 전력 FET를 통한 출력 전류의 상승 시간 또한 실질적으로 증가되었다.
- [0056] 도 6d에서, 데이터 라인(607)은 감지된 전류가 전류 제한 값의 백분율 문턱치에 도달한 후에만 전류 시간 미분 회로가 인에이블되는 도 5의 실시예에 대한 드레인 전류를 나타낸다. 문턱치는 최대 전류 또는 제한치 전류의 백분율, 예컨대 80 %일 수 있다. 대안예들에서, 다른 백분율 문턱치들이 사용될 수 있다. 도 6d에서, 전류는 시간(20.05)에서 빠르게 시작하고 시간(20.5)까지 전류는 약 90 암페어의 최대 전류 제한치에 도달하였다. 데이터 라인(605)에서, 시간(M18: 20.15187)에서, 약 93 암페어까지 약간의 오버슈트가 발생하지만, 이러한 오버슈트는 90 암페어의 원하는 제한치 근처에서 즉시 안정화되어, 91.39 암페어로 안정화되고, 동일하게 도 6c에서 도표로 구성된 도 4의 실시예에 대해서도 전류를 안정화한다. 전력 FET의 턴 온 시간은 도 6d의 도표 구성도에서 훨씬 더 짧다. 특정 애플리케이션의 요건들에 따라, 도 4 및 도 5의 적절한 실시예가 사용될 수 있다. 전류 제한치, 백분율 문턱치 및 전류 증가율 문턱치는 특정 설계 요건에 적절한 추가 실시예들을 형성하기 위해 모두 수정될 수 있다.
- [0057] 도 7은 로우 사이드 드라이버 애플리케이션에 대한 실시예의 다른 회로도이다. 도 7에서, 도 4 및 도 5의 유사한 요소들에 대응하는 요소들은 참조 번호의 첫 숫자가 이제 "7"이라는 것을 제외하고는 유사한 참조 번호들을 부여 받는다. 회로(700)는 개별 구성요소들을 사용하여, 회로 기판 또는 모듈 상에, 멀티 칩 모듈을 사용하여, 또는 단일 패키지 내의 다수의 다이를 사용하여 고도로 집적된 디바이스를 형성하는 단일 집적 회로로서 구현될 수 있다. 일 배열에서, 전력 FET(MN0) 및 감지 저항기(Rsense)는 단일 집적 회로에서 형성될 수 있지만, 나머지 디바이스들은 별개의 제2 집적 회로에서 FET 용 드라이버 IC를 제공하도록 형성된다. 단일 또는 다수의 집적 회로 내에 디바이스들의 다른 조합도 가능하다.
- [0058] 도 7에서, 전력 FET(MN0)는 "DRAIN\_PAD"로 표시된 입력 패드에 연결된 드레인 단자를 갖는다. 애플리케이션에서, 이 단자는 부하의 일 단부에 연결될 수 있다. 전력 FET(MN0)는 부하와 패드("GND\_PAD")에서의 접지 전위 사이에 연결된 드레인으로부터 소스까지의 전류 전도 경로를 가지며, 그래서 도 7은 로우 사이드 드라이버 배열을 도시한다. 전력 FET(MN0)의 게이트로의 다양한 전압 공급 및 전류 공급을 위한 공급 전압은 "DRIVER\_SUPPLY"로 표시된다. 도 2와 관련하여 위에서 설명한 바와 같이, 로우 사이드 드라이버 구성의 경우, FET(MN0)의 게이트는 FET를 턴 온하기 위해 승압된 전압을 필요로 하지 않는다. 부하(도 7에 도시되지 않음)는 전력 공급 장치와 입력 드레인(DRAIN\_PAD)에 있는 FET(MN0)의 드레인 사이에 연결될 수 있다. FET(MN0)는 인에이블 신호(EN)에 응답하여 전류가 부하를 통해 접지로 흐르게 할 것이다.
- [0059] 도 7의 전류 제한 회로는 하이 사이드 드라이버 배열에 대해 도 5에 도시된 것과 유사하고 그와 동일한 방식으로 동작한다. 도 7에서, 인에이블 신호(EN)는 바이어스 전류원(Ipullup\_bias)을 턴 온시킬 것이다. 트랜지스터들(M707 및 M705)로 형성된 전류 미러는 이 바이어스 전류를 전력 FET(MN0)의 게이트에 공급할 것이다. 트랜지스터들(M705, M707)은 바이어스 전류를 10:1 팩터로 스케일링하도록 배열되므로, 트랜지스터 게이트 단자

(GATE)에서의 전류는 전류원(Ipullup\_bias)보다 크다. 단자(DRIVER\_SUPPLY)에서의 전압은 GATE라고 표시된 게이트 단자에도 또한 연결된다.

- [0060] 드레인-소스 전류가 전력 FET(MN0)에 흐를 때, FET 전류에 비례하는 전압이 감지 저항기(Rsense) 양단에 나타난다. 연산 증폭기, 트랜지스터(M717) 및 저항기(Rvm)는 부하 전류(Iload)에 비례하는 감지 전류를 출력하도록 배열된다. 저항기 비율 및 전류 감지 회로의 동작은 도 4와 관련하여 위에서 설명한 바와 동일하다. 감지 전류(Isense)는 트랜지스터들(M729, M731, M733, M732, M734 및 M735)에 의해 형성된 비교기에 의해 트림 가능한 전류원(Itrim)과 비교되며, 그런 다음, 출력된 차이 전류(ILim\_pulldn)는 전류 제한치에 도달된 후에 게이트 단자(GATE) 쪽으로의 전류를 제어하는데 사용된다. 전류(ILim\_pulldn)는 전류(Isense)와 트림 가능한 전류(Itrim) 사이의 차이이며, 트림 가능한 전류원(Itrim)의 값을 변경함으로써 설정될 수 있다. 트랜지스터들(M713, M709 및 M702, M703)은 제한치 전류를 연결하여 GATE 단자로부터 풀다운하는 2 개의 전류 미러를 형성한다. 트랜지스터들의 스케일링은 트랜지스터(M703)로부터 온 트랜지스터(MN0)의 게이트에서의 전류가 전류(ILim\_pulldn)보다 커지도록 사용된다. 트랜지스터 스케일링을 사용함으로써, Itrim과 같은 더 작은 전류원이 사용되어 전력 및 면적을 절약할 수 있다.
- [0061] 도 7의 실시예는 전류 제한치를 향해 상승함에 따라 전력 FET를 통과하는 전류의 증가율을 감소시키고 도 5와 관련하여 위에서 설명한 바와 같이 오버슈트 전류를 방지하는 전류 시간 미분 회로를 또한 포함한다. 트랜지스터들(M747, M746, M748, M749) 및 기준 전류(Iref)에 의해 형성된 비교기 회로는 감지된 전류에서 트랜지스터 스케일링 비율(Y/X)이 곱해진 트림 전류(Itrim)를 뺀 전류가 기준 전류(Iref)보다 클 때 슈미트 트리거(751)로 하여금 인에이블 신호(EN\_di\_dt\_FB)를 인에이블 스위치(M739)로 출력하게 할 것이다. 기준 전류(Iref) 및 스케일링 팩터(Y/X)를 설정함으로써, 제한치 전류의 백분율은 80 %와 같은 문턱치로서 설정될 수 있다. 감지된 전류(Isense)가 이러한 문턱치에 도달한 이후에만, 전류 시간 미분 회로(710)가 연결되어 전력 FET(MN0)의 게이트로 가는 전류를 감소시킨다.
- [0062] 전류 시간 미분 회로(710)는 게이트 단자(GATE)에 입력되는 pull\_up 바이어스 전류를 감소시키기 위해 연결된 전류(Isense\_Rate)를 출력한다. di/dt 회로(710)가 문턱치보다 큰 감지된 전류(Isense)의 상승을 검출할 때 Isense\_Rate 가 출력된다. 이러한 방식으로, 전류 제한치에 도달할 때까지 FET(MN0)를 통한 전류의 증가율이 제어되어 오버 슈트를 방지한다. 전류원들(Iref, Itrim, Ipullup\_bias) 및 스케일링 팩터들(X 및 Y)은 고정되거나 조정 가능하다. DAC 회로들 및 기입 가능한 레지스터들을 사용하여 형성된 프로그램 가능한 전류원들이 사용될 수 있다. 비 휘발성 저장 레지스터들은 제조시 또는 사용 중에 프로그램될 수 있다. 프로그램 가능 레지스터들에 기입하기 위해 I2C 인터페이스와 같은 인터페이스 버스가 사용할 수 있다. 트림 가능한 저항기들 또는 퓨즈들이 또한 사용할 수 있다.
- [0063] 도 8은 예시적인 방법의 흐름도(800)이다. 도 8의 방법에서, 시간 미분 전류 회로 또는 di/dt 회로는 상시 활성 상태이다. 도 8에서, 방법은 단계(810), 즉 유휴 상태에서 시작한다. 단계(812)에서 인에이블 신호가 수신된다. 방법은 단계(814)로 천이하고, 전압 및 바이어스 전류가 전력 FET의 게이트 단자에 연결된다. 전력 FET는 바이어스 전류에 응답하여 턴 온하기 시작한다. 게이트 커패시턴스를 충전하기에 충분한 전류가 게이트 단자에 입력된 후, 전력 FET는 선형 동작 모드로 들어간다.
- [0064] 단계(816)에서, 전력 FET를 통해 흐르는 전류가 감지된다. 감지된 전류는 전류 제한치와 비교된다. 단계(816)에서의 비교가 참(true)이면, 방법은 단계(822)로 천이한다. 단계(816)에서의 비교가 거짓(false)이면, 방법은 단계(818)로 천이한다.
- [0065] 단계(818)에서, 감지된 전류의 시간 미분 또는 di/dt가 문턱치와 비교된다. 감지된 전류의 증가율이 문턱치보다 크면, 방법은 단계(820)로 천이한다. 비교가 거짓이면, 방법은 다시 단계(814)로 천이하여 계속된다.
- [0066] 단계(820)에서, 단계(818)에서의 비교가 참이므로, 전력 FET를 통해 흐르는 전류의 증가율은 감소된다. 이것은 위에서 설명한 바와 같이 풀업 바이어스 전류를 감소시킴으로써 이루어질 수 있다. 방법은 다시 단계(814)로 천이하여 계속된다.
- [0067] 단계(822)는 단계(816)에서의 비교가 참일 때, 즉 전류 제한치에 도달했을 때 시작된다. 단계(822)에서, 전력 FET를 통해 흐르는 전류는 게이트 단자로부터 Vout 단자로의 전류를 풀다운시킴으로써 제한된다. 게이트 커패시턴스를 방전함으로써, 전력 FET는 게이트 전압을 감소시킬 것이며, 전력 FET를 통해 흐르는 전류는 감소될 것이다. 방법은 전류를 최대 제한치로 제한하여 계속 동작한다.
- [0068] 감지된 전류가 최대 제한치에 도달한 후에, 전류 di/dt의 증가율은 제로가 되므로, 전류가 풀다운 전류에 의해

제한될 때, 단계(818)에서의 비교는 항상 거짓이 될 것이다.

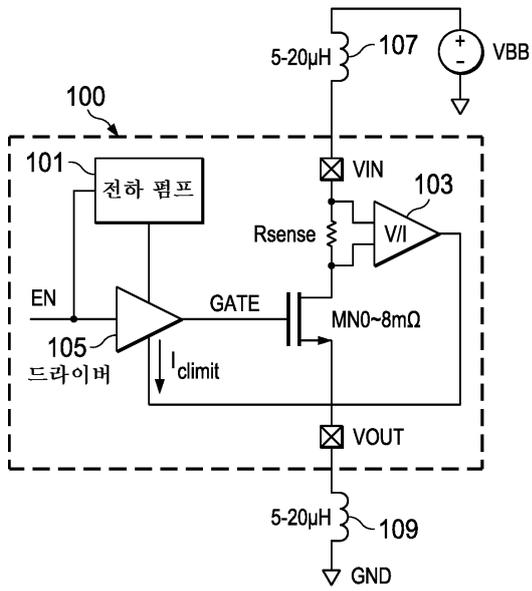
- [0069] 도 8의 방법 단계는 단계들의 하나의 가능한 순서를 도시하지만, 단계들의 순서는 대안적인 실시예를 형성하기 위해 수정될 수 있다. 예를 들어, 단계들(816, 818)에서의 비교는 상이한 순서로 수행될 수 있거나 또는 도 8에 도시된 순서 대신에 동시에 수행될 수 있다.
- [0070] 도 9는 대안적인 방법의 다른 흐름도이다. 도 9에서, 방법(900)은 전류 시간 미분 기능을 선택적으로 인에이블 하는 단계를 포함한다. 단계(910)에서, 방법은 유휴 단계에서 시작한다. 단계(912)에서, 인에이블 신호가 수신된다. 단계(914)에서, 전력이 전력 FET에 공급되고, 전압 및 바이어스 전류가 전력 FET의 게이트 단자에 인가되어, 게이트 단자를 풀업하여 전력 FET를 턴 온시킨다.
- [0071] 단계(916)에서, 전류 센서는 전력 FET를 통해 흐르는 전류를 감지한다. 감지된 전류가 전류 제한치를 초과하면, 방법은 단계(922)로 천이한다. 비교가 거짓이면, 방법은 단계(917)로 계속된다.
- [0072] 단계(917)에서, 감지된 전류는 기준 전류와 비교된다. 기준 전류는 전류 제한치의 백분율인 전류로 조정되거나 설정될 수 있다. 예를 들어, 한 실험에서, 기준 전류는 전류 제한치의 약 80 %로 설정되었다.
- [0073] 단계(917)에서 비교가 이면, 방법은 단계(918)로 천이한다. 단계(918)에서, 감지된 전류의 증가율이 전류 시간 미분 동작에서 문턱치와 비교된다. 감지된 전류의 변화율이 문턱치를 초과하는 비율로 증가하면, 방법은 단계(920)로 천이한다. 단계(920)에서, 풀업 전류가 감소되어, 전력 FET에 흐르는 전류의 증가율이 감소된다. 그 다음, 방법은 단계(914)로 이어져서 계속된다.
- [0074] 단계(918)에서의 비교가 거짓이면, 방법은 단계(914)로 천이하여 계속된다. 단계(916)에서의 비교가 참이면, 전류 제한치에 도달하였으며, 방법은 단계(922)로 천이한다. 단계(922)에서, 풀다운 전류가 증가되고 전력 FET를 통해 흐르는 전류가 감소되어 출력 단자에서의 출력 전류는 최대 전류로 제한된 채로 유지된다.
- [0075] 도 9의 방법 단계들은 단계들의 하나의 가능한 순서를 도시하지만, 단계들의 순서는 대안적인 실시예들을 형성하기 위해 수정될 수 있다. 예를 들어, 단계들(916 및 917)에서의 비교들은 도 9에 도시된 순서 대신에 상이한 순서 또는 동시에 수행될 수 있다.
- [0076] 예시적인 실시예들 및 배열들은 연속적으로 전류를 제한하는 전력 FET 회로들을 형성한다. 설명된 예들에서, FET 디바이스에 연결된 전류 감지 회로는 FET를 통해 흐르는 전류에 대응하는 감지 전류를 공급한다. 감지 전류는 비교기에 연결된다. 미리 결정된 제한치 전류가 감지 전류와 비교된다. 비교기가 미리 결정된 제한치 전류에 도달했다는 것을 나타낼 때 FET를 통해 흐르는 전류를 제한하기 위해 풀다운 전류가 인가된다. 감지 전류는 전류 시간 미분 회로에도 또한 공급된다. 감지 전류의 증가율이 문턱 율과 비교된다. 감지 전류의 증가율이 문턱 율을 초과할 때, FET로 가는 바이어스 전류가 감소되어 출력 전류의 증가율을 감소시킨다.
- [0077] 추가의 예에서, 인에이블 회로가 전류 시간 미분 회로와 바이어스 전류 공급부 사이에 연결되며, 전류를 비교기 회로가 감지 전류 및 기준 전류에 연결되고, 인에이블 신호를 인에이블 회로에 출력한다.
- [0078] 추가적인 예에서, 출력이 풀다운 전류 회로를 인에이블하기 위해 전류 제한치 비교기로부터 연결된다.
- [0079] 적어도 하나의 대안적인 예에서, 장치는 감지 전류율에 응답하여 FET의 게이트 단자로의 바이어스 전류를 감소시키는 회로를 더 포함한다.
- [0080] 다른 예에서, 장치는 프로그램 가능한 미리 결정된 제한치 전류를 포함한다. 추가의 예에서, 미리 결정된 제한치 전류는 기입 가능한 저장 회로에 저장된다. 추가의 예에서, 전류 시간 미분 회로는 감지된 전류의 증가율이 미리 결정된 문턱치를 초과할 때 감지 전류율을 출력하기 위한 비율 검출 회로를 포함한다.
- [0081] 추가의 예에서, 장치는 감지 전류율과 바이어스 전류 공급부 사이에 연결된 인에이블 회로; 및 감지 전류 및 기준 전류에 연결되고, 인에이블 회로에 인에이블 신호를 출력하는 전류율 비교기 회로를 더 포함한다. 다른 예에서, 전류율 비교기 회로는 스케일링 팩터를 포함하고, 전류율 비교기 회로는 감지 전류와, 스케일링 팩터 및 미리 결정된 제한치 전류의 곱 사이의 차이를 기준 전류와 비교한다.
- [0082] 다른 예에서, 스케일링 팩터는 프로그램 가능하다. 다른 추가적인 예에서, 프로그램 가능한 저장 회로는 스케일링 팩터를 저장한다. 또 다른 예에서, 외부 버스 인터페이스가 프로그램 가능한 저장 회로를 어드레싱하기 위해 연결된다.
- [0083] 예시적인 방법은: 인에이블 신호를 수신하는 단계; 공급 전압 단자와 전류 공급용 출력 단자 사이에서 FET의 전

류 전도 경로를 연결하는 단계; FET의 게이트 단자에 전압 및 풀업 바이어스 전류를 연결하는 단계; FET를 통해 흐르는 전류를 감지하는 단계; FET를 통해 흐르는 감지된 전류를 전류 제한치와 비교하는 단계; FET를 통해 흐르는 전류를 비교하는 것에 응답하여, FET의 게이트 단자에서 전류를 감소시키는 단계를 포함한다. 방법은 FET를 통해 흐르는 전류의 증가율을 증가율 문턱치와 비교하는 단계; 및 FET를 통해 흐르는 전류의 증가율을 비교하는 것에 응답하여 FET의 게이트 단자에 대한 풀업 전류를 감소시키는 단계를 포함한다.

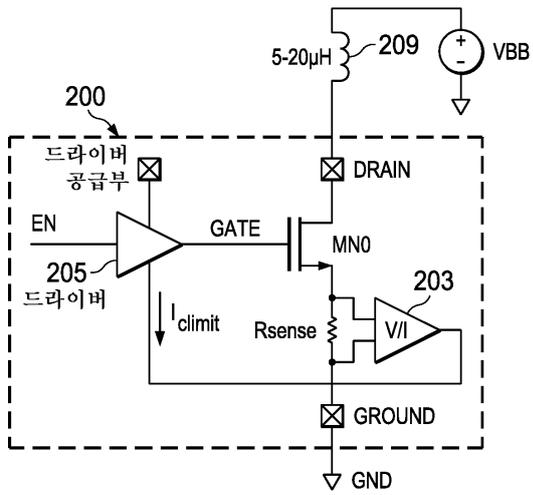
- [0084] 적어도 하나의 예에서, 방법은: FET를 통해 흐르는 전류를 전류 제한치의 미리 결정된 백분율인 문턱치와 비교하는 단계; 및 비교에 응답하여 FET의 게이트 단자로의 풀업 전류를 감소시키는 단계를 인에이블하는 단계를 더 포함한다. 다른 예에서, 방법은 FET의 게이트 단자에서 전류를 감소시키는 단계 이후, FET를 동작하여 출력 단자에서의 전류를 전류 제한치로 공급하는 단계를 더 포함한다.
- [0085] 다른 예에서, 방법은 FET의 게이트 단자에서 전류를 감소시키는 단계 이후, FET를 동작하여 출력 단자에서의 전류를 미리 결정된 전류 제한치에서 공급하는 단계를 더 포함한다.
- [0086] 다른 예에서, 공급 전압 단자와 전류 공급용 출력 단자 사이에서 FET의 전류 전도 경로를 연결하는 방법은 FET의 드레인 단자를 전압 공급부에 연결하고, FET의 소스 단자를 출력 단자에 연결하는 단계를 더 포함한다.
- [0087] 또 다른 예에서, 공급 전압과 전류 공급용 출력 단자 사이에서 FET의 전류 전도 경로를 연결하는 방법은 드레인 단자를 전류 공급용 단자에 연결하고 소스 단자를 접지 전위 수신용 단자에 연결하는 단계를 더 포함한다.
- [0088] 또 다른 예에서, 방법은 공급 전압보다 큰 증가된 전압을 공급하는 단계를 더 포함한다. 다른 예에서, FET를 통해 흐르는 감지된 전류를 미리 결정된 전류 제한치와 비교하는 방법은 감지된 전류를 기입 가능한 저장 회로에 저장된 조정 가능한 전류 제한치와 비교하는 단계를 포함한다.
- [0089] 또 다른 예에서, 집적 회로는: 전압 공급부와 부하 사이에 연결된 전류 전도 경로를 갖는 전력 FET의 게이트를 구동하기 위한 단자; 집적 회로에 공급 전압을 연결하기 위한 전압 입력 단자; 전력 FET의 게이트 단자를 구동하기 위한 단자 및 증가된 전력 공급부를 연결하기 위한 입력 단자에 연결된 풀업 바이어스 회로; FET에 흐르는 전류에 비례하는 전압을 수신하는 단자들에 연결되고, 감지된 전류 출력을 갖는 전류 감지 회로; 감지된 전류를 제한치 전류와 비교하는 전류 제한치 비교기; 전류 제한치 비교기 및 전력 FET의 게이트를 구동하기 위한 단자에 연결된 폴다운 전류 회로; 감지된 전류에 연결된 전류 시간 미분 회로; 및 전류 시간 미분 회로 및 풀업 바이어스 회로에 연결된 풀업 전류 감소 회로를 포함한다.
- [0090] 다른 예에서, 집적 회로는 조정 가능한 트림 전류 공급부에 의해 설정된 제한치 전류를 더 포함한다.
- [0091] 설명된 실시예들에서 수정들이 가능하며, 청구범위의 범위 내에서 다른 실시예들이 가능하다.

도면

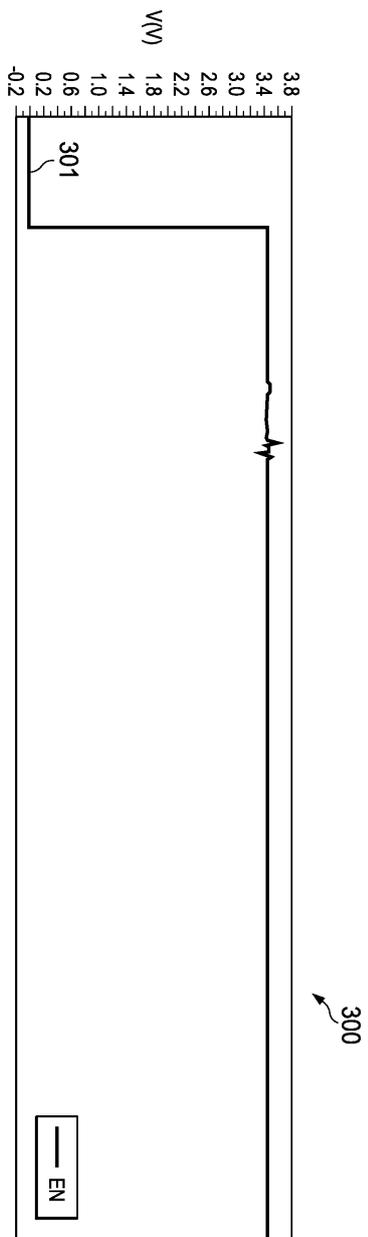
도면1



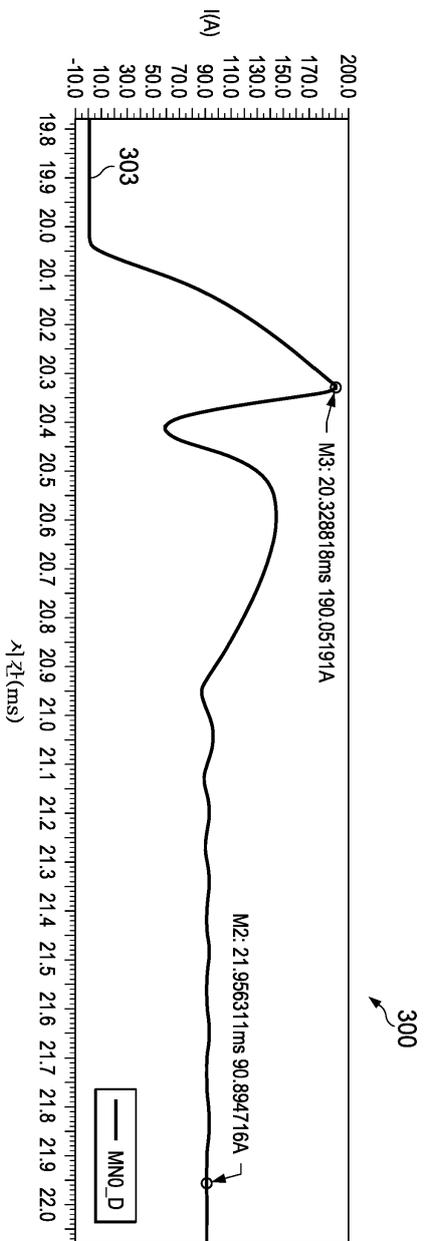
도면2



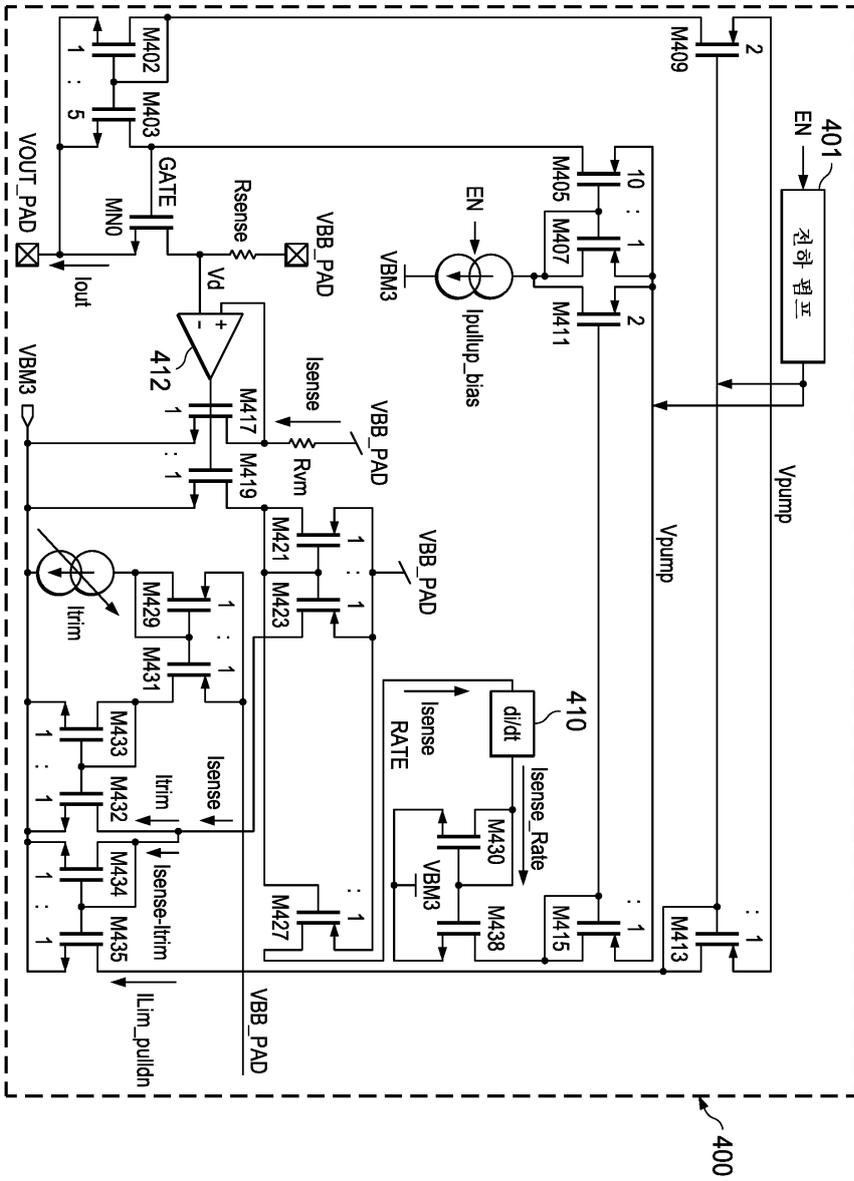
도면3a



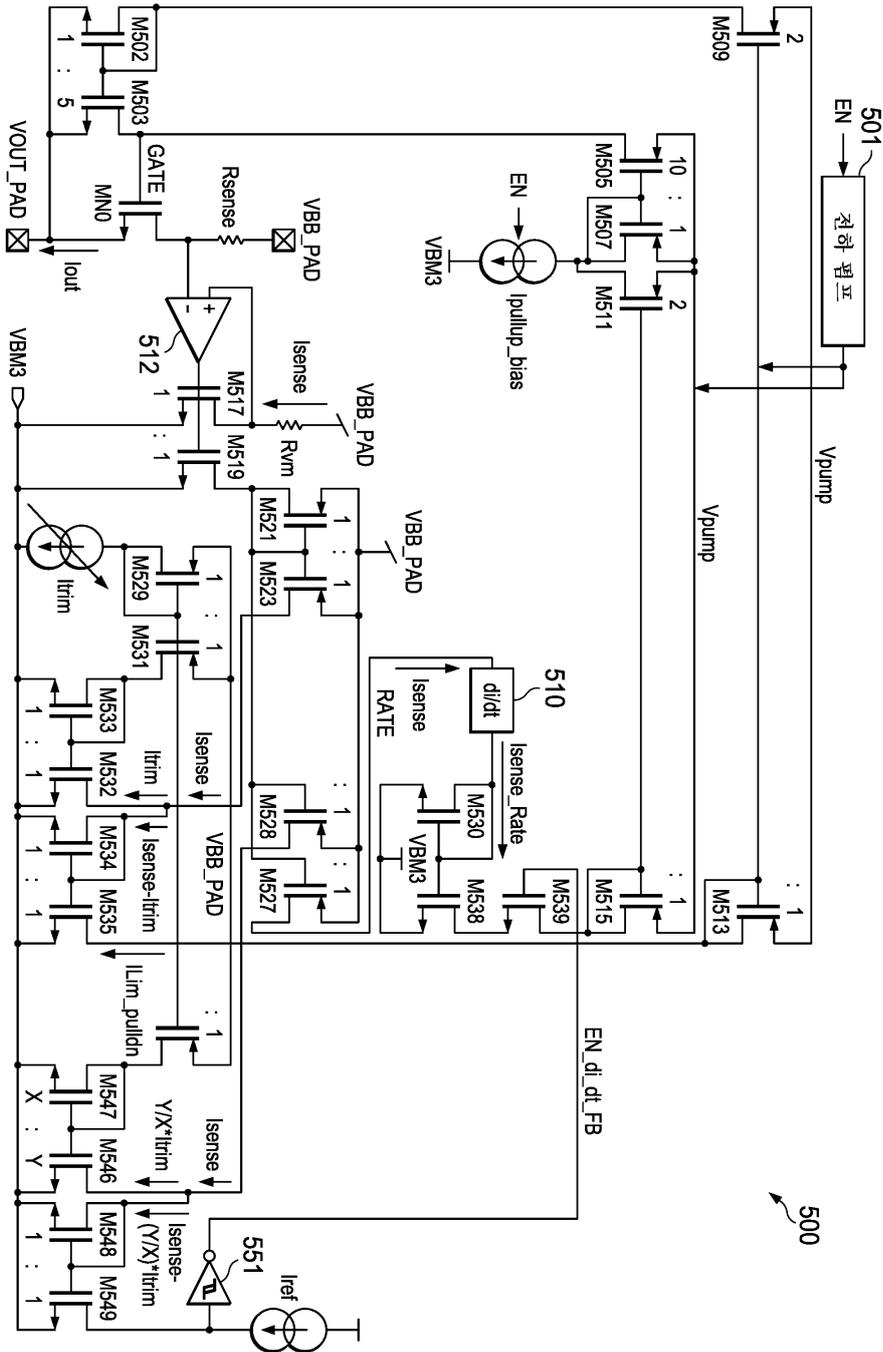
도면3b



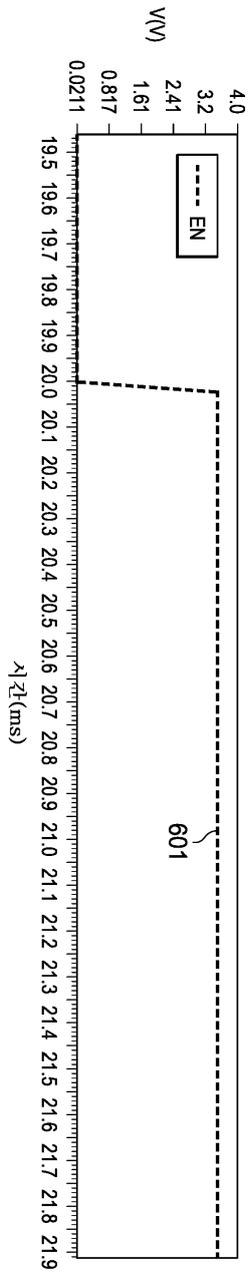
도면4



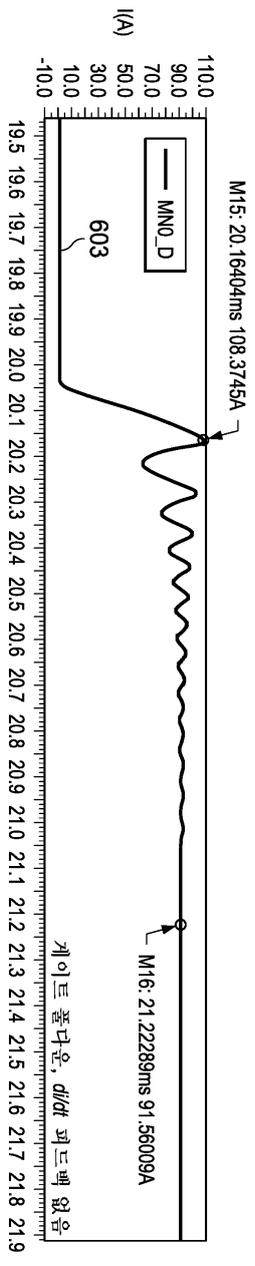
도면5



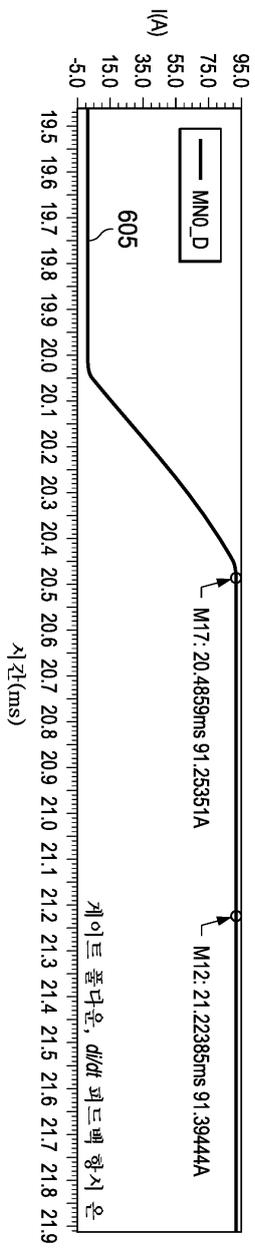
도면6a



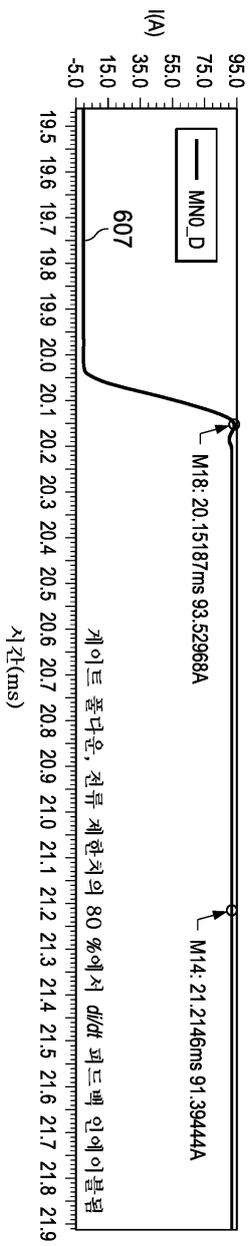
도면6b



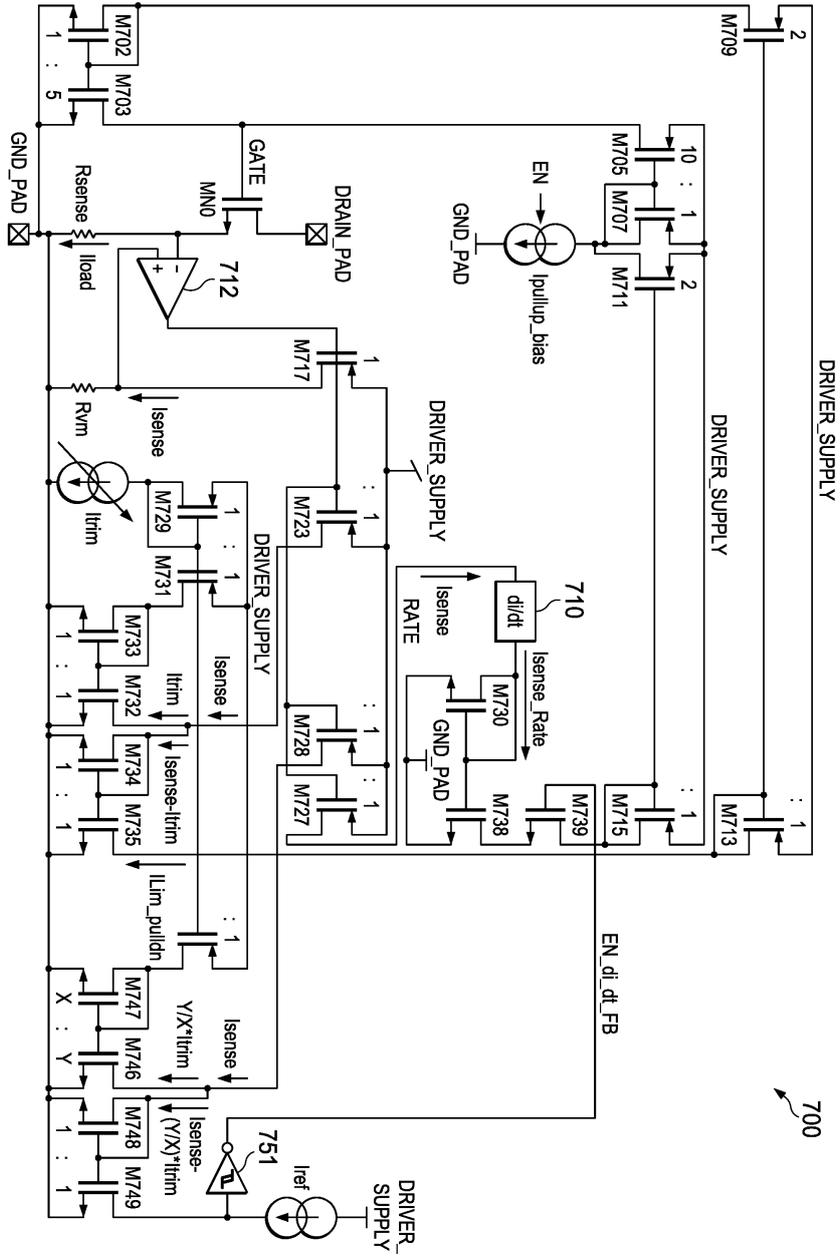
도면6c



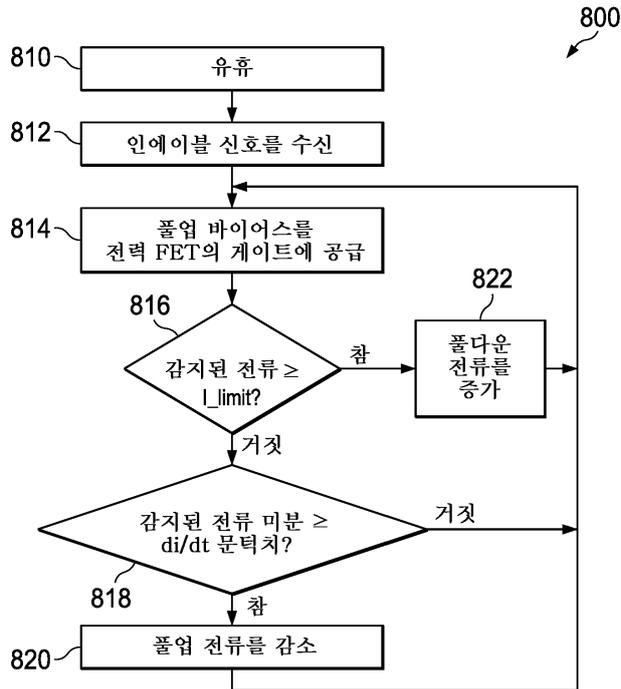
도면6d



도면7



도면8



도면9

