



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

207972

(11)

(B1)

(22) Přihlášeno 29 12 78
(21) (PV 9139-78)

(40) Zveřejněno 28 11 80
(45) Vydáno 01 12 82

(51) Int. Cl.³
G 11 C 11/02

(75)

Autor vynálezu

MALÝ BŘETISLAV ing., PRAHA

(54) Kapacitní registr s integrovanými obvody

Vynález se týká kapacitního registru s integrovanými logickými obvody typu invertor popřípadě hradlo, určeného pro dočasné zapamatování n -bitového slova a pro jednorázové přečtení tohoto slova v době kratší než určitá maximální doba paměti.

V měřicí či výpočetní technice se často vyskytuje potřeba dočasného uložení mnohobitového slova do registru s možností jeho opětného přečtení. Tak např. při přenosu dat z několika nezávislých zdrojů k jednomu příjemci dat se může stát, že příjemce není připraven k okamžitému převzetí slova, je proto nutno v „mrtvé“ době příjemce slovo uložit do vyrovnávací paměti n -bitového registru na dobu, než se příjemce uvolní pro převzetí slova. K zapamatování slova se používají registry, sestavené z integrovaných klopných obvodů.

Nevýhodou zapojení registrů s těmito obvody je poměrná složitost a nákladnost zapojení, nutnost trvalého napájení registrů z napájecího zdroje pro integrované obvody, náchylnost k porušení uložené informace při krátkodobých nárazech v rozvodné síti, vznikajících při zapnutí spotřebičů velkého příkonu.

Mnohé z těchto nevýhod odstraňuje zapojení podle vynálezu, kde n -bitové slovo se zapamatuje v paměťových kapacitách $C_1 \dots C_n$ prostřednictvím invertorů zápisu a naopak se čte z těchto kapacit

prostřednictvím invertorů čtení. Podstata vynálezu spočívá v tom, že napájecí přívody jednotlivých integrovaných obvodů prvního bloku invertorů nebo hradel jsou spojeny s blokem napájecího napětí přes zápisový klíč a napájecí přívody jednotlivých integrovaných obvodů druhého bloku invertorů nebo hradel jsou spojeny s blokem napájecího napětí přes čtecí klíč, a výstup každého invertoru nebo hradla prvního bloku je spojen se vstupem jemu příslušného invertoru nebo hradla druhého bloku, při čemž každý z těchto spojů je napojen na jemu příslušnou uzemněnou paměťovou kapacitu bloku paměťových kapacit.

Příklad zapojení podle vynálezu je znázorněn na výkrese, který představuje blokové schéma zapojení.

Je zde schematicky zakreslen zdroj 1 n -bitového slova, jehož výstupy v úrovních logiky transistor-transistor jsou spojeny se vstupy integrovaných invertorů prvního bloku 2 invertorů anebo hradel. Napájecí přívody obvodů prvního bloku 2 invertorů anebo hradel jsou připojeny přes v klidu rozpojený zápisový klíč 5 k zdroji 7. Integrované inventory druhého bloku 4 invertorů anebo hradel jsou připojeny ke zdroji 7 přes v klidu rozpojený čtecí klíč 6. Výstupy jednotlivých invertorů prvního bloku 2 invertorů anebo hradel jsou vodivě spojeny se vstupy jim příslušných invertorů druhé-

ho bloku 4 invertorů anebo hradel a ke každému z těchto spojů je připojena uzemněná paměťová kapacita bloku 8 paměťových kapacit. Výstupy jednotlivých invertorů druhého bloku 4 invertorů anebo hradel jsou spojeny s příslušnými vstupy příjemce dat 3.

Zapojení podle výkresu č. 1 funguje takto:

V okamžiku, kdy je připravena informace na výstupech zdroje n -bitového slova, sepne zápisový klíč 5, například doprovodným impulsem, generovaným zdrojem 1 n -bitového slova. Invertory prvního bloku 2 invertorů anebo hradel „oživené“ sepnutím zápisového klíče 5 nabijí příslušné paměťové kapacity bloku 8 paměťových kapacit na úroveň napětí logicky invertované vůči napětovým úrovním zdroje 1 n -bitového slova. Po skončení doprovodného impulsu se rozpojí zápisový klíč 5. Náboje jednotlivých kapacit bloku 8 paměťových kapacit se mění velmi pomalu vzhledem k vysokému vybíjecímu odporu výstupů i vstupů integrovaných invertorů s odpojeným napájením; nabíjecí odpor má hodnotu řádu 1000 M. Maximální doba paměti je rovna přibližně časové konstantě kapacity a vybíjecího odporu a může být řádově sekundy. Jestliže v době kratší než určitá maximální doba paměti generuje příjemce dat 3 čtecí impuls pro sepnutí čtecího klíče 6, pak na vstupu příjemce dat 3 se objeví v době „oživení“ čtecích invertorů druhého bloku 4 invertorů anebo hradel úroveň invertované vůči nábojům na paměťových capaci-

tách bloku 8 paměťových kapacit. Vzhledem k dvojnásobné inverzi budou tyto úrovně odpovídat úrovním, které byly v okamžiku zápisu na výstupech zdroje 1 n -bitového slova.

Výhody zapojení podle vynálezu spočívají v jednoduchosti zapojení a v jeho laci. Kapacitní registr podle vynálezu prakticky neodebírá ze zdroje výkon, není zdrojem tepla, je možné jej zapojit s maximální možnou hustotou součástek. Je odolný vůči rušivým vlivům prostředí, neboť k přepsání jeho stavu je třeba vynaložit určitou energii, zpravidla podstatně vyšší než je energie poruchy z vnějšího prostředí. Při krátkodobém výkyvu sítě se zapamatovaná informace nepoškodí, při dlouhodobém výpadku má zařízení čas uložit obsah registru do trvalé paměti.

Zapojení podle vynálezu je možné s výhodou použít např. jako vyrovnávací paměť pro vstup do počítače, pro dočasné uložení stavu registrů počítačů při přerušení programu, pro realizaci vlastních vnitřních registrů počítače. Kapacitního registru podle vynálezu je výhodné užít při přenosu m -bitového slova do zařízení pro příjem n -bitů, pokud $m > n$. Rozdíl $m-n$ se uloží do dočasného registru a po zpracování první části slova se převezmou bity $m-n$ ve druhém kroku.

Vzhledem k velmi malému příkonu je výhodné použít popsané zapojení v přístrojích napájených z baterií, v přístrojích pro kosmický výzkum, v leteckém průmyslu, v dopravě a pod.

PŘEDMĚT VYNÁLEZU

Kapacitní registr s integrovanými obvody pro dočasné zapamatování mnohobitového slova, kde zdroj slova je zapojen svými výstupy na vstupy prvního bloku logických integrovaných obvodů typu invertor anebo hradlo a příjemce slova je zapojen svými vstupy na výstupy druhého bloku logických integrovaných obvodů, vyznačený tím, že napájecí přívody jednotlivých integrovaných obvodů prvního bloku (2) invertorů anebo hradel jsou spojeny s blokem (7) napájecího napětí přes zápisový klíč (5) a napájecí přívody jednotlivých

integrovaných obvodů druhého bloku (4) invertorů anebo hradel jsou spojeny s blokem (7) napájecího napětí přes čtecí klíč (6), a výstup každého invertoru nebo hradla prvního bloku (2) invertorů anebo hradel je spojen se vstupem jemu příslušného invertoru nebo hradla druhého bloku (4) invertorů anebo hradel, přičemž každý z těchto spojů je napojen na jemu příslušnou zemněnou paměťovou kapacitu bloku (8) paměťových kapacit.

