



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년04월03일

(11) 등록번호 10-2097171

(24) 등록일자 2020년03월30일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) **H01L 21/336** (2006.01)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2013-0001705
- (22) 출원일자 2013년01월07일
 심사청구일자 2018년01월05일
- (65) 공개번호 10-2013-0085959
- (43) 공개일자 2013년07월30일
- (30) 우선권주장
 JP-P-2012-009722 2012년01월20일 일본(JP)
- (56) 선행기술조사문헌
 US20110127523 A1*
 US20110147738 A1*
 US20110182110 A1*
 US20110215326 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가부시킴가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 야마자키 순페이
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내
 마츠바야시 다이스케
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내
 오카자키 유타카
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
 김태홍, 김진희

전체 청구항 수 : 총 15 항

심사관 : 최정민

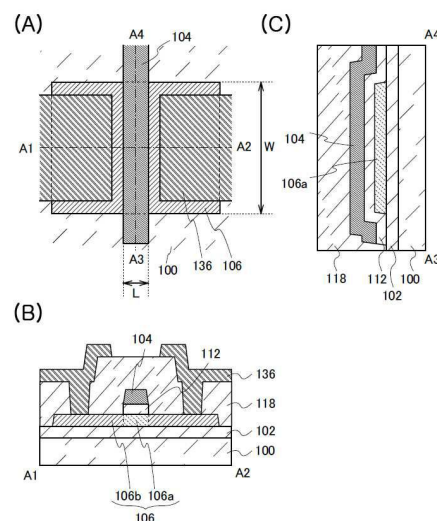
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 채널 길이가 작아도 단채널 효과(short-channel effect)가 실질적으로 발생하지 않고 또 스위칭 특성이 얻어지는 트랜지스터를 제공한다. 또한, 상기 트랜지스터를 적용한 집적도가 높은 반도체 장치를 제공한다.

실리콘을 사용한 트랜지스터에서 발생하는 단채널 효과가 실질적으로 발생하지 않는 산화물 반도체막을 사용한 트랜지스터이며, 채널 길이를 5nm 이상 60nm 미만, 또 채널 폭을 5nm 이상 200nm 미만으로 한다. 이 때, 채널 폭을 채널 길이의 0.5배 이상 10배 이하로 한다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서,

평균 면 거칠기가 1nm 이하인 하지 절연막;

상기 하지 절연막에 접촉하는 채널 영역을 포함하는 산화물 반도체막;

상기 산화물 반도체막과 중첩되는 게이트 전극; 및

상기 게이트 전극과 상기 산화물 반도체막 사이의 게이트 절연막을 포함하고,

채널 길이가 5nm 이상 60nm 미만이고, 채널 폭이 5nm 이상 200nm 미만이며, 상기 채널 폭은 상기 채널 길이의 0.5배 이상 10배 이하이며,

상기 산화물 반도체막은 ESR 측정에서 1.93 근방의 g 값에서의 스핀 밀도가 5×10^{16} spins/cm³ 미만인 영역을 포함하는, 반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 하지 절연막, 상기 산화물 반도체막, 상기 게이트 절연막, 및 상기 게이트 전극이 이 순서로 적층되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 게이트 전극의 가장자리는 상기 게이트 절연막의 가장자리와 정렬되는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 산화물 반도체막의 제 1 측면은 상기 게이트 전극과 중첩되는, 반도체 장치.

청구항 6

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 및 커패시터를 포함하고,

상기 제 1 트랜지스터는,

한 쌍의 전극에 접촉하는 산화물 반도체막과, 평균 면 거칠기가 1nm 이하인 절연막;

상기 산화물 반도체막과 중첩되는 제 1 게이트 전극; 및

상기 제 1 게이트 전극과 상기 산화물 반도체막 사이의 게이트 절연막을 포함하고,

상기 제 2 트랜지스터는 제 2 게이트 전극 및 실리콘을 함유하는 채널 영역을 포함하고,

상기 커패시터는,

상기 한 쌍의 전극 중 하나; 및

상기 한 쌍의 전극 중 상기 하나와 중첩되는 용량 전극을 포함하고,
 상기 제 2 게이트 전극 및 상기 한 쌍의 전극 중 상기 하나는 서로 전기적으로 접속되고,
 상기 제 1 트랜지스터의 채널 길이는 5nm 이상 60nm 미만이고, 상기 제 1 트랜지스터의 채널 폭은 5nm 이상 200nm 미만이며, 상기 채널 폭은 상기 채널 길이의 0.5배 이상 10배 이하이며,
 상기 산화물 반도체막은 ESR 측정에서 1.93 근방의 g 값에서의 스핀 밀도가 5×10^{16} spins/cm³ 미만인 영역을 포함하는, 반도체 장치.

청구항 7

제 1 항 또는 제 6 항에 있어서,
 상기 게이트 절연막은 적어도 상기 산화물 반도체막의 측면의 일부와 접촉하는, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1 항 또는 제 6 항에 있어서,
 상기 산화물 반도체막은 CAAC-OS막인, 반도체 장치.

청구항 12

제 1 항 또는 제 6 항에 있어서,
 상기 산화물 반도체막은 적어도 In을 함유하는, 반도체 장치.

청구항 13

제 1 항 또는 제 6 항에 있어서,
 상기 산화물 반도체막은 적어도 In, Ga, 및 Zn을 함유하는, 반도체 장치.

청구항 14

제 6 항에 있어서,
 상기 제 1 트랜지스터의 오프 전류는 실온에서 상기 채널 폭 1μm당 1×10^{-21} A 미만인, 반도체 장치.

청구항 15

제 6 항에 있어서,
 상기 산화물 반도체막, 상기 게이트 절연막, 및 상기 제 1 게이트 전극이 이 순서로 적층되는, 반도체 장치.

청구항 16

제 6 항에 있어서,
 상기 산화물 반도체막은 절연 표면과 접촉하는 하면, 상기 하면과 마주보는 상면, 상기 하면과 상기 상면 사이의 제 1 측면, 및 상기 하면과 상기 상면 사이에 있고 상기 제 1 측면과 마주보는 제 2 측면을 포함하고,

상기 하면과 상기 상면 사이의 거리는 상기 채널 폭보다 1배 내지 5배 더 큰, 반도체 장치.

청구항 17

제 6 항에 있어서,

상기 제 1 게이트 전극의 가장자리는 상기 게이트 절연막의 가장자리와 정렬되는, 반도체 장치.

청구항 18

제 6 항에 있어서,

상기 산화물 반도체막의 측면은 상기 제 1 게이트 전극과 중첩되는, 반도체 장치.

청구항 19

삭제

청구항 20

제 6 항에 있어서,

상기 한 쌍의 전극은 상기 산화물 반도체막의 상면과 접촉하고, 상기 산화물 반도체막의 측면과 접촉하지 않는, 반도체 장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

발명의 설명

기술 분야

[0001] 반도체 장치 및 그 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며,

전기 광학 장치, 반도체 회로, 및 전자 기기 등은 모두 반도체 장치이다.

배경 기술

- [0003] 실리콘을 사용한 반도체 장치는 트랜지스터 등의 스케일링 법칙(scaling law)에 따른 미세화에 의해 고집적화가 진행되어, 소비 전력이 저감되고 성능이 향상되어 왔다.
- [0004] 그러나, 최근에는 스케일링 법칙의 한계가 문제로 되고 있다. 예를 들어, 채널 길이를 짧게 함으로써 펀치 스루(punch-through) 현상 등 소위 단채널 효과(short-channel effect)가 현재화(顯在化)되고 있다.
- [0005] 또한, 채널 폭이 작아지면 협채널 효과(narrow-channel effect)가 발생하는 것이 알려져 있다.
- [0006] 미세화된 트랜지스터는 단채널 효과 및 협채널 효과 등의 영향으로 인하여, 임계값 전압을 제어하기 어려워져 특성의 편차가 발생되기 쉬워진다. 그래서, 단채널 효과 및 협채널 효과로 인한 임계값 전압의 변동을 고려한 디자인 룰이 제안되어 있다(특허문헌 1 참조).
- [0007] 이 외에도 트랜지스터를 미세화한 경우에 발생하는 단채널 효과를 저감하기 위해서 다양한 방법이 검토되어 있다(특허문헌 2 참조).

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본국 특개평4-134832호 공보
- (특허문헌 0002) 일본국 특개2006-100842호 공보

발명의 내용

해결하려는 과제

- [0009] 그러나, 종래 기술은 미세화에 따라 트랜지스터의 전기 특성이 열화되는 일의 큰 요인인 단채널 효과의 영향을 저감하는 것을 목적으로 한 것이 대부분이며, 단채널 효과가 실질적으로 없는 트랜지스터는 제안되어 있지 않았다.
- [0010] 그래서, 본 발명의 일 형태는 채널 길이가 짧아도 단채널 효과가 실질적으로 발생되지 않고 또 스위칭 특성이 얻어지는 트랜지스터를 제공하는 것을 과제 중 하나로 한다.
- [0011] 또한, 상기 트랜지스터를 적용한 집적도가 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0012] 상기 트랜지스터는 산화물 반도체막을 사용한 트랜지스터이며, 채널 길이를 5nm 이상 60nm 미만, 또 채널 폭을 5nm 이상 200nm 미만으로 한다.
- [0013] 이 때, 채널 폭을 채널 길이의 0.5배 이상 10배 이하로 한다.
- [0014] 또한, 산화물 반도체막은 적어도 In을 함유하는 것이 바람직하다.
- [0015] 또는, 산화물 반도체막은 적어도 In, Ga, 및 Zn을 함유하는 것이 바람직하다.
- [0016] 발명자들은 실리콘을 사용한 트랜지스터로 발생하는 단채널 효과가 산화물 반도체막을 사용한 트랜지스터에서는 실질적으로 발생되지 않는 경우가 있는 것을 찾아냈다. 이것은 실로 놀라운 일이다. 그러므로, 종래의 스케일링 법칙에 따른 트랜지스터의 미세화와 전혀 다른 미세화의 법칙을 고안할 필요성이 생겼다고 할 수 있다.
- [0017] 실리콘을 사용한 트랜지스터에서 발생하는 단채널 효과의 하나인 펀치 스루 현상은 그 원인 중 하나로서

DIBL(Drain Induced Barrier Lowering)이 알려져 있다.

[0018] 이하에서는 산화물 반도체막과 소스 전극 및 드레인 전극의 접합부 근방에 존재하는 밴드가 굴곡된 부분의 폭에 착안하여, 산화물 반도체막을 사용한 트랜지스터에서는 실리콘을 사용한 트랜지스터에서 보이는 DIBL이 발생되기 어렵다는 것을 제시한다.

[0019] n형 실리콘을 사용한 트랜지스터의 소스와 드레인 간의 밴드 구조를 도 21(A) 및 도 21(B)에 도시하였다. 도 21(A)에 긴 채널의 밴드 구조의 모식도를 도시하고, 도 21(B)에 단채널의 밴드 구조의 모식도를 도시하였다. 여기서는 게이트 전압(V_g)이 제로인 경우(오프 상태)에 대해서 설명한다.

[0020] 도 21(A) 및 도 21(B)를 보면 알 수 있듯이, 드레인 전압(V_d)이 제로인 경우에도 p-n접합 계면 근방에서 밴드가 굴곡된다(실선). 이것은 n^+ 영역과 p영역의 페르미 준위가 동일하게 되도록 캐리어를 주고 받은 결과로서 도너(donor) 이온과 억셉터(acceptor) 이온을 갖는 공핍층이 형성되어, 전계가 발생되기 때문이다.

[0021] 여기서 V_d 를 증가하면, 드레인 측의 n^+ 영역의 밴드가 eV_d 만큼 저하됨과 함께, 드레인 측으로부터 공핍층이 넓어진다(파선). 이 때, 긴 채널의 경우에는 V_d 는 소스 측에 영향을 미치지 않는다. 한편, 단채널의 경우에는 V_d 에 따라 드레인 측으로부터 넓어지는 공핍층이 소스 측까지 넓어져, p영역의 전위 저하를 초래한다(장벽이 저하된다). 이로써, 전류가 흐르기 쉬워져 임계값 전압은 음 방향으로 이동한다.

[0022] 따라서, n형 실리콘을 사용한 트랜지스터의 채널 길이를 작게 하면, 드레인 측으로부터 넓어지는 공핍층의 폭, 즉 밴드가 굴곡된 부분의 폭이 V_d 에 따라 증대되는 것을 알 수 있다. 이하에서는 실리콘을 사용한 트랜지스터 및 산화물 반도체막을 사용한 트랜지스터 각각의 소스 및 드레인과 채널과의 접합부(p-n접합 계면) 근방의 밴드가 굴곡된 부분의 폭을 해석적으로 도출한다.

[0023] 도 22에 n형 실리콘을 사용한 트랜지스터의 소스 측의 밴드 구조를 도시하였다. 도 22를 참조로 하여, 우선, n형 실리콘을 사용한 트랜지스터의 p영역에서의 소스 측의 밴드가 굴곡된 부분의 폭 L_s^{Si} 를 산출한다. L_s^{Si} 는 억셉터 이온을 갖는 공핍층의 폭과 동일하다. $\phi(y)$ 는 p-n접합 계면으로부터의 거리 y에서의 전위이며, 원점을 p영역의 진성 준위 E_{iPL}^{Si} 로 한다. $e\phi_F^{Si}$ 는 E_{iPL}^{Si} 와 페르미 준위 E_F^{Si} 과의 차이이며 $e\phi_F^{Si} = E_{iPL}^{Si} - E_F^{Si}$ 로 정의한다. 여기서 e는 기본 전하(elementary charge)이다. 밴드가 굴곡된 부분의 폭은 $\phi(y)$ 의 공간 변화를 반영한다. 수학적 1은 포아송 방정식(Poisson equation)이다.

[0024] [수학적 1]

$$\frac{d^2\phi}{dy^2} = -\frac{\rho}{\epsilon^{Si}}$$

[0025]

[0026] ϵ^{Si} 는 유전율, ρ 는 전하 밀도이다. p영역의 공핍층에 착안하는 경우에는 ρ 는 음 전하를 갖는 억셉터 이온만을 고려하면 좋고, 수학적 2가 된다.

[0027] [수학적 2]

$$\rho = -eN_A^{Si}$$

[0028]

[0029] 여기서, N_A^{Si} 는 억셉터 밀도이다. 수학적 2를 수학적 1에 대입하여, 수학적 3으로 나타낸 경계 조건으로 계산하면, 수학적 4가 구해진다.

[0030] [수학식 3]

$$\phi(L_s^{Si}) = \frac{d\phi}{dy}(L_s^{Si}) = 0$$

[0031]

[0032] [수학식 4]

$$\phi(y) = \frac{eN_A^{Si}}{2\epsilon^{Si}} L_s^{Si2} \left(1 - \frac{y}{L_s^{Si}}\right)^2$$

[0033]

[0034] 여기서, 수학식 5로 나타낸 경계 조건으로 계산하면, L_s^{Si} 가 수학식 6이 구해진다.

[0035] [수학식 5]

$$e\phi(0) = \frac{e^2 N_A^{Si}}{2\epsilon^{Si}} L_s^{Si2} = E_{ipL}^{Si} - E_F^{Si} \equiv e\phi_F^{Si}$$

[0036]

[0037] [수학식 6]

$$L_s^{Si} = \sqrt{\frac{2\epsilon^{Si}\phi_F^{Si}}{eN_A^{Si}}}$$

[0038]

[0039] 한편, V_d 를 인가하였을 때의 드레인 측의 밴드가 굴곡된 부분의 폭 L_d^{Si} 는 L_s^{Si} 의 경우와 같은 계산에 의해 수학식 7이 구해진다.

[0040] [수학식 7]

$$L_d^{Si} = \sqrt{\frac{2\epsilon^{Si}(\phi_F^{Si} + V_d)}{eN_A^{Si}}}$$

[0041]

[0042] 수학식 7로부터 실리콘을 사용한 트랜지스터에서는 V_d 에 따라 L_d^{Si} 가 증대된다. 즉 V_d 에 따라 드레인 측으로부터 공핍층이 넓어지는 것을 알 수 있다. 여기까지 설명한 것이 실리콘을 사용한 트랜지스터의 DIBL이다.

[0043] 또한, 도 23은 산화물 반도체막을 사용한 트랜지스터의 소스와 드레인 간의 밴드 구조를 도시한 것이다. 도 23을 참조로 하여, 산화물 반도체막을 사용한 트랜지스터의 산화물 반도체 영역에서의 소스 측의 밴드가 굴곡된 부분의 폭 L_s^{OS} 및 드레인 측의 밴드가 굴곡된 부분의 폭 L_d^{OS} 를 산출한다. 소스 및 드레인에 사용하는 금속의 일함수 ϕ_m 과 산화물 반도체의 전자 친화력 χ^{OS} 가 동일하다($\phi_m = \chi^{OS}$)고 가정하여, 금속-산화물 반도체 간에 오믹 접촉하여 있다고 한다. $\phi(y)$ 는 소스 측의 금속-산화물 반도체 접합 계면으로부터의 거리 y 에서의

전위이며, 원점을 산화물 반도체 영역의 진성 준위 E_{iL}^{OS} 로 한다. $e\phi_F^{OS}$ 는 E_{iL}^{OS} 와 소스 측의 페르미 준위 E_F^{OS} 차이이며 $e\phi_F^{OS} = E_{iL}^{OS} - E_F^{OS}$ 로 정의한다. 이 경우에 산화물 반도체 영역의 밴드가 굴곡된 부분의 폭은 다수 캐리어 (majority carrier)인 전자 밀도 $n^{OS}(y)$ 에 기인한다고 생각되기 때문에, 전하 밀도 ρ 는 수학식 8이 된다.

[0044] [수학식 8]

$$\rho(y) = -en^{OS}(y) = -en_0^{OS} \text{Exp}\left[\frac{e\phi(y)}{kT}\right]$$

[0045]

[0046] 여기서 k 는 볼츠만 상수(Boltzmann constant), T 는 절대 온도이다. n_0^{OS} 는 산화물 반도체의 벌크 영역에서의 전자 밀도이며, 진성 캐리어 밀도 n_i^{OS} 를 사용하여 수학식 9로 나타내어진다.

[0047] [수학식 9]

$$n_0^{OS} = n_i^{OS} \text{Exp}\left[-\frac{e\phi_F^{OS}}{kT}\right]$$

[0048]

[0049] 따라서, $\phi(y)$ 는 수학식 10으로 나타내는 포아송 방정식으로 구해진다.

[0050] [수학식 10]

$$\frac{d^2\phi}{dy^2} = \frac{en_0^{OS}}{\epsilon^{OS}} \text{Exp}\left[\frac{e\phi}{kT}\right]$$

[0051]

[0052] 이것을 수학식 11에 나타내는 경계 조건으로 계산하면, 수학식 12가 구해진다.

[0053] [수학식 11]

$$\phi(L_s) = \frac{d\phi}{dy}(L_s) = 0$$

[0054]

[0055] [수학식 12]

$$\phi(y) = -\frac{2kT}{e} \ln \text{Cos}\left[\sqrt{\frac{e^2 n_0^{OS}}{2\epsilon^{OS} kT}}(y - L_s^{OS})\right]$$

[0056]

[0057] 따라서, 수학식 13으로 나타내는 경계 조건으로 계산하면, 수학식 14가 구해진다.

[0058] [수학식 13]

$$e\phi(0) = -2kT \ln \cos \left[\sqrt{\frac{e^2 n_0^{OS}}{2\varepsilon^{OS} kT}} L_s^{OS} \right] = \frac{E_g^{OS}}{2} + e\phi_F^{OS}$$

[0059]

[0060] [수학식 14]

$$L_s^{OS} = \sqrt{\frac{2\varepsilon^{OS} kT}{e^2 n_0^{OS}}} \text{ArcCos} \left\{ \text{Exp} \left[-\frac{E_g^{OS}/2 + e\phi_F^{OS}}{2kT} \right] \right\}$$

[0061]

[0062] 여기서 $E_g^{OS}/2 + e\phi_F^{OS} \gg 2kT$ 이기 때문에, 수학식 14는 수학식 15로 나타낸 바와 같이 근사할 수 있다.

[0063] [수학식 15]

$$L_s^{OS} \sim \sqrt{\frac{2\varepsilon^{OS} kT}{e^2 n_0^{OS}}} \text{ArcCos}(0) = \sqrt{\frac{2\varepsilon^{OS} kT}{e^2 n_0^{OS}}} \frac{\pi}{2} = \pi \sqrt{\frac{\varepsilon^{OS} kT}{2e^2 n_0^{OS}}}$$

[0064]

[0065] 한편, V_d 를 인가하였을 때의 L_d^{OS} 는 수학식 13의 $e\phi_F^{OS}$ 를 $e\phi_F^{OS} + eV_d$ 로 치환하면 구할 수 있다. 이 경우에도 $E_g^{OS}/2 + e\phi_F^{OS} + eV_d \gg 2kT$ 이기 때문에, 수학식 16이 된다.

[0066] [수학식 16]

$$L_d^{OS} \sim \pi \sqrt{\frac{\varepsilon^{OS} kT}{2e^2 n_0^{OS}}} \sim L_s^{OS}$$

[0067]

[0068] 상술한 것으로부터, 산화물 반도체막을 사용한 트랜지스터의 경우에, L_d^{OS} 는 V_d 에 의존하지 않는 것을 알 수 있다. 그러므로, 산화물 반도체막을 사용한 트랜지스터에 DIBL이 발생하지 않는다고 할 수 있다.

[0069] 또한, 실리콘을 사용한 트랜지스터에서 발생하는 펀치 스루 현상은 게이트의 전계로 인한 공핍층이 채널 영역의 깊은 곳까지 넓어지지 않기 때문에 발생하는 경우도 있다. 이것은 실리콘에 포함되는 소수 캐리어(minority carrier) 밀도가 1×10^{11} 개/cm³ 정도로 높기 때문이다. 즉 소수 캐리어가 축적됨으로써 게이트의 전계가 깊은 곳까지 침입하지 않아 트랜지스터를 완전한 오프 상태로 할 수 없기 때문에, 오프 전류가 증대된다.

[0070] 한편, 발명자들의 정력적인 연구의 결과, 산화물 반도체막에 포함되는 소수 캐리어 밀도를 1×10^{-9} 개/cm³ 정도로 매우 낮게 할 수 있는 것을 알았다. 즉 산화물 반도체막을 사용한 트랜지스터에서는 소수 캐리어가 거의 축적되지 않고 게이트의 전계가 깊은 곳까지 침입하여, 트랜지스터를 완전한 오프 상태로 하기 쉽기 때문에, 오프 전류를 작게 할 수 있다. 이와 같이 산화물 반도체막을 사용한 트랜지스터에서는 게이트의 전계로 인한 공핍층의 넓어짐이 매우 커진다.

[0071] 상술한 바와 같이 실리콘을 사용한 트랜지스터에서 일반적으로 알려진 단채널 효과가 산화물 반도체막을 사용한 트랜지스터에서는 실질적으로 없다고 할 수 있다.

- [0072] 따라서, 산화물 반도체막을 사용한 트랜지스터는 채널 길이가 작은 경우에도 스위칭 특성을 얻어지기 쉽다고 할 수 있다.
- [0073] 또한, 실리콘을 사용한 트랜지스터를 미세화하는 경우, 채널 길이의 축소와 함께 채널 폭도 축소하는 것이 일반적인 일이었다.
- [0074] 그러나, 산화물 반도체막을 사용한 트랜지스터에서 채널 길이의 축소와 함께 채널 폭도 축소하면, 임계값 전압이 음 방향으로 이동하는 일이 있었다. 이것도 발명자들의 정력적인 연구의 결과로서 알려진 것의 하나이다.
- [0075] 그러므로, 산화물 반도체막을 사용한 트랜지스터에서 스위칭 특성을 얻기 위해서는 채널 길이가 작은 경우에 채널 폭을 충분히 크게 하는 것이 중요하다고 할 수 있다. 또는, 채널 길이에 대한 채널 폭의 비율을 일정하게 유지하면서 미세화하는 것이 중요하다고 할 수 있다.
- [0076] 여기서, 주목해야 될 일은 산화물 반도체막은 산소 결손으로 인하여 캐리어인 전자를 생성한다는 것이다.
- [0077] 산화물 반도체막으로 전자가 생성되면, 게이트 전압이 제로인 경우에도 트랜지스터가 온 상태가 되는, 소위 노멀리 온(normally-on)의 전기 특성이 되기 쉽다. 그러므로, 산화물 반도체막의 산소 결손을 저감하는 것이 바람직하다.
- [0078] 예를 들어, 산화물 반도체막의 산소 결손을 저감하기 위해서, 산화물 반도체막의 외부로부터 공급되는 산소를 이용하여도 좋다. 외부로부터 산소를 공급하는 방법으로서, 구체적으로는 이온 도핑 처리, 이온 주입 처리, 플라즈마 처리와 같은 산화 처리 등을 수행하면 좋다. 또는, 과잉 산소 함유층을 제공하고 이것으로부터 산화물 반도체막에 산소를 공급하여도 좋다.
- [0079] 이와 같은 방법을 이용하더라도, 산화물 반도체막을 사용한 트랜지스터를 미세화함으로써, 외부로부터 공급되는 산소보다 산화물 반도체막에 생성되는 산소 결손의 비율이 높아질 수 있다. 이것의 원인 중 하나는 미세화에 따라, 산화물 반도체막의 체적에 비하여 표면적이 증대되는 것이다. 이 관점에서 봐도 채널 길이를 작게 한 경우에 채널 폭을 크게 하는 것이 중요하다고 할 수 있다.
- [0080] 그러나, 채널 폭을 지나치게 크게 하면, 트랜지스터를 미세화한다는 본래의 목적을 달성하지 못한다. 그러므로, 채널 길이와 채널 폭의 비율은 현실적인 범위에서 선택한다. 이러한 관점으로부터 채널 폭을 일정한 범위 이상으로 크게 할 수 없기 때문에, 채널 길이를 제약 없이 작게 하고자 하는 것은 현실적인 일이 아니었을 가능성이 있다.
- [0081] 그래서, 산화물 반도체막의 외부로부터 공급되는 산소를 유효하게 활용하는 것이 중요하다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터 위에 산소 투과성이 낮은 층을 제공함으로써, 산소의 외방 확산이 억제되어 산소를 유효하게 활용할 수 있게 된다. 따라서, 채널 길이가 작고 채널 폭이 어느 정도 이하의 크기인 경우에도 스위칭 특성을 얻을 수 있다.
- [0082] 또한, 산화물 반도체막을 사용한 트랜지스터의 미세화를 진행하면, 산화물 반도체막의 측면에 기생 채널이 형성되는 경우가 있다. 이것도 발명자들의 정력적인 연구에 의해 알려진 것의 하나이다.
- [0083] 기생 채널의 영향은 단채널의 트랜지스터에서 현저히 나타날 수 있기 때문에, 단채널 효과와 혼동되기 쉽지만, 엄밀하게 말하면 다른 것이다.
- [0084] 기생(寄生) 채널은 트랜지스터의 본래의 채널보다 임계값 전압이 작은 경우가 많다. 그러므로 기생 채널의 영향이 커지면, 마치 트랜지스터의 임계값 전압이 음 방향으로 이동한 것처럼 보인다. 이것은 산화물 반도체막의 측면에서는 캐리어가 생성되기 쉽기 때문이다. 따라서, 산화물 반도체막의 측면에는 다른 표면보다 더 많이 외부로부터 산소를 공급하는 것이 중요하다.
- [0085] 예를 들어, 산화물 반도체막의 측면에 산소 투과성이 낮은 층을 제공하여, 산소 결손이 생성되기 어려운 구조로 하면 좋다. 또한, 산소 투과성이 낮은 층과 적층하여, 과잉 산소 함유층을 산화물 반도체막의 측면에 제공하면 좋다. 이 때, 과잉 산소 함유층을 산화물 반도체막의 측면에 접촉하도록 제공하면 바람직하다.
- [0086] 또한, 산화물 반도체막은 산소 결손 이외에 수소에 의해 캐리어인 전자를 생성하는 것이 알려져 있다. 따라서, 산화물 반도체막 내의 수소도 저감하는 것이 바람직하다.
- [0087] 소수 캐리어 밀도가 매우 낮고, 또 산소 결손이나 수소 등 캐리어 생성원이 저감된 산화물 반도체막을 사용한 트랜지스터는 오프 전류를 매우 작게 할 수 있다.

[0088] 또한, 산화물 반도체막을 사용한 트랜지스터는 실리콘 등을 사용한 종래의 트랜지스터와 조합하여 사용할 수 있다. 예를 들어, 실리콘을 사용한 트랜지스터나 화합물 반도체를 사용한 트랜지스터 등은 산화물 반도체막을 사용한 트랜지스터와 비교하여 온 특성을 높게 하기 쉽다. 따라서, 온 특성이 요구되는 트랜지스터에는 실리콘을 사용한 트랜지스터나 화합물 반도체를 사용한 트랜지스터 등을 사용하고, 낮은 오프 전류가 요구되는 트랜지스터에는 산화물 반도체막을 사용한 트랜지스터를 적용하여도 좋다. 산화물 반도체막은 스퍼터링법 등의 박막 형성 방법으로 형성할 수 있기 때문에, 다른 반도체 재료와 조합하여 사용할 때의 제약이 적은 것도 특징의 하나이다.

[0089] 또한, 실리콘을 사용한 트랜지스터는 실리콘 표면을 수소로 종단(終端)함으로써, 양호한 전기 특성을 얻을 수 있다. 따라서, 실리콘을 사용한 트랜지스터에 대해 수소 공급원이 되는 수소 함유층을 제공하는 것이 바람직하다. 그러나, 상술한 바와 같이 산화물 반도체막을 사용한 트랜지스터에는 수소는 캐리어 생성원이고 전기 특성을 악화시키는 요인이다.

[0090] 그러므로, 실리콘을 사용한 트랜지스터와 산화물 반도체막을 사용한 트랜지스터를 조합하여 사용하는 경우, 실리콘을 사용한 트랜지스터 측에 수소 함유층을 제공하고, 산화물 반도체막을 사용한 트랜지스터 측에 수소 투과성이 낮은 층을 제공하면 바람직하다.

발명의 효과

[0091] 산화물 반도체막을 사용함으로써, 채널 길이가 작아도 실질적으로 단채널 효과가 발생하지 않고 스위칭 특성이 얻어지는 트랜지스터를 제공할 수 있다.

[0092] 또한, 상기 트랜지스터를 적용한 집적도가 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0093] 도 1(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 1(B) 및 도 1(C)는 그 단면도.

도 2(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 2(B) 및 도 2(C)는 그 단면도.

도 3(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 3(B) 및 도 3(C)는 그 단면도.

도 4(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 4(B) 및 도 4(C)는 그 단면도.

도 5(A) 내지 도 5(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 6(A) 내지 도 6(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 7(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 7(B) 및 도 7(C)는 그 단면도.

도 8(A) 내지 도 8(D)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 9(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 9(B) 및 도 9(C)는 그 단면도.

도 10(A) 내지 도 10(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 11(A) 내지 도 11(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 12(A) 내지 도 12(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 13(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 13(B) 및 도 13(C)는 그 단면도.

도 14(A) 내지 도 14(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 15(A)는 본 발명의 일 형태에 따른 반도체 장치의 일례를 도시한 상면도이고, 도 15(B) 및 도 15(C)는 그 단면도.

도 16(A) 내지 도 16(C)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법의 일례를 도시한 단면도.

도 17(A)는 본 발명의 일 형태에 따른 반도체 기억 장치의 일례를 도시한 회로도이고, 도 17(B)는 그 전기 특성을 나타낸 도면이고, 도 17(C)는 그 단면도.

도 18(A)는 본 발명의 일 형태에 따른 반도체 기억 장치의 일례를 도시한 회로도이고, 도 18(B)는 그 전기 특성을 나타낸 도면이고, 도 18(C)는 그 단면도.

도 19(A)는 본 발명의 일 형태에 따른 CPU의 구체적인 예를 도시한 블록도이고, 도 19(B) 및 도 19(C)는 그 일부의 회로도.

도 20(A) 내지 도 20(D)는 본 발명의 일 형태에 따른 전자 기기의 일례를 도시한 사시도.

도 21(A) 및 도 21(B)는 n형 실리콘을 사용한 트랜지스터의 소스와 드레인 간의 밴드도.

도 22는 n형 실리콘을 사용한 트랜지스터의 소스 측의 밴드도.

도 23은 산화물 반도체막을 사용한 트랜지스터의 소스와 드레인 간의 밴드도.

발명을 실시하기 위한 구체적인 내용

- [0094] 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에 제시되는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 그리고 도면을 사용하여 발명의 구성을 설명하는 데에 있어서, 같은 것을 가리키는 부호는 다른 도면간에서도 공통적으로 사용한다. 또한, 같은 것을 가리킬 때는 해치 패턴(hatch pattern)을 동일하게 하고 특별히 부호를 붙이지 않은 경우가 있다.
- [0095] 이하에서 본 발명을 설명하는데, 본 명세서에서 사용하는 용어에 대해서 간단하게 설명한다. 우선, 트랜지스터의 소스와 드레인에 대하여, 본 명세서에서는 한쪽을 드레인이라고 부를 때 다른 쪽을 소스라고 한다. 즉, 전위의 고저(高低)에 따라 이들을 구별하지는 않는다. 그래서, 본 명세서에서 소스라고 불리는 부분을 드레인으로 바꾸어 읽을 수도 있다.
- [0096] 또한, 전압은 어느 임의의 전위와 기준 전위(예를 들어, 접지 전위(GND) 또는 소스 전위)의 전위차를 가리키는 경우가 많다. 따라서, 전압을 전위로 바꾸어 말할 수 있다.
- [0097] 본 명세서에서는 ‘전기적으로 접속된다’라고 표현된 경우에도 현실의 회로에는 물리적인 접속 부분이 없고, 그저 배선이 연장되어 있을 뿐인 경우도 있다.
- [0098] 또한, ‘제 1’, ‘제 2’라고 붙인 서수사(序數詞)는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에서 발명을 특징하기 위한 사항으로서 고유한 명칭을 나타내는 것이 아니다.
- [0099] 또한 채널 길이란, 트랜지스터의 소스와 드레인 간 거리를 말한다. 채널 길이가 작을수록 온 저항이 작아지며 고속 동작이 가능한 트랜지스터가 된다. 또한 채널 폭이란, 트랜지스터의 소스 및 드레인의 대향하는 변의 길이를 말한다. 채널 폭이 클수록 온 저항이 작아지며 고속 동작이 가능한 트랜지스터가 된다.
- [0100] (실시형태 1)
- [0101] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터에 대해서 설명한다.
- [0102] 도 1(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 1(A)에 도시한 일점 쇄선 A1-A2에 대응하는 부분의 단면도를 도 1(B)에 도시하였다. 또한, 도 1(A)에 도시한 일점 쇄선 A3-A4에 대응하는 부분의 단면도를 도 1(C)에 도시하였다. 또한 설명하기 쉽게 하기 위해서, 도 1(A)에서는 하지 절연막(base insulating film, 102) 등을 생략하였다.
- [0103] 도 1(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물

반도체막(106)에서의 게이트 전극(104)과 중첩되는 영역이다. 그리고 산화물 반도체막(106)의 2개의 측면의 적어도 일부는 게이트 전극(104)과 중첩된다.

- [0104] 도 1(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0105] 또한, 도 1(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0106] 도 1(B)는 기판(100) 위에 제공된 하지 절연막(102)과, 하지 절연막(102) 위에 제공된 산화물 반도체막(106)과, 산화물 반도체막(106) 위에 제공된 게이트 절연막(112)과, 게이트 절연막(112) 위에 있으며 산화물 반도체막(106)과 중첩되어 제공된 게이트 전극(104)을 갖는 트랜지스터의 단면 구조를 도시한 것이다.
- [0107] 또한, 도 1(B)에는 산화물 반도체막(106) 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 층간 절연막(118)과, 층간 절연막(118)의 개구부들을 통하여 산화물 반도체막(106)과 접촉하도록 제공된 배선(136)을 도시하였다.
- [0108] 산화물 반도체막(106)의 재료로서는 예를 들어, In-M-Zn-O계 재료를 사용하면 좋다. 여기서, 금속 원소 M은 산소와의 결합 에너지가 In 및 Zn보다 높은 원소이다. 또는, In-M-Zn-O계 재료로부터 산소가 이탈되는 것을 억제하는 기능을 갖는 원소이다. 금속 원소 M의 작용에 의하여 산화물 반도체막의 산소 결손의 발생이 어느 정도 억제된다. 그러므로 산소 결손으로 인한 트랜지스터의 전기 특성의 변동을 저감할 수 있어, 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0109] 금속 원소 M은 구체적으로는 Al, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Ga, Y, Zr, Nb, Mo, Sn, La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Hf, Ta, 또는 W로 하면 좋고, 바람직하게는 Al, Ti, Ga, Y, Zr, Ce, 또는 Hf로 한다. 금속 원소 M은 상술한 원소 중에서 1종류 또는 2종류 이상을 선택하면 좋다. 또한, 금속 원소 M 대신에 Si 또는 Ge를 사용하여도 좋다.
- [0110] 다만, 산화물 반도체막(106)에 함유되는 금속 원소 M의 작용만으로는 산화물 반도체막(106)의 산소 결손의 생성을 완전히 억제할 수는 없다. 그러므로 하지 절연막(102) 및 게이트 절연막(112) 중 적어도 한쪽으로부터 산소를 공급하는 것이 중요하다.
- [0111] 또한, 산화물 반도체막(106) 내의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하로 한다. 이것은 산화물 반도체막(106)에 함유되는 수소가 의도하지 않은 캐리어를 생성하는 경우가 있기 때문이다. 생성된 캐리어는 트랜지스터의 전기 특성을 변동시키는 요인이 된다.
- [0112] 산화물 반도체막(106)은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 취한다.
- [0113] 바람직하게는, 산화물 반도체막(106)은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.
- [0114] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 그리고, TEM에 의한 관찰에서는 CAAC-OS막에는 입계(그레인 바운더리(grain boundary)라고도 함)가 확인되지 않는다. 그래서, CAAC-OS막은 입계에 기인한 캐리어 이동도의 저하가 억제된다.
- [0115] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면(CAAC-OS막이 형성되는 면) 또는 상면에 수직인 방향으로 정렬되고, 또 ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 수직이라고 기재된 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다.
- [0116] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막(106)의 상면 측으로부터 결정 성장시키는 경우에는, 산화물 반도체막의 피형성면 측보다 상면 측에서 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

- [0117] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(CAAC-OS막의 피형성면의 단면 형상 또는 상면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은 CAAC-OS막의 피형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향이 된다. 성막(成膜)함으로써 또는 성막 후에 열처리 등의 결정화 처리를 수행함으로써, 결정부가 형성된다.
- [0118] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0119] 또한, 산화물 반도체막(106)은 영역(106a) 및 영역(106b)을 갖는다. 영역(106a)은 채널 영역으로서 기능하고, 영역(106b)은 소스 영역 및 드레인 영역으로서 기능한다. 따라서, 영역(106b)은 반도체가 아니라 도체라고 불러야 하는 경우가 있다. 그러므로 편의상 산화물 반도체막(106)이라고 기재한 경우에도 영역(106b)을 제외하고 영역(106a)만을 가리키는 경우가 있다.
- [0120] 영역(106b)은 영역(106a)보다 저항이 낮은 영역이다. 영역(106b)은 산화물 반도체막의 저항을 낮추는 작용이 있는 불순물을 함유한 영역이다. 산화물 반도체막의 저항을 낮추는 작용이 있는 불순물은 예를 들어, 헬륨, 붕소, 질소, 불소, 네온, 알루미늄, 인, 아르곤, 비소, 크립톤, 인듐, 주석, 안티몬, 및 크세논을 들 수 있다.
- [0121] 산화물 반도체막(106)에서의 영역(106a)은 밴드갭이 2.8eV 내지 3.2eV 정도이고, 소수 캐리어 밀도가 10^{-9} 개/cm³ 정도로 매우 낮고, 다수 캐리어는 트랜지스터의 소스로부터만 흘러온다.
- [0122] 산화물 반도체막(106)은 실리콘에 비해 밴드갭이 1eV 내지 2eV 정도 크다. 그러므로 산화물 반도체막(106)을 사용한 트랜지스터는 충돌 이온화(impact ionization)가 발생하기 어려워, 애벌란시 항복(avalanche breakdown)이 일어나기 어렵다. 즉 상기 트랜지스터는 핫 캐리어로 인한 열화가 일어나기 어렵다고 할 수 있다.
- [0123] 또한, 영역(106a)은 불순물 농도가 낮고 산소 결손이 적다. 그러므로 상기 트랜지스터는 산화물 반도체막(106)의 두께가 두꺼운 경우(예를 들어 15nm 이상 100nm 미만)에도 게이트 전극(104)의 전계에 의하여 영역(106a)을 완전한 공핍 상태로 할 수 있다. 따라서, 상기 트랜지스터는 편치 스루 형상으로 인하여 임계값 전압이 음 방향으로 이동하는 일이 없고, 또 예를 들어 채널 길이가 3μm일 때, 채널 폭 1μm당 오프 전류를 실온에서 10^{-21} A 미만, 또는 10^{-24} A 미만으로 할 수 있다.
- [0124] 산소 결손이 적은 산화물 반도체막은 전자 스핀 공명(ESR: Electron Spin Resonance)에 의하여 측정된 경우에, 산소 결손에 기인한 신호를 나타내지 않는 산화물 반도체막이다. 구체적으로는 산소 결손에 기인한 스핀 밀도가 5×10^{16} spins/cm³ 미만인 산화물 반도체막이다. 또한, 산화물 반도체막이 산소 결손을 가지면, ESR에서 측정된 경우에, 1.93 근방의 g 값에서 대칭성을 갖는 신호를 나타낸다.
- [0125] 하지 절연막(102)은 충분한 평탄성을 갖는 것이 바람직하다. 구체적으로는, 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다. Ra를 상술한 값 이하로 함으로써, 결정화도가 높은 산화물 반도체막(106)을 형성할 수 있다. 또한, 하지 절연막(102)과 산화물 반도체막(106)의 계면의 요철이 작아짐으로써 계면 산란의 영향을 작게 할 수 있다. 또한 Ra란, JIS B 0601:2001(ISO4287: 1997)에 정의되어 있는 산술 평균 거칠기를 곡면에 적용할 수 있도록 3차원으로 확장한 것이며, '기준면으로부터 지정면까지의 편차의 절대값을 평균한 값'으로 표현할 수 있고, 수학적 식 17로 정의된다.
- [0126] [수학적 식 17]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0127]

[0128] 여기서 지정면이란, 거칠기 계측의 대상이 되는 면이며, 좌표($x_1, y_1, f(x_1, y_1)$), ($x_1, y_2, f(x_1, y_2)$), ($x_2, y_1, f(x_2, y_1)$), ($x_2, y_2, f(x_2, y_2)$)의 4점을 연결하여 이루어진 사각형의 영역으로 하고, 지정면을 xy 평면에 투영

한 직사각형의 면적을 S_0 , 기준면의 높이(지정면의 평균 높이)를 Z_0 으로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 평가할 수 있다.

[0129] 하지 절연막(102)은 과잉 산소를 함유한 절연막이면 바람직하다.

[0130] 과잉 산소를 함유한 절연막이란, TDS(Thermal Desorption Spectroscopy: 승온 이탈 가스 분광법) 분석에 의하여 방출되는 산소가 산소 원자로 환산하여 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상인 절연막을 가리킨다.

[0131] 여기서, TDS 분석을 이용하여 산소의 방출량을 측정하는 방법에 대하여 이하에서 설명한다.

[0132] TDS 분석을 하였을 때의 기체의 총 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 그리고, 이 적분값과 표준 시료의 비교에 의하여 기체의 총 방출량을 계산할 수 있다.

[0133] 예를 들어, 절연막의 산소 분자의 방출량(N_{O_2})은 표준 시료인 소정의 밀도의 수소를 함유한 실리콘 웨이퍼의 TDS 분석을 한 결과, 및 절연막의 TDS 분석을 한 결과로부터, 수학적 식 18을 사용해서 계산할 수 있다. 여기서, TDS 분석에 의하여 얻어지는 질량수가 32로 검출되는 가스 모두가 산소 분자에서 유래한 것이라고 가정한다. 질량수가 32인 것으로서 산소 이외에 CH₃OH가 있지만, 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한, 산소 원자의 동위원소 질량수가 17인 산소 원자 및 질량수가 18인 산소 원자를 함유한 산소 분자에 관해서도 자연계에서의 존재 비율이 매우 미량이기 때문에 고려하지 않는다.

[0134] [수학적 식 18]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

[0135]

[0136] N_{H_2} 는 표준 시료로부터 이탈된 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. 여기서 표준 시료의 기준값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 절연막을 TDS 분석하였을 때의 이온 강도의 적분값이다. α 는 TDS 분석에서의 이온 강도에 영향을 미치는 계수이다. 수학적 식 18의 상세한 사항에 관해서는, 일본국 특허평6-275697호 공보를 참조한다. 또한, 상기 절연막의 산소의 방출량은 승온 이탈 분석 장치 EMD-WA1000S/W(ESCO Ltd., 제조)를 이용하며, 표준 시료로서 1×10^{16} atoms/cm²의 수소 원자를 함유한 실리콘 웨이퍼를 사용하여 측정하였다.

[0137] 또한, TDS 분석에 있어서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상기 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량도 어렵잡을 수 있다.

[0138] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 산소의 방출량은 산소 분자의 산소의 방출량의 2배가 된다.

[0139] 또는, 과잉 산소를 함유한 절연막은 과산화 라디칼을 함유한 절연막이라도 좋다. 구체적으로는 과산화 라디칼에 기인한 스핀 밀도가 5×10^{17} spins/cm³ 이상인 절연막이다. 또한, 과산화 라디칼을 함유한 절연막은 ESR에서 측정된 경우에, 2.01 근방의 g 값에서 비대칭성을 갖는 신호를 나타내는 절연막이다.

[0140] 또는, 과잉 산소를 함유한 절연막은 산소가 과잉으로 함유된 산화 실리콘($SiO_x(X>2)$)이어도 좋다. 산소가 과잉으로 함유된 산화 실리콘($SiO_x(X>2)$)은 단위 체적당 실리콘 원자수의 2배보다 많은 산소 원자를 함유한 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법(Rutherford Backscattering Spectrometry)에 의하여 측정할 값이다.

[0141] 하지 절연막(102)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다. 또한, 상술한 단층 또는 적층에 더하여 질

화산화 실리콘, 질화 실리콘을 적층하여도 좋다.

- [0142] 산화질화 실리콘이란, 그 조성이 질소보다 산소의 함유량이 많은 것을 가리키고, 질화산화 실리콘이란, 그 조성이 산소보다 질소의 함유량이 많은 것을 가리킨다.
- [0143] 또한, 게이트 절연막(112)은 과잉 산소를 함유한 절연막이면 바람직하다.
- [0144] 게이트 절연막(112)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다.
- [0145] 하지 절연막(102) 및 게이트 절연막(112) 중 적어도 한쪽에 함유되는 과잉 산소는 재료의 화학양론적 조성보다 많이 함유되는 산소이다. 따라서, 과잉 산소는 열 등의 에너지를 받으면 방출된다는 성질을 갖는다. 과잉 산소란, 화학양론적 조성에 비해 과잉으로 함유되어 있는 것이기 때문에, 방출되어 소실되어도 막질은 저하되지 않는다.
- [0146] 예를 들어, 산화물 반도체막(106)의 산소 결손은 하지 절연막(102) 및 게이트 절연막(112) 중 한쪽으로부터 공급되는 산소에 의해 저감할 수 있다. 즉 산화물 반도체막(106)의 산소 결손이 저감됨으로써, 트랜지스터의 임계값 전압이 음 방향으로 이동하는 것을 억제할 수 있다. 그러므로 하지 절연막 및 게이트 절연막 중 적어도 한쪽으로서, 과잉 산소를 함유한 절연막을 사용하면 좋다.
- [0147] 또한 산화물 반도체막(106)을 하지 절연막(102)과 게이트 절연막(112)에 끼워 열처리함으로써, 하지 절연막(102)으로부터 방출시킨 산소를 산화물 반도체막(106)으로 효율적으로 공급할 수 있다. 또한, 상기 열처리를 250℃ 이상 550℃ 이하의 온도로 수행하면, 산화물 반도체막(106)에 산소를 공급함과 함께 산화물 반도체막(106), 하지 절연막(102) 및 게이트 절연막(112)의 수소 농도를 저감할 수 있다.
- [0148] 다만 상기 열처리로 인하여, 하지 절연막(102) 및 게이트 절연막(112) 중 한쪽에 함유된 과잉 산소가 소실될 수 있다. 트랜지스터의 전기 특성의 변동을 저감한다는 관점에서는 열처리 후에도 하지 절연막(102) 및 게이트 절연막(112) 중 한쪽은 과잉 산소를 함유하는 것이 바람직하다.
- [0149] 기관(100)에 큰 제한은 없지만, 적어도 나중의 열처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 유리 기관, 세라믹스 기관, 석영 기관, 사파이어 기관 등을 기관(100)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘 등을 사용한 단결정 반도체 기관이나 다결정 반도체 기관, 실리콘게르마늄 등을 사용한 화합물 반도체 기관, SOI(Silicon On Insulator) 기관 등을 적용할 수도 있으며, 상술한 기관 위에 반도체 소자가 제공된 것을 기관(100)으로서 사용하여도 좋다.
- [0150] 또한, 기관(100)으로서 제 5 세대(1000mm×1200mm 또는 1300mm×1500mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2500mm), 제 9 세대(2400mm×2800mm), 제 10 세대(2880mm×3130mm) 등 대형 유리 기관을 사용하는 경우에는, 반도체 장치의 제작 공정에서 열처리 등으로 인하여 기관(100)이 수축됨으로써 미세한 가공이 어려워지는 경우가 있다. 따라서, 상술한 바와 같은 대형 유리 기관을 기관(100)으로서 사용하는 경우에는, 열처리로 인하여 그다지 수축되지 않는 것을 사용하는 것이 바람직하다. 예를 들어 기관(100)으로서 400℃, 바람직하게는 450℃, 더 바람직하게는 500℃의 온도로 1시간 동안 열처리한 후의 수축량이 10ppm 이하, 바람직하게는 5ppm 이하, 더 바람직하게는 3ppm 이하인 대형 유리 기관을 사용하면 좋다.
- [0151] 또한, 기관(100)으로서 가요성 기관을 사용하여도 좋다. 또한, 가요성 기관 위에 트랜지스터를 제작하는 방법으로서, 비가요성 기관 위에 트랜지스터를 제작한 후에 트랜지스터를 박리하고, 가요성 기관인 기관(100)으로 전치(轉置)하는 방법도 있다. 이 경우에는 비가요성 기관과 트랜지스터 사이에 박리층을 제공하면 좋다.
- [0152] 게이트 전극(104)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta, 및 W 중 1종류 이상을 함유한 단체(單體), 질화물, 산화물, 또는 합금을 단층으로 또는 적층하여 형성하면 좋다.
- [0153] 층간 절연막(118)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다.
- [0154] 또한, 층간 절연막(118)은 비유전율이 낮고, 또 충분한 두께를 갖는 것이 바람직하다. 예를 들어, 비유전율이 3.8 정도인 산화 실리콘막을 사용하여 200nm 이상 1000nm 이하의 두께로 하면 좋다. 층간 절연막(118)의 상면은 대기 성분 등의 영향으로 약간의 고정 전하를 가지며, 그 영향으로 인하여 트랜지스터의 임계값 전압이 변동

될 경우가 있다. 그러므로 층간 절연막(118)은 상면에 생기는 전하의 영향이 충분히 작게 되도록 비유전을 및 두께를 설정하는 것이 바람직하다. 같은 이유로 층간 절연막(118) 위에 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘(silicone) 수지 등의 수지막을 형성함으로써, 층간 절연막(118)의 상면에 생기는 전하의 영향을 저감하여도 좋다.

- [0155] 배선(136)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta, 및 W 중에서 1종류 이상을 함유한 단체, 질화물, 산화물, 또는 합금을 단층으로 또는 적층하여 형성하면 좋다.
- [0156] 이어서, 도 1(A) 내지 도 1(C)에 도시한 트랜지스터와 다른 구조의 트랜지스터에 대하여 도 2(A) 내지 도 2(C)를 사용하여 설명한다.
- [0157] 도 2(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 2(A)에 도시한 일점 쇄선 B1-B2에 대응하는 부분의 단면도를 도 2(B)에 도시하였다. 또한, 도 2(A)에 도시한 일점 쇄선 B3-B4에 대응하는 부분의 단면도를 도 2(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 2(A)에서는 하지 절연막(102) 등을 생략하였다.
- [0158] 도 2(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물 반도체막(106)에서의 게이트 전극(104)과 중첩되는 영역이다. 그리고 산화물 반도체막(106)의 2개의 측면의 적어도 일부는 게이트 전극(104)과 중첩된다.
- [0159] 도 2(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0160] 또한, 도 2(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0161] 도 2(B)는 기판(100) 위에 제공된 하지 절연막(102)과, 하지 절연막(102) 위에 제공된 산화물 반도체막(106)과, 산화물 반도체막(106) 위에 제공된 게이트 절연막(112)과, 게이트 절연막(112) 위에 있으며 산화물 반도체막(106)과 중첩되어 제공된 게이트 전극(104)과, 하지 절연막(102), 산화물 반도체막(106), 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 배리어막(108)을 갖는 트랜지스터의 단면 구조를 도시한 것이다.
- [0162] 또한, 도 2(B)에는 산화물 반도체막(106) 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 층간 절연막(118)과, 층간 절연막(118)의 개구부들을 통하여 산화물 반도체막(106)과 접촉하도록 제공된 배선(136)을 도시하였다.
- [0163] 도 2(A) 내지 도 2(C)에 도시한 트랜지스터는 하지 절연막(102), 산화물 반도체막(106), 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 배리어막(108)을 갖는다는 점만 도 1(A) 내지 도 1(C)에 도시한 트랜지스터와 상이하다. 따라서, 이 외의 구성에 대해서는 도 1(A) 내지 도 1(C)에 관한 설명을 참조할 수 있다.
- [0164] 배리어막(108)은 산소 투과성이 낮은 절연막이다. 구체적으로는 350℃로 1시간의 열처리를 수행하여도 산소가 투과되지 않는 성질을 갖는 절연막이다.
- [0165] 배리어막(108)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다. 바람직하게는 산화 알루미늄막을 사용한다.
- [0166] 도 2(A) 내지 도 2(C)에 도시한 트랜지스터는, 하지 절연막(102), 산화물 반도체막(106), 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 배리어막(108)을 구비하기 때문에, 하지 절연막(102) 및 게이트 절연막(112) 중 한쪽에 함유된 과잉 산소의 외방 확산을 억제할 수 있다. 따라서, 하지 절연막(102) 및 게이트 절연막(112) 중 한쪽에 함유된 과잉 산소를 산화물 반도체막(106)에 효율적으로 공급할 수 있다. 즉 도 1(A) 내지 도 1(C)에 도시한 트랜지스터보다 트랜지스터의 임계값 전압이 음 방향으로 이동하는 것을 더 억제할 수 있다.
- [0167] 또한, 도 1(A) 내지 도 2(C)에 도시한 트랜지스터와 다른 구조의 트랜지스터에 대하여 도 3(A) 내지 도 3(C)를 사용하여 설명한다.
- [0168] 도 3(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 3(A)에 도시한 일점 쇄선 C1-C2에 대응하는 부분의 단면도를 도 3(B)에 도시하였다. 또한, 도 3(A)에 도시한 일점 쇄선 C3-C4에 대응하는 부분의 단면도를 도 3(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 3(A)에서는 하지 절연막(102) 등을 생략하였다.

- [0169] 도 3(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물 반도체막(106)에서의 게이트 전극(104)과 중첩되는 영역이다. 그리고 산화물 반도체막(106)의 2개의 측면의 적어도 일부는 게이트 전극(104)과 중첩된다.
- [0170] 도 3(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0171] 또한, 도 3(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0172] 도 3(B)는 기판(100) 위에 제공된 하지 절연막(102)과, 하지 절연막(102) 위에 제공된 산화물 반도체막(106)과, 산화물 반도체막(106) 위에 제공된 제 1 층(132a) 및 제 2 층(132b)을 포함하는 게이트 절연막(132)과, 게이트 절연막(132) 위에 있으며 산화물 반도체막(106)과 중첩되어 제공된 게이트 전극(104)을 갖는 트랜지스터의 단면 구조를 도시한 것이다. 또한, 제 1 층(132a)은 제 2 층(132b)보다 산화물 반도체막(106) 측에 제공된다.
- [0173] 또한, 도 3(B)에는 산화물 반도체막(106), 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 층간 절연막(118)과, 층간 절연막(118)의 개구부들을 통하여 산화물 반도체막(106)과 접촉하도록 제공된 배선(136)을 도시하였다.
- [0174] 도 3(A) 내지 도 3(C)에 도시한 트랜지스터는 게이트 절연막(112) 대신에 제 1 층(132a) 및 제 2 층(132b)을 포함하는 게이트 절연막(132)을 갖는다는 점에서만 도 1(A) 내지 도 1(C)에 도시한 트랜지스터와 상이하다. 따라서, 이 외의 구성에 대해서는 도 1(A) 내지 도 1(C)에 관한 설명을 참조할 수 있다.
- [0175] 여기서, 제 1 층(132a)은 과잉 산소를 함유한 절연막이다.
- [0176] 제 1 층(132a)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다.
- [0177] 또한, 제 2 층(132b)은 산소 투과성이 낮은 절연막이다. 구체적으로는 350℃로 1시간의 열처리를 수행하여도 산소가 투과되지 않는 성질을 갖는 절연막이다.
- [0178] 제 2 층(132b)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다. 바람직하게는, 산화 알루미늄막을 사용한다.
- [0179] 도 3(C)에 도시한 바와 같이, 게이트 전극(104)과 중첩되는 영역에서 산화물 반도체막(106)의 측면과 접촉하도록 제 1 층(132a)이 제공된다. 따라서, 게이트 전극(104)과 중첩되는 영역에서 산화물 반도체막(106)의 측면에 제 1 층(132a)으로부터 산소를 공급할 수 있다. 또한, 제 1 층(132a)을 덮도록 제 2 층(132b)을 제공함으로써 제 1 층(132a)으로부터 산소를 효율적으로 공급할 수 있다.
- [0180] 산화물 반도체막의 측면에는 산화물 반도체막의 측면의 성질에 기인하여 기생 채널이 형성될 수가 있다. 기생 채널은 트랜지스터의 본래의 채널보다 임계값 전압이 작은 경우가 많다. 그러므로, 기생 채널의 영향이 커지면, 마치 트랜지스터의 임계값 전압이 음 방향으로 이동한 것처럼 보인다. 이것은 산화물 반도체막의 측면에서는 캐리어가 생성되기 쉽기 때문이다. 그러므로, 산화물 반도체막의 측면에는 다른 표면보다 더 많이 외부로부터 산소를 공급하는 것이 중요하다.
- [0181] 기생 채널의 영향은 단채널의 트랜지스터에서 현저하게 나타나는 경우가 있기 때문에, 미세화된 트랜지스터에서는 도 3(A) 내지 도 3(C)에 도시한 바와 같은 구조를 채용하는 것이 효과적이다.
- [0182] 도 3(A) 내지 도 3(C)에 도시한 트랜지스터는 게이트 전극(104)과 중첩되는 영역의 산화물 반도체막(106)의 측면에 기생 채널이 형성되기 어렵다. 즉 도 1(A) 내지 도 1(C)에 도시한 트랜지스터보다 트랜지스터의 임계값 전압이 음 방향으로 이동하는 것을 더 억제할 수 있다.
- [0183] 또한, 도 1(A) 내지 도 3(C)에 도시한 트랜지스터와는 다른 구조의 트랜지스터에 대하여 도 4(A) 내지 도 4(C)를 사용하여 설명한다.
- [0184] 도 4(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 4(A)에 도시한 일점 쇄선 D1-D2에 대응하는 부분의 단면도를 도 4(B)에 도시하였다. 또한, 도 4(A)에 도시한 일점 쇄선 D3-D4에 대응하는 부분의 단면도를 도 4(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 4(A)에서는 하지 절연막(102) 등을 생략하였다.
- [0185] 도 4(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물

반도체막(106)에서의 게이트 전극(104)과 중첩되는 영역이다. 그리고 산화물 반도체막(106)의 2개의 측면의 적어도 일부는 게이트 전극(104)과 중첩된다.

- [0186] 도 4(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0187] 또한, 도 4(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0188] 도 4(B)는 기판(100) 위에 제공된 하지 절연막(102)과, 하지 절연막(102) 위에 제공된 산화물 반도체막(106)과, 산화물 반도체막(106) 위에 제공된 제 1 층(132a) 및 제 2 층(132b)을 포함하는 게이트 절연막(132)과, 게이트 절연막(132) 위에 있으며 산화물 반도체막(106)과 중첩되어 제공된 게이트 전극(104)과, 하지 절연막(102), 산화물 반도체막(106), 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 배리어막(108)을 갖는 트랜지스터의 단면 구조를 도시한 것이다. 또한, 제 1 층(132a)은 제 2 층(132b)보다 산화물 반도체막(106) 측에 제공된다.
- [0189] 또한, 도 4(B)에는 산화물 반도체막(106) 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 층간 절연막(118)과, 층간 절연막(118)의 개구부들을 통하여 산화물 반도체막(106)과 접촉하도록 제공된 배선(136)을 도시하였다.
- [0190] 도 4(A) 내지 도 4(C)에 도시한 트랜지스터는, 하지 절연막(102), 산화물 반도체막(106), 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 배리어막(108)을 갖는다는 점에서 도 2(A) 내지 도 2(C)에 도시한 트랜지스터와 마찬가지로이다. 또한, 도 4(A) 내지 도 4(C)에 도시한 트랜지스터는 게이트 절연막(112) 대신에 제 1 층(132a) 및 제 2 층(132b)을 포함하는 게이트 절연막(132)을 갖는다는 점에서 도 3(A) 내지 도 3(C)에 도시한 트랜지스터와 마찬가지로이다. 따라서, 도 4(A) 내지 도 4(C)에 도시한 트랜지스터의 구성은 도 1(A) 내지 도 3(C)에 관한 설명을 참조할 수 있다.
- [0191] 도 4(A) 내지 도 4(C)에 도시한 트랜지스터는, 하지 절연막(102), 산화물 반도체막(106), 및 게이트 전극(104) 위에 제공되며, 산화물 반도체막(106)에 도달하는 개구부들을 갖는 배리어막(108)을 갖기 때문에, 하지 절연막(102) 및 제 1 층(132a) 중 한쪽에 함유된 과잉 산소의 외방 확산을 억제할 수 있다. 따라서, 하지 절연막(102) 및 제 1 층(132a) 중 한쪽에 함유된 과잉 산소를 산화물 반도체막(106)에 효율적으로 공급할 수 있다. 즉 트랜지스터의 임계값 전압이 음 방향으로 이동하는 것을 억제할 수 있다.
- [0192] 또한, 도 4(C)에 도시한 바와 같이, 게이트 전극(104)과 중첩되는 영역에서 산화물 반도체막(106)의 측면과 접촉하도록 제 1 층(132a)이 제공된다. 따라서, 게이트 전극(104)과 중첩되는 영역에서 산화물 반도체막(106)의 측면에 제 1 층(132a)으로부터 산소를 공급할 수 있다. 또한, 제 1 층(132a)을 덮도록 제 2 층(132b)을 제공함으로써 제 1 층(132a)으로부터 산소를 효율적으로 공급할 수 있다.
- [0193] 그러므로 도 4(A) 내지 도 4(C)에 도시한 트랜지스터는 게이트 전극(104)과 중첩되는 영역의 산화물 반도체막(106)의 측면에 기생 채널이 형성되기 어렵다. 즉 트랜지스터의 임계값 전압이 음 방향으로 이동하는 것을 억제할 수 있다.
- [0194] 상술한 바와 같이, 채널 길이가 작은 경우(5nm 이상 60nm 미만)에도 실질적으로 단채널 효과가 발생하지 않는 트랜지스터로서, 채널 폭이 큰(5nm 이상 200nm 미만인) 산화물 반도체막을 사용한 트랜지스터를 제안한다.
- [0195] 또한, 채널 길이에 대한 채널 폭의 비율을 일정한 값으로 한 산화물 반도체막을 사용한 트랜지스터를 제안한다.
- [0196] 더구나, 산화물 반도체막(106)의 산소 결손으로 인하여 임계값 전압이 음 방향으로 이동하거나 기생 채널로 인하여 임계값 전압이 음 방향으로 이동하는 것이 억제된 트랜지스터를 제안한다.
- [0197] 상술한 바와 같이 하여, 미세화되어도 스위칭 특성이 얻어지는 트랜지스터를 제공할 수 있다.
- [0198] 다음에, 도 4(A) 내지 도 4(C)에 도시한 트랜지스터의 제작 방법을 도 5(A) 내지 도 6(C)를 사용하여 설명한다. 또한, 도 1(A) 내지 도 3(C)에 도시한 트랜지스터의 제작 방법에 대해서는 도 4(A) 내지 도 4(C)에 도시한 트랜지스터의 제작 방법을 적절히 채용하면 좋다. 설명하기 쉽게 하기 위해서, 여기서는 도 4(B)에 대응하는 부분의 단면도만 도시하였다.
- [0199] 우선, 기판(100)을 준비한다.
- [0200] 다음에 기판(100) 위에 하지 절연막(102)을 형성한다(도 5(A) 참조). 하지 절연막(102)은 이미 제시한 하지 절연막(102)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor

Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 원자 층 퇴적(ALD: Atomic Layer Deposition)법 또는 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법을 이용하여 형성하면 좋다.

[0201] 여기서, 하지 절연막(102)의 탈수화, 탈수소화 처리를 수행하여도 좋다. 탈수화, 탈수소화 처리는 예를 들어, 열처리에 의해 수행할 수 있다. 열처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 하면 좋다. 열처리의 분위기는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상 함유한 분위기, 또는 감압 상태로 한다. 또는, 불활성 가스 분위기하에서 열처리한 후에, 이탈된 산소를 보전하기 위해서 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상 함유한 분위기하에서 열처리를 수행하여도 좋다. 또는, 탈수화, 탈수소화 처리로서 플라즈마 처리, UV 처리, 또는 약액 처리를 수행하여도 좋다.

[0202] 다음에 하지 절연막(102)에 상면 측으로부터 산소를 첨가하여도 좋다. 산소의 첨가는 이온 주입법 또는 이온 도핑법을 이용하여 수행하면 좋다. 이 경우에는 가속 전압을 5kV 이상 100kV 이하로 한다. 또한, 산소의 첨가량은 1×10^{14} ions/cm² 이상 1×10^{16} ions/cm² 이하로 한다. 이것에 더하여, 하지 절연막(102)에 상면 측으로부터 상이한 조건으로 산소를 첨가하여도 좋다.

[0203] 또는, 산소의 첨가는 산소를 함유한 플라즈마 중에서 기관 측에 바이어스 전압을 인가함으로써 수행하여도 좋다. 이 경우에는 바이어스 전압을 10V 이상 1kV 미만으로 한다. 또한, 바이어스 전압의 인가 시간은 10s 이상 1000s 이하, 바람직하게는 10s 이상 200s 이하, 더 바람직하게는 10s 이상 60s 이하로 하면 좋다. 바이어스 전압이 높을수록, 또한 바이어스 전압의 인가 시간이 길수록 산소를 첨가할 수 있지만, 동시에 일어나는 막의 에칭이 무시할 수 없을 정도로 문제가 된다.

[0204] 산소를 첨가함으로써, 하지 절연막(102)을 과잉 산소를 함유한 절연막으로 할 수 있다. 다만, 과잉 산소를 함유한 절연막의 형성 방법은 상술한 방법에 한정되지 않는다. 예를 들어, 산소의 비율이 높은 분위기하에서 실온(25℃ 정도) 이상 150℃ 이하의 기관 온도로 수행하는 스퍼터링법에 의해서도, 과잉 산소를 함유한 절연막을 형성할 수 있다. 구체적으로는 성막 가스에 함유되는 산소 등의 산화성 가스의 비율을 20% 이상, 바람직하게는 50% 이상, 더 바람직하게는 80% 이상으로 하면 좋다. 과잉 산소를 함유한 절연막의 형성 방법은 적절히 조합할 수 있다.

[0205] 상술한 바와 같이 하여 과잉 산소를 함유시킨 하지 절연막(102)을 형성하면 좋다. 다만, 본 실시형태는 하지 절연막(102)이 과잉 산소를 함유하는 경우로 한정되지 않는다.

[0206] 하지 절연막(102)은 충분한 평탄성을 갖는 것이 바람직하기 때문에, 하지 절연막(102)에 평탄화 처리를 수행하여도 좋다. 평탄화 처리로서는 화학 기계 연마(CMP: Chemical Mechanical Polishing) 또는 드라이 에칭법을 이용하면 좋다. 구체적으로는 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하가 되도록 하지 절연막(102)을 형성한다.

[0207] 다음에, 산화물 반도체막을 형성한다. 산화물 반도체막은 이미 제시한 산화물 반도체막(106)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다. 산화물 반도체막은 바람직하게는 스퍼터링법을 이용하여 형성한다. 이 때, 산소 등의 산화성 가스를 5% 이상, 바람직하게는 10% 이상, 더 바람직하게는 20% 이상, 보다 바람직하게는 50% 이상 함유한 성막 가스를 사용한다. 상기 성막 가스로서 수소 등의 불순물 농도가 낮은 가스를 사용한다.

[0208] 산화물 반도체막을 형성한 후에 제 1 열처리를 수행하여도 좋다. 제 1 열처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 하면 좋다. 제 1 열처리의 분위기는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상 함유한 분위기, 또는 감압 상태로 한다. 또는, 불활성 가스 분위기하에서 열처리한 후에, 이탈된 산소를 보전하기 위해서 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상 함유한 분위기하에서 제 1 열처리를 수행하여도 좋다. 제 1 열처리에 의하여 산화물 반도체막으로부터 수소나 물 등의 불순물을 제거할 수 있다.

[0209] 다음에, 산화물 반도체막을 섬 형상으로 가공하여 산화물 반도체막(107)을 형성한다(도 5(B) 참조).

[0210] 다음에 제 1 층(133a)을 형성한다. 제 1 층(133a)은 제 1 층(132a)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.

[0211] 여기서, 제 1 층(133a)의 탈수화, 탈수소화 처리를 수행하여도 좋다. 탈수화, 탈수소화 처리는 예를 들어, 열처리에 의해 수행할 수 있다. 열처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로

하면 좋다. 열처리의 분위기는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상 함유한 분위기, 또는 감압 상태로 한다. 또는, 불활성 가스 분위기하에서 열처리한 후에, 이탈된 산소를 보전하기 위해서 산화성 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상 함유한 분위기하에서 열처리를 수행하여도 좋다. 또는, 탈수화, 탈수소화 처리로서 플라즈마 처리, UV 처리, 또는 약액 처리를 수행하여도 좋다.

[0212] 다음에 제 1 층(133a)에 상면 측으로부터 산소를 첨가하여도 좋다. 산소의 첨가는 이온 주입법 또는 이온 도핑법을 이용하여 수행하면 좋다. 이 경우에는 가속 전압을 5kV 이상 100kV 이하로 한다. 또한, 산소의 첨가량은 1×10^{14} ions/cm² 이상 1×10^{16} ions/cm² 이하로 한다. 이것에 더하여, 제 1 층(133a)에 상면 측으로부터 상이한 조건으로 산소를 첨가하여도 좋다.

[0213] 또는, 산소의 첨가는 산소를 함유한 플라즈마 중에서 기관 측에 바이어스 전압을 인가함으로써 수행하여도 좋다. 이 경우에는 바이어스 전압을 10V 이상 1kV 미만으로 한다. 또한, 바이어스 전압의 인가 시간은 10s 이상 1000s 이하, 바람직하게는 10s 이상 200s 이하, 더 바람직하게는 10s 이상 60s 이하로 하면 좋다.

[0214] 산소를 첨가함으로써, 제 1 층(133a)을 과잉 산소를 함유한 절연막으로 할 수 있다. 다만, 과잉 산소를 함유한 절연막의 형성 방법은 상술한 방법에 한정되지 않는다. 예를 들어, 산소의 비율이 높은 분위기하에서 실온 이상 150℃ 이하의 기관 온도로 수행하는 스퍼터링법에 의해서도, 과잉 산소를 함유한 절연막을 형성할 수 있다. 구체적으로는 산소의 비율을 20% 이상, 바람직하게는 50% 이상, 더 바람직하게는 80% 이상으로 하면 좋다. 과잉 산소를 함유한 절연막의 형성 방법은 적절히 조합할 수 있다.

[0215] 상술한 바와 같이 하여 과잉 산소를 함유시킨 제 1 층(133a)을 형성하면 좋다. 다만, 본 실시형태는 제 1 층(133a)이 과잉 산소를 함유하는 경우로 한정되지 않는다.

[0216] 다음에 제 2 층(133b)을 형성한다. 제 2 층(133b)은 제 2 층(132b)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.

[0217] 다음에 도전막(105)을 형성한다(도 5(C) 참조). 도전막(105)은 게이트 전극(104)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.

[0218] 다음에 도전막(105)을 가공하여 게이트 전극(104)을 형성한다.

[0219] 다음에 게이트 전극(104)을 마스크로서 이용하여, 또는 게이트 전극(104)을 형성하기 위한 가공에 사용한 마스크를 이용하여, 제 2 층(133b) 및 제 1 층(133a)을 가공함으로써, 제 2 층(132b) 및 제 1 층(132a)을 포함하는 게이트 절연막(132)을 형성한다(도 6(A) 참조).

[0220] 다음에 게이트 전극(104)을 마스크로서 이용하여 산화물 반도체막(107)에 불순물을 첨가한다. 불순물로서는 헬륨, 붕소, 질소, 불소, 네온, 알루미늄, 인, 아르곤, 비소, 크립톤, 인듐, 주석, 안티몬, 및 크세논 중에서 선택된 1종류 이상을 첨가하면 좋다. 불순물 첨가 방법은 이온 주입법, 이온 도핑법을 이용하면 좋다. 이 때, 가속 전압을 5kV 이상 100kV 이하로 한다. 또한, 불순물의 첨가량은 1×10^{14} ions/cm² 이상 1×10^{16} ions/cm² 이하로 한다. 이 후, 열처리를 수행하여도 좋다.

[0221] 산화물 반도체막(107)은 상술한 불순물을 첨가(및 열처리)함으로써 일부가 저저항화된다. 여기서 저저항화된 영역을 영역(106b), 저저항화되지 않은 영역을 영역(106a)으로 하고, 양쪽 모두를 합쳐서 산화물 반도체막(106)으로 한다.

[0222] 또한, 본 실시형태에서는 게이트 절연막(132)을 형성한 후에 산화물 반도체막(107)에 불순물을 첨가하는 방법에 대해서 설명하였지만, 이것에 한정되지 않는다. 예를 들어, 게이트 전극(104)을 형성한 후에 제 2 층(133b) 및 제 1 층(133a)을 통하여 산화물 반도체막(107)에 불순물을 첨가하여도 좋다. 제 2 층(133b) 및 제 1 층(133a)을 통과함으로써, 산화물 반도체막(107)에 대한 손상을 줄일 수 있다.

[0223] 다음에 배리어막(108)을 형성한다(도 6(B) 참조). 배리어막(108)은 이미 제시한 배리어막(108)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.

[0224] 또한, 배리어막을 형성한 후, 제 2 열처리를 수행한다. 제 2 열처리에 의하여 하지 절연막(102) 또는/및 게이트 절연막(132)으로부터 산소를 방출시킬 수 있다. 방출된 산소는 산화물 반도체막(106)에 공급되어 산소 결손을 저감할 수 있다. 또한, 기생 채널의 영향을 저감할 수 있다. 제 2 열처리는 제 1 열처리와 같은 조건으로

수행하면 좋다.

- [0225] 또한, 제 2 열처리는 배리어막(108)의 형성 후이면 언제 수행하여도 좋다. 또한, 제 2 열처리를 수행하지 않아도 좋다.
- [0226] 상술한 바와 같이 하여 도 4(A) 내지 도 4(C)에 도시한 트랜지스터를 제작할 수 있다.
- [0227] 도 4(A) 내지 도 4(C)에 도시한 트랜지스터는 산화물 반도체막(106)에 산소 결손이 적고 기생 채널의 영향도 작기 때문에, 미세화되어도 스위칭 특성을 얻을 수 있다.
- [0228] 다음에 배리어막(108) 위에 층간 절연막(118)을 형성한다. 층간 절연막(118)은 이미 제시한 층간 절연막(118)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0229] 다음에 층간 절연막(118) 및 배리어막(108)에 개구부들을 형성하여 산화물 반도체막(106)을 노출시킨다.
- [0230] 다음에 배선(136)이 되는 도전막을 형성한다. 배선(136)이 되는 도전막은 이미 제시한 배선(136)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0231] 다음에 배선(136)이 되는 도전막을 가공하여 배선(136)을 형성한다(도 6(C) 참조).
- [0232] 본 실시형태에 따르면, 미세화되어도 스위칭 특성이 얻어지는 트랜지스터를 제공할 수 있다. 또한, 상기 트랜지스터를 사용한 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0233] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0234] (실시형태 2)
- [0235] 본 실시형태에서는 실시형태 1과 다른 구조의 트랜지스터에 대해서 설명한다.
- [0236] 도 7(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 7(A)에 도시한 일점 쇄선 E1-E2에 대응하는 부분의 단면도를 도 7(B)에 도시하였다. 또한, 도 7(A)에 도시한 일점 쇄선 E3-E4에 대응하는 부분의 단면도를 도 7(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 7(A)에서는 하지 절연막(202) 등을 생략하였다.
- [0237] 도 7(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물 반도체막(206)에서의 게이트 전극(204)과 중첩되는 영역이다. 그리고 적어도 산화물 반도체막(206)의 2개의 측면은 게이트 전극(204)과 중첩된다.
- [0238] 도 7(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0239] 또한, 도 7(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0240] 도 7(B)는 기판(200) 위에 제공된 하지 절연막(202)과, 하지 절연막(202) 위에 제공된 산화물 반도체막(206)과, 산화물 반도체막(206)과 동일 평면 위에 제공된 한 쌍의 전극(216)과, 산화물 반도체막(206) 위에 제공된 게이트 절연막(212)과, 게이트 절연막(212) 위에 있으며 산화물 반도체막(206)과 중첩되어 제공된 게이트 전극(204)을 갖는 트랜지스터의 단면 구조를 도시한 것이다.
- [0241] 또한, 도 7(B)에는 산화물 반도체막(206), 한 쌍의 전극(216), 게이트 전극(204) 위에 제공되며, 한 쌍의 전극(216)에 도달하는 개구부들을 갖는 층간 절연막(218)과, 층간 절연막(218)의 개구부들을 통하여 한 쌍의 전극(216)과 접촉하도록 제공된 배선(236)을 도시하였다.
- [0242] 또한, 기판(200)의 재료는 기판(100)과 같은 재료 중에서 선택하여 사용하면 좋다.
- [0243] 또한, 하지 절연막(202)의 재료는 하지 절연막(102)과 같은 재료 중에서 선택하여 사용하면 좋다.
- [0244] 게이트 전극(204)의 재료는 게이트 전극(104)과 같은 재료 중에서 선택하여 사용하면 좋다.
- [0245] 게이트 절연막(212)의 재료는 게이트 절연막(112)과 같은 재료 중에서 선택하여 사용하면 좋다. 또한, 게이트 절연막(212)은 게이트 절연막(132)과 같은 층 구조로 형성하여도 좋다.
- [0246] 산화물 반도체막(206)의 재료는 산화물 반도체막(106)과 같은 재료 중에서 선택하여 사용하면 좋다.
- [0247] 층간 절연막(218)의 재료는 층간 절연막(118)과 같은 재료 중에서 선택하여 사용하면 좋다.

- [0248] 배선(236)의 재료는 배선(136)과 같은 재료 중에서 선택하여 사용하면 좋다.
- [0249] 한 쌍의 전극(216)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta, 및 W 중에서 1종류 이상을 함유한 단체, 질화물, 산화물, 또는 합금을 단층으로 또는 적층하여 형성하면 좋다.
- [0250] 도시하지 않았지만, 하지 절연막(202), 한 쌍의 전극(216), 산화물 반도체막(206), 및 게이트 전극(204) 위에 배리어막을 제공하여도 좋다. 배리어막은 배리어막(108)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋고, 배리어막(108)과 같은 기능을 갖는다.
- [0251] 따라서, 도 7(A) 내지 도 7(C)에 도시한 트랜지스터는 산화물 반도체막(206)의 형상 및 한 쌍의 전극(216)을 갖는다는 점에서만 도 1(A) 내지 도 4(C)에 도시한 트랜지스터와 상이하다. 그러므로, 이 외의 구성에 대해서는 도 1(A) 내지 도 4(C)에 관한 설명을 참조할 수 있다.
- [0252] 도 7(A) 내지 도 7(C)에 도시한 트랜지스터는 도 1(A) 내지 도 1(C)에 도시한 트랜지스터에 있어서 산화물 반도체막(106)의 영역(106b) 대신에 한 쌍의 전극(216)을 갖는 구조이다. 따라서, 실시형태 1에 제시된 트랜지스터에 비해 소스 및 드레인의 저항을 작게 할 수 있다. 그러므로 미세화되어도 온 특성이 높은 트랜지스터를 제공할 수 있다.
- [0253] 다음에, 도 8(A) 내지 도 8(D)를 사용하여 도 7(A) 내지 도 7(C)에 도시한 트랜지스터의 제작 방법을 설명한다. 설명하기 쉽게 하기 위해서, 여기서는 도 7(B)에 대응하는 부분의 단면도만 도시하였다.
- [0254] 우선, 기판(200)을 준비한다.
- [0255] 다음에 기판(200) 위에 하지 절연막(202)을 형성한다. 하지 절연막(202)은 하지 절연막(102)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0256] 다음에, 한 쌍의 전극(216)이 되는 도전막을 형성한다. 한 쌍의 전극(216)이 되는 도전막은 이미 제시한 한 쌍의 전극(216)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 사용하여 형성하면 좋다.
- [0257] 다음에 한 쌍의 전극(216)이 되는 도전막을 가공하여, 하지 절연막(202)을 노출시키는 개구부들을 갖는 도전막(217)을 형성한다.
- [0258] 다음에 산화물 반도체막(207)을 형성한다(도 8(A) 참조). 산화물 반도체막(207)은 이미 제시한 산화물 반도체막(106)의 재료 및 방법을 이용하여 형성하면 좋다.
- [0259] 산화물 반도체막(207)을 형성한 후, 제 1 열처리를 수행하여도 좋다. 제 1 열처리에 대해서는 실시형태 1의 설명을 참조한다.
- [0260] 다음에 산화물 반도체막(207) 및 도전막(217)에 평탄화 처리를 수행한다. 평탄화 처리는 CMP 처리 등을 이용하여 수행하면 좋다. 상기 평탄화 처리에 의해 도전막(217)의 개구부들에만 산화물 반도체막을 제공한다.
- [0261] 다음에 도전막(217)의 개구부들에만 제공된 산화물 반도체막 및 도전막(217)을 섬 형상으로 가공하여, 산화물 반도체막(206) 및 한 쌍의 전극(216)을 형성한다(도 8(B) 참조).
- [0262] 다음에 게이트 절연막(212), 및 게이트 절연막(212) 위의 게이트 전극(204)을 형성한다(도 8(C) 참조). 게이트 절연막(212)은 게이트 절연막(112) 또는 게이트 절연막(132)과 같은 재료 및 방법을 이용하여 형성하면 좋다. 게이트 전극(204)은 게이트 전극(104)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0263] 다음에 배리어막을 형성하여도 좋다. 배리어막은 배리어막(108)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0264] 상술한 바와 같이 하여 도 7(A) 내지 도 7(C)에 도시한 트랜지스터를 제작할 수 있다.
- [0265] 도 7(A) 내지 도 7(C)에 도시한 트랜지스터는 산화물 반도체막(206)에 산소 결손이 적고 기생 채널의 영향도 작기 때문에, 미세화되어도 스위칭 특성을 얻을 수 있다. 또한, 한 쌍의 전극(216)을 가짐으로써, 미세화되어도 온 특성이 우수한 트랜지스터로 할 수 있다.
- [0266] 다음에 층간 절연막(218)을 형성한다. 층간 절연막(218)은 층간 절연막(118)과 같은 재료 및 방법을 이용하여 형성하면 좋다.

- [0267] 다음에 층간 절연막(218)에 개구부들을 형성하여, 한 쌍의 전극(216)을 노출시킨다.
- [0268] 다음에 배선(236)을 형성한다. 배선(236)은 배선(136)과 같은 재료 및 방법을 이용하여 형성하면 좋다(도 8(D) 참조).
- [0269] 본 실시형태에 따르면, 미세화되어도 스위칭 특성이 얻어지며 온 특성이 우수한 트랜지스터를 제공할 수 있다. 또한, 상기 트랜지스터를 사용한 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0270] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0271] (실시형태 3)
- [0272] 본 실시형태에서는 실시형태 1 및 실시형태 2와 다른 구조의 트랜지스터에 대해서 설명한다.
- [0273] 도 9(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 9(A)에 도시한 일점 쇄선 F1-F2에 대응하는 부분의 단면도를 도 9(B)에 도시하였다. 또한, 도 9(A)에 도시한 일점 쇄선 F3-F4에 대응하는 부분의 단면도를 도 9(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 9(A)에서는 하지 절연막(302) 등을 생략하였다.
- [0274] 도 9(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물 반도체막(306)에서의 게이트 전극(304)과 중첩되는 영역이다. 그리고 적어도 산화물 반도체막(306)의 2개의 측면은 게이트 전극(304)과 중첩된다.
- [0275] 도 9(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0276] 또한, 도 9(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0277] 도 9(B)는 기판(300) 위에 제공된 하지 절연막(302)과, 하지 절연막(302) 위에 제공된 제 1 영역(306a) 및 제 2 영역(306b)을 갖는 산화물 반도체막(306)과, 산화물 반도체막(306) 위에 제공된 게이트 절연막(312)과, 게이트 절연막(312) 위에 있으며 산화물 반도체막(306)과 중첩되어 제공된 게이트 전극(304)과, 게이트 전극(304) 위에 제공된 절연막(320)과, 게이트 전극(304) 및 절연막(320)의 측면에 접촉하여 제공된 측벽 절연막(310)과, 산화물 반도체막(306) 위에 제공되며 산화물 반도체막(306)의 제 2 영역(306b) 및 측벽 절연막(310)에 접촉하여 제공된 한 쌍의 전극(316)과, 한 쌍의 전극(316) 위에 제공되며 절연막(320)과 상면의 높이가 일치한 층간 절연막(318)을 갖는 트랜지스터의 단면도이다.
- [0278] 또한, 도 9(B)에는 층간 절연막(318) 및 절연막(320) 위에 제공된 층간 절연막(328)과, 층간 절연막(318) 및 층간 절연막(328)에 제공되며 한 쌍의 전극(316)에 도달하는 개구부들을 통하여, 한 쌍의 전극(316)과 접촉하도록 제공된 배선(336)을 도시하였다.
- [0279] 도 9(B)에 있어서, 상면으로부터 볼 때 게이트 전극(304)의 형상과 절연막(320)의 형상은 같다. 또한 상면으로부터 볼 때, 게이트 절연막(312)의 형상은 게이트 전극(304)과 측벽 절연막(310)의 형상과 같다.
- [0280] 또한, 산화물 반도체막(306)의 제 1 영역(306a)은 트랜지스터의 채널 영역으로서 기능한다. 또한, 산화물 반도체막(306)의 제 2 영역(306b)은 트랜지스터의 소스 영역 및 드레인 영역으로서 기능한다.
- [0281] 도 9(A) 내지 도 9(C)에 도시한 트랜지스터는 한 쌍의 전극(316)이 측벽 절연막(310)을 끼워 게이트 전극(304) 근방까지 제공된다. 그러므로, 소스 및 드레인의 저항을 작게 할 수 있어 트랜지스터의 온 특성을 높일 수 있다.
- [0282] 또한, 기판(300)은 기판(100)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0283] 하지 절연막(302)은 하지 절연막(102)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0284] 게이트 전극(304)은 게이트 전극(104)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0285] 게이트 절연막(312)은 게이트 절연막(112)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다. 또한, 게이트 절연막(312)은 게이트 절연막(132)과 같은 층 구조로 형성하여도 좋다.
- [0286] 산화물 반도체막(306)은 산화물 반도체막(106)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0287] 측벽 절연막(310)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택한 것을 사용하여 형성하면 좋다.

- [0288] 절연막(320)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택한 것을 사용하여 형성하면 좋다.
- [0289] 한 쌍의 전극(316)은 한 쌍의 전극(216)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0290] 또한, 층간 절연막(318)은 층간 절연막(218)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0291] 또한, 층간 절연막(328)은 층간 절연막(218)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0292] 배선(336)은 배선(136)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0293] 도시하지 않았지만, 하지 절연막(302), 한 쌍의 전극(316), 산화물 반도체막(306), 절연막(320), 및 게이트 전극(304) 위에 배리어막을 제공하여도 좋다. 배리어막은 배리어막(108)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋고, 배리어막(108)과 같은 기능을 갖는다.
- [0294] 다음에, 도 9(A) 내지 도 9(C)에 도시한 트랜지스터의 제작 방법을 도 10(A) 내지 도 12(C)를 사용하여 설명한다. 설명하기 쉽게 하기 위해서, 여기서는 도 9(B)에 대응하는 부분의 단면도만 도시하였다.
- [0295] 우선, 기판(300)을 준비한다.
- [0296] 다음에 하지 절연막(302)을 형성한다. 하지 절연막(302)은 하지 절연막(102)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0297] 다음에 산화물 반도체막(307)을 형성한다. 산화물 반도체막(307)은 산화물 반도체막(107)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0298] 다음에 게이트 절연막(313)을 형성한다. 게이트 절연막(313)은 게이트 절연막(112) 또는 게이트 절연막(132)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0299] 다음에 도전막(305)을 형성한다. 도전막(305)은 게이트 전극(304)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0300] 다음에 절연막(321)을 형성한다(도 10(A) 참조). 절연막(321)은 절연막(320)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0301] 다음에 절연막(321) 및 도전막(305)을 가공하여 절연막(322) 및 게이트 전극(304)을 형성한다(도 10(B) 참조). 상면으로부터 볼 때, 절연막(322)의 형상과 게이트 전극(304)의 형상은 같다.
- [0302] 다음에 절연막(322) 및 게이트 전극(304)을 마스크로서 사용하여 산화물 반도체막(307)에 불순물을 첨가한다. 구체적으로는 불순물로서 헬륨, 붕소, 질소, 불소, 네온, 알루미늄, 인, 아르곤, 비소, 크립톤, 인듐, 주석, 안티몬, 및 크세논 중에서 선택된 1종류 이상을 첨가하면 좋다. 또한, 그 방법으로서 이온 주입법, 이온 도핑법을 이용하면 좋다. 바람직하게는, 이온 주입법을 이용한다. 이 때, 가속 전압을 5kV 이상 100kV 이하로 한다. 또한, 불순물의 첨가량은 1×10^{14} ions/cm² 이상 1×10^{16} ions/cm² 이하로 한다. 이 후, 열처리를 수행하여도 좋다.
- [0303] 불순물이 첨가된 영역은 저저항화되어 제 2 영역(306b)이 된다. 또한, 불순물이 첨가되지 않은 영역은 제 1 영역(306a)이 된다. 상술한 공정을 거쳐 제 1 영역(306a) 및 제 2 영역(306b)을 갖는 산화물 반도체막(306)을 형성한다(도 10(C) 참조).
- [0304] 다음에, 측벽 절연막(310)이 되는 절연막을 형성한다. 측벽 절연막(310)이 되는 절연막은 이미 제시한 측벽 절연막(310)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다. 다음에, 측벽 절연막(310)이 되는 절연막에 이방성이 높은 에칭 처리를 함으로써, 절연막(322) 및 게이트 전극(304)의 측면에 접촉하는 측벽 절연막(310)을 형성할 수 있다.
- [0305] 측벽 절연막(310)을 형성함과 함께, 게이트 절연막(313)을 측벽 절연막(310) 및 게이트 전극(304)을 마스크로서 사용하여 가공하여, 게이트 절연막(312)을 형성한다(도 11(A) 참조).
- [0306] 다음에, 도전막(317)을 형성한다(도 11(B) 참조). 도전막(317)은 한 쌍의 전극(316)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.

- [0307] 또한, 도전막(317)을 형성한 후 제 2 열처리를 수행한다. 제 2 열처리에 의해 하지 절연막(302) 또는/및 게이트 절연막(312)으로부터 산소를 방출시킬 수 있다. 방출된 산소는 산화물 반도체막(306)으로 공급되어 산소 결손을 저장할 수 있다. 제 2 열처리는 실시형태 1에서 제시한 제 2 열처리와 같은 조건으로 수행하면 좋다.
- [0308] 또한, 제 2 열처리는 도전막(317)의 형성 직후에 한정되지 않고 도전막(317)의 형성 후이면 어느 공정시에 수행하여도 좋다.
- [0309] 다음에 층간 절연막(319)을 형성한다(도 11(C) 참조). 층간 절연막(319)은 층간 절연막(318)의 재료로서 제시한 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0310] 다음에 층간 절연막(319) 위로부터 평탄화 처리(CMP 처리, 드라이 에칭 처리 등)를 수행하여, 한 쌍의 전극(316), 층간 절연막(318), 측벽 절연막(310), 및 절연막(320)을 형성한다(도 12(A) 참조).
- [0311] 층간 절연막(319) 위로부터 평탄화 처리를 수행함으로써, 도전막(317)의 절연막(322)(게이트 전극(304))과 중첩되는 영역만을 제거할 수 있다. 이 때 절연막(322)도 평탄화 처리되어 두께가 얇은 절연막(320)이 된다.
- [0312] 이러한 방법을 이용하여, 한 쌍의 전극(316)을 형성함으로써, 측벽 절연막(310)을 끼운 한 쌍의 전극(316)을 게이트 전극(304) 근방까지 제공할 수 있다.
- [0313] 상술한 바와 같이 하여, 도 9(A) 내지 도 9(C)에 도시한 트랜지스터를 제작할 수 있다.
- [0314] 도 9(A) 내지 도 9(C)에 도시한 트랜지스터는 산화물 반도체막(306)에 산소 결손이 적고 기생 채널의 영향도 작기 때문에, 미세화되어도 스위칭 특성을 얻을 수 있다. 또한, 한 쌍의 전극(316)을 가짐으로써, 미세화되어도 온 특성이 우수한 트랜지스터로 할 수 있다.
- [0315] 다음에 층간 절연막(328)을 형성한다(도 12(B) 참조). 층간 절연막(328)은 이미 제시한 층간 절연막(328)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0316] 다음에 층간 절연막(328) 및 층간 절연막(318)을 가공하여, 한 쌍의 전극(316)을 노출시키는 개구부들을 형성한다.
- [0317] 다음에 배선(336)을 형성한다(도 12(C) 참조). 배선(336)은 배선(136)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0318] 본 실시형태에 따르면, 미세화되어도 스위칭 특성이 얻어지며 온 특성이 우수한 트랜지스터를 제공할 수 있다. 또한, 상기 트랜지스터를 사용한 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0319] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0320] (실시형태 4)
- [0321] 본 실시형태에서는 실시형태 1 내지 실시형태 3과 다른 구조의 트랜지스터에 대해서 설명한다.
- [0322] 도 13(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 13(A)에 도시한 일점 쇄선 G1-G2에 대응하는 부분의 단면도를 도 13(B)에 도시하였다. 또한, 도 13(A)에 도시한 일점 쇄선 G3-G4에 대응하는 부분의 단면도를 도 13(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 13(A)에서는 하지 절연막(402) 등을 생략하였다.
- [0323] 도 13(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 산화물 반도체막(406)에서의 게이트 전극(404)과 중첩되는 영역이다. 그리고 적어도 산화물 반도체막(406)의 2개의 측면은 게이트 전극(404)과 중첩된다.
- [0324] 도 13(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0325] 또한, 도 13(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0326] 도 13(B)는 기판(400) 위에 제공된 하지 절연막(402)과, 하지 절연막(402) 위에 제공되며 두께가 채널 폭의 1배 이상 5배 이하인 산화물 반도체막(406)과, 산화물 반도체막(406) 위에 제공된 게이트 절연막(412)과, 게이트 절연막(412) 위에 있으며 산화물 반도체막(406)과 중첩되어 제공된 게이트 전극(404)을 갖는 트랜지스터의 단면 구조를 도시한 것이다.

- [0327] 또한, 도 13(B)에는 산화물 반도체막(406) 및 게이트 전극(404) 위에 제공되며, 산화물 반도체막(406)에 도달하는 개구부들을 갖는 층간 절연막(418)과, 층간 절연막(418)의 개구부들을 통하여 산화물 반도체막(406)과 접촉하도록 제공된 배선(436)을 도시하였다.
- [0328] 도 13(A) 내지 도 13(C)는 소위 FIN형 트랜지스터이다. FIN형 트랜지스터는 채널 영역이 두껍기 때문에, 캐리어의 전도 경로를 크게 할 수 있으며, 채널 폭이 작아도 온 특성이 우수한 트랜지스터로 할 수 있다.
- [0329] 또한, 실리콘을 사용한 FIN형 트랜지스터의 경우, 채널 영역이 두껍기 때문에 게이트의 전계에 의한 공핍층이 충분히 넓어지지 않아, 트랜지스터를 완전한 오프 상태로 하기 어려운 것이 과제가 된다. 한편, 산화물 반도체막을 사용한 FIN형 트랜지스터에서는 채널 영역이 두꺼운 경우에도 게이트의 전계에 의한 공핍층이 충분히 넓어져, 트랜지스터를 오프 상태로 할 수 있다.
- [0330] 또한, 기판(400)은 기판(100)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0331] 또한, 하지 절연막(402)은 하지 절연막(102)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0332] 게이트 전극(404)은 게이트 전극(104)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0333] 게이트 절연막(412)은 게이트 절연막(112)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다. 또한, 게이트 절연막(412)은 게이트 절연막(132)과 같은 층 구조로 형성하여도 좋다.
- [0334] 산화물 반도체막(406)은 산화물 반도체막(106)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다. 산화물 반도체막(406)의 두께는 100nm 이상 2 μ m 미만으로 한다.
- [0335] 층간 절연막(418)은 층간 절연막(118)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0336] 배선(436)은 배선(136)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0337] 도시하지 않았지만, 하지 절연막(402), 산화물 반도체막(406), 및 게이트 전극(404) 위에 배리어막을 제공하여도 좋다. 배리어막은 배리어막(108)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋고, 배리어막(108)과 같은 기능을 갖는다.
- [0338] 다음에, 도 14(A) 내지 도 14(C)를 사용하여 도 13(A) 내지 도 13(C)에 도시한 트랜지스터의 제작 방법을 설명한다. 설명하기 쉽게 하기 위해서, 여기서는 도 13(B)에 대응하는 부분의 단면도만 도시하였다.
- [0339] 우선, 기판(400)을 준비한다.
- [0340] 다음에 기판(400) 위에 하지 절연막(402)을 형성한다. 하지 절연막(402)은 하지 절연막(102)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0341] 다음에 산화물 반도체막(407)을 형성한다(도 14(A) 참조). 산화물 반도체막(407)은 산화물 반도체막(107)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0342] 다음에 게이트 절연막(412), 및 게이트 절연막(412) 위의 게이트 전극(404)을 형성한다(도 14(B) 참조). 게이트 절연막(412)은 게이트 절연막(112) 또는 게이트 절연막(132)과 같은 재료 및 방법을 이용하여 형성하면 좋다. 게이트 전극(404)은 게이트 전극(104)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0343] 다음에 게이트 전극(404)을 마스크로서 사용하여 산화물 반도체막(407)에 불순물을 첨가한다. 구체적으로는 불순물로서 헬륨, 붕소, 질소, 불소, 네온, 알루미늄, 인, 아르곤, 비소, 크립톤, 인듐, 주석, 안티몬, 및 크세논 중에서 선택된 1종류 이상을 첨가하면 좋다. 또한, 그 방법으로서서는 이온 주입법, 이온 도핑법을 이용하면 좋다. 바람직하게는, 이온 주입법을 이용한다. 이 때, 가속 전압을 5kV 이상 100kV 이하로 한다. 또한, 불순물의 첨가량은 1×10^{14} ions/cm² 이상 1×10^{16} ions/cm² 이하로 한다. 이 후, 열처리를 수행하여도 좋다.
- [0344] 다음에 배리어막을 형성하여도 좋다. 배리어막은 배리어막(108)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0345] 상술한 바와 같이 하여 도 13(A) 내지 도 13(C)에 도시한 트랜지스터를 제작할 수 있다.
- [0346] 도 13(A) 내지 도 13(C)에 도시한 트랜지스터는 산화물 반도체막(406)에 산소 결손이 적고 기생 채널의 영향도 작기 때문에, 미세화되어도 스위칭 특성을 얻을 수 있다. 또한, 산화물 반도체막(406)이 채널 폭의 1배 이상 5배 이하의 두께를 가짐으로써, 미세화되어도 온 특성이 우수한 트랜지스터로 할 수 있다.

- [0347] 다음에 층간 절연막(418)을 형성한다. 층간 절연막(418)은 층간 절연막(118)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0348] 다음에 층간 절연막(418)에 개구부들을 형성하여, 산화물 반도체막(406)을 노출시킨다.
- [0349] 다음에 배선(436)을 형성한다. 배선(436)은 배선(136)과 같은 재료 및 방법을 이용하여 형성하면 좋다(도 14(C) 참조).
- [0350] 본 실시형태에 따르면, 미세화되어도 스위칭 특성이 얻어지며 온 특성이 우수한 트랜지스터를 제공할 수 있다. 또한, 상기 트랜지스터를 사용한 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0351] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0352] (실시형태 5)
- [0353] 본 실시형태에서는 실시형태 1 내지 실시형태 4와 상이한 구조의 트랜지스터에 대해서 설명한다.
- [0354] 도 15(A)는 본 발명의 일 형태에 따른 트랜지스터의 상면도이다. 도 15(A)에 도시한 일점 쇄선 H1-H2에 대응하는 부분의 단면도를 도 15(B)에 도시하였다. 또한, 도 15(A)에 도시한 일점 쇄선 H3-H4에 대응하는 부분의 단면도를 도 15(C)에 도시하였다. 또한, 설명하기 쉽게 하기 위해서, 도 15(A)에서는 하지 절연막(502) 등을 생략하였다.
- [0355] 도 15(A)에 트랜지스터의 채널 길이(L) 및 채널 폭(W)을 도시하였다. 또한, 트랜지스터의 채널 영역은 한 쌍의 전극(516)에 끼워진 산화물 반도체막(506)의 부분의 영역이다. 그리고 적어도 산화물 반도체막(506)의 2개의 측면은 게이트 전극(504)과 중첩된다.
- [0356] 도 15(A)에 도시한 트랜지스터는 채널 길이가 5nm 이상 60nm 미만, 또 채널 폭이 5nm 이상 200nm 미만이다.
- [0357] 또한, 도 15(A)에 도시한 트랜지스터는 채널 폭이 채널 길이의 0.5배 이상 10배 이하이다.
- [0358] 도 15(B)는 기판(500) 위에 제공된 하지 절연막(502)과, 하지 절연막(502) 위에 제공된 게이트 전극(504)과, 게이트 전극(504) 위에 제공된 게이트 절연막(512)과, 게이트 절연막(512)을 개재(介在)하여 게이트 전극(504)과 중첩되어 제공된 산화물 반도체막(506)과, 산화물 반도체막(506) 위에 제공된 한 쌍의 전극(516)과, 한 쌍의 전극(516) 위에 제공된 층간 절연막(518)을 갖는 트랜지스터의 단면도이다.
- [0359] 기판(500)은 기판(100)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0360] 하지 절연막(502)은 기판(500)에 기인한 불순물이 산화물 반도체막(506)에 영향을 미치지 않도록 하기 위해서 형성한다. 다만, 기판(500)이 불순물을 함유하지 않은 경우에는, 하지 절연막(502)을 제공하지 않아도 좋다. 또는, 게이트 절연막(512)에 의해 불순물 확산을 억제할 수 있는 경우에는 하지 절연막(502)을 제공하지 않아도 좋다.
- [0361] 하지 절연막(502)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다. 또한, 상술한 단층 또는 적층에 더하여 질화산화 실리콘, 질화 실리콘을 적층하여도 좋다.
- [0362] 게이트 전극(504)은 게이트 전극(104)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0363] 게이트 절연막(512)은 게이트 절연막(112) 또는 게이트 절연막(132)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0364] 산화물 반도체막(506)은 산화물 반도체막(106)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0365] 한 쌍의 전극(516)은 한 쌍의 전극(216)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0366] 층간 절연막(518)은 산화 알루미늄, 질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 1종류 이상을 함유한 재료를 선택하여 단층으로 또는 적층하여 형성하면 좋다. 또한, 상술한 단층 또는 적층에 더하여 질화산화 실리콘, 질화 실리콘을 적층하여도 좋다.
- [0367] 또한, 층간 절연막(518)은 비유전율이 낮고, 또 충분한 두께를 갖는 것이 바람직하다. 예를 들어, 비유전율이

3.8 정도인 산화 실리콘막을 사용하여 200nm 이상 1000nm 이하의 두께로 하면 좋다. 층간 절연막(518)의 상면은 대기 성분 등의 영향으로 약간의 고정 전하를 가지며, 그 영향으로 인하여 트랜지스터의 임계값 전압이 변동될 경우가 있다. 그러므로 층간 절연막(518)은 상면에 생기는 전하의 영향이 충분히 작게 되도록 비유전율 및 두께를 설정하는 것이 바람직하다. 같은 이유로 층간 절연막(518) 위에 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘(silicone) 수지 등의 수지막을 형성함으로써, 층간 절연막(518)의 상면에 생기는 전하의 영향을 저감하여도 좋다.

- [0368] 다음에, 도 16(A) 내지 도 16(C)를 사용하여 도 15(A) 내지 도 15(C)에 도시한 트랜지스터의 제작 방법을 설명한다. 설명하기 쉽게 하기 위해서, 여기서는 도 15(B)에 대응하는 부분의 단면도만 도시하였다.
- [0369] 우선, 기판(500)을 준비한다.
- [0370] 다음에 기판(500) 위에 하지 절연막(502)을 형성한다. 하지 절연막(502)은 이미 제시한 하지 절연막(502)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0371] 다음에 게이트 전극(504)을 제공한다. 게이트 전극(504)은 게이트 전극(104)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0372] 다음에 게이트 절연막(512)을 형성한다(도 16(A) 참조). 게이트 절연막(512)은 게이트 절연막(112) 또는 게이트 절연막(132)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0373] 다음에 산화물 반도체막(506)을 형성한다(도 16(B) 참조). 산화물 반도체막(506)은 산화물 반도체막(107)과 같은 재료 및 방법을 이용하여 형성하면 좋다.
- [0374] 다음에 한 쌍의 전극(516)이 되는 도전막을 형성한다. 한 쌍의 전극(516)이 되는 도전막은 이미 제시한 한 쌍의 전극(516)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0375] 다음에 한 쌍의 전극(516)이 되는 도전막을 가공하여 한 쌍의 전극(516)을 형성한다. 또한, 한 쌍의 전극(516)이 되는 도전막의 가공은 일부에 전자선 묘화 장치(EB(Electron Beam) 노광기라고도 함)를 이용하면 바람직하다. EB 노광기는 매우 미세한 가공이 가능하기 때문에, 미세화된 트랜지스터를 제작하는 데에 적합하다.
- [0376] 다음에 층간 절연막(518)을 형성한다(도 16(C) 참조). 층간 절연막(518)은 이미 제시한 층간 절연막(518)의 재료 중에서 선택한 것을 사용하며, 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0377] 상술한 바와 같이 하여, 도 15(A) 내지 도 15(C)에 도시한 트랜지스터를 제작할 수 있다.
- [0378] 도 15(A) 내지 도 15(C)에 도시한 트랜지스터는 산화물 반도체막(506)에 산소 결손이 적고 기생 채널의 영향도 작기 때문에, 미세화되어도 스위칭 특성을 얻을 수 있다. 또한, 한 쌍의 전극(516)을 가짐으로써, 미세화되어도 온 특성이 우수한 트랜지스터로 할 수 있다.
- [0379] 본 실시형태에 따르면, 미세화되어도 스위칭 특성이 얻어지며 온 특성이 우수한 트랜지스터를 제공할 수 있다. 또한, 상기 트랜지스터를 사용한 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0380] 또한, 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0381] (실시형태 6)
- [0382] 본 실시형태에서는 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 사용하여 반도체 기억 장치를 제작하는 예에 대하여 설명한다.
- [0383] 휘발성 반도체 기억 장치의 대표적인 예로서는, 기억 소자를 구성하는 트랜지스터를 선택해서 커패시터에 전하를 축적함으로써 정보를 기억하는 DRAM(Dynamic Random Access Memory), 플립플롭 등의 회로를 이용해서 기억 내용을 유지하는 SRAM(Static Random Access Memory)이 있다.
- [0384] 비휘발성 반도체 기억 장치의 대표적인 예로서는 트랜지스터의 게이트와 채널 영역 사이에 플로팅(floating) 게이트를 가지며 이 플로팅 게이트에 전하를 유지함으로써 기억을 수행하는 플래시 메모리가 있다.
- [0385] 상술한 반도체 기억 장치에 포함되는 트랜지스터의 일부에 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 적용할 수 있다.
- [0386] 우선, 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 적용한 반도체 기억 장치를 구성하는

메모리 셀의 구체적인 예를 도 17(A) 내지 도 17(C)에 도시하였다.

- [0387] 메모리 셀은 비트 라인 BL과, 워드 라인 WL과, 센스 앰프 SAMP와, 트랜지스터 Tr과, 커패시터 C를 갖는다(도 17(A) 참조).
- [0388] 커패시터 C에 유지된 전압의 시간 변화는 트랜지스터 Tr의 오프 전류에 의하여 도 17(B)에 도시한 바와 같이 서서히 저감되는 것이 알려져 있다. 처음에는 V0부터 V1까지 충전된 전압은 시간이 지남에 따라 data1을 판독할 수 있는 한계점인 VA까지 저감된다. 이 기간을 유지 기간 T₁로 한다. 즉 2차 메모리 셀의 경우에는 유지 기간 T₁ 동안에 리프레시할 필요가 있다.
- [0389] 여기서, 트랜지스터 Tr에 실시형태 1 내지 실시형태 5 중 어느 형태에 기재된 트랜지스터를 적용하면, 상기 트랜지스터는 오프 전류를 매우 작게 할 수 있기 때문에 유지 기간 T₁을 길게 할 수 있다. 즉, 리프레시의 빈도를 적게 할 수 있기 때문에 소비 전력을 저감할 수 있다. 예를 들어, 오프 전류가 1×10^{-21} A 내지 1×10^{-25} A인 트랜지스터 Tr로 메모리 셀을 구성하면, 전력 공급 없이 며칠간 내지 수십년간에 걸쳐 데이터를 유지할 수 있게 된다.
- [0390] 또한, 트랜지스터 Tr에 실시형태 1 내지 실시형태 5 중 어느 형태에 기재된 트랜지스터를 적용하면, 상기 트랜지스터는 미세화되어 있기 때문에 메모리 셀의 면적을 작게 할 수 있다. 따라서, 반도체 기억 장치의 집적도를 높일 수 있다.
- [0391] 도 17(C)는 메모리 셀의 단면 구조의 일례이다. 또한, 도 17(C)에서는 트랜지스터 Tr에 도 4(A) 내지 도 4(C)에 도시한 트랜지스터를 적용한 예를 도시하였다. 그러므로, 트랜지스터 Tr의 각 구성 중 이하에서 설명하지 않는 것에 대해서는 실시형태 1 등에 기재된 설명을 참조한다.
- [0392] 여기서, 커패시터 C는 하지 절연막(102) 위에 있으며 트랜지스터 Tr의 영역(106b)과 접촉하여 제공된 전극(116), 게이트 절연막(132)과 동일한 층 및 동일한 재료로 형성된 절연층, 및 게이트 전극(104)과 동일한 층 및 동일한 재료로 형성된 전극(capacitor electrode, 용량 전극)으로 구성된다. 또한, 도 17(C)에서는 하지 절연막(102)에 전극(116)을 끼워 넣은 형상으로 하였지만 이것에 한정되지 않는다. 전극(116)은 하지 절연막(102) 위에 있으며 트랜지스터 Tr의 영역(106b)과 접촉하여 제공되어 있으면 어떤 형상으로 하여도 좋다.
- [0393] 전극(116)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta, 및 W 중에서 1종류 이상을 함유한 단체, 질화물, 산화물, 또는 합금을 단층으로 또는 적층하여 형성하면 좋다.
- [0394] 또한, 워드 라인 WL은 게이트 전극(104)과 전기적으로 접속된다. 또한, 비트 라인 BL은 배선(136)과 전기적으로 접속된다.
- [0395] 도 17(C)에 도시한 메모리 셀에서는 트랜지스터 Tr과 커패시터 C가 동일한 층 및 동일한 재료로 형성된 전극 및 절연막으로 구성되기 때문에, 공정 수를 삭감할 수 있고 생산성을 향상시킬 수 있다. 다만, 트랜지스터 Tr과 커패시터 C가 동일한 층 및 동일한 재료로 형성된 전극 및 절연막으로 구성되지 않아도 좋다. 예를 들어, 트랜지스터 Tr과 커패시터 C를 중첩하여 제공함으로써, 메모리 셀의 면적을 더 작게 하여도 좋다.
- [0396] 상술한 바와 같이, 본 발명의 일 형태에 따르면, 집적도가 높고 소비 전력이 낮은 반도체 기억 장치를 얻을 수 있다.
- [0397] 다음에 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 적용한 반도체 기억 장치를 구성하는 메모리 셀에 대해서 도 17(A) 내지 도 17(C)와 상이한 예를 도 18(A) 내지 도 18(C)를 사용하여 설명한다.
- [0398] 도 18(A)는 메모리 셀의 회로도이다. 메모리 셀은 트랜지스터 Tr₁과, 트랜지스터 Tr₁의 게이트와 전기적으로 접속되는 워드 라인 WL₁과, 트랜지스터 Tr₁의 소스와 전기적으로 접속되는 소스 라인 SL₁과, 트랜지스터 Tr₂와, 트랜지스터 Tr₂의 소스와 전기적으로 접속되는 소스 라인 SL₂와, 트랜지스터 Tr₂의 드레인과 전기적으로 접속되는 드레인 라인 DL₂와, 커패시터 C와, 커패시터 C의 한쪽 단자와 전기적으로 접속되는 용량선 CL과, 커패시터 C의 다른 쪽 단자, 트랜지스터 Tr₁의 드레인, 및 트랜지스터 Tr₂의 게이트와 전기적으로 접속되는 노드 N을 갖는다.
- [0399] 또한, 본 실시형태에 제시하는 반도체 기억 장치는 노드 N의 전위에 따라, 트랜지스터 Tr₂의 외견상의 임계값 전압이 변동되는 것을 이용한 것이다. 예를 들어, 도 18(B)는 용량선 CL의 전압 V_{CL}과 트랜지스터 Tr₂를 흐르는 드레인 전류 I_{d2}의 관계를 설명하기 위한 도면이다.

- [0400] 또한, 트랜지스터 Tr₁을 통하여 노드 N의 전위를 조정할 수 있다. 예를 들어, 소스 라인 SL₁의 전위를 VDD로 한다. 이 때, 워드 라인 WL₁의 전위를 트랜지스터 Tr₁의 임계값 전압 V_{th}에 VDD를 더한 전위 이상으로 함으로써 노드 N의 전위를 HIGH로 할 수 있다. 또한, 워드 라인 WL₁의 전위를 트랜지스터 Tr₁의 임계값 전압 V_{th} 이하로 함으로써, 노드 N의 전위를 LOW로 할 수 있다.
- [0401] 따라서, V_{CL}-I_{d2} 곡선(N=LOW) 및 V_{CL}-I_{d2} 곡선(N=HIGH) 중 어느 하나를 얻을 수 있다. 즉 N=LOW의 경우에는, V_{CL}=0V일 때 I_{d2}가 작기 때문에 데이터 0이 된다. 또한 N=HIGH의 경우에는, V_{CL}=0V일 때 I_{d2}가 크기 때문에 데이터 1이 된다. 이와 같이 하여 데이터를 기억할 수 있다.
- [0402] 여기서, 트랜지스터 Tr₁에 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 적용하면, 상기 트랜지스터는 오프 전류를 매우 작게 할 수 있기 때문에, 노드 N에 축적된 전하가 트랜지스터 Tr₁의 소스와 드레인 사이를 의도하지 않게 누설되는 것을 억제할 수 있다. 그러므로, 장기간에 걸쳐 데이터를 유지할 수 있다. 또한, 기록시에 높은 전압이 필요 없기 때문에 플래시 메모리 등과 비교하여 소비 전력이 낮고 동작 속도를 빠르게 할 수 있다.
- [0403] 또한, 트랜지스터 Tr₁에 실시형태 1 내지 실시형태 5 중 어느 형태에 기재된 트랜지스터를 적용하면, 상기 트랜지스터는 미세화되어 있기 때문에 메모리 셀의 면적을 작게 할 수 있다. 따라서, 반도체 기억 장치의 집적도를 높일 수 있다.
- [0404] 도 18(C)는 메모리 셀의 단면 구조의 일례를 도시한 것이다. 또한, 도 18(C)에서는 도 4(A) 내지 도 4(C)에 도시한 트랜지스터를 트랜지스터 Tr₁에 적용한 예를 도시하였다. 그러므로, 트랜지스터 Tr₁의 각 구성 중 이하에서 설명하지 않는 것에 대해서는 실시형태 1 등에 기재된 설명을 참조한다.
- [0405] 또한, 본 실시형태에서는 트랜지스터 Tr₂로서 실리콘을 사용한 트랜지스터를 적용한 경우에 대해서 설명한다. 다만, 트랜지스터 Tr₂에 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 적용하여도 좋다.
- [0406] 실리콘을 사용한 트랜지스터는 실시형태 1 내지 실시형태 5에 제시된 트랜지스터와 비교하여 온 특성을 높이기 쉽다는 장점을 갖는다. 따라서, 실리콘을 사용한 트랜지스터는 낮은 오프 전류가 요구되는 트랜지스터 Tr₁보다 높은 온 특성이 요구되는 트랜지스터 Tr₂에 적합하다고 할 수 있다.
- [0407] 여기서, 트랜지스터 Tr₂는, 기판(150) 위에 제공된 하지 절연막(152)과, 하지 절연막(152) 위에 제공되며, 영역(156a) 및 영역(156b)을 포함하는 실리콘막(156)과, 실리콘막(156) 위에 제공된 게이트 절연막(162)과, 게이트 절연막(162) 위에 있으며 실리콘막(156)과 중첩되어 제공된 게이트 전극(154)과, 게이트 절연막(162) 및 게이트 전극(154)의 측벽에 접촉하여 제공된 측벽 절연막(160)을 갖는다.
- [0408] 또한, 트랜지스터 Tr₂ 위에는 층간 절연막(158)이 제공되고, 층간 절연막(158) 위에는 수소 함유층(168)이 제공된다.
- [0409] 기판(150)은 기판(100)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0410] 하지 절연막(152)은 하지 절연막(102)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0411] 실리콘막(156)으로서는 단결정 실리콘막, 다결정 실리콘막 등의 실리콘막을 사용하면 좋다.
- [0412] 또한, 영역(156a)은 채널 영역으로서 기능한다. 또한, 영역(156b)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0413] 또한, 본 실시형태에서는 실리콘막을 채널 영역, 소스 영역, 및 드레인 영역에 사용하였지만, 기판(150)이 실리콘 웨이퍼 등의 반도체 기판인 경우에는 반도체 기판 내에 채널 영역, 소스 영역, 및 드레인 영역이 제공되어 있어도 좋다.
- [0414] 게이트 절연막(162)은 게이트 절연막(112)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0415] 게이트 전극(154)은 게이트 전극(104)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0416] 측벽 절연막(160)은 측벽 절연막(310)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다.
- [0417] 층간 절연막(158)은 층간 절연막(118)과 같은 재료 중에서 선택한 것을 사용하여 형성하면 좋다. 또한, 층간 절연막(158) 위에 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘(silicone) 수지 등의 수지막을 형성하여도 좋다.

- [0418] 수소 함유층(168)은 이차 이온 질량 분석(SIMS: Secondary Ion Mass Spectrometry)에서 수소를 1×10^{21} atoms/cm³ 이상 함유한 절연막이다.
- [0419] 수소 함유층(168)으로서는 예를 들어, 질화산화 실리콘막, 질화 실리콘막을 사용하면 좋다.
- [0420] 트랜지스터 Tr_2는 실리콘을 사용한 트랜지스터이기 때문에, 실리콘막(156)의 표면을 수소 종단화(終端化)시킴으로써, 전기 특성을 향상시킬 수 있다. 그러므로 수소 함유층(168)으로부터 수소가 공급되는 것이 바람직하다. 다만, 본 실시형태는 수소 함유층(168)이 제공된 구조에 한정되지 않는다. 예를 들어, 수소 함유층(168)을 사용하지 않고 트랜지스터 Tr_2에 수소를 공급하여도 좋다.
- [0421] 또한 도시하지 않았지만, 수소 함유층(168)과 하지 절연막(102) 사이에 수소 투과성이 낮은 층을 제공하여도 좋다. 트랜지스터 Tr_1은 산화물 반도체막을 사용한 트랜지스터이다. 산화물 반도체막 내에서 수소는 캐리어의 생성원이 될 수 있기 때문에, 수소 혼입을 가능한 한 저감하는 것이 바람직하다. 그러므로 수소 함유층(168)이 제공되는 경우에는 수소 투과성이 낮은 층에 의해 트랜지스터 Tr_1에 대한 수소 확산을 억제하는 것이 바람직하다.
- [0422] 또한, 수소 투과성이 낮은 층은 구체적으로는 350℃로 1시간의 열처리를 수행하여도 수소가 투과되지 않는 성질을 갖는 절연막이다.
- [0423] 여기서, 커패시터 C는 하지 절연막(102) 위에 있으며 트랜지스터 Tr_1의 영역(106b)과 접촉하여 제공된 전극(166), 게이트 절연막(132)과 동일한 층 및 동일한 재료로 형성된 절연층, 및 게이트 전극(104)과 동일한 층 및 동일한 재료로 형성된 전극(용량 전극)으로 구성된다. 전극(166)은 하지 절연막(102), 수소 함유층(168), 및 층간 절연막(158)에 제공된 개구부들을 통하여 트랜지스터 Tr_2의 게이트 전극(154)과 접촉한다. 또한, 도 18(C)에서는 하지 절연막(102)에 전극(166)을 끼워 넣은 형상으로 하였지만 이것에 한정되지 않는다. 전극(166)은 하지 절연막(102) 위에 있으며 트랜지스터 Tr_1의 영역(106b) 및 트랜지스터 Tr_2의 게이트 전극(154)과 접촉하여 제공되어 있으면 어떤 형상으로 하여도 좋다.
- [0424] 전극(166)은 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta, 및 W 중 1종류 이상을 함유한 단체, 질화물, 산화물, 또는 합금을 단층으로 또는 적층하여 형성하면 좋다.
- [0425] 또한, 워드 라인 WL_1은 게이트 전극(104)과 전기적으로 접속된다. 또한, 소스 라인 SL_1은 배선(136)과 전기적으로 접속된다. 또한, 용량선 CL은 용량 전극과 전기적으로 접속된다.
- [0426] 도 18(C)에 도시한 메모리 셀에서는 트랜지스터 Tr_1과 커패시터 C가 동일한 층 및 동일한 재료로 형성된 전극 및 절연막으로 구성되기 때문에, 공정 수를 삭감할 수 있고 생산성을 향상시킬 수 있다. 다만, 트랜지스터 Tr_1과 커패시터 C가 동일한 층 및 동일한 재료로 형성된 전극 및 절연막으로 구성되지 않아도 좋다. 예를 들어, 트랜지스터 Tr_1과 커패시터 C를 중첩하여 제공함으로써 메모리 셀의 면적을 더 작게 하여도 좋다.
- [0427] 상술한 바와 같이, 본 발명의 일 형태에 따르면, 집적도가 높고 소비 전력이 낮은 반도체 기억 장치를 얻을 수 있다.
- [0428] 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0429] (실시형태 7)
- [0430] 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터 또는 실시형태 6에 제시된 반도체 기억 장치를 적어도 일부에 사용하여 CPU(Central Processing Unit)를 구성할 수 있다.
- [0431] 도 19(A)는 CPU의 구체적인 구성을 도시한 블록도이다. 도 19(A)에 도시한 CPU는 기판(1190) 위에 연산 논리 장치(1191)(ALU: Arithmetic logic unit), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 갖는다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론, 도 19(A)에 도시한 CPU는 그 구성을 간략화하여 도시한 일례에 불과하며, 실제의 CPU는 그 용도에 따라 다종 다양한 구성을 갖는다.
- [0432] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

- [0433] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 동안에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에 따라 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)에 대하여 데이터를 판독하거나 기록한다.
- [0434] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호 CLK1을 기초로 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 가지고 있으며, 클럭 신호 CLK2를 상기 각종 회로에 공급한다.
- [0435] 도 19(A)에 도시한 CPU에서는 레지스터(1196)에 기억 소자가 제공되어 있다. 레지스터(1196)의 기억 소자에는 실시형태 6에 제시된 반도체 기억 장치를 사용할 수 있다.
- [0436] 도 19(A)에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작을 수행한다. 즉 레지스터(1196)가 갖는 기억 소자에 있어서, 플립플롭에 의한 데이터 유지를 수행하거나, 커패시터에 의한 데이터 유지를 수행한다. 플립플롭에 의해 데이터가 유지되어 있는 경우, 레지스터(1196) 내의 기억 소자에 대한 전원 전압의 공급이 수행된다. 커패시터에 의해 데이터가 유지되어 있는 경우, 커패시터에 대한 데이터 재기록이 수행되어, 레지스터(1196) 내의 기억 소자에 대한 전원 전압의 공급을 정지할 수 있다.
- [0437] 전원 정지는 도 19(B) 또는 도 19(C)에 도시한 바와 같이, 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되어 있는 노드 간에 스위칭 소자를 제공함으로써 수행할 수 있다. 이하에서 도 19(B) 및 도 19(C)의 회로에 대해서 설명한다.
- [0438] 도 19(B) 및 도 19(C)에는 기억 소자에 대한 전원 전위의 공급을 제어하는 스위칭 소자에 실시형태 1 내지 실시형태 5 중 어느 형태에 제시된 트랜지스터를 사용한 구성의 일례를 도시하였다.
- [0439] 도 19(B)에 도시한 기억 장치는 스위칭 소자(1141)와, 복수의 기억 소자(1142)를 갖는 기억 소자군(1143)을 갖는다. 구체적으로는 각 기억 소자(1142)에는 실시형태 6에 제시된 반도체 기억 장치를 사용할 수 있다. 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는 스위칭 소자(1141)를 통하여 HIGH 레벨의 전원 전위 VDD가 공급된다. 또한, 기억 소자군(1143)이 갖는 각각의 기억 소자(1142)에는 신호 IN의 전위와 LOW 레벨의 전원 전위 VSS의 전위가 공급된다.
- [0440] 도 19(B)에서는 스위칭 소자(1141)로서, 오프 전류가 매우 작은 트랜지스터를 사용하며, 상기 트랜지스터는 그 게이트에 공급되는 신호 SigA에 의해 스위칭이 제어된다.
- [0441] 또한, 도 19(B)에서는 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하였지만, 이것에 한정되지 않고 복수의 트랜지스터들을 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 복수의 트랜지스터들을 갖는 경우에는 상기 복수의 트랜지스터들은 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0442] 또한, 도 19(C)에는 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 스위칭 소자(1141)를 통하여 LOW 레벨의 전원 전위 VSS가 공급되는 기억 장치의 일례를 도시하였다. 스위칭 소자(1141)에 의해, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 대한 LOW 레벨의 전원 전위 VSS의 공급을 제어할 수 있다.
- [0443] 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 공급되어 있는 노드간에 스위칭 소자를 제공하여, 일시적으로 CPU의 동작을 정지하여 전원 전압의 공급을 정지한 경우에도 데이터를 유지할 수 있으며, 소비 전력을 저감할 수 있다. 예를 들어, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치에 대한 정보의 입력을 정지하고 있는 동안에도 CPU의 동작을 정지할 수 있어, 이에 따라 소비 전력을 저감할 수 있다.
- [0444] 여기서는 CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용할 수 있다.
- [0445] 본 실시형태는 상기 실시형태와 적절히 조합하여 실시할 수 있다.
- [0446] (실시형태 8)

- [0447] 본 실시형태에서는 실시형태 1 내지 실시형태 7 중 적어도 하나의 형태를 적용한 전자 기기의 예에 대하여 설명한다.
- [0448] 도 20(A)는 휴대형 정보 단말이다. 도 20(A)에 도시한 휴대형 정보 단말은 하우징(9300)과, 버튼(9301)과, 마이크로폰(9302)과, 표시부(9303)와, 스피커(9304)와, 카메라(9305)를 구비하며, 휴대형 전화기로서의 기능을 갖는다. 본 발명의 일 형태는 본체에 내장된 연산 장치, 무선 회로, 또는 기억 회로에 적용할 수 있다.
- [0449] 도 20(B)는 디스플레이이다. 도 20(B)에 도시한 디스플레이는 하우징(9310)과 표시부(9311)를 구비한다. 본 발명의 일 형태는 본체에 내장된 연산 장치, 무선 회로, 또는 기억 회로에 적용할 수 있다.
- [0450] 도 20(C)는 디지털 스틸 카메라이다. 도 20(C)에 도시한 디지털 스틸 카메라는 하우징(9320)과, 버튼(9321)과, 마이크로폰(9322)과, 표시부(9323)를 구비한다. 본 발명의 일 형태는 본체에 내장된 연산 장치, 무선 회로, 또는 기억 회로에 적용할 수 있다.
- [0451] 도 20(D)는 폴더형 휴대 정보 단말이다. 도 20(D)에 도시한 폴더형 휴대 정보 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 힌지(hinge)(9633), 조작 스위치(9638)를 갖는다. 본 발명의 일 형태는 본체에 내장된 연산 장치, 무선 회로, 또는 기억 회로에 적용할 수 있다.
- [0452] 또한 표시부(9631a) 또는/및 표시부(9631b)는 일부 또는 모두를 터치 패널로 할 수 있고, 표시된 조작 키를 터치함으로써 데이터 입력 등을 수행할 수 있다.
- [0453] 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 전자 기기의 성능을 높이며 소비 전력을 줄일 수 있다.
- [0454] 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.

부호의 설명

- [0455] 100: 기판
102: 하지 절연막
104: 게이트 전극
105: 도전막
106: 산화물 반도체막
106a: 영역
106b: 영역
107: 산화물 반도체막
108: 배리어막
112: 게이트 절연막
116: 전극
118: 층간 절연막
132: 게이트 절연막
136: 배선
150: 기판
152: 하지 절연막
154: 게이트 전극
156: 실리콘막
156a: 영역

156b: 영역
 158: 층간 절연막
 160: 측벽 절연막
 162: 게이트 절연막
 166: 전극
 168: 수소 함유층
 200: 기판
 202: 하지 절연막
 204: 게이트 전극
 206: 산화물 반도체막
 207: 산화물 반도체막
 212: 게이트 절연막
 216: 한 쌍의 전극
 217: 도전막
 218: 층간 절연막
 236: 배선
 300: 기판
 302: 하지 절연막
 304: 게이트 전극
 305: 도전막
 306: 산화물 반도체막
 306a: 영역
 306b: 영역
 307: 산화물 반도체막
 310: 측벽 절연막
 312: 게이트 절연막
 313: 게이트 절연막
 316: 한 쌍의 전극
 317: 도전막
 318: 층간 절연막
 319: 층간 절연막
 320: 절연막
 321: 절연막
 322: 절연막
 328: 층간 절연막
 336: 배선

400: 기관

402: 하지 절연막

404: 게이트 전극

406: 산화물 반도체막

407: 산화물 반도체막

412: 게이트 절연막

418: 층간 절연막

428: 층간 절연막

436: 배선

500: 기관

502: 하지 절연막

504: 게이트 전극

506: 산화물 반도체막

512: 게이트 절연막

516: 한 쌍의 전극

518: 층간 절연막

1141: 스위칭 소자

1142: 기억 소자

1143: 기억 소자군

1189: ROM 인터페이스

1190: 기관

1191: ALU

1192: ALU 컨트롤러

1193: 인스트럭션 디코더

1194: 인터럽트 컨트롤러

1195: 타이밍 컨트롤러

1196: 레지스터

1197: 레지스터 컨트롤러

1198: 버스 인터페이스

1199: ROM

9204: 스피커

9300: 하우징

9301: 버튼

9302: 마이크로폰

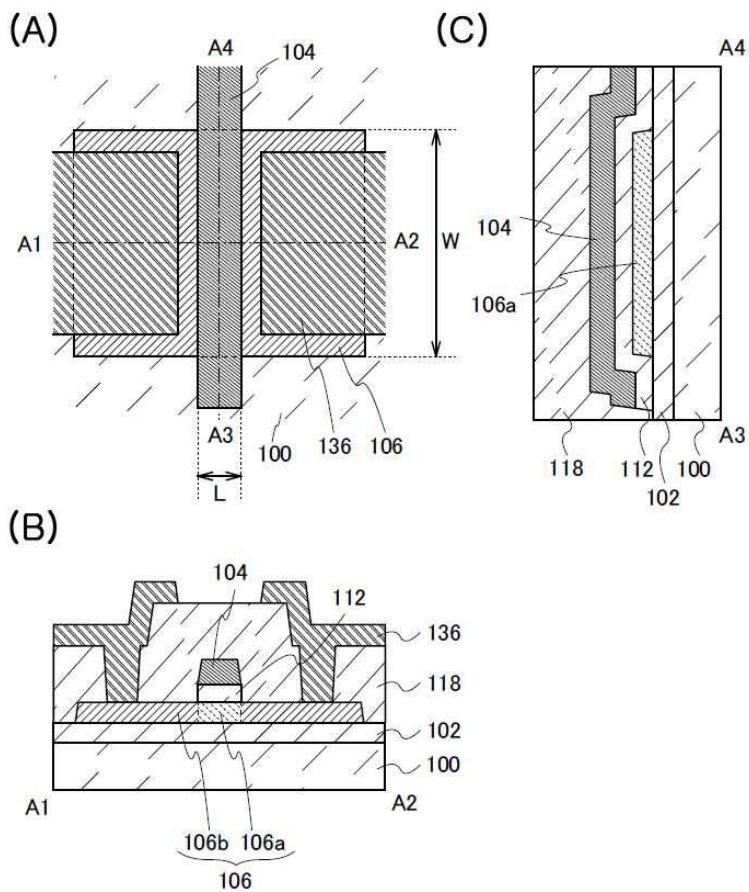
9303: 표시부

9305: 카메라

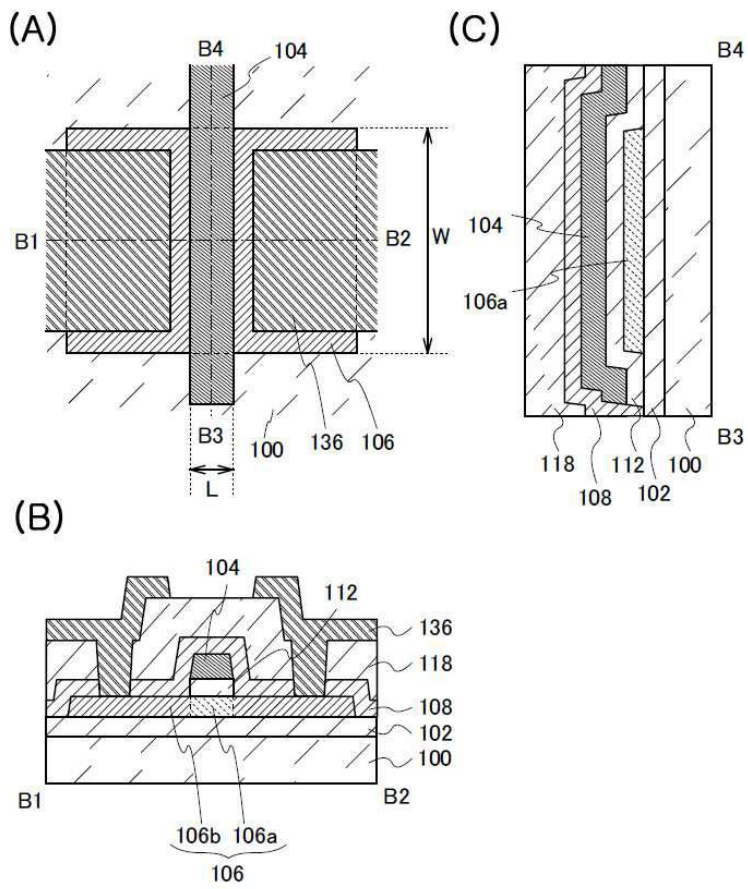
9310: 하우징
 9311: 표시부
 9320: 하우징
 9321: 버튼
 9322: 마이크폰
 9323: 표시부
 9630: 하우징
 9631a: 표시부
 9631b: 표시부
 9633: 힌지
 9638: 조작 스위치

도면

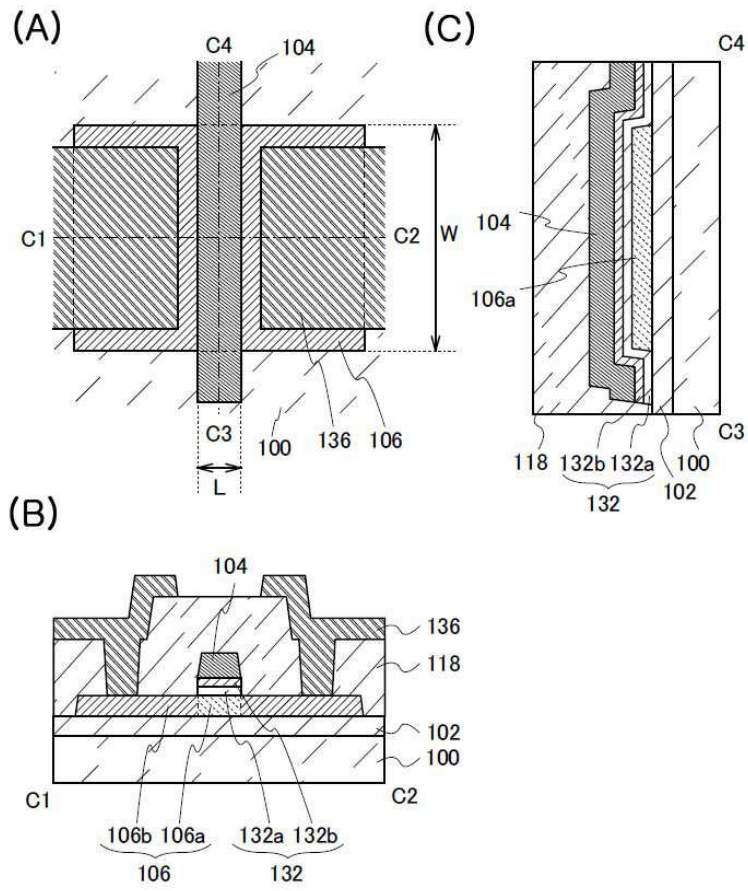
도면1



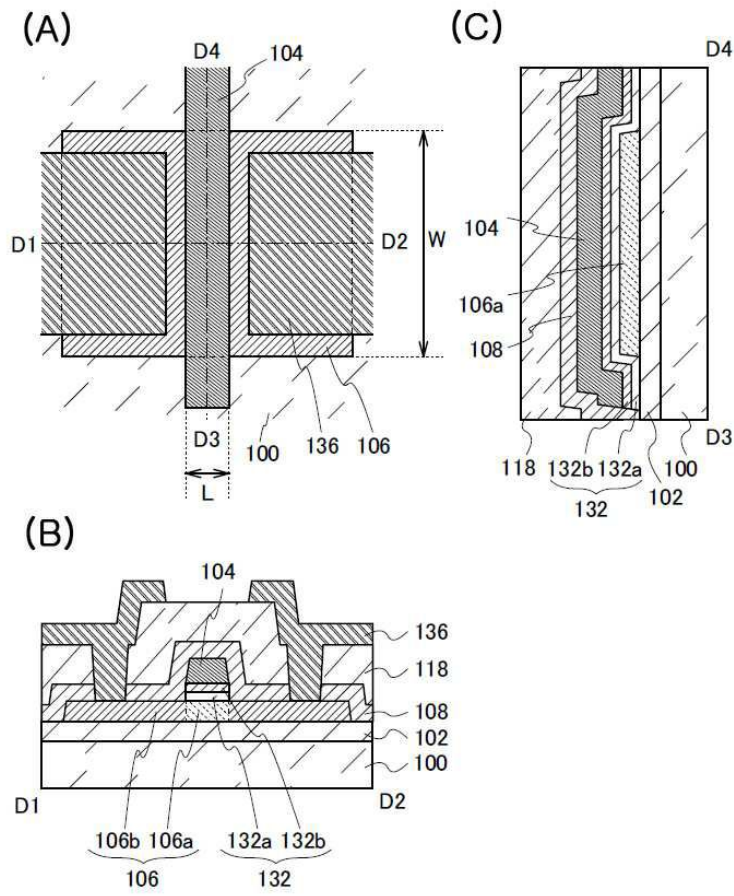
도면2



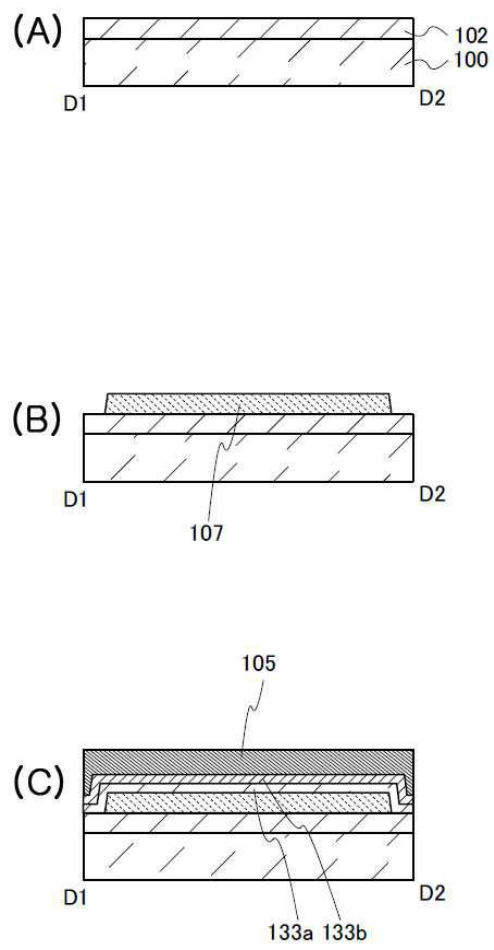
도면3



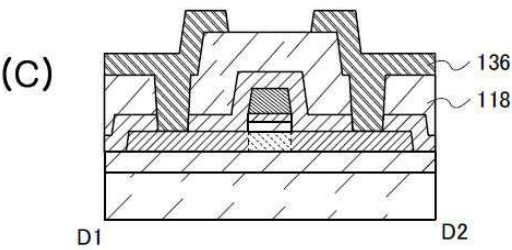
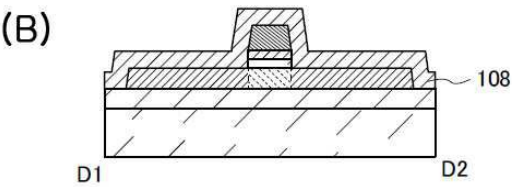
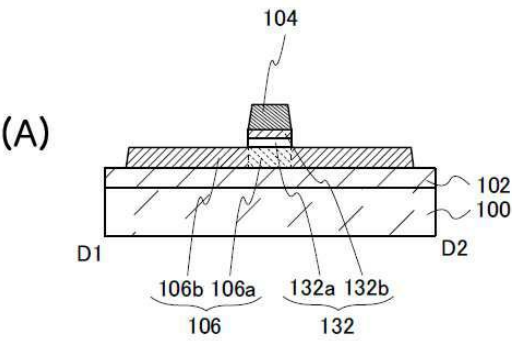
도면4



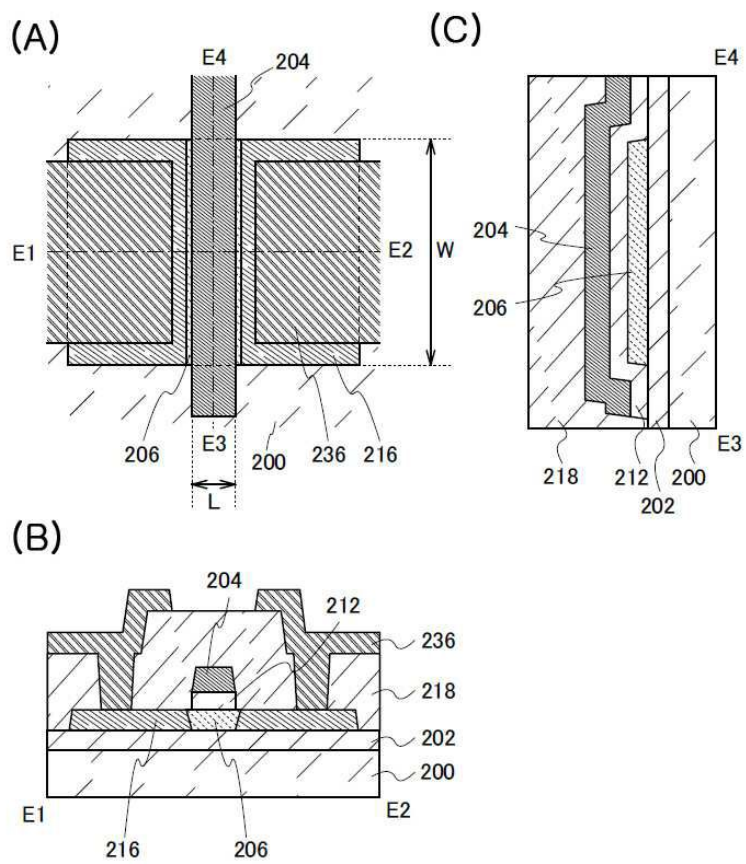
도면5



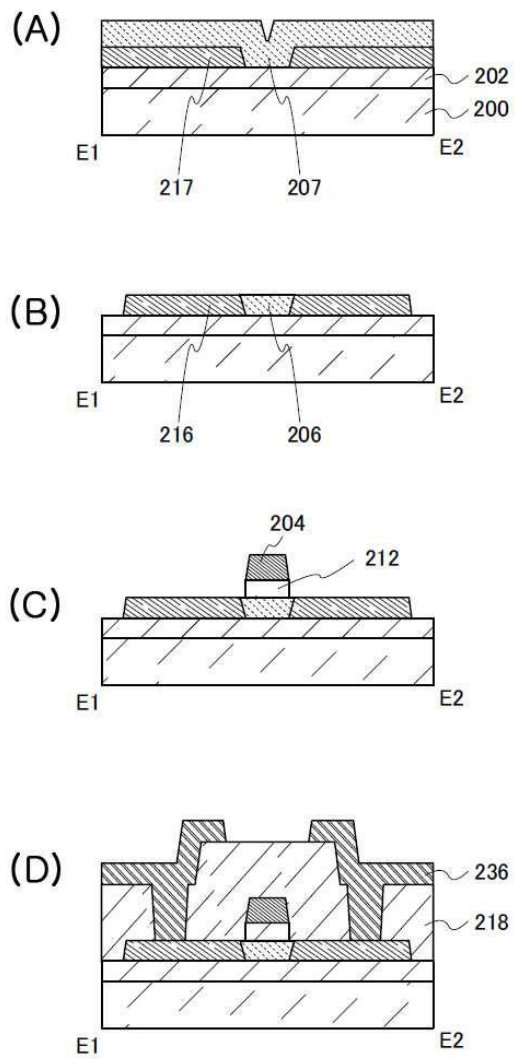
도면6



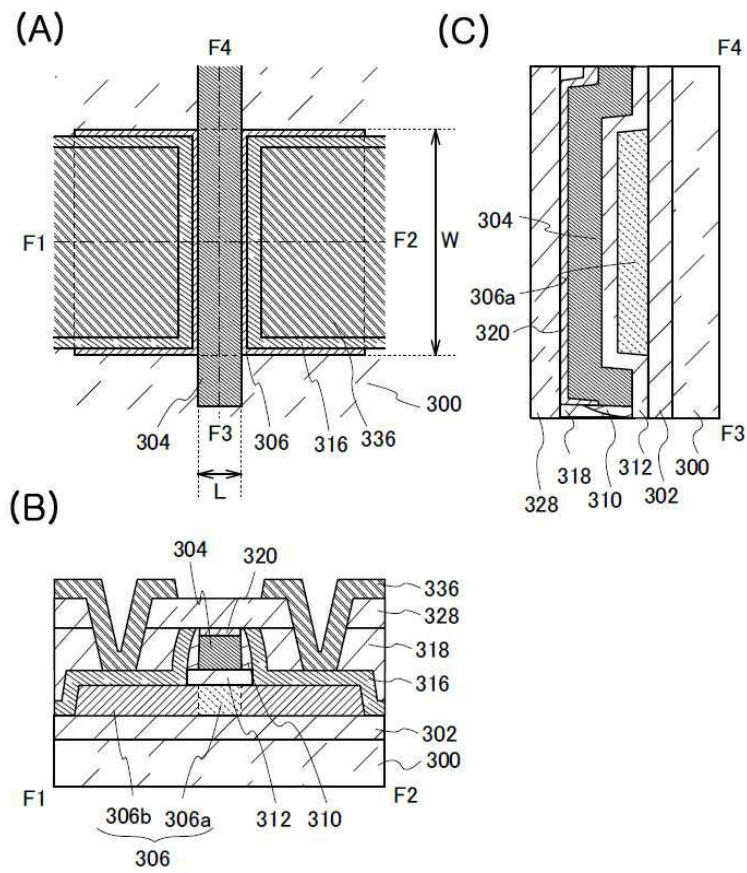
도면7



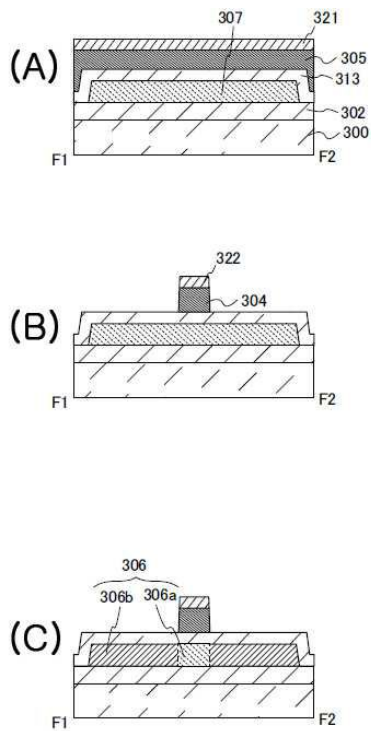
도면8



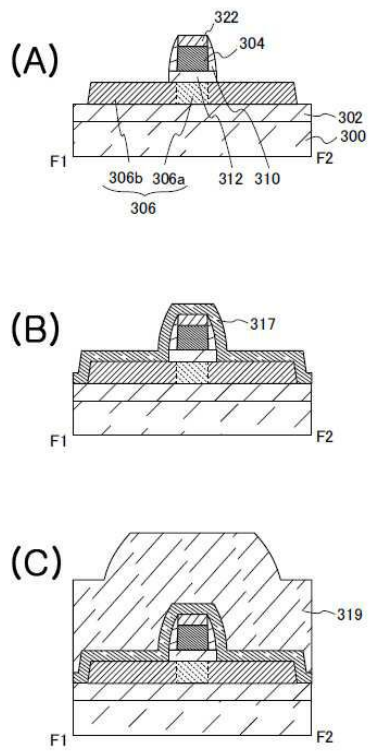
도면9



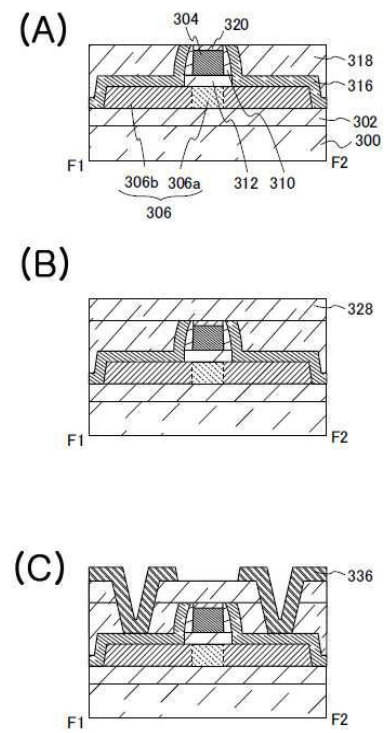
도면10



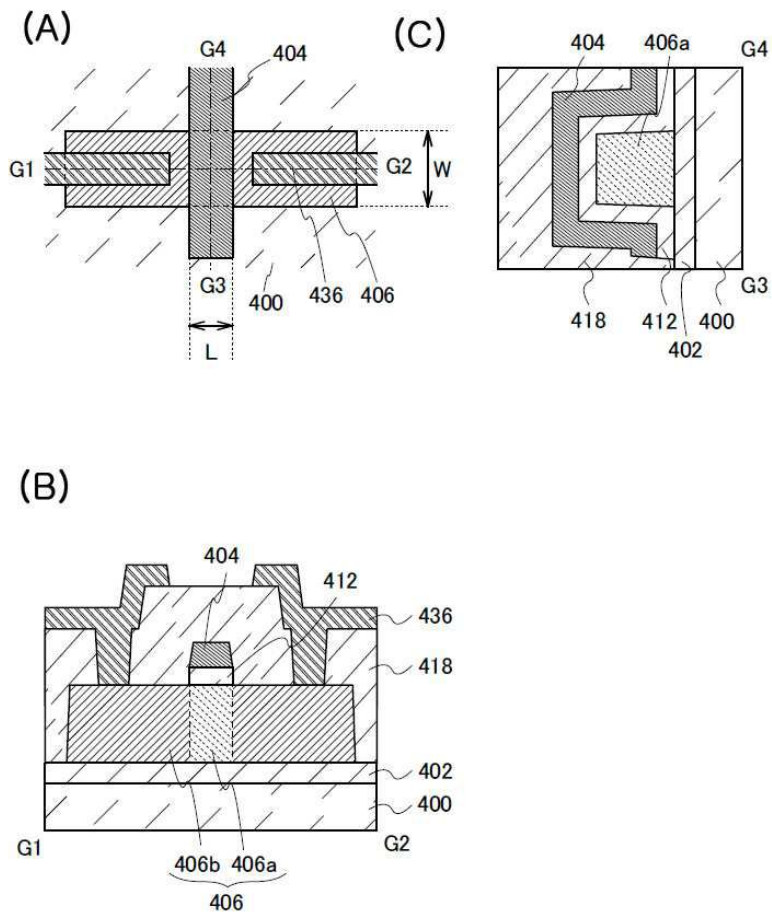
도면11



도면12

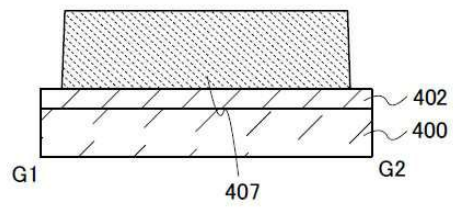


도면13

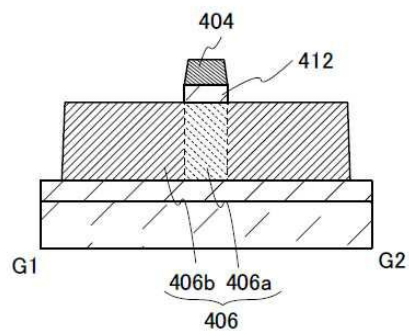


도면14

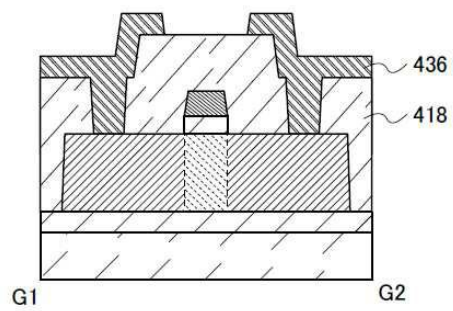
(A)



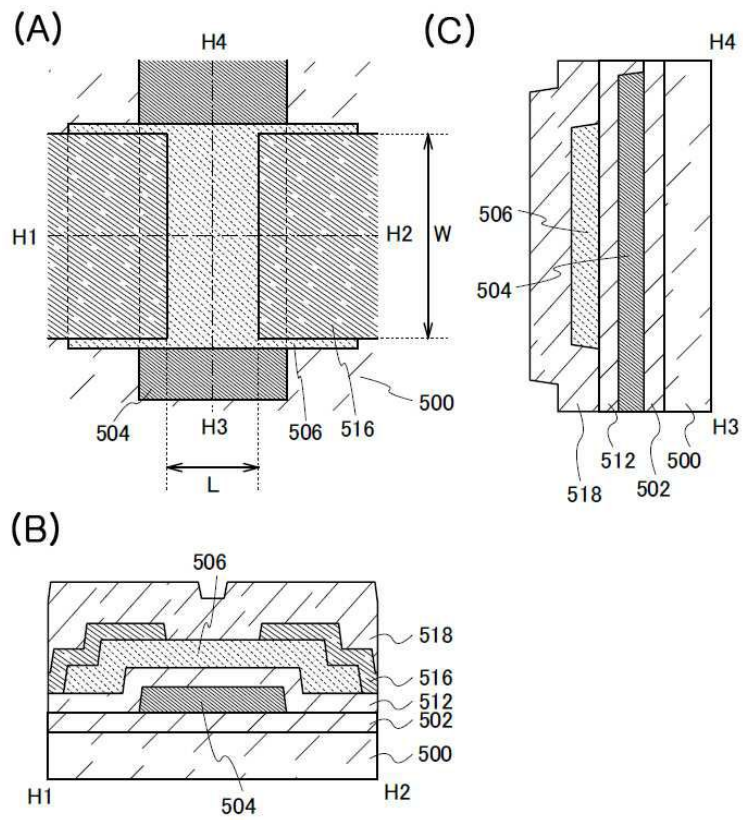
(B)



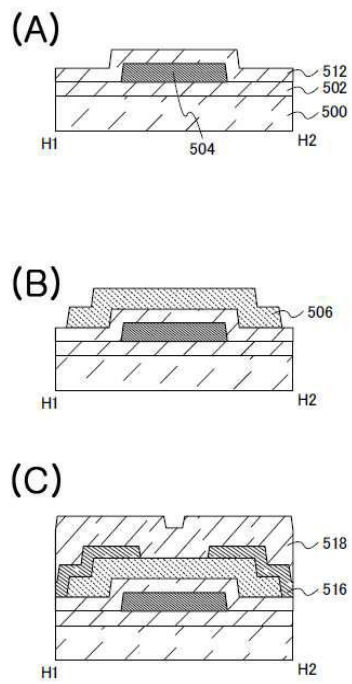
(C)



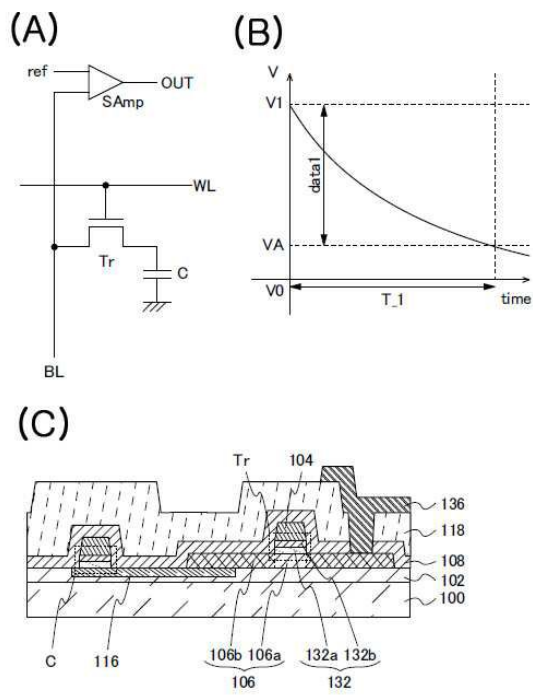
도면15



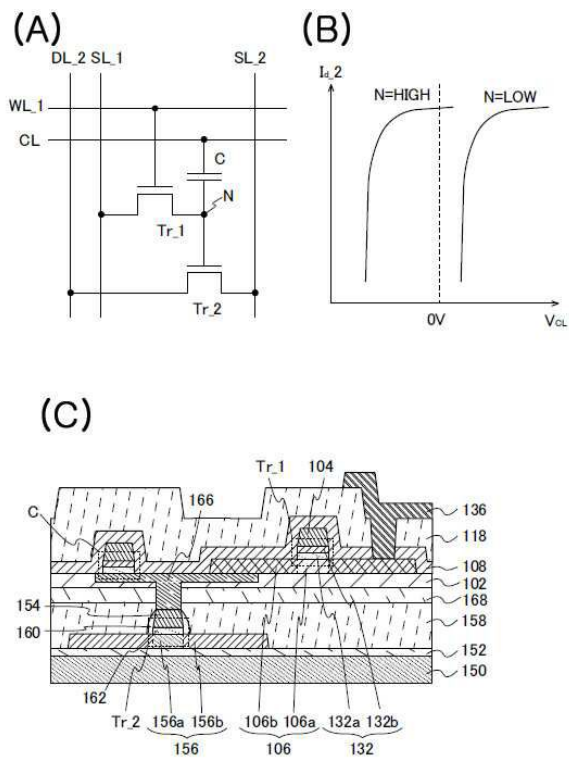
도면16



도면17

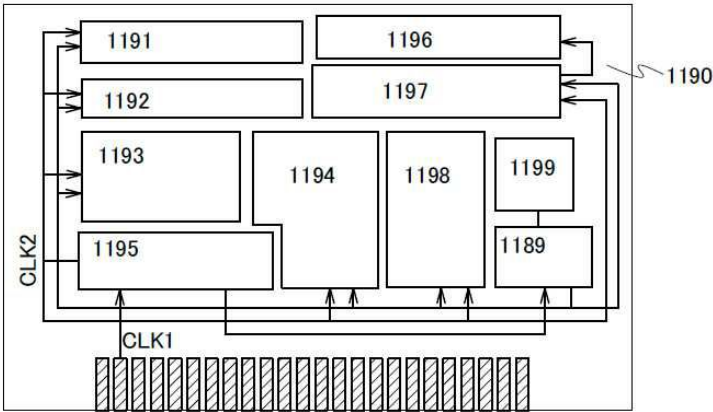


도면18

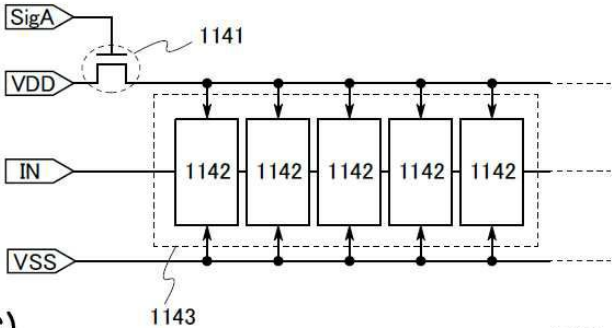


도면19

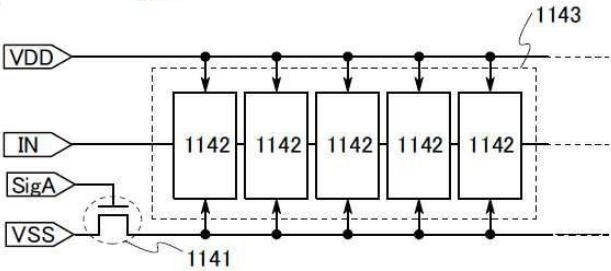
(A)



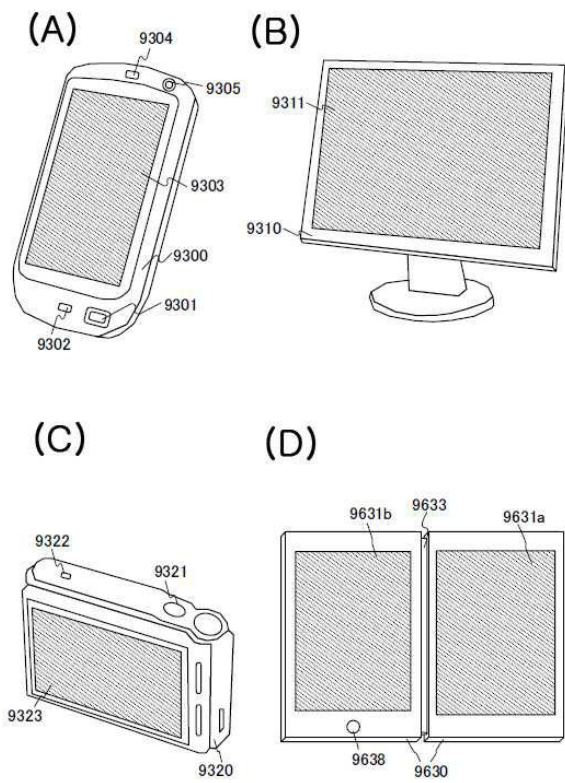
(B)



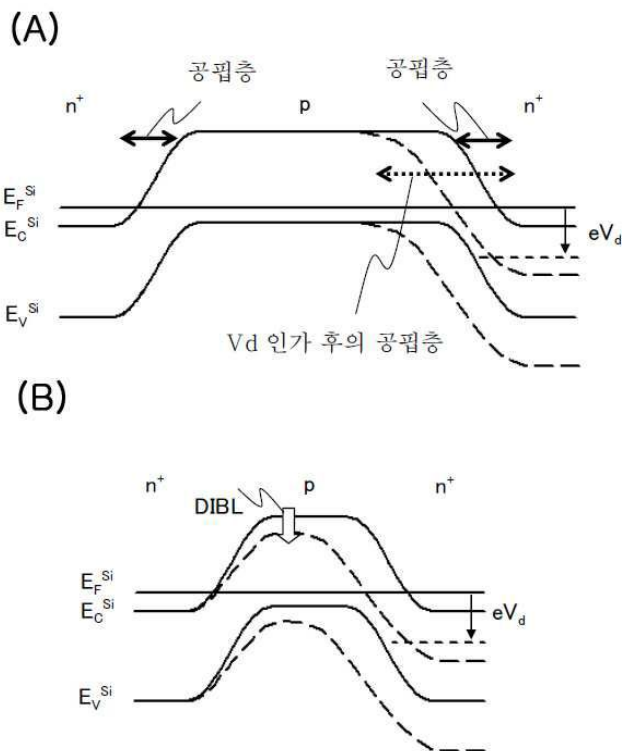
(C)



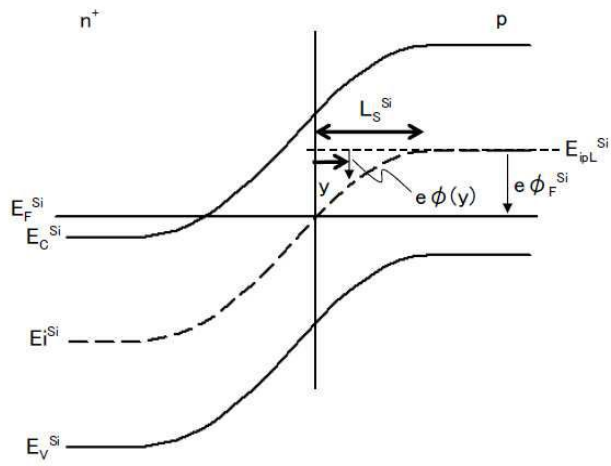
도면20



도면21



도면22



도면23

