

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3762433号
(P3762433)

(45) 発行日 平成18年4月5日(2006.4.5)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/792 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 29/788 (2006.01)

H O 1 L 27/115 (2006.01)

請求項の数 5 (全 8 頁)

(21) 出願番号 特願平8-514423
 (86) (22) 出願日 平成7年10月20日(1995.10.20)
 (65) 公表番号 特表平9-507616
 (43) 公表日 平成9年7月29日(1997.7.29)
 (86) 国際出願番号 PCT/IB1995/000897
 (87) 国際公開番号 W01996/013863
 (87) 国際公開日 平成8年5月9日(1996.5.9)
 審査請求日 平成14年10月21日(2002.10.21)
 (31) 優先権主張番号 94203146.9
 (32) 優先日 平成6年10月28日(1994.10.28)
 (33) 優先権主張国 オランダ(NL)

(73) 特許権者
 コーニンクレッカ フィリップス エレク
 トロニクス エヌ ヴィ
 オランダ国 5 6 2 1 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 (74) 代理人
 弁理士 杉村 興作
 (72) 発明者
 ファン ドルト マールテン イェルン
 オランダ国 5 6 2 1 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1

最終頁に続く

(54) 【発明の名称】 半導体装置及び不揮発性メモリ

(57) 【特許請求の範囲】

【請求項 1】

電界効果トランジスタを有するメモリ素子が表面に設けられている半導体本体を具える半導体装置であって、前記電界効果トランジスタは、各々が p n 接合により半導体本体の周囲部分から分離されているソース領域及びドレイン領域と、これらソース及びドレイン領域間に位置するチャンネル領域とを有しており、前記半導体本体には制御電極と、この制御電極及び前記チャンネル領域間に位置し且つ間挿ゲート誘電体により前記表面から分離されているフローティングゲート電極とが設けられ、前記チャンネル領域における熱い電荷キャリアの発生により前記フローティングゲート電極のソース領域側に電荷を与える手段が設けられている半導体装置において、

前記手段が、前記ソース領域に隣接して前記ゲート誘電体の厚肉部分を有し、前記ソース領域の p n 接合がこの厚肉部分の下側で半導体本体の前記表面と交差しており、前記ソース領域と前記フローティングゲート電極とが前記表面上から見て一致している縁部を有しており、前記ドレイン領域の p n 接合が前記表面と交差する領域での前記ゲート誘電体が前記厚肉部分の領域での前記ゲート誘電体よりも薄肉になっていることを特徴とする半導体装置。

【請求項 2】

請求の範囲 1 に記載の半導体装置において、前記ゲート誘電体及び前記フローティングゲート電極が前記ドレイン領域の上方まで延在し、前記ゲート誘電体が前記ドレイン領域の上に且つ前記表面上から見て前記チャンネル領域から離間している他の厚肉部分を有してい

ることを特徴とする半導体装置。

【請求項 3】

請求の範囲 2 に記載の半導体装置において、前記ドレイン領域に、前記他の厚肉部分の下側で前記チャンネル領域まで延在する延長部が設けられていることを特徴とする半導体装置。

【請求項 4】

請求の範囲 1 ~ 3 のいずれか一項に記載の半導体装置において、ドレイン領域側のチャンネル領域部分上に位置する前記ゲート誘電体の部分の厚さは前記フローティングゲート電極上に蓄積された情報がこのフローティングゲート電極と前記ドレイン領域との間の電荷キャリアのトンネル効果により消去しうるような厚さとなっていることを特徴とする半導体装置。

10

【請求項 5】

請求の範囲 1 ~ 4 のいずれか一項に記載の複数のメモリ素子を共通半導体本体中で行及び列の系列に配置して成る不揮発性メモリ。

【発明の詳細な説明】

本発明は、電界効果トランジスタを有するメモリ素子が表面に設けられている半導体本体を具える半導体装置であって、前記電界効果トランジスタは、各々が p n 接合により半導体本体の周囲部分から分離されているソース領域及びドレイン領域と、これらソース及びドレイン領域間に位置するチャンネル領域とを有しており、前記半導体本体には制御電極と、この制御電極及び前記チャンネル領域間に位置し且つ間挿ゲート誘電体により前記表面から分離されているフローティングゲート電極とが設けられ、前記チャンネル領域における熱い電荷キャリアの発生により前記フローティングゲート電極のソース領域側に電荷を与える手段が設けられている半導体装置に関するものである。又、本発明は上述したメモリ素子を多数個行及び列の系列に配置して成る不揮発性メモリにも関するものである。このようなメモリは例えば頭文字 (E) E P R O M 又はフラッシュ E P R O M の下で一般に知られている。このような装置は、I E E E E L C T R O N D E V I C E L E T T E R S , V o l . E D L - 7 , N o . 9 (1 9 8 6 年 9 月) の第 5 4 0 ~ 5 4 2 頁の W u 氏等の論文 “ A source-side injection erasable programmable read-only memory (S I - E P R O M) device ” から知られている。

20

この種類の通常のメモリでは、熱い電子がチャンネルのドレイン側での高電界により発生されてゲート酸化物を経てフローティングゲート内に注入されることにより、フローティングゲート電極が帯電される。ファウラー・ノルトハイム (Fowler-Nordheim) のトンネル効果がしばしば消去のためにソース領域付近で用いられる。

30

E P R O M 素子の主なパラメータの 1 つはこの素子をプログラミングしうる速度である。フローティングゲートへの電荷転送が有効に達成されるための条件は、熱い電子が半導体本体中で有効に発生されることと、半導体本体とゲート誘電体との間の境界で或いはそれに極めて接近して熱い電子が発生されることと、ゲート誘電体中の電界がフローティングゲートへの電荷転送を促進させる必要があることである。通常の素子では、ドレイン領域に十分に高い電圧を与えたトランジスタにおけるチャンネル電流により熱い電子を有効に形成しうる。しかし、これと同時に他の 2 つの条件を満足させることは極めて困難である。例えば、通常フローティングゲート電極の上方に設けられている制御電極に比較的高い電圧を印加することにより適切な電界を得ることができる。しかし、このような高電圧はチャンネル中の電界をドレイン領域付近で減少させ、従って熱い電子の発生に悪影響を及ぼす。

40

W u 氏等による前記の論文には、上述した欠点を無くすために、熱い電子の発生及び注入をトランジスタのドレイン領域中ではなくソース領域付近で行なうようにした不揮発性メモリ素子が記載されている。表面上から見て、ソース領域をフローティングゲート及び制御電極より成る積層体からある距離の位置に設けることにより、電子を加速するのに必要な電界が得られる。製造に当たってはソース領域とゲート電極の積層体との間のポリスペースを用いて追加のフローティングゲート電極を形成するようにしている。このセルを製

50

造する場合、通常のセルに比べて追加のポリ層を必要とする。更に、積層体のドレイン側に同時に得られるスペーサを、追加のマスクを用いた別個のエッチング工程で除去する必要がある。

本発明の目的は、特に、熱い電荷キャリアの電荷転送がチャネルのソース側で行なわれ且つ比較的簡単に製造しうる簡単構成の不揮発性メモリセルを提供せんとするにある。

本発明は、電界効果トランジスタを有するメモリ素子が表面に設けられている半導体本体を具える半導体装置であって、前記電界効果トランジスタは、各々がp n接合により半導体本体の周囲部分から分離されているソース領域及びドレイン領域と、これらソース及びドレイン領域間に位置するチャネル領域とを有しており、前記半導体本体には制御電極と、この制御電極及び前記チャネル領域間に位置し且つ間挿ゲート誘電体により前記表面から分離されているフローティングゲート電極とが設けられ、前記チャネル領域における熱い電荷キャリアの発生により前記フローティングゲート電極のソース領域側に電荷を与える手段が設けられている半導体装置において、

前記手段が、前記ソース領域に隣接して前記ゲート誘電体の厚肉部分を有し、前記ソース領域のp n接合がこの厚肉部分の下側で半導体本体の前記表面と交差しており、前記ソース領域と前記フローティングゲート電極とが前記表面上から見て一致している縁部を有しており、前記ドレイン領域のp n接合が前記表面と交差する領域での前記ゲート誘電体が前記厚肉部分の領域での前記ゲート誘電体よりも薄肉になっていることを特徴とする。ゲート誘電体の厚肉部分は例えば熱酸化により得ることができる。この場合、フローティングゲートとチャネルとの間でソース領域に向かうチャネルの方向で徐々に厚肉となり、いわゆる鳥のくちばしのプロファイルを有するゲート酸化物が得られる。このプロファイルは、フローティングゲート電極へ転送するのに必要なエネルギーを有する電子をチャネル中に生ぜしめるのに十分な値及び幅を有する横方向の電界成分をチャネルの下側部分に生ぜしめる。更にこの電荷転送は、制御電極とチャネルとの間に存在しソース側におけるよりもドレイン側において小さくなる電圧により好影響を受ける。

酸化中、酸化防止マスクを用いなければ酸化物はドレイン側においても厚肉となる。ドレイン側における酸化物の厚肉部分がチャネル中の電界分布に全く或いは少なくとも殆ど影響を及ぼさない利点を有する実施例では、ゲート誘電体及びフローティングゲート電極がドレイン領域の上方まで延在し、ゲート誘電体がドレイン領域の上に且つ表面上から見てチャネルからある距離の位置に位置している他の厚肉部分を有しているようにする。厚肉酸化物を越えてフローティングゲートの下側まで延在するドレイン領域を簡単に得るようにする実施例では、ドレイン領域に、前記他の厚肉部分の下側でチャネル領域まで延在する延長部を設ける。

セルはそれ自体既知の種々の方法で消去せしめることができる。好適実施例では、ドレイン領域側のチャネル領域部分上に位置する前記ゲート誘電体の部分の厚さは前記フローティングゲート電極上に蓄積された情報がこのフローティングゲート電極と前記ドレイン領域との間の電荷キャリアのトンネル効果により消去しうるような厚さとなっているようにする。

本発明を図面に示す実施例につき詳細に説明する。

図面は線図的なものであり、各部分は実際のものに正比例して描いていないことに注意すべきである。図1の半導体装置は例えば珪素より成る半導体本体1を具え、この半導体本体は表面2に隣接する第1導電型、本例ではp型の表面領域3を有する。この表面領域には、ソース領域4と、ドレイン領域5と、これらソース及びドレイン領域間に位置するチャネル6とを有する電界効果トランジスタの形態の不揮発性メモリ素子が設けられている。ソース領域及びドレイン領域はn型表面区域を以て構成され、これらにそれぞれソース電極7及びドレイン電極8が設けられている。チャネル6の上方には珪素より成るフローティングゲート電極9があり、このフローティングゲート電極は、通常酸化珪素より成る誘電体層10によりチャネル6から分離されている。ゲート電極9はあらゆる面で電気絶縁材料で囲まれている為、不揮発性情報を電荷の形態で電極9上に蓄積しうる。フローティングゲート電極9の上方には通常の制御電極11があり、この制御電極は間挿誘電体層

10

20

30

40

50

12によりフローティングゲート電極から絶縁されている。

書き込みは、電流をソース領域からドレイン領域に流すことによりソース領域4に隣接して発生される熱い電子を以て行なわれる。この目的のために、チャンネル内でソース側に高電界を発生させる手段がソース領域4の付近で半導体装置に設けられている。この高電界中で電子が加速される。本発明によれば、この手段がゲート誘電体10の厚肉部分13を有し、ソース領域4のpn接合25がこの厚肉部分13の下側で半導体本体1の表面2に交差するようにする。フローティングゲート電極9とソース領域4との互いに対向する縁部を少なくとも殆ど一致させ、少なくともゲート電極9が、厚肉部分13の下側でソース領域に隣接するチャンネル部分の上方に延在するようにする。ドレイン領域5のpn接合26を、図1から明らかなようにゲート酸化物10が厚肉部分13の領域におけるよりも薄肉となっているチャンネル6中の位置で表面2と交差させ、大きな電界がチャンネルのドレイン側にも形成されないようにする。本例では、フローティングゲート電極と制御電極とを積層体の形態で設ける為、これらの電極の縁部は少なくともチャンネルの長手方向で一致し且つこれら電極の双方がソース領域4及びドレイン領域5間のチャンネル全体を被覆する。ゲート酸化物の厚肉部分13はそれ自体既知の種々の方法で得ることができる。半導体本体及びフローティングゲート電極9が珪素より成りゲート電極10が酸化珪素より成っている本例では、厚肉部分13は、少なくとも部分的にソース領域4の区域における珪素材料の熱酸化により得られる酸化物層を以て構成される。この酸化物はチャンネルの方向でソース領域4に向かって徐々に厚肉となっており、このことはチャンネル中の電界分布にとって好ましいことである。チャンネルの反対側、即ちドレイン側においても、この酸化物の第2の厚肉部分14をこの酸化工程中形成しうる。この厚肉部分はチャンネル6からある距離の位置でドレイン領域5上に位置し、従ってチャンネル中の電界分布に全く或いは殆ど影響を及ぼさない。本例では、第2の厚肉部分14の下側でチャンネル6まで延在する延長部5aをドレイン領域に設けることにより、ソース領域とドレイン領域との間の非対称性が得られる。

半導体装置の製造の数工程を図2～4につき説明する。製造の出発点を、少なくとも表面領域3が 10^{17} 原子/cm³のドーピング濃度でp型となっている珪素基板1であるものとする。製造すべきトランジスタのゲート誘電体を形成する約12nmの厚さの酸化物層10を酸化により表面上に得る。この酸化物層10上に、多結晶珪素（以後単にポリと称する）より成る約0.3μmの厚さの第1の層15をCVDにより堆積し、この堆積中に又は堆積後の別個のドーピング工程中にこの第1のポリ層にn型ドーピングを行なう。後の工程でこの第1のポリ層からフローティングゲート電極9を形成する。このポリ層15上にまず最初にポリ間誘電体層12を形成する。この層は簡単な例では厚さが例えば25nmの酸化珪素層を以て構成しうる。他の実施例では、この層が他の材料、例えばオキシニトリドや例えば酸化物-窒化物-酸化物(ONO)のように種々の層の系を有するようにしうる。後の工程で制御電極11を形成するための第2のn型ドーピングされたポリ層16を、それ自体既知の方法で層12上に形成する。図2は第2のポリ層16を堆積した後の装置を示す。制御電極11とフローティングゲート電極9とを既知の技術によりポリ層15及び16から形成し(図3)、その後自己整合法のイオン注入により表面区域17内に燐原子を入れる。

図4に示す次の工程で、装置に熱酸化を行ない、これにより約50nmの厚肉部分をフローティングゲート電極9の縁部の下側に形成する。この厚肉部分は鳥のくちばしの形状でゲート9の縁部からフローティングゲートの下側まで延在する。これと同時に、酸化物層18がポリ層の積層体9, 11の側面上に形成され、ソース及びドレインの注入に際してのスペーサ又はその一部として作用する。半導体本体の表面上には酸化物層19が設けられるも、この酸化物層19の厚さは多結晶珪素と単結晶珪素との酸化速度の差の為に層18の厚さよりもわずかに薄くなる可能性がある。横方向の酸素の拡散によってもフローティングゲート電極の下側の珪素材料を酸化珪素に変換する為、酸化物14がチャンネルの縁部でフローティングゲート電極の下側まで延在し、その形状はチャンネル中の電界分布を得るのに用いられるいわゆる鳥のくちばしの形状となる。この酸化工程中或いは別個の加熱

10

20

30

40

50

工程中、表面区域 17 に与えられている燐原子が珪素本体中に更に拡散し、薄肉のゲート酸化物 10 の下側まで延在する n 型領域 5a を形成する。次の工程で所望の幅のスペースを積層体 9, 11 の側面上に形成しうる。この目的のために、まず最初酸化物層を既知の方法で堆積し、異方性のエッチバックによりこの酸化物層からスペースを得る。このエッチング工程により、スペースを介して積層体 9, 11 に隣接する酸化物 19 を部分的に又は完全に除去でき、このことはソース又はドレイン注入にとって好ましいことである。次に装置を注入処理し、これにより多量にドーピングされた n 型領域 4 及び 5 を例えば砒素のドーピングにより形成する。積層体 9, 11 の縁部におけるスペースは、チャンネル 6 の方向に面する領域 4 (図 1) の縁部がゲート電極 9 及び 11 の縁部とほぼ一致し、チャンネル 6 の一部が鳥のくちばしの厚肉酸化物 13 の下側に位置するようにする作用をする。装置には更に、酸化物層 14 中に接点窓をあけたり、接点 7 及び 8 を設けたりするような通常の処理を行なうことができる。このような処理はこの分野で一般に既知であり、その更なる説明は省略する。

図 5 は制御電極に 2 つの異なる電圧を印加した場合のチャンネル中の電界分布を示す。これら双方の場合のドレイン領域の電圧は 5 V である。チャンネル中のソース領域までの距離 d を横軸上にプロットし、横方向の電界強度 (E_{lat}) を縦軸上にプロットしてある。曲線 20 は低ゲート電圧、例えば 3 V での状態を示す。この場合、チャンネルのドレイン側での電界強度がチャンネルのソース側におけるよりも著しく高くなる。これは、高電界によりチャンネルのドレイン側に熱い電子が形成される為である。しかし、これらの電子のフローティングゲートへの転送はゲート酸化物中の電界が極めて弱い為に阻止されるか或いはドレイン領域における電圧の為に間違った方向に行なわれる。曲線 21 は、ドレイン電圧を同じにしてゲート電圧を著しく高くした場合、例えばゲート電圧を 10 V にした場合のチャンネル中の電界分布を示す。この場合、チャンネルのソース側に強い電界が得られ、ドレイン側に比較的弱い電界が得られる。この場合チャンネル中の電子はソース側で加速される。又、この場合、ソース領域と制御電極との間の高電圧の為にフローティングゲートへの有効な電荷転送が行なわれ、これにより電荷転送に好ましい電界がゲート酸化物中に形成される。図 6 は、チャンネルのドレイン側での (計算した) 横方向の最大電界強度 ($E_{let,max}$) (曲線 22) とソース側での (計算した) 横方向の最大電界強度 (曲線 23) とをここで説明するメモリセルに対する (フローティング) ゲート電圧の関数として示す。このグラフから明らかなように、制御電極に印加する電圧が高くなるとドレイン側の電界強度は小さくなりソース側の電界強度は大きくなる。

高い正の電圧をドレイン領域に印加し、低い電圧を制御電極に印加することにより、薄肉ゲート酸化物 10 の前記の厚さが、ファウラー・ノルトハイムのトンネル効果を消去に用いることができる。これらの条件の下で、電子はフローティングゲート電極からゲート酸化物 10 を経てドレイン領域 5 に突き抜けることができる。

上述した装置は 2 つのみのポリ層から標準の技術で製造しうる。

図 7 は、ゲート電極に対し 2 つのポリ層を有する本発明による半導体装置の他の実施例の断面図である。本例のフローティングゲート電極 9 及び制御電極 11 は前の実施例のような積層体を構成せず、チャンネルの長さ方向で互いに独立に規定される。フローティングゲート 9 は比較的薄肉のゲート酸化物 10 上に設けられる。制御電極 11 はフローティングゲート電極 9 に重なるとともにこのフローティングゲート電極の両側でゲート酸化物の厚肉部分 13 及び 14 上に延在する。ソース領域 4 の縁部はこの場合もフローティングゲート電極 11 の縁部とほぼ一致し、従ってこの場合もゲート酸化物の隣接部分 13 の下側に強い電界を発生でき、この電界内で書き込みの目的のための熱い電荷キャリアが形成される。チャンネル 6 のドレイン側で電界分布にピークが形成されるのはドレイン延長部 5a により阻止される。

本発明は上述した実施例に限定されず、当業者にとっては本発明の範囲内で種々の変更が可能であること明らかである。上述した実施例の導電型を反転させることができる。ゲート誘電体の厚肉部分は酸化工程による以外の方法、例えば堆積及び写真食刻により得ることができる。消去のためには、トンネル効果以外の機構、例えばフローティングゲート電

10

20

30

40

50

極中への正孔の注入を用いることができる。これらの正孔はドレイン領域の p n 接合のアバランシェ降伏により形成でき、フローティングゲートにおける電子の電荷を補償する。

【図面の簡単な説明】

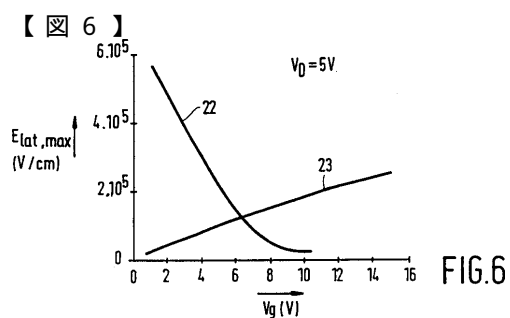
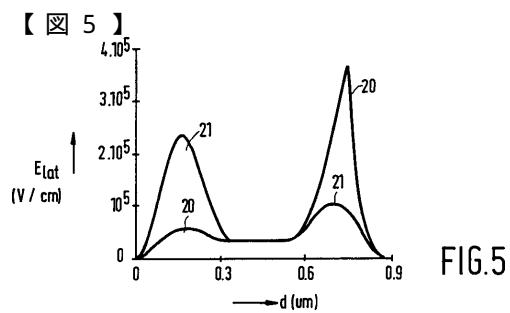
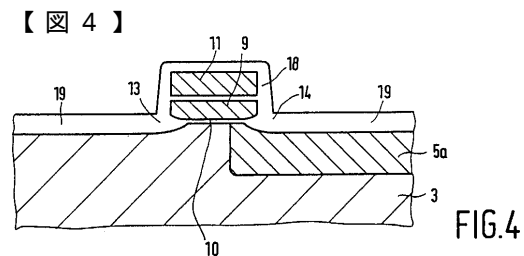
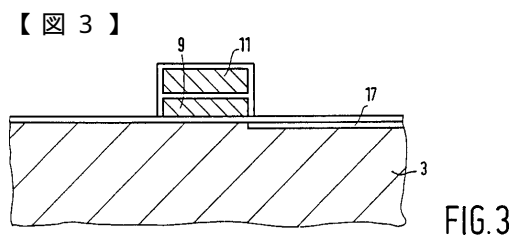
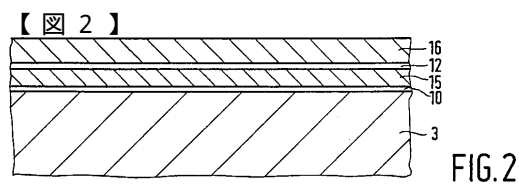
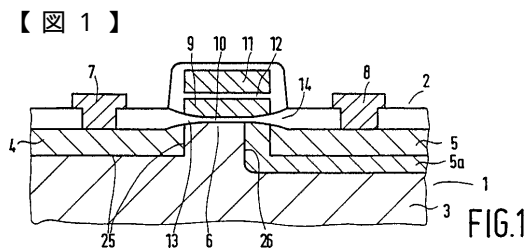
図 1 は本発明による半導体装置の断面図であり、

図 2 ～ 図 4 はこの半導体装置の製造の数工程を示し、

図 5 は 2 つの異なるゲート電圧に対する横方向の電界分布を示し、

図 6 は図 1 の半導体装置におけるチャンネルのソース及びドレイン側の最大電界強度を示すグラフであり、

図 7 は本発明による半導体装置の他の実施例を示す断面図である。



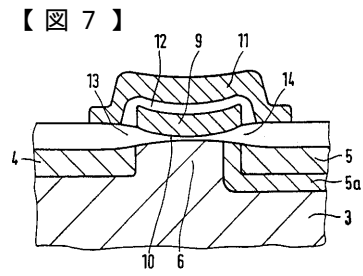


FIG.7

フロントページの続き

(72)発明者 ウォーカー アンドリュー イアン
アメリカ合衆国 カリフォルニア州 9 4 3 0 3 パロ アルト マリオン アヴェニュー 7 8
1

審査官 國島 明弘

(56)参考文献 米国特許第 0 5 2 0 8 1 7 5 (U S , A)
米国特許第 0 4 5 7 7 2 9 5 (U S , A)
特開平 0 6 - 2 8 3 6 8 6 (J P , A)
特開平 0 6 - 1 6 3 9 1 6 (J P , A)
特開平 0 6 - 0 7 7 4 9 3 (J P , A)
特開平 0 6 - 0 6 1 5 0 3 (J P , A)
特開平 0 5 - 0 3 6 9 9 0 (J P , A)
特開平 0 4 - 1 8 8 8 7 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792