

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年3月9日(2017.3.9)

【公表番号】特表2016-522495(P2016-522495A)

【公表日】平成28年7月28日(2016.7.28)

【年通号数】公開・登録公報2016-045

【出願番号】特願2016-515029(P2016-515029)

【国際特許分類】

G 06 N 3/04 (2006.01)

G 06 N 3/063 (2006.01)

【F I】

G 06 N 3/04

G 06 N 3/04 190

G 06 N 3/063

【手続補正書】

【提出日】平成29年2月3日(2017.2.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の人工ニューロンを伴う人工神経システムを動作させるための方法であって、

前記人工ニューロンの状態を更新するために前記人工神経システムにおける複数のスーパーニューロン処理ユニットを同時に動作させること、ここにおいて、前記人工ニューロンのサブセットが各スーパーニューロン処理ユニットに割り当てられる、と、

前記スーパーニューロン処理ユニットをメモリとインターフェースすることと、

前記メモリに記憶された前記人工神経システムのシナプス重みおよび可塑性のパラメータにアクセスすること、ここにおいて、前記メモリの構成が連続メモリアクセスを可能にする、と、

を備える方法。

【請求項2】

複数のスーパーニューロン処理ユニットを同時に動作させることは、

入力電流アキュムレータおよび前記人工ニューロンのモデルのために前記スーパーニューロン処理ユニットを時間多重化することを備える、請求項1に記載の方法。

【請求項3】

前記スーパーニューロン処理ユニットのうちの1つに割り当てられた任意の人工ニューロンの状態を、定められたステップごとに更新することをさらに備える、請求項1に記載の方法。

【請求項4】

前記人工ニューロンのいずれかに関連するシナプス後ファンアウトへのポインタを前記メモリに記憶することをさらに備える、請求項1に記載の方法。

【請求項5】

複数のスーパーニューロン処理ユニットを同時に動作させることは、

前記スーパーニューロン処理ユニットの各々によって、ニューラル入力アキュムレータを実施することを備える、請求項1に記載の方法。

【請求項6】

各スーパーニューロン処理ユニットにおける計算ユニットの数は、そのスーパーニューロン処理ユニットに割り当てられた前記人工ニューロンの数よりも少ない、請求項1に記載の方法。

【請求項7】

前記メモリは、ダイナミックランダムアクセスメモリ(DRAM)を備え、

前記DRAMの前記連続メモリアクセスは、複数のシナプスに関係するデータへの同時アクセスを備える、請求項1に記載の方法。

【請求項8】

メモリの前記構成は、可塑性を実現するためのシナプス前ニューロンおよびシナプス後ニューロンのルックアップテーブルを備える、請求項1に記載の方法。

【請求項9】

動的確率的方法での前記人工神経システムのスパイクの除去をさらに備える、請求項1に記載の方法。

【請求項10】

前記人工神経システムのシナプスに関連するデータを前記メモリに記憶することをさらに備え、ここにおいて、前記データが宛先ルーティング情報を備える、請求項1に記載の方法。

【請求項11】

前記スーパーニューロン処理ユニットと前記メモリの構成とを利用することによって、前記人工神経システムに外部および内部シナプス活性化を統合することをさらに備える、請求項1に記載の方法。

【請求項12】

複数の人工ニューロンを伴う人工神経システムを動作させるための装置であって、

前記人工ニューロンの状態を更新するために前記人工神経システムにおける複数のスーパーニューロン処理ユニットを同時に動作させるように構成された第1の回路、ここにおいて、前記人工ニューロンのサブセットが各スーパーニューロン処理ユニットに割り当てられる、と、

前記スーパーニューロン処理ユニットをメモリとインターフェースするように構成された第2の回路と、

前記メモリに記憶された前記人工神経システムのシナプス重みおよび可塑性のパラメータにアクセスするための第3の回路、ここにおいて、前記メモリの構成が連続メモリアクセスを可能にする、と、

を備える装置。

【請求項13】

前記第1の回路はまた、

入力電流アキュムレータおよび前記人工ニューロンのモデルのために前記スーパーニューロン処理ユニットを時間多重化するように構成される、請求項12に記載の装置。

【請求項14】

前記スーパーニューロン処理ユニットのうちの1つに割り当てられた任意の人工ニューロンの状態を、定められたステップごとに更新するように構成された第4の回路をさらに備える、請求項12に記載の装置。

【請求項15】

前記人工ニューロンのいずれかに関連するシナプス後ファンアウトへのポインタを前記メモリに記憶するように構成された第4の回路をさらに備える、請求項12に記載の装置。

【請求項16】

前記スーパーニューロン処理ユニットの各々によって、ニューラル入力アキュムレータを実施するように構成された第4の回路をさらに備える、請求項12に記載の装置。

【請求項17】

各スーパーニューロン処理ユニットにおける計算ユニットの数は、そのスーパーニューロン

ロン処理ユニットに割り当てられた前記人工ニューロンの数よりも少ない、請求項 1 2 に記載の装置。

【請求項 1 8】

前記メモリは、ダイナミックランダムアクセスメモリ (D R A M) を備え、

前記 D R A M の前記連続メモリアクセスは、複数のシナプスに関するデータへの同時アクセスを備える、請求項 1 2 に記載の装置。

【請求項 1 9】

メモリの前記構成は、可塑性を実現するためのシナプス前ニューロンおよびシナプス後ニューロンのルックアップテーブルを備える、請求項 1 2 に記載の装置。

【請求項 2 0】

動的確率的方法で前記人工神経システムのスパイクを除去するように構成された第 4 の回路をさらに備える、請求項 1 2 に記載の装置。

【請求項 2 1】

前記人工神経システムのシナプスに関するデータを前記メモリに記憶するように構成された第 4 の回路をさらに備え、ここにおいて、前記データが宛先ルーティング情報を備える、請求項 1 2 に記載の装置。

【請求項 2 2】

前記スーパーニューロン処理ユニットと前記メモリの構成とを利用することによって、前記人工神経システムに外部および内部シナプス活性化を統合するように構成された第 4 の回路をさらに備える、請求項 1 2 に記載の装置。

【請求項 2 3】

複数の人工ニューロンを伴う人工神経システムを動作させるための装置であって、

前記人工ニューロンの状態を更新するために前記人工神経システムにおける複数のスーパーニューロン処理ユニットを同時に動作させるための手段、ここにおいて、前記人工ニューロンのサブセットが各スーパーニューロン処理ユニットに割り当てられる、と、

前記スーパーニューロン処理ユニットをメモリとインターフェースするための手段と、

前記メモリに記憶された前記人工神経システムのシナプス重みおよび可塑性のパラメータにアクセスするための手段、ここにおいて、前記メモリの構成が連続メモリアクセスを可能にする、と、

を備える装置。

【請求項 2 4】

複数のスーパーニューロン処理ユニットを同時に動作させるための前記手段は、

入力電流アキュムレータおよび前記人工ニューロンのモデルのために前記スーパーニューロン処理ユニットを時間多重化するための手段をさらに備える、請求項 2 3 に記載の装置。

【請求項 2 5】

前記スーパーニューロン処理ユニットのうちの 1 つに割り当てられた任意の人工ニューロンの状態を、定められたステップごとに更新するための手段をさらに備える、請求項 2 3 に記載の装置。

【請求項 2 6】

前記人工ニューロンのいずれかに関連するシナプス後ファンアウトへのポインタを前記メモリに記憶するための手段をさらに備える、請求項 2 3 に記載の装置。

【請求項 2 7】

複数のスーパーニューロン処理ユニットを同時に動作させるための前記手段は、

前記スーパーニューロン処理ユニットの各々によって、ニューラル入力アキュムレータを実施するための手段をさらに備える、請求項 2 3 に記載の装置。

【請求項 2 8】

各スーパーニューロン処理ユニットにおける計算ユニットの数は、そのスーパーニューロン処理ユニットに割り当てられた前記人工ニューロンの数よりも少ない、請求項 2 3 に記載の装置。

【請求項 29】

前記メモリは、ダイナミックランダムアクセスメモリ(DRAM)を備え、

前記DRAMの前記連続メモリアクセスは、複数のシナプスに関するデータへの同時アクセスを備える、請求項23に記載の装置。

【請求項 30】

メモリの前記構成は、可塑性を実現するためのシナプス前ニューロンおよびシナプス後ニューロンのルックアップテーブルを備える、請求項23に記載の装置。

【請求項 31】

動的確率的方法での前記人工神経システムのスパイクの除去のための手段をさらに備える、請求項23に記載の装置。

【請求項 32】

前記人工神経システムのシナプスに関するデータを前記メモリに記憶するための手段をさらに備え、ここにおいて、前記データが宛先ルーティング情報を備える、請求項23に記載の装置。

【請求項 33】

前記スーパーニューロン処理ユニットと前記メモリの構成とを利用することによって、前記人工神経システムに外部および内部シナプス活性化を統合するための手段をさらに備える、請求項23に記載の装置。

【請求項 34】

複数の人工ニューロンを伴う人工神経システムを動作させるための非一時的コンピュータ可読媒体であって、前記非一時的コンピュータ可読媒体が、

前記人工ニューロンの状態を更新するために前記人工神経システムにおける複数のスーパーニューロン処理ユニットを同時に動作させること、ここにおいて、前記人工ニューロンのサブセットが各スーパーニューロン処理ユニットに割り当てられる、と、

前記スーパーニューロン処理ユニットをメモリとインターフェースすることと、

前記メモリに記憶された前記人工神経システムのシナプス重みおよび可塑性のパラメータにアクセスすること、ここにおいて、前記メモリの構成が連続メモリアクセスを可能にする、と、

を行うように実行可能な命令を有する、非一時的コンピュータ可読媒体。

【請求項 35】

入力電流アキュムレータおよび前記人工ニューロンのモデルのために前記スーパーニューロン処理ユニットを時間多重化するためのコードをさらに備える、請求項34に記載の非一時的コンピュータ可読媒体。

【請求項 36】

前記スーパーニューロン処理ユニットのうちの1つに割り当てられた任意の人工ニューロンの状態を、定められたステップごとに更新するためのコードをさらに備える、請求項34に記載の非一時的コンピュータ可読媒体。

【請求項 37】

前記人工ニューロンのいずれかに関連するシナプス後ファンアウトへのポインタを前記メモリに記憶するためのコードをさらに備える、請求項34に記載の非一時的コンピュータ可読媒体。

【請求項 38】

前記スーパーニューロン処理ユニットの各々によって、ニューラル入力アキュムレータを実施するためのコードをさらに備える、請求項34に記載の非一時的コンピュータ可読媒体。

【請求項 39】

各スーパーニューロン処理ユニットにおける計算ユニットの数は、そのスーパーニューロン処理ユニットに割り当てられた前記人工ニューロンの数よりも少ない、請求項34に記載の非一時的コンピュータ可読媒体。

【請求項 40】

前記メモリは、ダイナミックランダムアクセスメモリ（D R A M）を備え、
前記D R A Mの前記連續メモリアクセスは、複数のシナップスに関するデータへの同時
アクセスを備える、請求項3 4に記載の非一時的コンピュータ可読媒体。

【請求項4 1】

メモリの前記構成は、可塑性を実現するためのシナップス前ニューロンおよびシナップス後
ニューロンのルックアップテーブルを備える、請求項3 4に記載の非一時的コンピュータ可読媒体。

【請求項4 2】

動的確率的方法での前記人工神経システムのスパイクの除去
のためのコードをさらに備える、請求項3 4に記載の非一時的コンピュータ可読媒体。

【請求項4 3】

前記人工神経システムのシナップスに関するデータを前記メモリに記憶するためのコード
をさらに備え、ここにおいて、前記データが宛先ルーティング情報を備える、請求項3
4に記載の非一時的コンピュータ可読媒体。

【請求項4 4】

前記スーパーニューロン処理ユニットと前記メモリの構成とを利用することによって、
前記人工神経システムに外部および内部シナップス活性化を統合するためのコードをさらに
備える、請求項3 4に記載の非一時的コンピュータ可読媒体。