世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H01P 7/08, 1/203, 3/08 H03B 5/18	A1	(11) 国際公開番号	WO 92/12548
		(43) 国際公開日	1992年7月23日(23. 07. 1992)

(21) 国際出願番号 PCT/JP91/01761
(22) 国際出願日 1991年12月25日(25. 12. 91)

(30) 優先権データ

特願平2/414388	1990年12月26日(26. 12. 90)	JP
特願平3/31888	1991年1月31日(31. 01. 91)	JP
特願平3/294446	1991年11月11日(11. 11. 91)	JP
特願平3/304348	1991年11月20日(20. 11. 91)	JP
特願平3/317892	1991年12月2日(02. 12. 91)	JP

(71) 出願人(米国を除くすべての指定国について)
ティーディーケイ株式会社(TDK CORPORATION)〔JP/JP〕
〒103 東京都中央区日本橋一丁目13番1号 Tokyo, (JP)
(72) 発明者;および
(75) 発明者/出願人(米国についてのみ)
林 克彦(HAYASHI, Katuhiko)〔JP/JP〕
〒286 千葉県成田市美郷台3-13-1 Chiba, (JP)
(74) 代理人
弁理士 山本恵一(YAMAMOTO, Keiichi)
〒105 東京都港区西新橋一丁目5番12号 タンバビル Tokyo, (JP)

(81) 指定国
AT(欧州特許), BE(欧州特許), CH(欧州特許), DE(欧州特許), DK(欧州特許), ES(欧州特許), FR(欧州特許), GB(欧州特許), GR(欧州特許), IT(欧州特許), LU(欧州特許), MC(欧州特許), NL(欧州特許), SE(欧州特許), US

添付公開書類 国際調査報告書

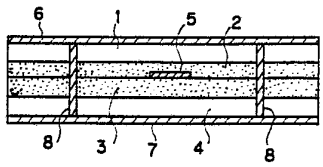
(54) Title: HIGH-FREQUENCY DEVICE

(54) 発明の名称 高周波デバイス

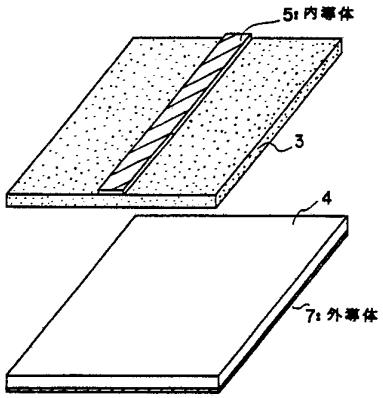
a ... High-frequency transmission line of the first embodiment
A ... Sectional view
B ... Partially exploded perspective view
5 ... Internal conductor
7 ... External conductor

a 第1実施例の高周波伝送線

A:断面図



B:一部の分解斜視図



(57) Abstract

The invention relates to high-frequency devices including a high-frequency transmission line, high-frequency filter, and resonator, and a main object is to compact the high-frequency device without decreasing "Q" of the device. To achieve the object, the high-frequency device of the present invention is constituted by putting the internal conductor (5) used for resonators and so on between the high dielectric layers (2 and 3) (made of a material with a high dielectric constant), putting the layers (2 and 3) between low dielectric layers (1 and 4) (made of a material with a low dielectric constant), and further putting the layers (1 and 4) between GND electrodes (6 and 7).

(57) 要約

本発明は、高周波デバイス、例えば高周波伝送路、高周波フィルタ、共振器に関するものであり、その主な目的は、高周波デバイスのQを低下させることなく、小型化を実現することにある。

この目的を達成するため、本発明の高周波デバイスでは、共振器等に使用する内導体（５）の両側を、高誘電体層（２，３）（誘電率の高い材料）で挟み、その両側を、低誘電体層（１，４）（誘電率の低い材料）で挟み、更に、その両側を、ＧＮＤ電極（６，７）で挟んだ構成を用いた。

図 1

情報としての用途のみ
PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴー
CH スイス
CI コート・ジボアール
CM カメルーン
CS チェコスロバキア
DE ドイツ
DK デンマーク
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GN ギニア
GB イギリス
GR ギリシャ
HU ハンガリー
IT イタリー
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルク
MC モナコ
MG マダガスカル
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウェー
PL ポーランド
RO ルーマニア
RU ロシア連邦
SD スーダン
SE スウェーデン
SN セネガル
SU ソヴィエト連邦
TD チャード
TG トーゴ
US 米国

明　　細　　書

高周波デバイス

技術分野

本発明は、無線機器、あるいはその他の通信装置等に用いられる高周波共振器、高周波数フィルタ、高周波発振器、誘電体共振器、等の高周波デバイスに関するものである。

背景技術

従来、携帯電話、コードレスホン、等の無線機や、その他の通信機器等には、各種の高周波デバイスが使用されていた。

これらの高周波デバイスとしては、高周波フィルタ、高周波発振器、誘電体共振器、高周波増幅器、ディプレクサ等がある。

以下、従来の高周波デバイスの具体例について、図面を参照しながら説明する。

（従来例１）高周波伝送路…図１８参照

図１８は、従来の高周波伝送路を示した図であり、（Ａ）図はマイクロストリップ線路、（Ｂ）図はサスペンデッドマイクロストリップ線路、（Ｃ）図は、インバーテッドマイクロストリップ線路を示す。これらは回路基板の高周波信号の伝送路として使用されたりまた部品としてはディレーライン等に使用されている。

図中、１００は外導体、１０２は誘電体、１０３は

内導体、１０４は空隙を示す。

従来、高周波伝送路には、図１８に示したようなマイクロストリップ線路が使用されていた。その内、一般的に広く使用されているのは、図１８（Ａ）に示した構造のマイクロストリップ線路である。

このマイクロストリップ線路は、誘電体（誘電体基板）１０２の一面に、内導体（信号線路として用いる導体）１０３を設け、該誘導体１０２の他面（内導体１０３と反対側の面）に、外導体（通常はＧＮＤ電極として用いる導体）１０１を設けたものである。

このような構造のマイクロストリップ線路は、例えば、平面状の高周波回路を構成する時に、他の立体回路に比べて、小型で安価であり、かつその製作が容易である等の特徴があるため、広く使用されている。

ところが、上記のようなマイクロストリップ線路は、伝送路としての総合的な損失（例えば放射損失、誘電体損失、導体損失等）がかなり大きい。そこで、前記の損失を小さくするため、図１８（Ｂ）に示したサスペンデッドマイクロストリップ線路や、図１８（Ｃ）に示したインバーテッドマイクロストリップ線路が開発されている。

サスペンデッドマイクロストリップ線路は、図１８（Ｂ）に示したように、誘電体１０２と外導体１０１との間に空隙１０４が形成されるように、支持体等で浮かせた構造の伝送路である。

また、インバーテッドマイクロストリップ線路は、図１８（Ｃ）に示したように、誘電体１０２と外導体１０１との間に空隙１０４を設けると共に、外導体１０１側の誘電体１０２上に、内導体１０３を設けた構造のものである。

上記のような従来のものにおいては、次のような課題があった。

（１）サスペンデッドマイクロストリップ線路、あるいはインバーテッドマイクロストリップ線路は、通常のマイクロストリップ線路と比べて、低損失の伝送路となるが、信号線路となる内導体を、誘電体上にパターニングし、それをＧＮＤ導体となる外導体から浮かす必要がある。従って、その設定が不安定であり、製作も困難である。

（２）サスペンデッドマイクロストリップ線路、あるいはインバーテッドマイクロストリップ線路は、その構造上の理由により、通常の場合、内導体（信号線路）の幅に対して、外導体（ＧＮＤ導体）の幅をある程度以上広くする必要がある。このため、線路の小型化が困難である。

（従来例２）高周波フィルタ…図１９、図２０参照

図１９は高周波フィルタ例、図２０は図１９の等価回路を示す。

図中、１１１は基板（誘電体）、１１２，１１３はλ／４型ストリップ共振器、１１４は結合コンデン

サ、１１５はスルーホール、１１６はＧＮＤ電極（ベタアース）、１１７，１１８はλ／４型誘電体共振器、ＩＮは入力端子、ＯＵＴは出力端子、C_1～C_4はコンデンサ、L_1～L_3はコイルを示す。

従来、高周波フィルタには各種のものが知られていた。この内、バンドパスフィルタの例を、図１９について説明する。図１９（Ａ）はストリップラインフィルタ、図１９（Ｂ）は誘電体フィルタである。

ストリップラインフィルタは、図１９（Ａ）のように、基板（誘電体）１１１の一面に、ある程度の距離をあけて２つのλ／４型ストリップ共振器１１２，１１３を設け、その間に結合コンデンサ１１４を接続すると共に、基板の他面に、ＧＮＤ電極（ベタアース）１１６を形成したものである。

そして、上記２つのλ／４型ストリップ共振器１１２，１１３の一端に、スルーホール１１５を設け、他面のＧＮＤ電極１１６と接続する。

また、誘電体フィルタは、図１９（Ｂ）のように構成されている。すなわち、周囲にＧＮＤ電極（ベタアース）１１６を形成した２つのλ／４型誘電体共振器１１７，１１８を並べて、その間に結合コンデンサ１１４を接続したものである。

この２つのλ／４型誘電体共振器１１７，１１８は、同軸タイプの誘電体共振器であり、内部に導体が設けられており、誘電体の外周部にＧＮＤ電極１１６

を形成してある。

上記のような高周波フィルタ（バンドパスフィルタ）の等価回路は、図２０（Ａ）のようになる。図示のように、図１９に示したλ／４型ストリップ共振器１１２，１１３あるいはλ／４型誘電体共振器１１７，１１８は、等価的には、それぞれL_1 C_1の並列共振回路及びL_2 C_2の並列共振回路となる。

このような高周波フィルタには、更にコイルやコンデンサを付加することがあり、等価回路では、図２０（Ｂ）、図２０（Ｃ）のようになる（有極型バンドパスフイルタ、バンドリジェクションフィルタなどを構成する場合）。

図２０（Ｂ）は、結合コンデンサ１１４と並列にコイルL_3を接続した例であり、図２０（Ｃ）は、図２０（Ａ）の回路に、コンデンサC_3，C_4を付加した例である。

上記のような従来のものにおいては、次のような課題があった。

（１）図１９（Ａ）に示したストリップラインフィルタの場合には、信号ラインとなるλ／４型ストリップ共振器の放射損失が大きい。

また、λ／４型ストリップ共振器間は、相互干渉を防止するために、ある程度の距離をあける必要があり、特に幅が大きくなる。

（２）図１９（Ｂ）に示した誘電体フィルタの場合に

は、体積が大きくなり、セットに組み込む上で、部品としての体積占有率が問題となる（特に移動無線機器関係）。

（３）図１９に示した高周波フィルタは、共振器が２段構成であるが、実際には、更に、多段構成することが多く、必然的に大型のフィルタとなる。このため、機器の小型化が困難となる。

（４）図１９に示した高周波フィルタに、更に図２０（Ｂ）、図２０（Ｃ）に示したように、コイルやコンデンサを付加した場合には、高周波フィルタブロックとして大型化する。

（従来例３）誘電体共振器…図２１参照

図２１は従来の誘電体共振器（λ／４型）を示した図であり、図２１Ａはその斜視図、図２１Ｂは Ｘ－Ｙ線方向断面図である。

図中１２１は誘電体共振器、１２２は誘電体、１２３は貫通孔、１２４は共振導体、１２５はＧＮＤ電極を示す。

従来、誘電体共振器の外観は、角柱状のものと、円柱状のものが知られていた。その内、角柱状の例を図２１に示す。図示のように、誘電体共振器１２１は、角柱状の誘電体１２２の長手方向の中央に、貫通孔１２３を設けてあり、この貫通孔１２３のある一方の面を除く、誘電体１２２の他の全面に導体を設けて、ＧＮＤ電極１２５としている。

そして、前記貫通孔１２３の内周面には、共振導体１２４を設け、その一方の端部をＧＮＤ電極１２５に接続している。また、共振導体１２４のＧＮＤ電極１２５に接続してない他方の端部には、外部端子（図示省略）を接続するようになっている。

上記のような従来のものにおいては、次のような課題があった。

（１）誘電体には高誘電体を使用し、共振周波数における波長短縮により小型化した誘電体共振器となっている。しかし、共振導体の片側は空間に露出（貫通孔の内部の空間）しているため、共振導体長は、$\lambda / 4\sqrt{\varepsilon_r}$ ほど短縮しない（ただし、λは信号の波長、ε_r は誘電体の比誘電率を示す）。

（２）誘電体の材料定数である誘電率εが大きくなると、共振器の構造上Ｃ成分（容量成分）が大きくなる。従って共振器のラインインピーダンスが低下するため、共振器のＱも低下する。そのため、εが大きい程、角柱を太くする必要がある。従って、この面でも更に小型化するのは困難である。また、小型で高Ｑの共振器を実現するのは困難である。

（従来例４）誘電体フィルタ…図２２参照

図２２は従来の誘電体フィルタを示した図であり、Ａは表側から見た斜視図、Ｂは裏側から見た斜視図である。

図中、図２１と同符号は同一のものを示す。また

１２６は溝を示す。

従来の誘電体フィルタの１例を図２２に示す。この誘電体フィルタは、バンドパスフィルタの例であり、複数の１／４波長共振導体を具備している。そして、前記の共振導体は、それぞれ共振器を構成している。

図示のように、誘電体フィルタ１２１は、誘電体１２２と、誘電体１２２に設けた複数個の貫通孔１２３と、貫通孔１２３の内周面に設けた共振導体１２４と、誘電体１２２の一面（共振導体１２４のある面）を除き、誘電体１２２の他の全ての外周面に設けたＧＮＤ電極１２５等で構成されている。

また、誘電体１２２には溝１２６が設けてあり、この溝１２６によって、各共振導体間を分離し、共振導体間の結合を調整している。なお、この溝１２６の部分にもＧＮＤ電極１２５は設けてあり、この溝１２６のある側で、各共振導体１２４とＧＮＤ電極１２４とを接続（共振導体１２４のＧＮＤ側を共通に接続）してある。

前記複数の共振導体１２４（この例では４個の共振導体）は、それぞれ長さが異なっており（同じ長さのものを含む場合もある）、各共振導体１２４の共振周波数が異なるように設定されている。

このような誘電体フィルタ１２１は、例えば次のようにして作製する。先ず、プレス成形により、貫通孔１２３と溝１２６のある誘電体１２２を作製する。そ

の後、貫通孔１２３のある一面を残して残りの全ての面（貫通孔１２３の内面を含む）をメタライズする。

そして、貫通孔１２３内に形成された導体を、共振導体１２４として使用し、誘電体１２２の外周面に形成された導体をＧＮＤ電極として使用する。

上記のような従来のものにおいては、次のような課題があった。

（１）前記の誘電体共振器では、誘電体に高誘電体を使用し、共振周波数における波長短縮により小型化した誘電体フィルタとしている。

しかし、共振導体の片側は空間（貫通孔内の空間）に露出しているため、$\lambda/4\sqrt{\varepsilon_r}$（ただし、$\lambda$：信号の波長、$\varepsilon_r$：比誘電率）ほど短縮しない。従って、前記構成での誘電体フィルタの小型化には限界があった。

（２）誘電体の材料定数である誘電率εが大きくなると、共振器の構造上Ｃ成分（容量成分）が大きくなる。

従って、共振器のラインインピーダンスが低下するため、共振器のＱも低下する。そのため、εが大きい程厚み方向を厚くして、入力インピーダンスが低下しないようにする必要があった。

（従来例５）ＶＣＯ（電圧制御発振器）…図２３参照

図２３は従来例の説明図であり、図２３ＡはＶＣＯ（電圧制御発振器）の回路例、図２３Ｂはマイクロス

トリップラインの説明図、図２３Ｃはトリプレート型ストリップラインの説明図である。

また図２４は従来のＶＣＯモジュール例であり、図２４ＡはＶＣＯモジュール例１の斜視図、図２４ＢはＶＣＯモジュール例２の分解斜視図である。

図中、R_1～R_8は抵抗、C_1～C_{11}はコンデンサ、L_1，L_2はコイル、ＣＶはバラクタダイオード（可変容量ダイオード）、ＳＬはストリップライン、ＣＴは制御電圧入力端子、ＯＵＴは出力端子、Ｖccは電源、Tr_1，Tr_2はトランジスタを示す。

また、１３１，１３１－１～１３１－３は誘電体層、１３２は共振導体、１３３，１３３－１，１３３－２はＧＮＤ電極、１３４は部品（ディスクリート部品）、１３５はスルーホール電極、１３６は余白を示す。

従来、発振器として、例えば図２３Ａに示したようなＶＣＯ（電圧制御発振器）が知られていた。

このＶＣＯは、発振部とバッファ部とから成り、発振部とバッファ部は、結合用のコンデンサC_7を介し結合されている。

この例では、発振部は、トランジスタTr_1、ストリップラインＳＬ、バラクタダイオード（可変容量ダイオード）ＣＶ、コンデンサC_1～C_6、抵抗R_1～R_4、コイルL_1で構成され、バッファ部は、トランジスタTr_2、コンデンサC_8～C_{11}、抵抗R_5～

Ｒ$_{B}$、コイルＬ$_{2}$で構成されている。

そして、発振部の制御電圧入力端子ＣＴに制御電圧を入力すると、該制御電圧に応じた周波数で発振し、出力端子ＯＵＴからＶＣＯの出力信号を取り出すことができる。

ところで、前記ストリップラインＳＬは、共振器（ストリップライン共振器）を構成しており、基板への実装形態として、図２３Ｂ、図２３Ｃのようなものがある。図２３Ｂは、基板を構成する誘電体層１の表面に共振導体１３２を形成し、裏面にＧＮＤパターンを形成したマイクロストリップラインの例である。

また、図２３Ｃは、多層基板に共振導体１３２を内蔵し、その両側をＧＮＤパターン１３３－１、１３３－２で挟んだトリプレート型のストリップラインとした例である。即ち、多層基板を構成する第１の誘電体層１３１－１上にＧＮＤパターン１３３－１を形成し、第２の誘電体層１３１－２上に共振導体１３２を形成し、第２の誘電体層１３１－２の裏面にＧＮＤパターン１３３－２を形成することにより、共振導体１３２を、誘電体層を介して両側からＧＮＤパターンで挟んだトリプレート型のストリップラインとしたものである。

前記図２３Ｂの実装形態によるＶＣＯモジュールの例を図２４Ａに示す。このＶＣＯモジュールは、基板（単板、あるいは多層基板）を構成する誘電体層

１３１の表面に、共振導体１３２を（厚膜印刷）形成し、更に他のトランジスタ、抵抗等の部品１３４（ディスクリート部品）を実装する。そして、前記誘電体層１３１の裏面にＧＮＤパターン１３３を（厚膜印刷）形成したものである。

また、図２３Ｃの実装形態によるＶＣＯモジュールの例を図２４Ｂに示す。このモジュールは、多層基板を構成する第１の誘電体層１３１－１上に、トランジスタ、抵抗等の部品１３４（ディスクリート部品）を実装し、第２の誘電体層１３１－２上にＧＮＤパターン１３３－１を形成し、第３の誘電体層１３１－３上に共振導体１３２を形成すると共に、該第３の誘電体層１３１－３の裏面にＧＮＤパターン１３３－２を形成したものである。

なお、ＧＮＤパターン１３３－１の一部には余白１３６（導体のない部分）を設け、その中にスルーホール電極１３５を設ける。そして、このスルーホール電極１３５を中継点として、共振導体１３２と部品１３４との間をブラインドスルーホール（内部が導体で満たされたスルーホール）によって接続する。

上記のような従来のものにおいては、次のような課題があった。

（１）図２４Ａに示したＶＣＯモジュールにおける共振器（図２３Ｂ参照）では、構造的に容量成分を小さくできるため、共振器のラインインピーダンスＺ。

（Ｚ。∝$\sqrt{Ｌ／Ｃ}$）が大きくとれる。一般に、伝送線路の容量成分をＣ、伝送路の誘導成分をＬ、伝送路の直列抵抗r_s、信号の媒質内波長をλgとした場合、伝送路のＱは次式で表される。

$$Q = (\pi / \lambda g) \cdot (2Z_0 / r_s)$$

従って、前記のように、ラインインピーダンスＺ。を大きくとれると、伝送路のＱを高くすることができる。

また、共振導体は、基板の表面に形成されていて、上側に何もないため、トリミングによる調整等が容易にできると共に、基板も薄くできる。

しかし、その反面、共振導体が半分空気中に出ているため、波長短縮の面では、$\lambda / \sqrt{\varepsilon_r}$（$\lambda$：信号の波長、$\varepsilon_r$：比誘電率）ほど短縮しない（共振導体の周囲を全て$\varepsilon_r$の誘電体で覆った場合は、$\lambda / \sqrt{\varepsilon_r}$まで波長短縮する）。従って、$\lambda / \sqrt{\varepsilon_r}$まで短縮しない分、共振導体長が長くなるため共振導体の直列抵抗成分（r_s）が大きくなり、Ｑが劣化する。また、スペースファクタが大きいため、ＶＣＯモジュールが大型化する。このため、小型で高Ｑの共振器を得るのは困難である。

（２）図２４Ｂに示したＶＣＯモジュールにおける共振器（図２３Ｃ参照）では、構造的にＣ（容量）成分が大きくなりやすい（共振導体と、その両側のＧＮＤパターンとの間に容量成分がある）ため、共振器のラ

インインピーダンスZ。は大きくしづらくなり、Qが低くなりやすい。従って、共振導体の両側の誘電体層を厚く設定する必要があり、ＶＣＯモジュールが厚くなる。

一方、共振導体は誘電体層中に内蔵されるため、$\lambda/\sqrt{\varepsilon_r}$の波長短縮が期待でき、共振導体を短くできる分直列抵抗（r_s）を低くできるので、Qが高くなる。

しかし、その反面、共振導体が誘電体層中に内蔵されているため、共振器の調整が困難である。

発明の開示

本発明は、前記のような課題を解決するためになされたものであり、誘電率の異なる複数の誘電体層を組み合わせて使用することにより、ラインインピーダンスを大きくして、Qを低下させることなく、高周波デバイスを小型化することを目的としている。

本発明によれば、次の各高周波デバイスが提供できる。

（１）誘電率の異なる（ε_1，ε_2：$\varepsilon_1 > \varepsilon_2$）複数の誘電体層（１，２，３，４）を積層した多層基板に、少なくとも、高周波信号を伝播させるための信号伝送路となる内導体（５）と、接地電位（ＧＮＤ）を与えるための外導体（６，７）とを設定した高周波デバイスであって、前記誘電体層の積層方向に対して、前記内導体（５）の両側から、高誘電率（ε_1）材料

から成る高誘電体層（２，３）で挟み、その両側から、低誘電率（ε_2）材料から成る低誘電体層（１，４）で挟み、更にその両側から、外導体（６，７）で挟んだことを特徴とする高周波デバイス。

（２）少なくとも、第１～第４の誘電体層１～４で積層体を構成し、その中央部に位置する第２、第３の誘電体層（２，３）の積層面には、所定の間隔をおいて第１、第２の共振導体（９，１０）を設けると共に、前記各共振導体の中に、所定間隔をおいて、ＧＮＤ電極（１１）を設け、更にその積層方向の両側に設けた第１、第４の誘電体層（１，４）の外側に位置する面には、それぞれＧＮＤ電極（６Ａ，７Ａ）を設けると共に、上記第２、第３の誘電体層（２，３）を高誘電率（ε_1）の誘電体層とし、この第２、第３の誘電体層と、上記外側のＧＮＤ電極６Ａ，７Ａとの間に設けた第１、第４の誘電体層（１，４）を、それぞれ、前記第２、第３の誘電体層（２，３）よりも低誘電率（ε_2，$\varepsilon_2 < \varepsilon_1$）の誘電体層で構成したことを特徴とする高周波フィルタ。

（３）少なくとも、第１～第８の誘電体層（１Ａ～４Ｂ）で積層体を構成し、最上層の第１の誘電体層（１Ａ）の外側に位置する面には、ＧＮＤ電極（６Ａ）を設け、その下側に設けた第２、第３の誘電体層（２Ａ），３Ａの積層面には、第１の共振導体（９）を設けると共に、前記共振導体の間に、所定間

隔をおいてＧＮＤ電極パターン（１１Ａ）を設け、前記第３の誘電体層より下側の第４、第５の誘電体層（４Ａ，１Ｂ）の積層面には、ＧＮＤ電極（７Ｃ）を設け、前記第５の誘電体層より下側の第６、第７の誘電体層（２Ａ，３Ｂ）の積層面には、第２の共振導体（１０）を設けると共に、前記共振導体の間に、所定間隔をおいて、ＧＮＤ電極（１１Ｂ）を設け、更にその下の第８の誘電体層（４Ｂ）の外側に位置する面には、ＧＮＤ電極（７Ａ）を設けると共に、上記共振導体（９，１０）の両側に設けた第２、第３、第６、第７の誘電体層（２Ａ，３Ａ，２Ｂ，３Ｂ）を、高誘電率（ε_1）の誘電体層とし、この高誘電体層と、上記外側及び中央部のＧＮＤ電極（６Ａ，７Ａ，７Ｃ）との間の誘電体層（１Ａ，４Ａ，１Ｂ，４Ｂ）を、それぞれ、前記高誘電体層（２Ａ，３Ａ，２Ｂ，３Ｂ）よりも低誘電率（ε_2，$\varepsilon_2 < \varepsilon_1$）の誘電体層で構成したことを特徴とする高周波フィルタ。

（４）低誘電体層（３６－１，３６－２）及び高誘電体層（３７－１～３７－３）の積層体で構成した誘電体と、誘電体の内部に設けた共振導体（３４，３４－１，３４－２）と、誘電体の一面を除く、外周面に設けたＧＮＤ電極（３５）とを具備した共振器であって、前記共振導体（３４，３４－１，３４－２）の積層方向の両側に、高誘電体層（３７－１～３７－３）を設けると共に、この高誘電体層とＧＮＤ電極

（３５）との間には、低誘電体層（３６－１，３６－２）を設けたことを特徴とする誘電体共振器。

（５）低誘電体層（５６－１，５６－２）及び、この低誘電体層よりも誘電率の高い高誘電体層（５７－１，５７－２）を積層した積層体と、積層体の内部に設定した、共振周波数の異なる複数の共振導体（５４－１～５４－４）と、積層体の一面を除く、他の全ての外周面に設けたＧＮＤ電極（５５）とを具備した誘電体フィルタであって、前記共振導体（５４－１～５４－４）の積層方向の両側に、高誘電体層（５７－１，５７－２）を設け、前記両側の高誘電体層（５７－１，５７－２）と、積層方向の両側に設けたＧＮＤ電極（５５）との間には、低誘電体層（５６－１，５６－２）を設けたことを特徴とする誘電体フィルタ。

（６）前記複数の共振導体（５４－１～５４－４）の各共振導体間に、該共振導体の両側に設けた高誘電体層（５７－１，５７－２）よりも、誘電率の低い低誘電体（６１）を設定した上記（５）に記載の誘電体フィルタ。

（７）前記共振導体の両側に設けた高誘電体層（５７－１，５７－２）の、各共振導体の間に位置する部分に、複数の孔（６２）を設け、この孔（６２）内に、前記高誘電体層よりも誘電率の低い誘電体を充填した上記（５）に記載の誘電体フィルタ。

（８）少なくとも、ストリップライン共振器を構成する共振導体（７２）の両側を、高誘電体層（７１－４Ｈ，７１－５Ｈ）で挟み、その両側を低誘電体層（７１－３Ｌ，７１－６Ｌ）で挟み、更にその両側に、一部を除きＧＮＤパターン（７３－１Ａ，７３－２）を設けた発振器モジュールであって、前記誘電体層の積層方向に対し、共振導体（７２）の一方側（下側）には、誘電体層（７１－５Ｈ，７１－６Ｌ）を介して前記ＧＮＤパターン（７３－２）を設定し、共振導体（７２）の他方側（上側）の共振導体と対向する部分には、ＧＮＤパターンを設定しないで、誘電体層（７１－１Ｌ，７１－２Ｌ）を設けたことを特徴とする発振器モジュール。

これらの各高周波デバイスでは、次の作用及び効果を奏する。

誘電体共振器等の共振器では、一般に無負荷Ｑ（Ｑｕとする）は次式で定義されている。

$$\frac{1}{Qu}=\frac{1}{Qc}+\frac{1}{Qd}+\frac{1}{Qr} \qquad \cdots (1)$$

（ただし、Ｑｃは伝送路導体によるＱ、Ｑｄは誘電体によるＱ、Ｑｒは放射によるＱを示す。）

ところで、同軸タイプの共振器では、１／Ｑｒは通常無視されるため、式（１）は次のようになる。

$$\frac{1}{Qu}=\frac{1}{Qc}+\frac{1}{Qd} \qquad \cdots (2)$$

（ここで、Ｑｃは伝送路導体の直列抵抗成分ｒｓと、伝送路のラインインピーダンスＺ。により、下記のように示される。）

$$Qc = \frac{2\pi Z_{\circ}}{r_s} \quad \cdots (3)$$

また、Ｑｄについては誘電体の比誘電率ε_r'と比誘電損失ε_r''により次のように示される。

$$Qd = \frac{\varepsilon_r'}{\varepsilon_r''} \quad \cdots (4)$$

前記式（２）及び（３）、（４）より、共振器の無負荷Ｑ（Ｑｕ）を大きくするためには、

①ラインインピーダンスＺ。と比誘電率ε_r'を大きくとること。

②直列抵抗成分ｒｓと比誘電損失ε_r''を小さくすること。

であることがわかる。

特に、比誘電率ε_r'を大きくすれば、当然ことながら次式で示した波長短縮が起こり、λ／４型共振器の共振導体の長さは、$\lambda/4\sqrt{\varepsilon_r}$で表される。

従って、直列抵抗成分ｒｓが小さくなり、Ｑｃ、Ｑｄとも大きくなる。その結果、無負荷Ｑ（Ｑｕ）も大きくなる。

ところで、本発明の前記構成によれば、共振導体（内導体）は、積層方向の両側を高誘電体層によって挟まれた構造となっていて、従来のように空間に

露出した部分がないため従来と比較して共振導体長はλ／4$\sqrt{\varepsilon_r}$まで短縮される。

しかも、高誘電体層とＧＮＤ電極との間には、低誘電体層が介在しているため、誘電体共振器の積層方向の厚みを薄くしても、Ｃ成分（容量成分）が大きくならない。従って、ラインインピーダンスＺ。も大きくとれる。

従って、前記のような波長短縮が起こるから、誘電体共振器の長手方向を短くできる。その結果、直列抵抗成分r_sが小さくなり、Ｑｃが大きくなって、無負荷Ｑ（Ｑｕ）も大きくなる。

即ち、前記のように構成すれば、共振器のＱを低下させることなく、高周波デバイスの小型化が実現可能となる効果がある。

図面の簡単な説明

図１は、本発明の第１実施例の高周波伝送路を示した図である。

図２は、本発明の第２実施例の高周波フィルタを示した図である。

図３は、本発明の第３実施例の高周波フィルタを示した図である。

図４は、本発明の第４実施例の誘電体共振器を示した図である。

図５は、本発明の第５実施例の誘電体共振器を示した図である。

図６は、共振導体の構成例（その１）を示した図である。

図７は、共振導体の構成例（その２）を示した図である。

図８は、電極の構成例（例１）を示した図である。

図９は、電極の構成例（例２）を示した図である。

図１０は、電極の構成例（例３）を示した図である。

図１１は、本発明の第６実施例における誘電体フィルタの分解斜視図である。

図１２は、第６実施例における誘電体フィルタの斜視図である。

図１３は、本発明の第７実施例における誘電体フィルタの分解斜視図である。

図１４は、第７実施例における誘電体フィルタの構成図である。

図１５は、本発明の第８実施例における誘電体フィルタの分解斜視図である。

図１６は、第８実施例における誘電体フィルタの構成図である。

図１７は、本発明の第９実施例における電圧制御発振器（ＶＣＯ）の断面図である。

図１８は、従来例１（高周波伝送路）を示した図である。

図１９は、従来例２（高周波フィルタ）を示した図

である。

図２０は、従来例２の等価回路である。

図２１は、従来例３（誘電体共振器）を示した図である。

図２２は、従来例４（誘電体フィルタ）を示した図である。

図２３は、従来例５（電圧制御発振器）を示した図である。

図２４は、従来例５のモジュール例である。

発明を実施するための最良の形態

以下、図面を参照しながら、本発明の実施例について、詳細に説明する。

（第１実施例の説明）

図１は、本発明の第１実施例の高周波伝送路を示した図であり、図１のＡは高周波伝送路の断面図、図１のＢは、図１のＡの一部（第３、第４の誘電体層）の分解斜視図である。

図中、１～４は多層基板の第１～第４の誘電体層、５は内導体、６，７はＧＮＤ電極、８はブラインドスルーホール（内部が導体で満たされたスルーホール）を示す。

第１実施例は、本発明の高周波デバイスを、信号伝送路及びディレーライン等の高周波伝送路として実施した例である。

図示のように、本実施例では、第１～第４の誘電体

層１～４を積層して多層基板としている。この場合、第１の誘電体層１と第４の誘電体層４は低誘電率（ε_2）材料から成る低誘電体層とし、第２の誘電体層２と第３の誘電体層３を、高誘電率（ε_1：$\varepsilon_1 > \varepsilon_2$）材料から成る高誘電体層で構成する。

そして、第３の誘電体層（高誘電体層）上に、高周波信号を伝播させるための信号伝送路となる内導体５を設ける。

また、第１の誘電体層（低誘電体層）１上には、接地電位（ＧＮＤ）を与えるための外導体（ＧＮＤ電極）６を設け、第４の誘電体層（低誘電体層）４の下側にも接地電位（ＧＮＤ）を与えるための外導体（ＧＮＤ電極）７を設ける。

更に、第１～第４の誘電体層に設けたブラインドスルーホール（内部が導体で満たされたスルーホール）８により、外導体６、７間を接続して、該外導体６、７間を同電位（ＧＮＤ電位）となるようにする。

このような構成により、各誘電体層１～４の積層方向に対し、内導体５の両側に高誘電体層を配置し、その両側に低誘電体層を配置し、更にその両側に外導体６、７を配置した高周波伝送路となる。

即ち、内導体５を、高誘電体層で挟み、これを低誘電体層で挟み、更にこれを外導体で挟んだ構造（トリプレート構造）の高周波伝送路となる。

この高周波伝送路を作製するには、例えばセラミッ

ク多層基板の作製方法と同様にして作製する。第２、第３誘電体層２、３としては、比較的誘電率の高いシートを用い、第１、第４の誘電体層としては、比較的誘電率の低いシートを用いて、各誘電体層１～４を積層する。

そして、第３の誘電体層３上に、信号線路としての内導体５を導体ペーストの印刷により形成し、第１、第４の誘電体層１、４の外表面には、外導体（例えばＧＮＤ層として用いる導体）１を、導体ペーストの印刷によりベタ印刷（ほぼ全面に導体を印刷）して形成する。

なお、上記２、３の誘電体層２、３の誘電率ε_1、第１、第４の誘電体層１、４の誘電率ε_2とした時、$\varepsilon_1 > \varepsilon_2$となるように材料の選定を行う。

例えば、高誘電率ε_1としては、通常１０以上の値とし、好ましくは、２０以上、更には、３０以上の値とすることがより好ましい。

他方、低誘電率ε_2としては、通常２０以下の値とし、更には、１０以下の値とすることがより好ましい。

ここで用いられる誘電体材料としては、高誘電率（ε_1）材料としては例えば、ルチル系等のチタン酸系誘電体材料等を用いる事ができ、他方、低誘電率（ε_2）材料としては、例えばAl_2O_3、SiO_2、フォルステライト、コージェライト等の材料を用いる事がで

きる。

これらの材料を用い本発明では$\varepsilon_1 > \varepsilon_2$としえる材料の組合せを選択する。特にその差を大きくする事が好ましい。

上記内導体5は、高周波信号の伝送路となるものであり、第3の誘電体層3の表面ほぼ中央部に、長手方向に形成する。またその幅は、信号伝送路のインピーダンスを考慮した任意の幅でよい。

以上説明したように、本実施例によれば、上記本発明の効果の外に、次のような効果がある。

（1）従来のサスペンデッドマイクロストリップ線路、あるいはインバーテッドマイクロストリップ線路と電気的に等価な低損失の高周波伝送路が得られる。

（2）高周波伝送路を製造する際、従来の多層基板の製造等に用いる積層技術を利用して製造できるので、製造が容易である。

（3）また、内導体と外導体との間隔を設定する際、低誘電体層の厚みの調節で設定できるから、容易に、しかも安定した設定ができる。

（4）内導体を、左右方向から導体で挟んだり、あるいは上下方向（厚み方向）から導体で挟んだり、更に左右方向と上下方向から導体で挟んだ構造とすれば、より一層放射損失を低下させることができる。従って、低損失で高効率の高周波信号の伝送が可能となる。

（５）特に上記（４）のようにすれば、線路の幅を細くしても、放射損失は低下させることが可能であるから、高周波伝送路を小型化できる。

（６）例えば、本発明の係る高周波伝送路を共振器に使用した場合、小型化してもＱは低下しない。

（第２実施例の説明）

図２は第２実施例の高周波フィルタ（断面図）を示した図である。

図中、図１と同符号は同一のものを示す。

また、９は第１の共振導体、１０は第２の共振導体、１１は導体（ＧＮＤ電極）、６Ａ，７ＡはＧＮＤ電極を示す。

第２実施例は、上記の内導体５を、共振導体（ストリップライン共振器の共振導体）として、これを同一誘電体層上に２つ設けると共に、外導体６Ａ，７Ａを、ＧＮＤ電極として用い、更にコンデンサと接続して、高周波フィルタ（バンドパスフィルタ）を構成した例である。

第２実施例の高周波フィルタを構成する多層基板は、図１に示した第１実施例の多層基板と同じ誘電体層を用いて構成する。

即ち、第１、第４の誘電体層１，４は低誘電体層（誘電率ε_2）で構成し、第２、第３の誘電体層２，３は高誘電体層（誘電率ε_1：$\varepsilon_1 > \varepsilon_2$）で構成する。

そして、第３の誘電体層３上には、第１、第２の共振導体９，１０を設けると共に、第１、第２の共振導体９，１０の周囲には、該共振導体９，１０と所定の間隔をあけてＧＮＤ電極として用いる導体１１を設ける。

この場合、第１、第２の共振導体９，１０は、λ／４型ストリップ共振器（λ：高周波信号の波長）を構成しており、その一端は、前記導体１１に接続してある。

また、第１の誘電体層１上（外側表面）と、第４の誘電体層４の下側（外側表面）には、それぞれＧＮＤ電極６Ａ，７Ａを設けてある。これらのＧＮＤ電極６Ａ，７Ａは、ブラインドスルーホール（内部が導体で満たされたスルーホール）８によって、導体１１と接続され、同電位にして使用される。

更に、第１、第２の共振導体９，１０は、互に多層基板に内蔵したコンデンサ（図示省略）に接続されており、該コンデンサと共振導体とでストリップラインフィルタを構成している。

（第３実施例の説明）

図３は、第３実施例の高周波フィルタ（断面図）を示した図である。

図中、図１～図２と同符号は同一のものを示す。また、７Ｃ，１１Ａ，１１ＢはＧＮＤ電極１Ａ，２Ａ，３Ａ，４Ａ，１Ｂ，２Ｂ，３Ｂ，４Ｂは第１～第８の

誘電体層を示す。

第３実施例は、第２実施例を変形した例であり、第１、第２の共振導体９、１０を、積層方向に配列した例である。

即ち、第２、第３、第６、第７の誘電体層２Ａ，３Ａ，２Ｂ，３Ｂを全て高誘電率材料（誘電率ε_1）で構成すると共に、これらの高誘電率材料から成る各誘電体層と、ＧＮＤ電極６Ａ，７Ｃ，７Ａとの間に、低誘電率材料（誘電率ε_2）から成る第１、第４、第５、第８の１Ａ，４Ａ，１Ｂ，４Ｂを設けたものである。

この場合、$\varepsilon_1 > \varepsilon_2$の関係となるように各層の材料を選定する。このようにすれば、第１、第２の共振導体９，１０は、それぞれ高誘電率材料の誘電体層２Ａ，３Ａ，２Ｂ，３Ｂで挟んだ構造となり、更にその外側には低誘電材料の誘電体層が存在する構造となる。

以上説明したように、本第２、第３実施例によれば、次のような効果がある。

（１）高周波フィルタを小体積化、小型化した場合でも、放射損失を少なくできる。従って、高周波フィルタを使用した機器の小型化、軽量化が達成できる。

（２）高周波フィルタを多層構造としたので、他の素子、例えばコンデンサ等を付加する場合でも、同時に厚膜印刷で構成し、内蔵することが可能である。従っ

て、製造も容易で、かつ高周波フィルタが小型化できる。

（第４実施例の説明）

図４は第４実施例の誘電体共振器を示した図であり、図４のＡは誘電体共振器の斜視図、図４のＢはＡのＸ－Ｙ線方向断面図である。

図中、３１は誘電体共振器、３４は共振導体、３５はＧＮＤ電極、３６－１，３６－２は低誘電体層、３７－１，３７－２は高誘電体層を示す。

第４実施例は、上記の内導体５を１つの共振導体とし、外導体を外周のＧＮＤ電極として、誘電体共振器を構成した例である。

図示のように、この誘電体共振器３１は、外観が角柱状となっており、長手方向の中央には共振導体３４が設けてある。そして、共振導体３４の周辺にのみ高誘電体層３７－１，３７－２が設けてあり、高誘電体層３７－１，３７－２と、外側のＧＮＤ電極３５との間には低誘電体層３６－１，３６－２が設けてある。なお、高誘電体層３７－１，３７－２は低誘電体層３６－１，３６－２よりも薄くすることが好ましい。

この誘電体共振器３１は、従来例とは異なり、多層基板と同様な積層技術を用いて作製するものである。従って、従来例のような貫通孔も存在しない。

誘電体共振器３１は、例えば次のようにして作製する。先ず、低誘電体層３６－１を形成し、その上に高

誘電体層３７－１を積層する。そして、高誘電体層３７－１上には、導体を印刷して、共振導体（厚膜パターン）３４を形成する。

次に、その上に高誘電体層３７－２を積層して、共振導体３４の上下、左右方向を高誘電体層３７－１，３７－２で囲むような構造にする。なお、この場合、共振導体３４の幅は、高誘電体層３７－１，３７－２の幅よりも狭くしておく。

その後、前記高誘電体層３７－２上に、低誘電体層３６－２を積層して、全体を角柱状にする。最後に、共振導体３４の出ている一面を除き、外側の全ての面にＧＮＤ電極３５を形成する。このＧＮＤ電極３５は、例えば導体のペースト印刷により形成する。この時、共振導体３４の一方の端部がＧＮＤ電極３５と接続するように構成する。

なお、前記の低誘電体層３６－１，３６－２は一層とは限らず、任意の層数（複数層）で構成する。また、高誘電体層３７－１，３７－２も、複数層で構成してもよい。

但し層厚の関係は低誘電体層が高誘電体層より厚くした方が好ましい。

（第５実施例の説明）

図５は第５実施例の誘電体共振器を示した図であり、図５Ａは誘電体共振器の斜視図、図５Ｂは図５ＡのＸ－Ｙ線方向断面図である。

図中、図４と同符号は同一のものを示す。また、３４－１，３４－２は共振導体、３７－１～３７－３は高誘電体層を示す。

第５実施例は、２つの共振導体を用い、共振導体の損失を低下させた例であり、その構造を図５に示す。この第５実施例の誘電体共振器３１においても、共振導体の周辺にのみ高誘電体層を配置している。

誘電体共振器３１は、例えば次のようにして作製する。先ず、低誘電体層３６－１を形成し、その上に高誘電体層３７－１を積層する。そして、高誘電体層３７－１上に、共振導体３４－１を形成（厚膜パターン）し、その上に高誘電体層３７－２を積層する。

次に、高誘電体層３７－２上に、共振導体３４－２を形成（厚膜パターン）し、その上に高誘電体層３７－３を積層する。続いてその上に、低誘電体層３６－２を積層して、全体を角柱状に構成する。

最後に、共振導体３４－１，３４－２のある一面を除く、外側の全ての面にＧＮＤ電極３５を形成し、このＧＮＤ電極３５と共振導体３４－１，３４－２の一方の端部とを接続する。

なお、ＧＮＤ電極３５に接続してない共振導体の端部には、外部の回路と接続するための端子（電極）を接続する。

（共振導体の構成例の説明）

図６、図７は、前記第４、第５実施例における共振

導体の構成例であり、図中、図４、図５と同符号は同一のものを示す。また、３４ＧはＧＮＤ側端部、３８，３８－１，３８－２は幅の変化点を示す。

前記のように、共振導体３４は、高誘電体層３７－１上に厚膜パターンとして形成するが、その際、厚膜パターンの形状を、例１～例６のように変形することも可能である。なお、図では共振導体を符号３４で、高誘電体層を符号３７－１で示してあるが、第５実施例における共振導体３４－１，３４－２、高誘電体層３７－２についても同様に適用可能である。

図６Ａに示した例１は、共振導体３４の厚膜パターンを、一定幅の帯状のパターンとした例である。

図６Ｂの例２は、共振導体３４の長手方向のほぼ中央部に軸の変化点３８を設け、この幅の変化点３８からＧＮＤ側端部３４Ｇまでの間は、厚膜パターンの幅を狭くし、その他の部分の厚膜パターンの幅を広くした例である（幅を２段階に変化させた例）。

図６Ｃに示した例３は、共振導体３４の長手方向にほぼ３分割し、２箇所に幅の変化点３８－１，３８－２を設けた例である。図示のように、ＧＮＤ側でない共振導体３４の端部から幅の変化点３８－１までの間は、最も幅の広いパターンとし、幅の変化点３８－１、３８－２間は、中間の幅のパターンとし、幅の変化点３８－２からＧＮＤ側端部３４Ｇまでの間は最も幅の狭いパターンとしたものである。

このようにして、共振導体３４を構成する厚膜パターンの幅を３段階に変化させる。

図７Ｄに示した例４は、ＧＮＤ側でない共振導体の端部付近に幅の変化点３８を設けて、前記端部付近の幅を広くし、幅の変化点３８からＧＮＤ側端部３４Ｇまでの間の幅を狭くした例である。

例２～例４に示したような幅の変化点（共振導体の幅がステップ状に変化する点）を設けたのは、例えば高次モードでの有害な共振を防止するため（高調波対策）である。

図７Ｅに示した例５は、共振導体３４を一定幅の厚膜パターンで構成するが、この厚膜パターンを蛇行したパターンとした例である。このようにすると、共振導体長が実質的に長くなるため、誘電体共振器の長手方向を短くでき、小型化が可能となる。

図７Ｆに示した例６は、共振導体３４をテーパー状の厚膜パターンとした例である。

図示のように、ＧＮＤ側端部３４Ｇで最も幅が狭く、その反対側の端部で最も幅が広くなるように、テーパー状に厚膜パターンを形成した例である。

（電極の構成例の説明）

図８～図１０は、前記第４、第５の実施例における電極（外部端子用）の構成例であり、図中、図４～図７と同符号は同一のものを示す。

また、４０～４３は電極、４４は余白を示す。

前記第４、第５実施例に示した誘電体共振器３１には、外部端子用の電極を付ける必要がある。この場合、例えば図８～図１０に示したように電極を設ける。

以下、図８～図１０に基づいて各例を説明する。なお、各図の例は、第４実施例の誘電体共振器に適用した例について示してあるが、第５実施例の誘電体共振器にも同様に適用できる。また各図において、Ａ図は誘電体共振器の斜視図、Ｂ図はＡ図のＸ－Ｙ線方向の断面図である。

図８に示した例１は、ＧＮＤ電極３５を設けてない面のほぼ中央部に、チップ状の電極４０を設け、共振導体３４と接続したものである。この電極４０は、外部の回路と接続するための端子として使用される。

図９に示した例２は、誘電体共振器３１のＧＮＤ電極３５を設けない面のほぼ中央部に、浅いピット（穴）４１を設け、このピット４１の内周に電極４２を形成して、共振導体３４と接続したものである。

この場合、例えば、各誘電体層を積層した後にピット４１を形成し、その後、電極４２の導体を付着する。このピット４１に形成された電極４２には、外部から、凸状で、かつピット４１内に挿入可能な電極を導入して外部回路との接続を行う。

なお、この場合、電極４２は雌型のコネクタとして機能するものであり、例えば外部の電極（この場合は

雄型のコネクタ）と着脱自在に接続する。

図１０に示した例３は、ＳＭＤ（表面実装部品）化した例である。図示のように、ＧＮＤ電極３５を設けてない面には、矩形状（縦長）の電極４３を設けて、内部の共振導体３４と接続する。

この場合、電極４３は、ＳＭＤの側面電極となるものであるから、低誘電体層３６－１の下側から、低誘電体層３６－２の上側に達する長さの電極幅とする。そして、この電極１３が、外周のＧＮＤ電極３５と接触しないように、電極１３の周辺には、余白（導体の設けてない部分）４４を設ける（上側と下側に設ける）。

以上説明したように、本上記第４、第５実施例によれば、上記発明の効果の外に、次のような効果がある。

（１）λ／４型共振器として共振導体が完全に高誘電体層内に入るため、$\lambda/4\sqrt{\varepsilon_r}$ による波長短縮が可能となる。従って、その分誘電体共振器の小型化ができる。

（２）低誘電体層をＧＮＤ電極との間に介在させているため、積層方向の厚さを薄くしても、Ｃ成分（容量成分）が大きくならないため、Ｑの低下を抑えることができる。

（第６実施例の説明）

図１１～図１２は、本発明の第６実施例を示した図

であり、図１１は誘電体フィルタの分解斜視図、図１２は誘電体フィルタの斜視図（Ａは表側から見た図、Ｂは裏側から見た図）である。図中、５４－１～５４－４は１／４λ型共振導体、５５はＧＮＤ電極、５６－１，５６－２は低誘電体層、５７－１，５７－２は高誘電体層、５８は入力端子、５９は出力端子、６０は余白を示す。

図中、第６実施例の誘電体フィルタ（バンドパスフィルタ）は、４個の共振導体を用いた例である。

図示のように、低誘電体層（誘電率ε_2）５６－１上に、高誘電体層（誘電率ε_1）５７－１が積層されている。この場合$\varepsilon_2 < \varepsilon_1$の関係がある。

そして、前記高誘電体層５７－１上には、４個の共振導体５４－１，５４－２，５４－３，５４－４が所定の間隔で配置されている。これらの共振導体５４－１～５４－４は長さが異なっていて、共振周波数も異なっている。

また、前記共振導体５４－１～５４－４の一方の端部（図の幅広の部分がある方の端部）はＧＮＤ側となり、他方の端部が信号入力側となる。

このような共振導体５４－１～５４－４を設けた高誘電体層５７－１上には、高誘電体層（誘電体ε_1）５７－２が積層し、前記共振導体５４－１～５４－４の両側を高誘電体層で挟み込むようにする。

更に、前記高誘電体層５７－２上には、低誘電体層

（誘電率ε_2）５６－２を積層する。そして、低誘電体層５６－２上と、低誘電体層５６－１の下側にはＧＮＤ電極５５を設ける。

このようにすると、共振導体５４－１～５４－４の周辺（積層方向の両側）を高誘電体層５７－１，５７－２で挟み、その外側を低誘電体層５６－１，５６－２で挟み、更にその外側にＧＮＤ電極５５を設定した構造となる。

前記の積層体における信号入力側の一面を除き、残りの側面にＧＮＤ電極５５を設けると共に、信号入力側の面には、入力端子（ＩＮ）５８、出力端子（ＯＵＴ）５９等を設ける。

この例では、図１２に示したように、入力端子５８、出力端子５９は、積層体の厚みとほぼ同じ長さの導体で形成しているため、その周辺のＧＮＤ電極５５の一部を切除して、余白（導体の無い部分）６０を形成しておく。

このようにすると、入力端子５８や出力端子５９がＧＮＤ電極５５と接触するのを防止できる。また、このような端子を設けることにより、ＳＭＤ（表面実装部品）化できる。

（第７実施例の説明）

図１３、図１４は第７実施例を示した図であり、図１３は誘電体フィルタの分解斜視図、図１４は誘電体フィルタの構成図（Ａは一部拡大図、Ｂは図１３のＸ

－Ｙ線断面図）である。

図中、図１１～図１２と同符号は同一のものを示す。また、６１は低誘電体を示す。

第７実施例は、複数の共振導体の間に、低誘電体を介在させて、共振器間の結合度を調整した例である。

図示のように、低誘電体層（誘電率ε_2）５６－１上に、高誘電体層（誘電率ε_1）５７－１を積層し、この高誘電体層５７－１上に、４個の共振導体５４－１，５４－２，５４－３，５４－４を設ける。

また、前記共振導体５４－１～５４－４の間には、それぞれ低誘電体（誘電率ε_2）６１を設ける。この低誘電体６１は、印刷によって形成したり、あるいは、シートを貼り付ける方法等で形成する。

そして、前記高誘電体層５７－１上には、高誘電体層（誘電率ε_1）５７－２を積層し、更にその上に低誘電体層５６－２（誘電率ε_2）を設ける。

また、低誘電体層５６－１の下側と、低誘電体層５６－２の上側には、ＧＮＤ電極５５を設ける。このように構成した積層体の一面（共振導体の入力側の面）を除き、他の全ての外周面にＧＮＤ電極５５を設けて誘電体フィルタとする。

前記の共振導体間に設けた低誘電体６１の形状等を変えることにより、各共振器間の結合度の調整を行う。

前記誘電体フィルタの製造工程は、次のとおりであ

る。以下、製造工程の概要を説明する。

工程①：図１３に示した低誘電体層５６－１，５６－２と、高誘電体層５７－１，５７－２を構成する各誘電体を用意する。

工程②：各誘電体層上に、共振導体５４－１～５４－４、及びＧＮＤ電極５５を印刷法等で形成する。

工程③：共振導体５４－１～５４－４を形成した高誘電体層５７－１上に、印刷法等を用いて低誘電体６１を形成する。この場合、低誘電体６１は、各共振導体と、一定の間隔をあけて形成する。

工程④：①～③で処理された各層を積層した後、熱プレス処理を行う。

工程⑤：脱バインダー処理し、焼成する。

工程⑥：積層体の側面に電極を形成。

工程⑦：電極の焼き付けを行う。

以上①～⑦の工程により、誘電体フィルタが完成する。なお、最外層のＧＮＤ電極の形成は、工程⑥で行ってもよい。

（第８実施例の説明）

図１５は第８実施例における誘電体フィルタの分解斜視図、図１６は第８実施例における誘電体フィルタの構成図であり、図１６のＡは高誘電体層の斜視図、図１６のＢは図１５のＳ－Ｔ線方向の断面図である。

図中、図１１～図１４と同符号は同一のものを示す。また、６２は孔（貫通孔）を示す。

第８実施例は、高誘電体層に複数の孔をあけて、その中に低誘電体を充填することにより、各共振導体間に低誘電体を介在させ、共振器間の結合度を調整した例である。

この例では、低誘電体層５６－１、高誘電体層５７－１、５７－２、低誘電体層５６－２を図示の通り積層するが、この場合、各誘電体層の配置や共振導体５４－１～５４－４、ＧＮＤ電極５５の構成は、第６実施例と同じである。

第８実施例では、高誘電体層５７－１，５７－２に、パンチングを行って孔（貫通孔）６２をあけ、この孔６２内に低誘電体を充填したものである。そして、高誘電体層５７－１，５７－２に設けた孔６２は、図のように積層した場合、各共振導体５４－１～５４－４の間に配置されるように位置決めする。

この場合、孔６２に充填する低誘電体の誘電率は、例えば低誘電体層５６－１，５６－２と同じε_2（$\varepsilon_2 < \varepsilon_1$）とする。

前記誘電体フィルタの製造工程は、次のとおりである。以下、製造工程の概要を説明する。

工程①：低誘電体層５６－１，５６－２、高誘電体層５７－１，５７－２となる各誘電体を用意する。そして、高誘電体層５７－１，５７－２にはパンチングにより孔（貫通孔）６２を形成する。

工程②：各誘電体層上に、共振導体５４－１～５４

－４、及びＧＮＤ電極５５を印刷法等で形成する。

工程③：高誘電体層５７－１，５７－２に設けた孔６２に、印刷法等によって低誘電体を充填する。

工程④：①～③で処理された各層を積層した後、熱プレス処理を行う。

工程⑤：脱バインダー、焼成処理

工程⑥：側面電極の形成処理

なお、５６－１，５６－２のＧＮＤの形成は⑥で行ってもよい。

工程⑦：電極の焼き付け処理

以上①～⑦の工程により誘電体フィルタが完成する。この例では、孔６２の大きさや、個数等により、各共振間の結合度を調整する。

更に、図１５の５７－１上に孔６２を充填するように形成される低誘電体は、図１４Ａに示されるように共振電極間に形成されるようにして、その形成（印刷法等で）時に孔６２を同時に充填されるようにしてもよい。

なお、上記の第６～第８実施例は、次のようにしても実施可能である。

（１）共振導体は、上記実施例のように、４個に限らず、任意の個数（複数）でよい。

（２）共振導体は、高誘電体層を介して多層化することも可能である。例えば、上記実施例において、共振導体５４－１～５４－４を形成した高誘電体層５７－

１と同じ構成の高誘電体層を、前記高誘電体層５７－１の下側に積層してもよい。

このようにすれば、共振導体の損失を低下させることが可能となる。

（３）共振導体は、図６、図７に示した形状にしてもよい。

（４）前記実施例における各共振導体の一方の端部は、積層体の側面に形成したＧＮＤ電極と接続されるが、更に、ＧＮＤ電極との接続を強固にするため、誘電体層にブラインドスルーホール（内部が導体で満たされたスルーホール）を形成して、各共振導体のＧＮＤ側の端部付近と、積層体の下側、あるいは上側のＧＮＤ電極と接続してもよい。

（５）前記実施例における低誘電体層５６－１，５６－２は、それぞれ一層に限らず、多層構造としてもよい。また、高誘電体層５７－１，５７－２も、それぞれ一層に限らず、多層構造としてもよい。

（６）誘電体フィルタの外形は、角形に限らず、他の形状にしてもよい。

以上説明したように、第６～第８実施例によれば、上記発明の効果の外に次のような効果がある。

（１）複数の共振導体が完全に誘電体（高誘電体層）内に入るため、$\lambda / 4\sqrt{\varepsilon_1}$ による波長短縮が可能となる。従って、その分、誘電体共振器の小型化ができる。

（２）低誘電体層をＧＮＤ電極との間に介在させているため、積層方向の厚みを薄くしても、Ｃ成分（容量成分）が大きくならないため、Ｑの低下を抑えることができる。

（３）誘電体の積層法によって、誘電体フィルタを構成しているため、共振電極は、印刷法等により、任意の形状のものが容易に形成できる。また、共振導体の設定の自由度が増す。

（４）積層体が薄くできるので、脱バインダーや焼成の時間が短縮できる。

（５）従来のように、貫通孔内のメタライズ工程が不要となり、その分製造工程が簡単となる。

（第９実施例の説明）

図１７は第９実施例における電圧制御発振器（ＶＣＯ）モジュールの断面図である。

図中、７１－１Ｌ～７１－３Ｌ、及び７１－６Ｌ，７１－７Ｌは低誘電体層、７１－４Ｈ，７１－５Ｈは高誘電体層、７３－１Ａ，７３－２はＧＮＤ電極、７２は共振導体（ストリップライン共振器）、７９は余白（導体を設けない部分）、８０は側面電極を示す。

第９実施例は、第１実施例の内導体を共振導体（ストリップライン共振器）とし、他の部品を接続することにより、電圧制御発振器（ＶＣＯ）を構成した例である。尚、ＶＣＯモジュールの場合は特に部品を実装

する基板内に共振器を構成させ、かつ基板自体を薄化するために下記の構造とする。

多層基板としては、第１～第７層の誘電体層７１－１Ｌ，７１－２Ｌ，７１－３Ｌ，７１－４Ｈ，７１－５Ｈ，７１－６Ｌ，７１－７Ｌを用いている。

電圧制御発振器（ＶＣＯ）は発振部とバッファ部とで構成されており、該バッファ部では、ＶＣＯの出力側の電圧変動等が発振部に悪影響を与えないようにしている。このような発振部とバッファ部を実装する際は、両者を分けて配置する。

図に示したように、多層基板の第１の誘電体層（低誘電体層）７１－１Ｌ上には、トランジスタやその他の部品（ディスクリート部品）を実装し、第２の誘電体層（低誘電体層）７１－２Ｌ上にはコイルや配線パターン等を形成する（厚膜印刷）。

第３の誘電体層（低誘電体層）７１－３Ｌ上には、余白（導体を設けない部分）７９を残して、他の部分にＧＮＤパターン７３－１Ａを形成（厚膜印刷）し、第５の誘電体層（高誘電体層）７１－５Ｈ上に共振導体７２を形成（導体ペースを印刷）すると共に、第７の誘電体層７１－７Ｌ上には、ＧＮＤパターン（ベタＧＮＤパターン）７３－２を形成（厚膜印刷）する。

また前記各パターンは、それぞれ誘電体層の端部まで導体パターンで引き出しておき、ＧＮＤ側を側面に形成したＧＮＤ電極８０に接続することにより、

ＳＭＤ（表面実装部品）とする。

ＧＮＤパターン７３－１Ａは　共振導体７２を覆う構造にしてもよいが、７１－３Ｌ及び７１－６Ｌを特に薄く設計する場合は（基板を薄くするために）図１７のように余白部７９を形成する事が好ましい。

前記余白７９は、前記の共振導体７２の形状にほぼ一致する形状（共振導体７２よりも多少大きめ）にすると共に、該共振導体７２の上側に形成する。

即ち、上記各誘電体層を積層した際、共振導体７２の上側（積層方向）にＧＮＤパターン７３－１Ａが存在しないようにする。従って、ＧＮＤパターン７３－１Ａは、前記の余白７９の部分を残し、他の部分にパターニングする。

発振器の場合、共振導体は回路的には単に誘導素子として使用されるため、放射損等は問題とならないため、必ずしもトリプレート構造である必要はない。

なお、共振導体７２の一端（ＧＮＤ側）は第５の誘電体層７１－５Ｈの端部のまで引き出してＧＮＤ電極８０に接続するが、他端は例えば基板の表面に実装したコンデンサ（この例ではディスクリート部品）と接続する。

前記のように、共振導体７２の下側には誘電体層を介してＧＮＤパターン７３－２を設け、共振導体７２の上側にはＧＮＤパターンを設けずに、誘電体層のみを設けてストリップライン共振器を構成する。

そして、前記の共振器は、基板の表面に実装した発振部のトランジスタの周辺部（下側も含めて）に配置する。

このようにすれば、ストリップライン共振器の共振導体７２を、その両側から高誘電体層７１－４Ｈ、７１－５Ｈで挟むことにより、波長短縮を行い、高Ｑの共振器を得ると共に、発振部、特にストリップライン共振器が、バッファ部等からの影響を受けにくくなる。

なお、上記構成のＶＣＯモジュールにおいて、ストリップライン共振器の調整を行うには、トリミング用のＧＮＤパターンを、ストリップライン共振器７２のＧＮＤ電極８０に接続しない側の直上部の低誘電体層７１－１Ｌ上に設けてＧＮＤ電極７３－１Ａと接続しておき、このトリミング用のＧＮＤパターン（図示省略）をトリミングすればよい。この場合、共振導体７２と前記トリミング用のＧＮＤパターンとの間に容量成分を持つので、トリミング用のＧＮＤパターンをトリミングすると、前記の容量成分が変化し、その結果、ストリップライン共振器の共振周波数が調整できる。

上記の第９実施例は次のようにしても実施可能である。

（１）ＶＣＯに限らず、他の発振器にも適用可能である。

（２）発振器を構成する抵抗、コイル、コンダンサ等の内、任意の素子を厚膜パターンで構成することも可能である。

（３）実施例においては、共振導体の上部対向部分にはＧＮＤパターンを全く配置しない構造としたが、パターン設計上、若しくは、製法上のパターン精度ズレから、一部のＧＮＤパターンがわずかに共振導体にかかる様な場合を本発明は除外するものではない。

以上説明したように、第９実施例によれば、上記発明の効果の外に、次のような効果がある。

（１）基板を薄型化するために特にＬ７１－３Ｌ及びＬ７１－６Ｌを薄く設計する場合、共振導体の上側の、ＧＮＤパターンがないため、Ｃ成分を小さくできる。

その結果、ラインインピーダンスを大きくできるので、共振器のＱを高くできる。

（２）共振導体の上下方向（両側）に誘電体層が設けてあるため、$\lambda / \sqrt{\varepsilon_r}$ の波長短縮が期待でき、共振導体の直列抵抗成分（r_s）が小さくできるため共振器のＱを高くできる。従って、小型で高Ｑの発振器モジュールが得られる。

（３）基板の誘電体層を薄くしてもＣ成分を小さく設定できるので伝送路のＱを低下させなくて済む。

（４）基板の薄型化ができるので基板焼成時の脱バインダー等の工程及び焼結工程を短くすることが可能と

なり基板の製造コストを下げることができる。

（５）共振導体を多層基板の内部に設定しても、共振周波数の調整が容易となる。

産業上の利用可能性

本発明の高周波デバイスは、高周波信号線路及びディレーライン等の高周波伝送路、高周波フィルタ、高周波発振器、共振器、など、各種の装置に利用できるものである。

請求の範囲

（１）誘電率の異なる（ε_1，ε_2：$\varepsilon_1 > \varepsilon_2$）複数の誘電体層（１，２，３，４）を積層した多層基板に、

少なくとも、高周波信号を伝播させるための信号伝送路となる内導体（５）と、

接地電位（ＧＮＤ）を与えるための外導体（６，７）とを設定した高周波デバイスであって、

前記誘電体層の積層方向に対して、

前記内導体（５）の両側から、高誘電率（ε_1）材料から成る高誘電体層（２，３）で挟み、

その両側から、低誘電率（ε_2）材料から成る低誘電体層（１，４）で挟み、

更にその両側から、外導体（６，７）で挟んだことを特徴とする高周波デバイス。

（２）少なくとも、第１～第４の誘電体層１～４で積層体を構成し、

その中央部に位置する第２、第３の誘電体層２，３の積層面には、

所定の間隔をおいて第１、第２の共振導体（９，１０）を設けると共に、

前記各共振導体の間に、所定間隔をおいて、ＧＮＤ電極（１１）を設け、

更にその積層方向の両側に設けた第１、第４の誘電体層（１，４）の外側に位置する面には、それぞれ

ＧＮＤ電極（６Ａ，７Ａ）を設けると共に、

上記第２、第３の誘電体層（２，３）を、高誘電率（ε_1）の誘電体層とし、

この第２、第３の誘電体層と、上記外側のＧＮＤ電極（６Ａ，７Ａ）との間に設けた第１、第４の誘電体層（１，４）を、それぞれ、前記第２、第３の誘電体層（２，３）よりも低誘電率（ε_2，$\varepsilon_2 < \varepsilon_1$）の誘電体層で構成したことを特徴とする高周波フィルタ。

（３）少なくとも、第１～第８の誘電体層（１Ａ～４Ｂ）で積層体を構成し、最上層の第１の誘電体層（１Ａ）の外側に位置する面には、ＧＮＤ電極（６Ａ）を設け、

その下側に設けた第２、第３の誘電体層（２Ａ，３Ａ）の積層面には、第１の共振導体（９）を設けると共に、前記共振導体の間に、所定間隔をおいてＧＮＤ電極パターン（１１Ａ）を設け、

前記第３の誘電体層より下側の第４、第５の誘電体層（４Ａ，１Ｂ）の積層面には、ＧＮＤ電極（７Ｃ）を設け、

前記第５の誘電体層より下側の第６、第７の誘電体層（２Ｂ，３Ｂ）の積層面には、第２の共振導体（１０）を設けると共に、前記共振導体の間に、所定間隔をおいて、ＧＮＤ電極（１１Ｂ）を設け、

更にその下の第８の誘電体層（４Ｂ）の外側に位置

する面には、ＧＮＤ電極（７Ａ）を設けると共に、

上記共振導体（９，１０）の両側に設けた第２、第３、第６、第７の誘電体層（２Ａ，３Ａ，２Ｂ，３Ｂ）を、高誘電率（ε_1）の誘電体層とし、

この高誘電体層と、上記外側及び中央部のＧＮＤ電極（６Ａ，７Ａ，７Ｃ）との間の誘電体層（１Ａ，４Ａ，１Ｂ，４Ｂ）を、それぞれ、

前記高誘電体層（２Ａ，３Ａ，２Ｂ，３Ｂ）よりも低誘電率（ε_2，$\varepsilon_2 < \varepsilon_1$）の誘電体層で構成したことを特徴とする高周波フィルタ。

（４）低誘電体層（３６－１，３６－２）及び高誘電体層（３７－１～３７－３）の積層体で構成した誘電体と、

誘電体の内部に設けた共振導体（３４，３４－１，３４－２）と、

誘電体の一面を除く、外周面に設けたＧＮＤ電極（３５）とを具備した共振器であって、

前記共振導体（３４，３４－１，３４－２）の積層方向の両側に、高誘電体層（３７－１～３７－３）を設けると共に、

この高誘電体層とＧＮＤ電極（３５）との間には、

低誘電体層（３６－１，３６－２）を設けたことを特徴とする誘電体共振器。

（５）低誘電体層（５６－１，５６－２）及び、この低誘電体層よりも誘電率の高い高誘電体層（５７－

１，５７－２）を積層した積層体と、

積層体の内部に設定した、共振周波数の異なる複数の共振導体（５４－１～５４－４）と、

積層体の一面を除く、他の全ての外周面に設けたＧＮＤ電極（５５）とを具備した誘電体フィルタであって、

前記共振導体（５４－１～５４－４）の積層方向の両側に、高誘電体層（５７－１，５７－２）を設け、

前記両側の高誘電体層（５７－１，５７－２）と、積層方向の両側に設けたＧＮＤ電極（５５）との間には、低誘電体層（５６－１，５６－２）を設けたことを特徴とする誘電体フィルタ。

（６）前記複数の共振導体（５４－１～５４－４）の各共振導体間に、

該共振導体の両側に設けた高誘電体層（５７－１，５７－２）よりも、誘電率の低い低誘電体（６１）を設定したことを特徴とする請求の範囲（５）に記載の誘電体フィルタ。

（７）前記共振導体の両側に設けた高誘電体層（５７－１，５７－２）の、各共振導体の間に位置する部分に、複数の孔（６２）を設け、

この孔（６２）内に、前記高誘電体層よりも誘電率の低い誘電体を充填したことを特徴とする請求の範囲（５）に記載の誘電体フィルタ。

（８）少なくとも、ストリップライン共振器を構成す

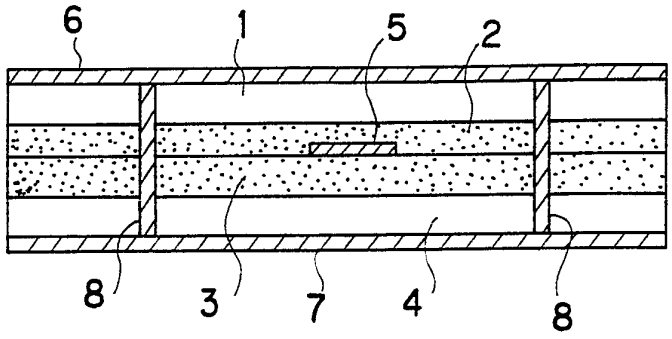
る共振導体（７２）の両側を、高誘電体層（７１－４Ｈ，７１－５Ｈ）で挟み、その両側を低誘電体層（７１－３Ｌ，７１－６Ｌ）で挟み、更にその両側に、一部を除きＧＮＤパターン（７３－１Ａ，７３－２）を設けた発振器モジュールであって、前記誘電体層の積層方向に対し、共振導体（７２）の一方側（下側）には、誘電体層（７１－５Ｈ，７１－６Ｌ）を介して前記ＧＮＤパターン（７３－２）を設定し、

共振導体（７２）の他方側（上側）の共振導体と対向する部分には、ＧＮＤパターンを設定しないで、誘電体層（７１－１Ｌ，７１－２Ｌ）を設けたことを特徴とする発振器モジュール。

図1

第1実施例の高周波伝送路

A:断面図



B:一部の分解斜視図

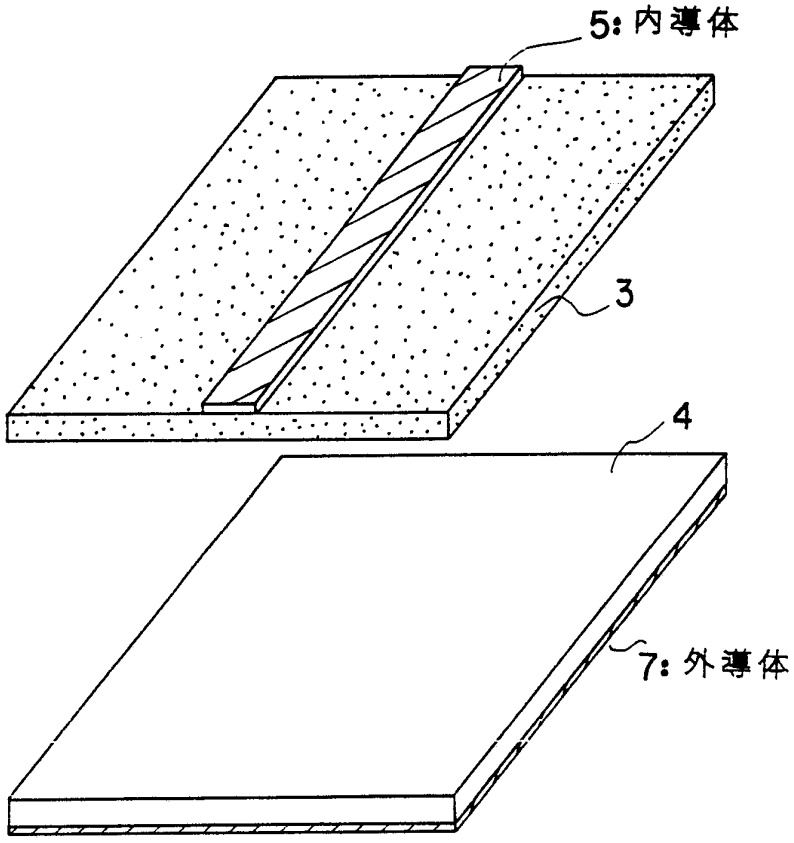


図2

第2実施例の高周波フィルタ(断面図)

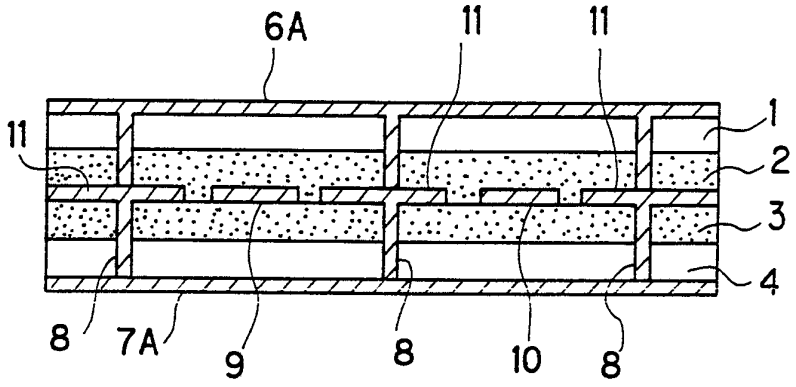


図3

第3実施例の高周波フィルタ(断面図)

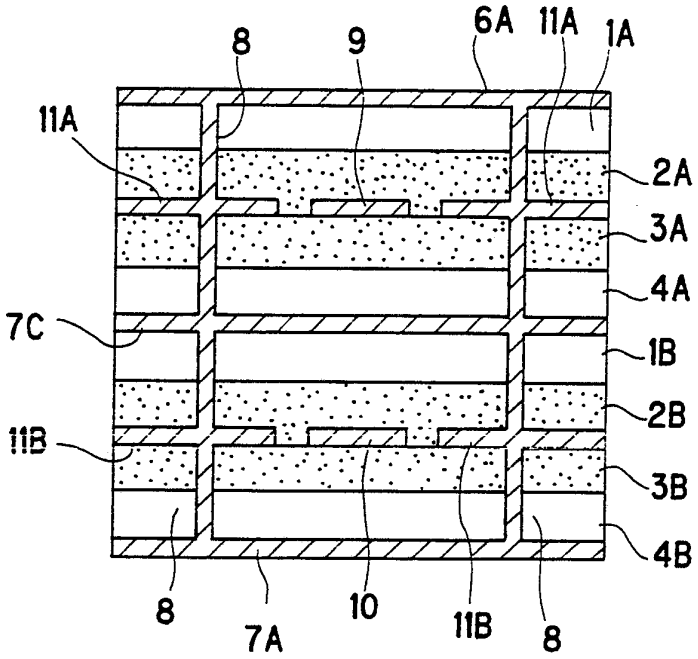
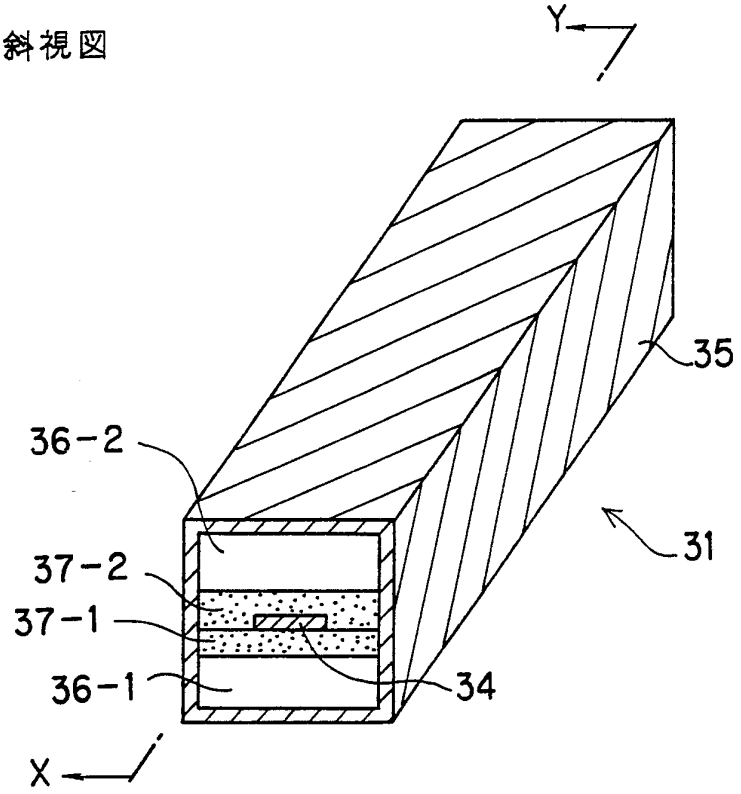


図4

第4実施例の誘電体共振器

A:斜視図



B:X−Y線方向断面図

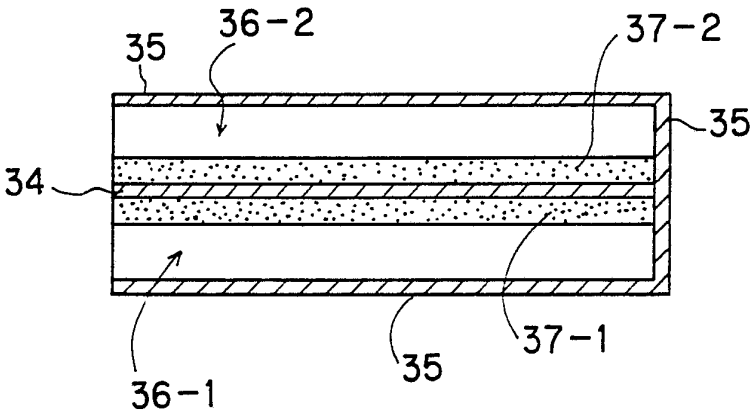
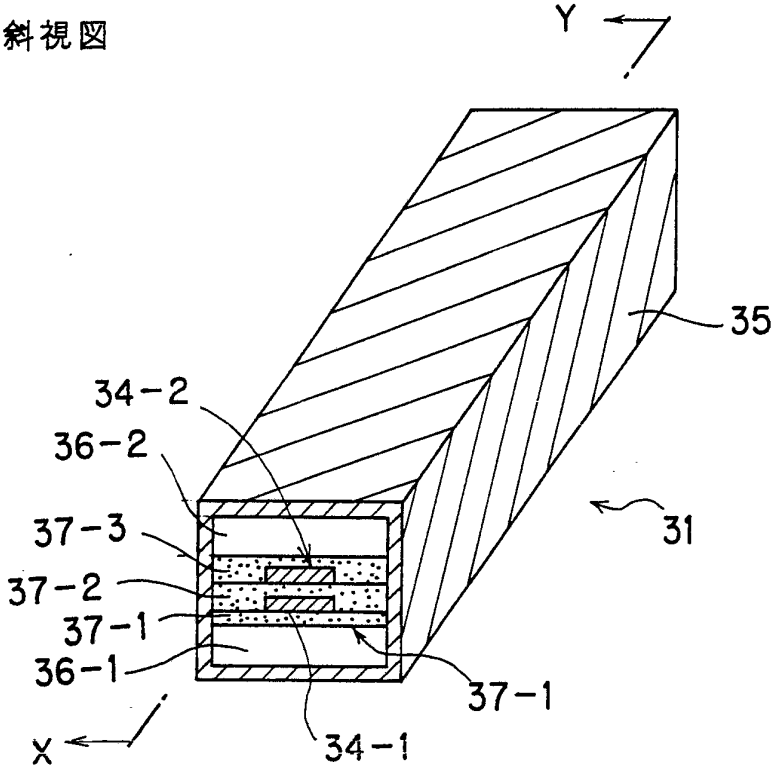


図5

第5実施例の誘電体共振器

A:斜視図



B:X-Y線断面図

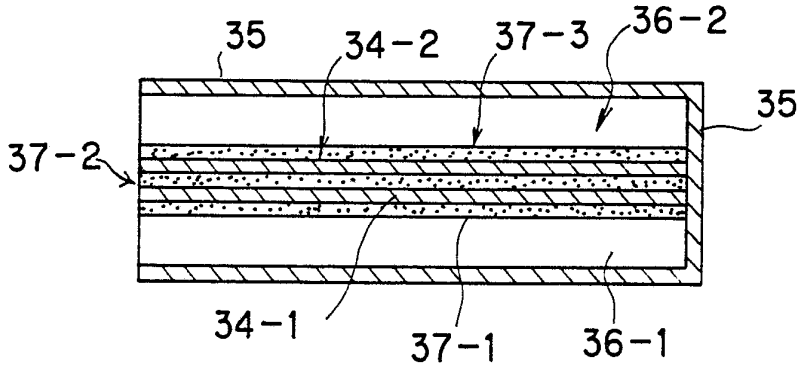
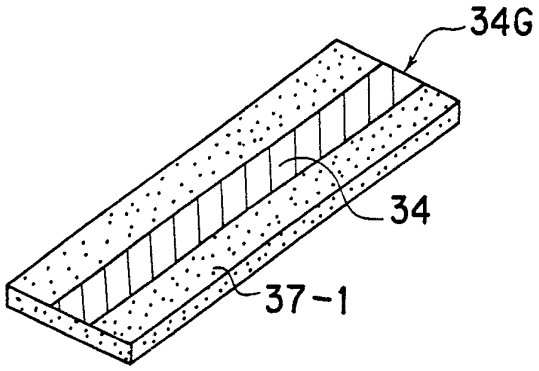


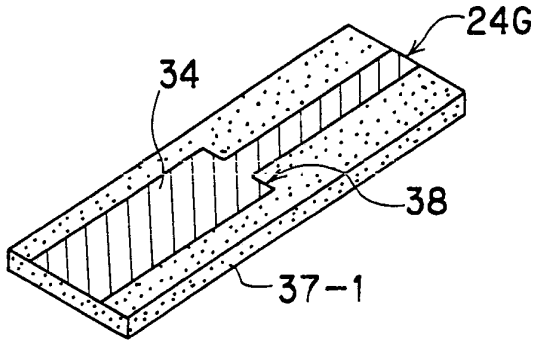
図6

共振導体の構成例(その1)

A:例 1



B:例2



C:例3

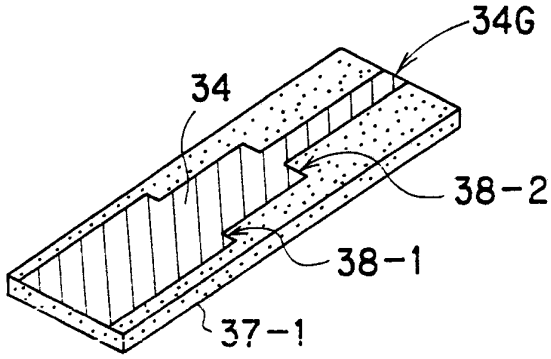
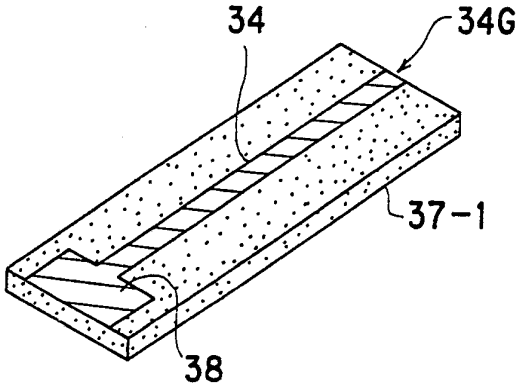


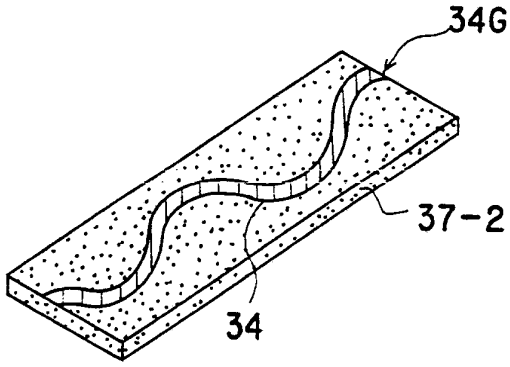
図7

共振導体の構成例(その2)

D:例4



E:例5



F:例6

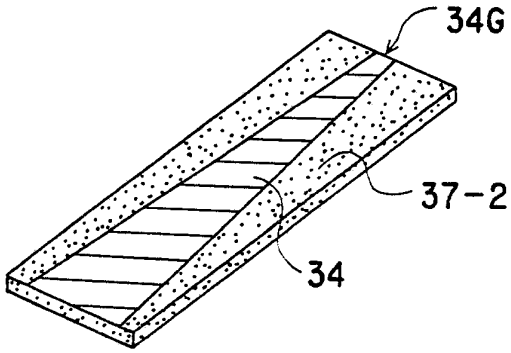
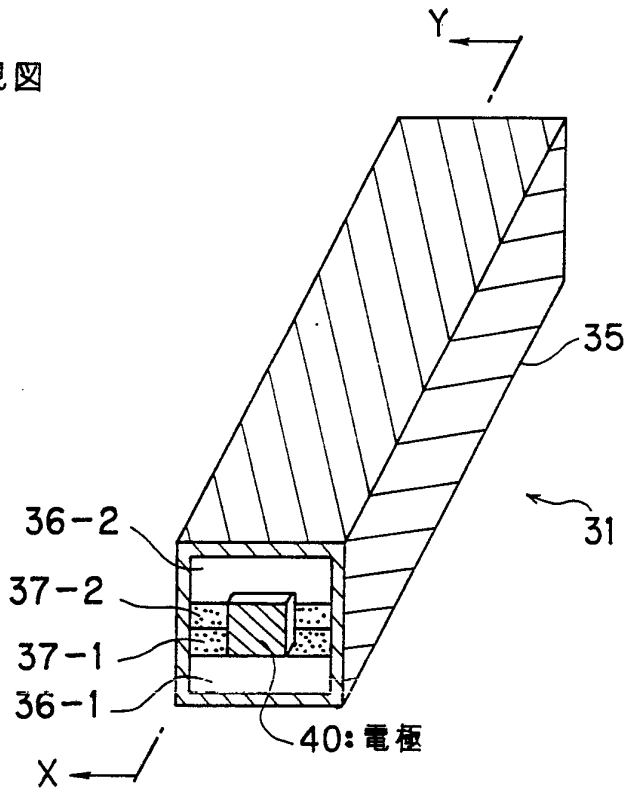


図8

電極の構成例(例1)

A:斜視図



B:X−Y線方向断面図

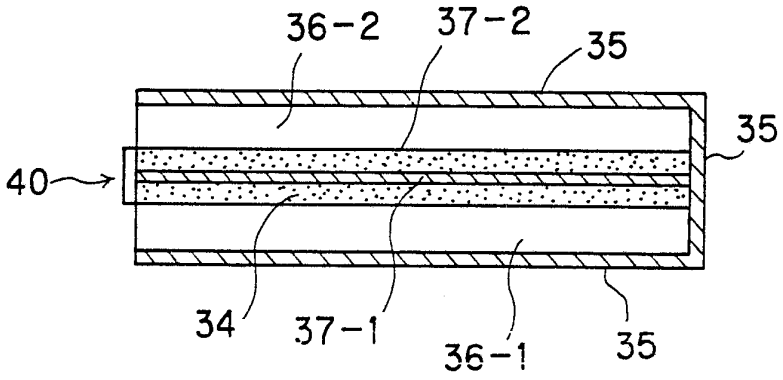
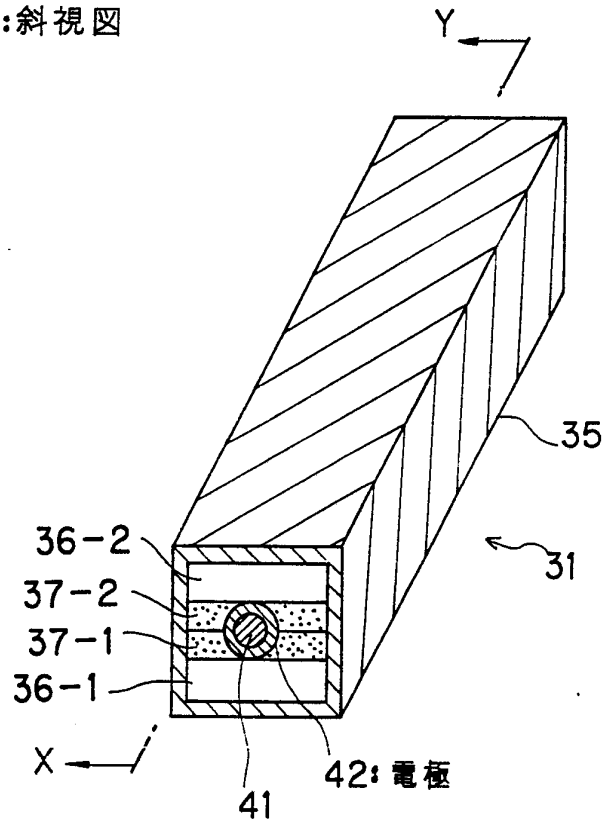


図9

電極の構成例(例2)

A:斜視図



B:X−Y線方向断面図

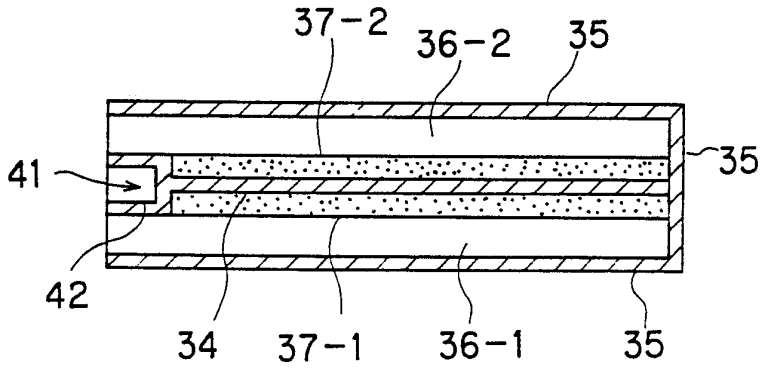
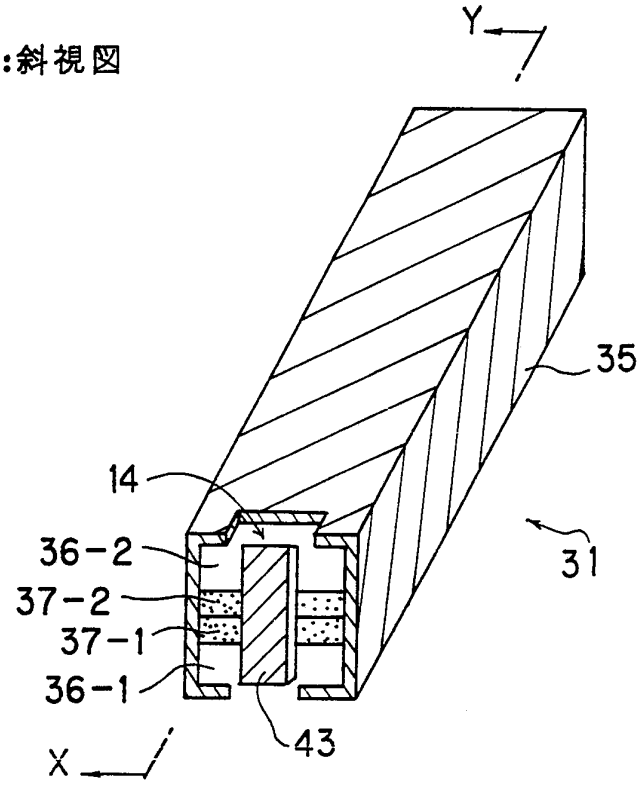


図10

電極の構成例(例3)

A:斜視図



B:X−Y線方向断面図

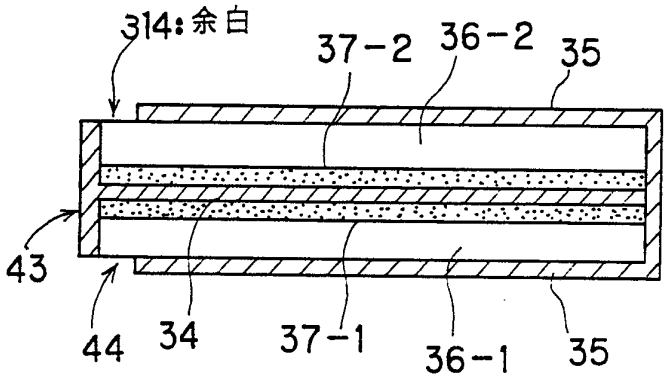


図11

第6実施例における誘電体フィルタの分解斜視図

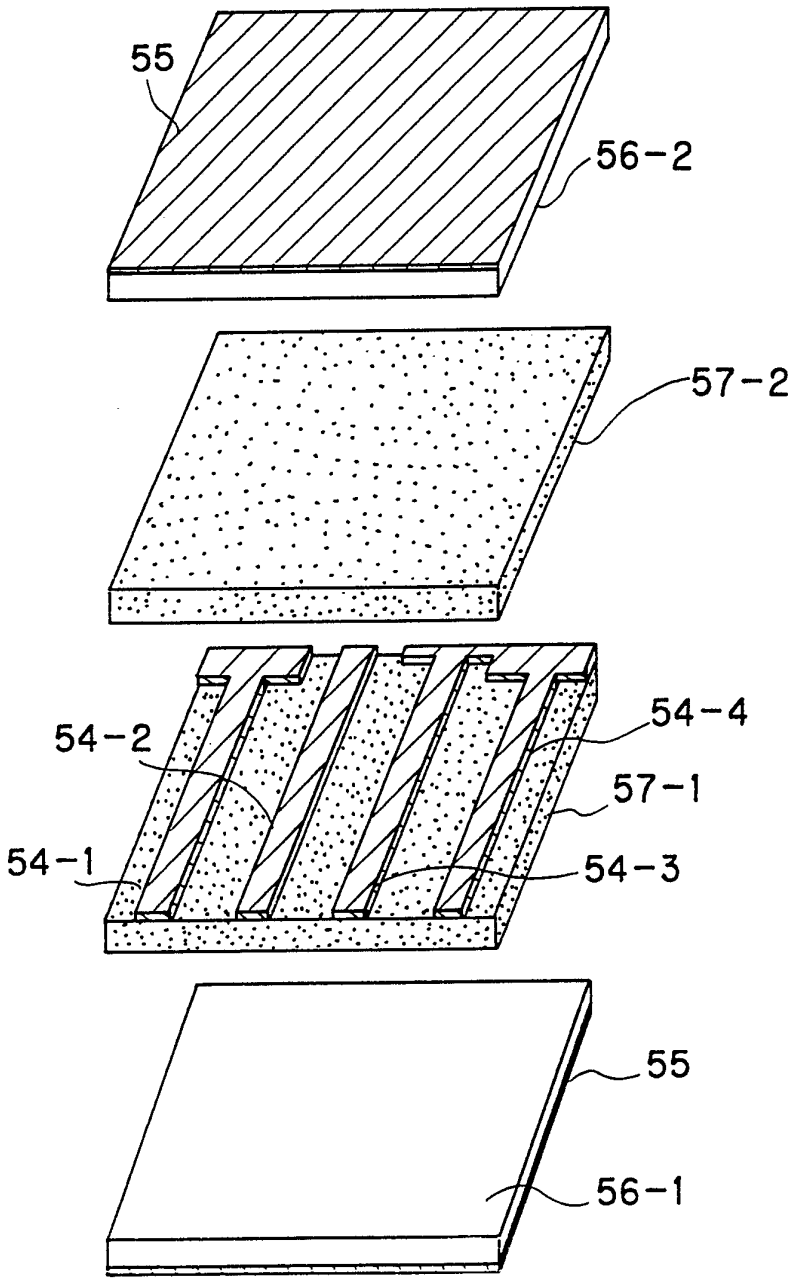
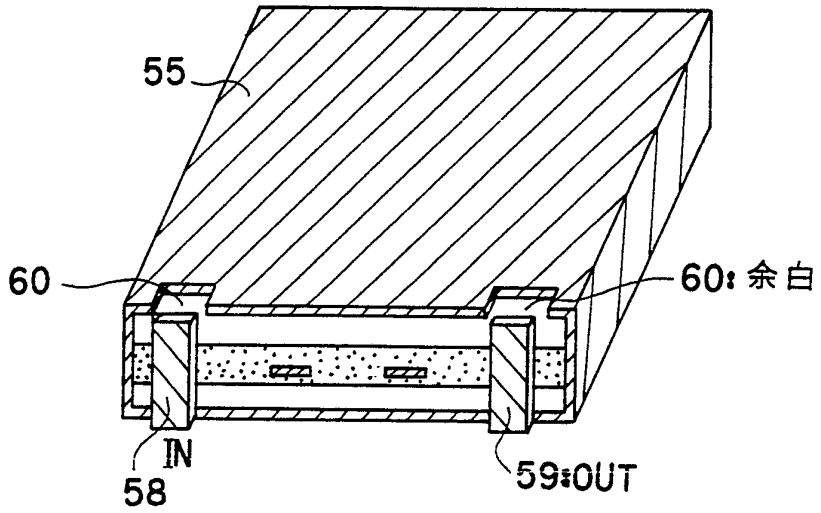


図12

第6実施例における誘電体フィルタ斜視図

A:表側から見た斜視図



B:裏側から見た斜視図

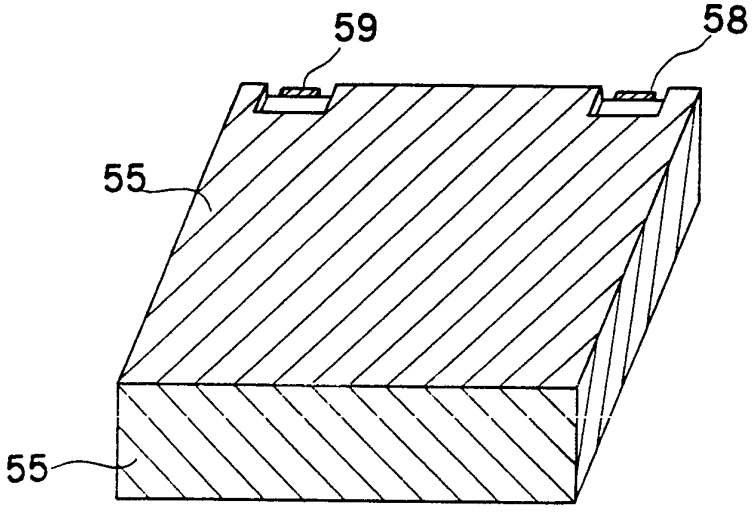


図13

第7実施例における誘電体フィルタの分解斜視図

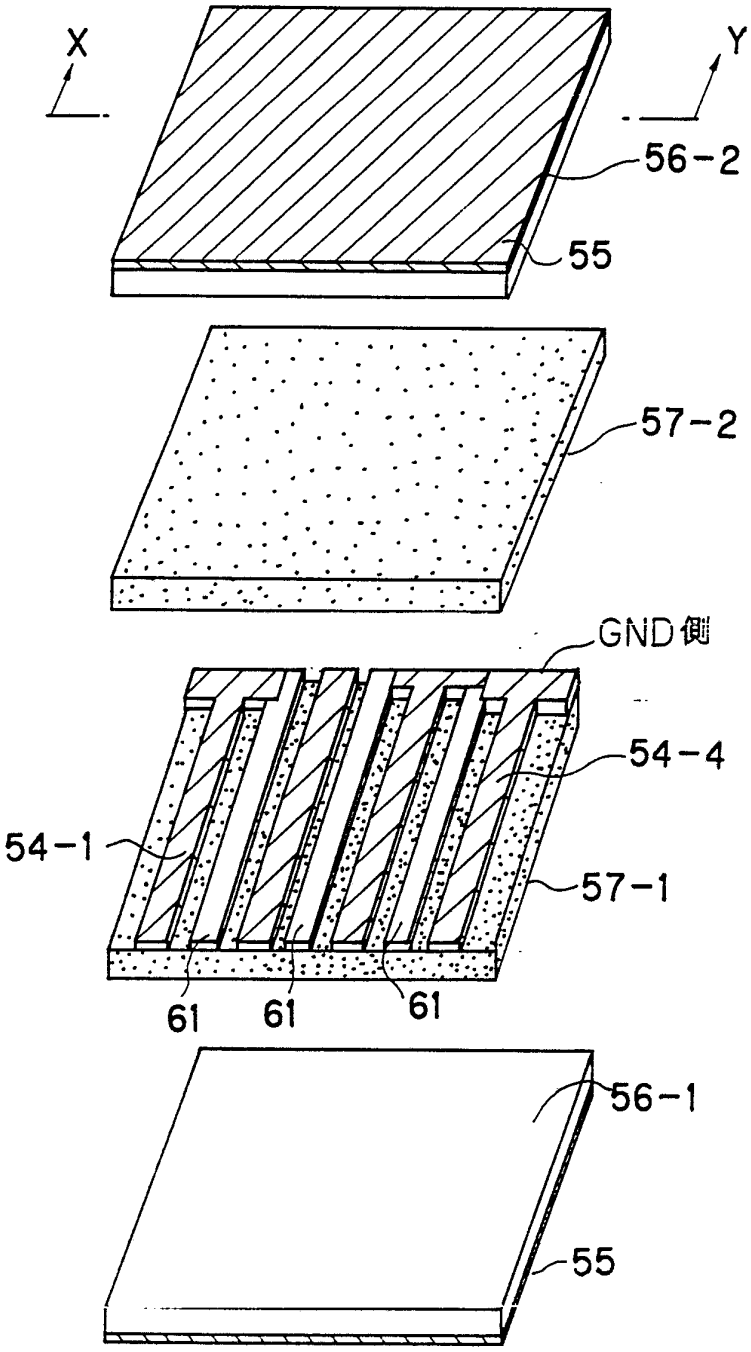
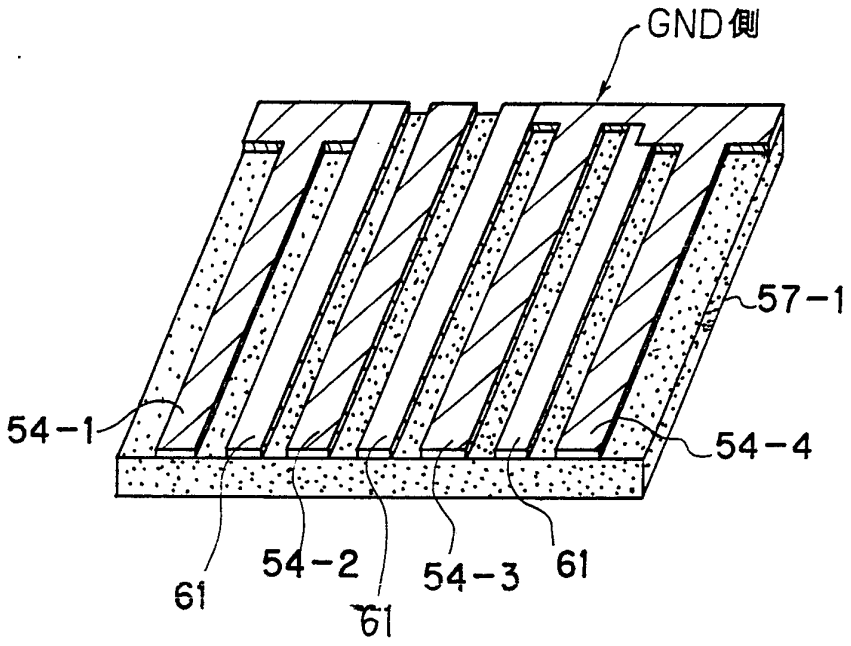


図14

第7実施例における誘電体フィルタ構成図

A:一部拡大図



B:図4のX－Y線方向断面図

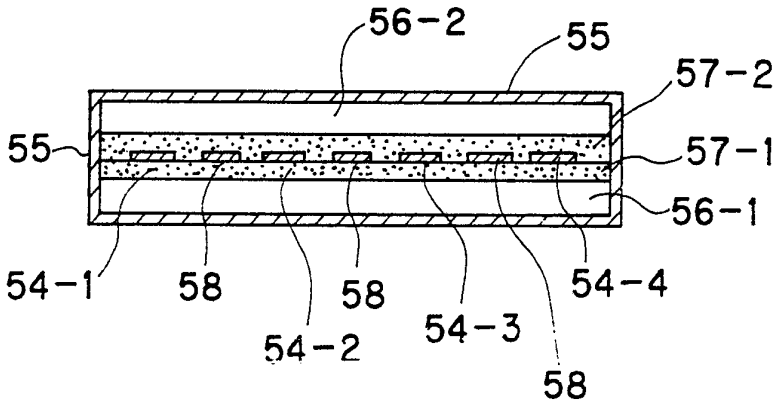


図15

第8実施例における誘電体フィルタの分解斜視図

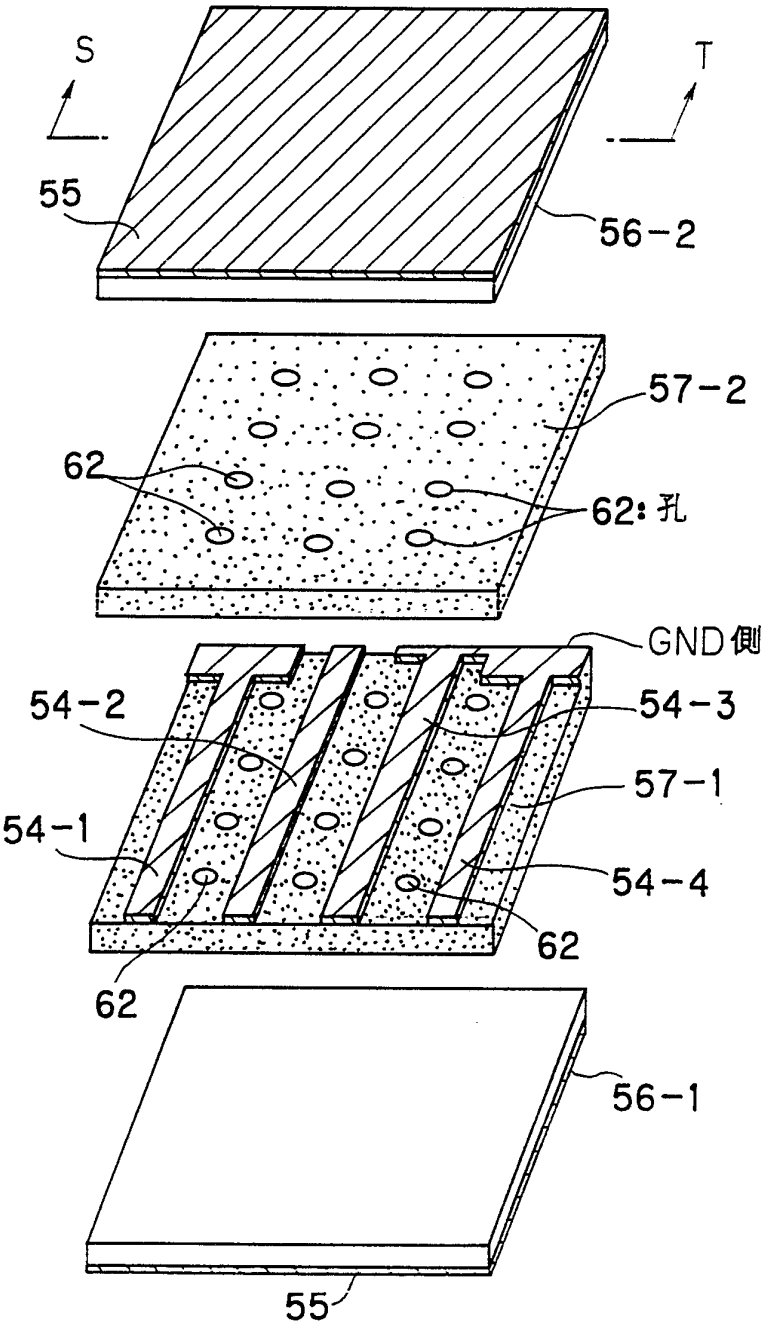
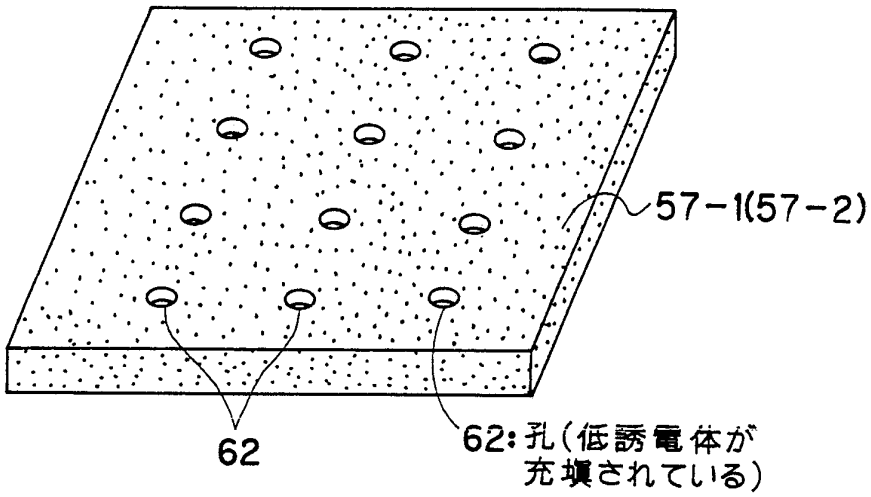


図16

第8実施例における誘電体フィルタの構成図

A:高誘電体層の斜視図



B:図6のS-T線方向断面図

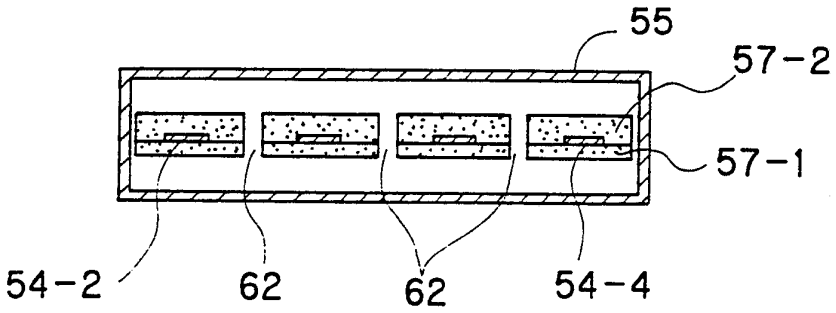


図17

第9実施例におけるVCOモジュールの断面図

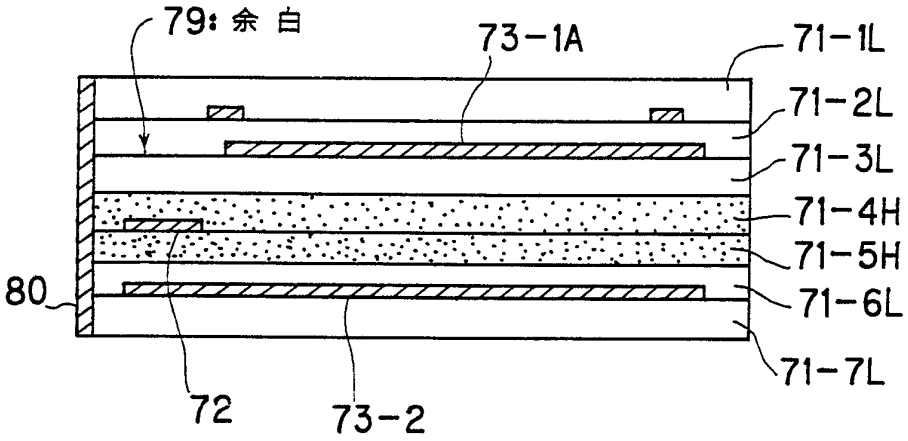


図18

(例 1) 従来の高周波伝送路

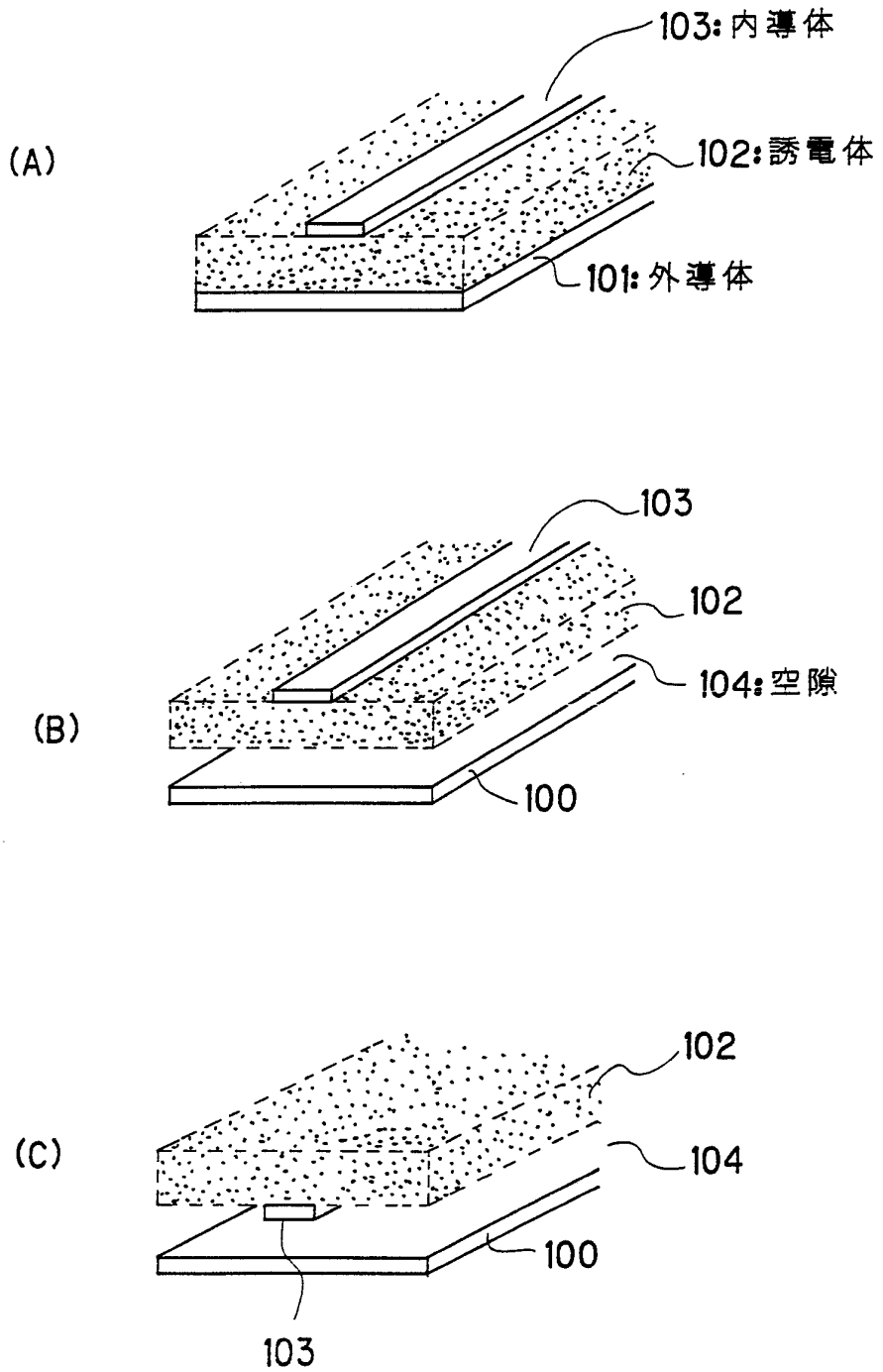
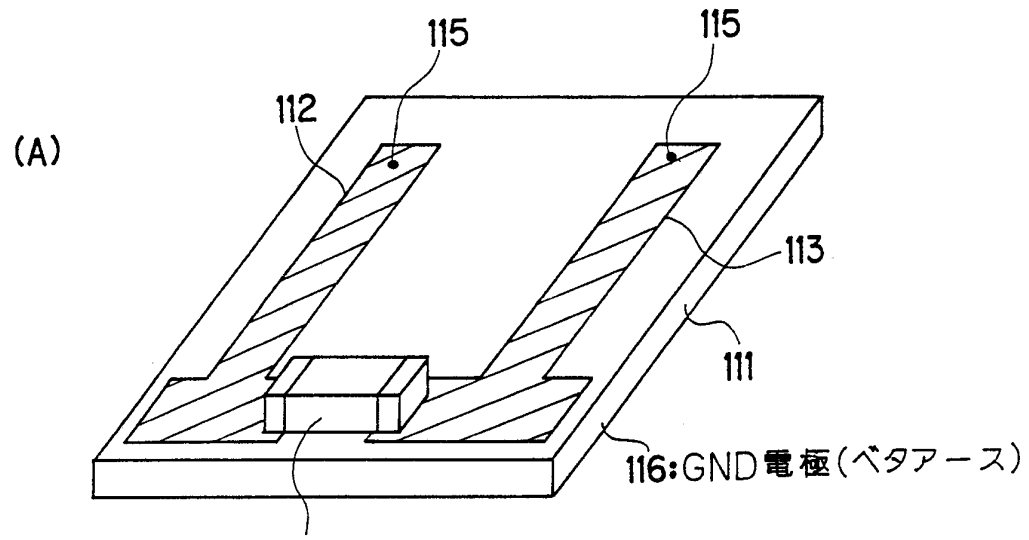


図19

(例2) 高周波フィルタ



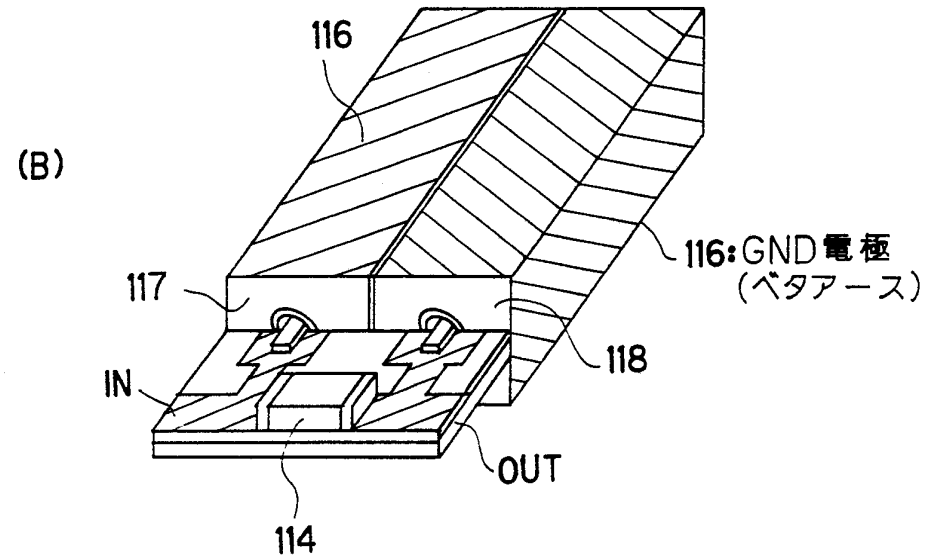


図20

(例2) 高周波フィルタの等価回路

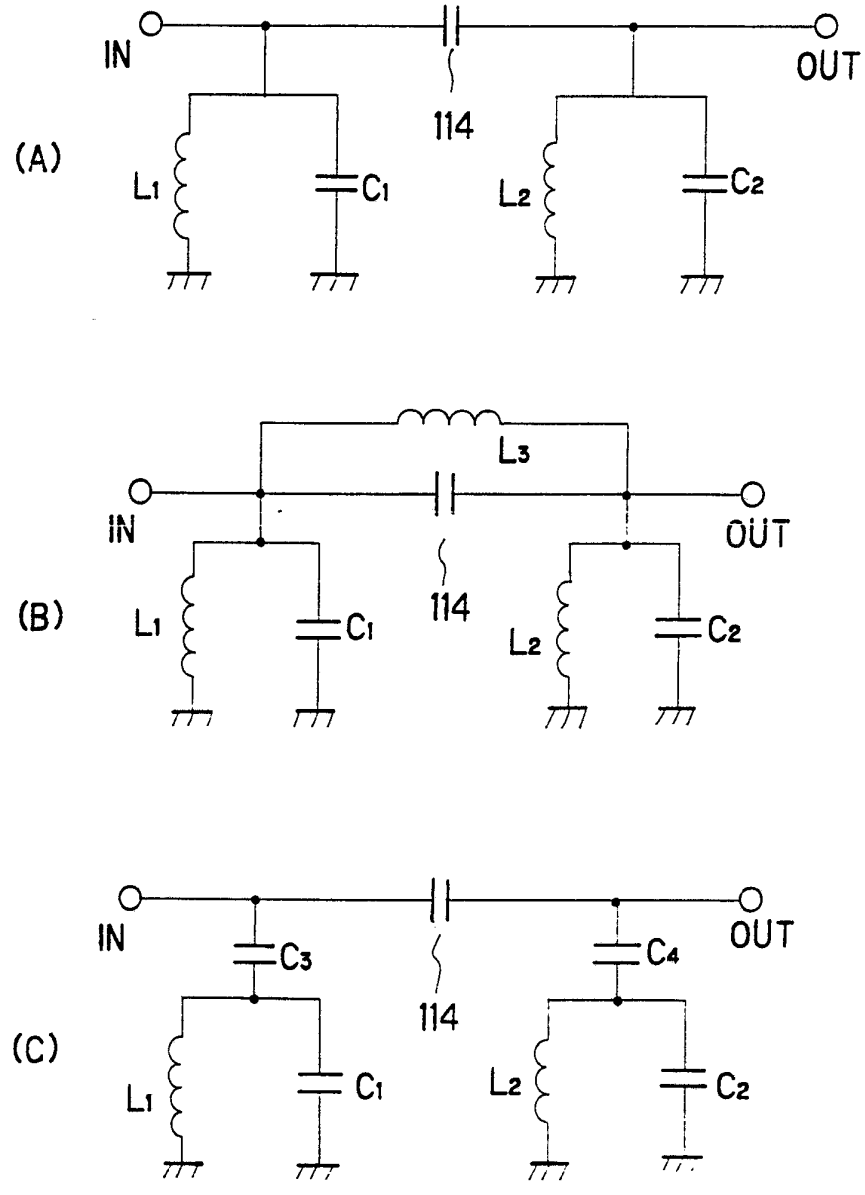
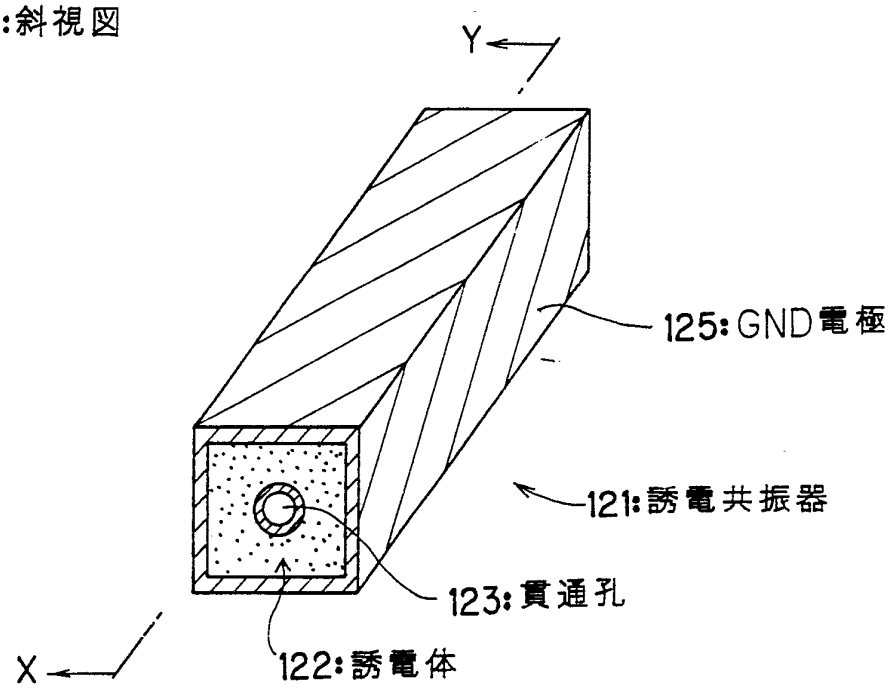


図21

(例3) 従来の誘電体共振器

A:斜視図



B:X−Y線方向断面図

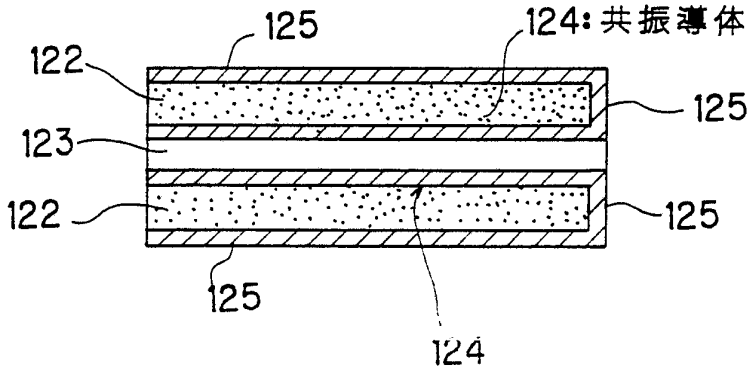
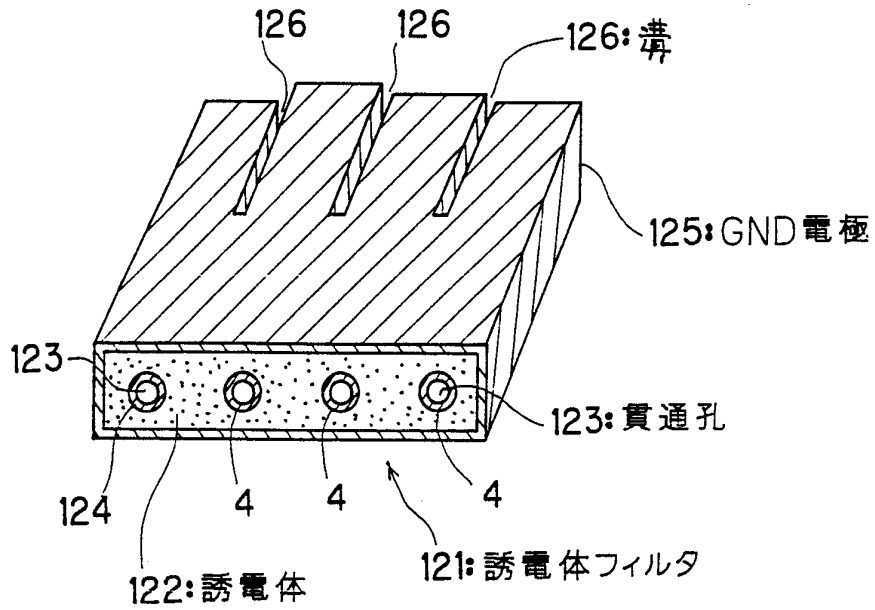


図22

（例4）従来の誘電体フィルタ

A:表側から見た斜視図



B:裏面側から見た斜視図

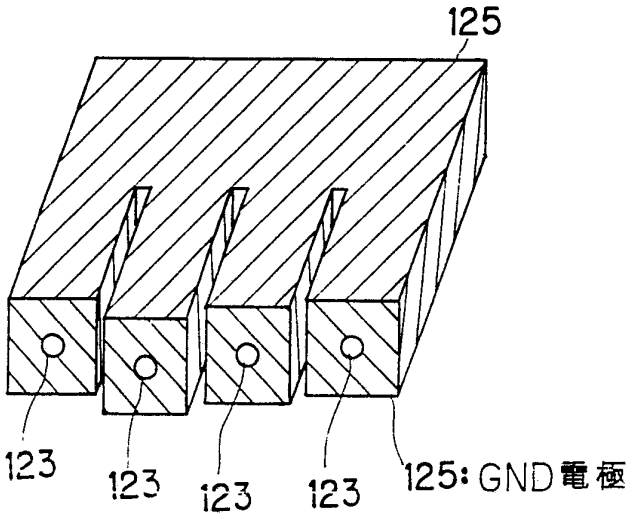
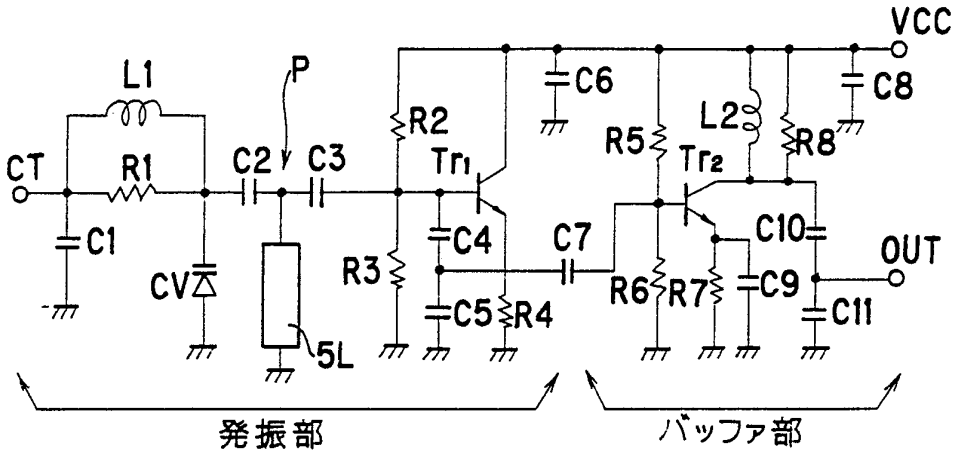
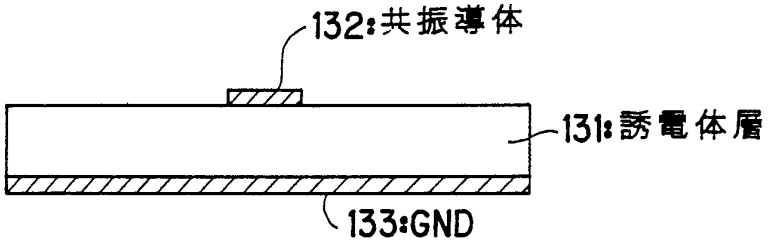


図23

(例5) A:VCOの回路例



B:マイクロストリップラインの実装説明図



C:トリプレート型ストリップラインの実装説明図

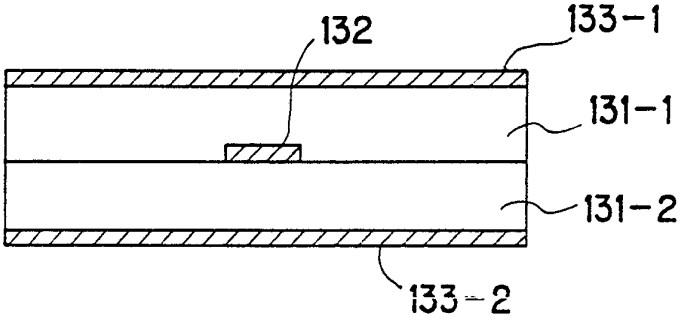
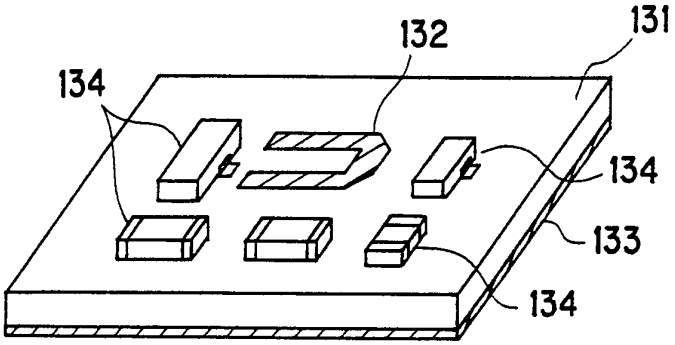


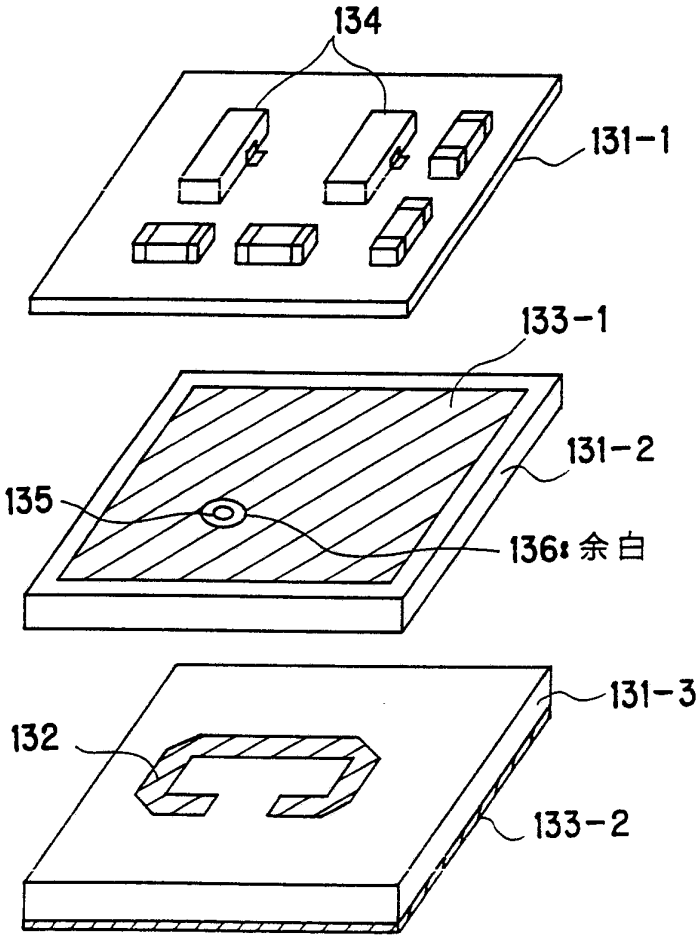
図24

（例5）従来のVCOモジュール例

A:VCOモジュール例1の斜視図



B:VCOモジュール例2の分解斜視図



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP91/01761

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) [6]

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl[5] H01P7/08, H01P1/203, H01P3/08, H03B5/18

II. FIELDS SEARCHED

Minimum Documentation Searched [7]

Classification System	Classification Symbols
IPC	H01P7/08, H01P1/203, H01P3/08, H03B5/18

Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched [8]

Jitsuyo Shinan Koho	1926 - 1990
Kokai Jitsuyo Shinan Koho	1971 - 1990

III. DOCUMENTS CONSIDERED TO BE RELEVANT [9]

Category *	Citation of Document, [11] with indication, where appropriate, of the relevant passages [12]	Relevant to Claim No. [13]
X	Hisashi Yuzuki "A microwave circuit utilizing strip lines", FUJI, Vol. 12, No. 2 (25. 05. 61), Line 20, right column, page 1 to line 24, left column, page 2, Fig. 1(f)	1
Y	JP, A, 50-151445 (NEC Corp.), December 5, 1975 (05. 12. 75), Line 7, lower right column, page 1 to line 15, upper right column, page 2, Fig. 2 (Family: none)	2
Y	JP, A, 62-86905 (Tokimec Corp.), October 14, 1985 (14. 10. 85), Line 15, upper right column, page 2 to line 16, upper left column, page 3, Fig. 1 (Family: none)	3
Y	JP, A, 02-29303 (Sumitomo Metal Industries, Ltd.), November 30, 1990 (30. 11. 90), Line 5, lower left column to line 9, lower right column, page 4,	4, 5

* Special categories of cited documents: [10]

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report
February 24, 1992 (24. 02. 92)	March 17, 1992 (17. 03. 92)
International Searching Authority	**Signature of Authorized Officer**
Japanese Patent Office	

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

line 4, lower right column, page 6 to line 17, upper right column, page 7, Figs. 1, 2, 8, 9, 10 (Family: none)

Y JP, A, 61-100002 (Matsushita Electric Ind. Co., Ltd.), May 19, 1986 (19. 05. 86), Line 13, lower left column to line 18, lower right column, page 2, Fig. 1 (Family: none) — 6, 7

A JP, A, 63-209305 (Matsushita Electric Ind. Co., Ltd.), August 30, 1988 (30. 08. 88), — 8

V ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE [1]

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1 ☐ Claim numbers . because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers , because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING [2]

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

☐ The additional search fees were accompanied by applicant's protest.

☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Line 14, upper right column to
line 6, lower right column, page 2, Fig. 1
& US, A, 4,758,922

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE [1]

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers . because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers , because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING [2]

This International Searching Authority found multiple inventions in this international application as follows:

1 ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

☐ The additional search fees were accompanied by applicant's protest.

☐ No protest accompanied the payment of additional search fees.

国　際　調　査　報　告

国際出願番号PCT/JP 91/01761

I. 発明の属する分野の分類

国際特許分類（IPC）　Int. Cl[5]
H01P7/08, H01P1/203, H01P3/08,
H03B5/18

II. 国際調査を行った分野

調査を行った最小限資料

分類体系	分類記号
IPC	H01P3/08, H01P7/08, H01P1/203, H03B5/18

最小限資料以外の資料で調査を行ったもの

日本国実用新案公報　1926－1990年
日本国公開実用新案公報　1971－1990年

III. 関連する技術に関する文献

引用文献のカテゴリー※	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	柚木　久，「ストリップ線路を利用したマイクロ波回路」，FUJI，Vol. 12，No. 2（25. 05. 61），第1頁右欄第20行－第2頁左欄第24行，第1図（f）	1
Y	JP，A，50－151445（日本電気株式会社），5. 12月. 1975（05. 12. 75），第1頁右下欄第7行－第2頁右上欄第15行，第2図，（ファミリーなし）	2
Y	JP，A，62－86905（株式会社 東京計器），14. 10月. 1985（14. 10. 85），第2頁右上欄第15行－第3頁左上欄第16頁，第1図，（ファミリーなし）	3
Y	JP，A，02－29303（住友金属工業株式会社），30. 11月. 1990（30. 11. 90），第4頁右上欄第1行－第5頁左上欄第4行，第1図（ファミリーなし）	4，5

※引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリーの文献

IV. 認　証

国際調査を完了した日	国際調査報告の発送日
24. 02. 92	17.03.92

国際調査機関	権限のある職員
日本国特許庁（ISA/JP）	特許庁審査官　清水康彦　5J9183

様式PCT／ISA／210（第2ページ）（1981年10月）

第2ページから続く情報

（Ⅲ欄の続き）

	第4頁左下欄第5行－同頁右下欄第9行，第6頁右下欄第4行－第7頁右上欄第17行，第1，2，8，9，10図，（ファミリーなし）	
Y	JP，A，61－100002（松下電器産業株式会社），19．5月．1986（19．05．86），第2頁左下欄第13行－同頁右下欄第18行，第1図，（ファミリーなし）	6，7
A	JP，A，63－209305（松下電器産業株式会社），8	8

Ⅴ. □ 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. □ 請求の範囲＿＿＿＿＿は、国際調査をすることを要しない事項を内容とするものである。

2. □ 請求の範囲＿＿＿＿＿は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。

3. □ 請求の範囲＿＿＿＿＿は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

Ⅵ. □ 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. □ 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. □ 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
   請求の範囲＿＿＿＿＿
3. □ 追加して納付すべき手数料が指定した期間内に納付されなかったので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
   請求の範囲＿＿＿＿＿
4. □ 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

□ 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
□ 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

Ⅲ. 関連する技術に関する文献（第2ページからの続き）

引用文献のカテゴリー*	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
	30. 8月. 1988(30. 08. 88), 第2頁右上欄第14行－同頁右下欄第6行，第1図，&US，A，4,758,922	