



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0083864
(43) 공개일자 2018년07월23일

- (51) 국제특허분류(Int. Cl.)
G06F 11/10 (2006.01) G06F 3/06 (2006.01)
G11C 29/52 (2006.01)
- (52) CPC특허분류
G06F 11/1068 (2013.01)
G06F 3/0619 (2013.01)
- (21) 출원번호 10-2018-7014079
- (22) 출원일자(국제) 2016년09월28일
심사청구일자 없음
- (85) 번역문제출일자 2018년05월17일
- (86) 국제출원번호 PCT/US2016/054162
- (87) 국제공개번호 WO 2017/087075
국제공개일자 2017년05월26일
- (30) 우선권주장
62/258,155 2015년11월20일 미국(US)
15/081,460 2016년03월25일 미국(US)

- (71) 출원인
헬컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
웨스트, 데이비드 이안
미국 92128 캘리포니아주 샌 디에고 린다미어 레인 13669
서, 정원
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤드남

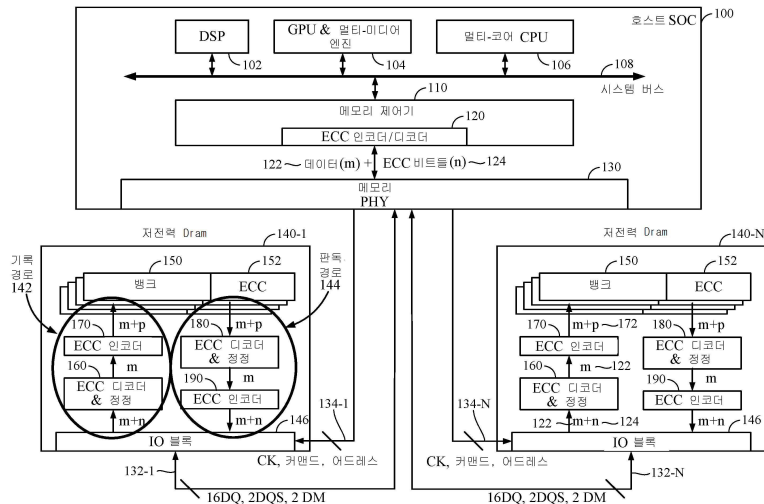
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 메모리 링크를 통해 정정 데이터를 송신하는 경우의 ECC 위치 보호

(57) 요약

메모리 서브-시스템은 에러 정정 코드(ECC) 인코더/디코더 로직을 가지는 메모리 제어기를 포함할 수 있다. 메모리 제어기는 마스크 기록 동작 동안 링크 ECC 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하도록 구성될 수 있다. 메모리 제어기는 또한, 마스크 기록 동작 동안 적어도 링크 ECC 패리티 비트들의 위치를 보호하도록 구성될 수 있다.

대표도 - 도1



(52) CPC특허분류

G06F 3/064 (2013.01)

G06F 3/0659 (2013.01)

G06F 3/0679 (2013.01)

G11C 29/52 (2013.01)

명세서

청구범위

청구항 1

저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법으로서,

마스킹 기록 동작 동안 링크 에러 정정 코드(ECC: error correction code) 패리티 비트(bit)들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하는 단계; 및

상기 마스크 기록 동작 동안 링크 에러로부터 적어도 상기 링크 ECC 패리티 비트들의 위치를 보호하는 단계를 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 2

제1 항에 있어서,

적어도 상기 링크 ECC 패리티 비트들의 위치를 보호하는 단계는, 상기 마스크 기록 동작 동안, 대응하는 마스크 기록 데이터 바이트에 임베딩된 상기 링크 ECC 패리티 비트들을 식별하는 적어도 제1 어서트된(asserted) 데이터 마스크 비트를 보호하기 위한 데이터 마스크 ECC 패리티 비트들을 송신하는 단계를 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 3

제2 항에 있어서,

상기 마스크 기록 동작 동안, 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 ECC 위치 코드를 송신하는 단계를 더 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 4

제3 항에 있어서,

상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 상기 데이터 마스크 ECC 패리티 비트들, 및 상기 링크 ECC 패리티 비트들의 상기 ECC 위치 코드를 송신하는 단계를 더 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 5

제1 항에 있어서,

상기 마스크 기록 동작 동안 임베딩하는 단계는,

사전 결정된 버스트 길이의 기록 데이터가 어서트된 데이터 마스크 비트를 포함하는지 여부를 결정하는 단계;

상기 제1 어서트된 데이터 마스크 비트 내에 그리고 상기 제1 어서트된 데이터 마스크 비트에 대응하는 제1 마스크 기록 데이터 바이트에 상기 링크 ECC 패리티 비트들을 임베딩하는 단계; 및

그렇지 않으면, 상기 미사용된 데이터 마스크 비트들에 상기 링크 ECC 패리티 비트들을 임베딩하는 단계를 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 6

제1 항에 있어서,

적어도 상기 링크 ECC 패리티 비트들의 위치를 보호하는 단계는, 상기 마스크 기록 동작 동안, 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 블록 위치를 표시하는 비이트(beat) 위치 코드를 송신하는 단계를 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 7

제6 항에 있어서,

상기 링크 ECC 패리티 비트들이 상기 사전 결정된 버스트 길이의 기록 데이터의 데이터 부분 또는 데이터 마스크 부분에 임베딩되는지 여부를 표시하는 블록 위치 코드를 송신하는 단계를 더 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 8

제7 항에 있어서,

상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 상기 비트 위치 코드 및 상기 블록 위치 코드를 송신하는 단계를 더 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 9

제1 항에 있어서,

판독 동작 동안 판독 데이터의 캡처를 위한 타이밍 정보를 수신하는 단계를 더 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 10

제1 항에 있어서,

모바일 폰, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 PCS(personal communication systems) 유닛, 휴대용 데이터 유닛, 고정 위치 데이터 유닛, 서버 컴퓨팅 시스템 및/또는 차량 제어 시스템으로 상기 저전력 메모리 서브-시스템을 통합하는 단계를 더 포함하는, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법.

청구항 11

메모리 서브-시스템으로서,

에러 정정 코드(ECC) 인코더/디코더 로직을 가지는 메모리 제어기를 포함하고,

상기 메모리 제어기는, 마스크 기록 동작 동안 링크 ECC 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하도록 구성되고, 상기 마스크 기록 동작 동안 링크 에러로부터 적어도 상기 링크 ECC 패리티 비트들의 위치를 보호하도록 구성되는, 메모리 서브-시스템.

청구항 12

제11 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안, 대응하는 마스크 기록 데이터 바이트에 임베딩된 상기 링크 ECC 패리티 비트들을 식별하는 적어도 제1 어서트된 데이터 마스크 비트를 보호하기 위한 데이터 마스크 ECC 패리티 비트들을 송신하도록, 그리고 상기 마스크 기록 동작 동안, 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 ECC 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 13

제12 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 상기 데이터 마스크 ECC 패리티 비트들, 및 상기 링크 ECC 패리티 비트들의 상기 ECC 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 14

제11 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 블록 위치를 표시하는 비트 위치 코드를 송신하도록, 그리고 상기 링크 ECC 패리티 비트들이 상기 사전 결정된 버스트 길이의 기록 데이터의 데이터 부분 또는 데이터 마스크 부분에 임베딩되는지 여부를 표시하는 블록 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 15

제14 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 상기 비트 위치 코드 및 상기 블록 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 16

제15 항에 있어서,

상기 메모리 제어기는, 사전 결정된 버스트 길이의 기록 데이터가 어서트된 데이터 마스크 비트를 포함하는지 여부를 결정하고, 상기 제1 어서트된 데이터 마스크 비트 내에 그리고 상기 제1 어서트된 데이터 마스크 비트에 대응하는 제1 마스크 기록 데이터 바이트에 상기 링크 ECC 패리티 비트들을 임베딩하고, 그리고 그렇지 않으면, 상기 미사용된 데이터 마스크 비트들에 상기 링크 ECC 패리티 비트들을 임베딩하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 17

제11 항에 있어서,

상기 메모리 제어기는 판독 동작 동안 판독 데이터의 캡처를 개선하기 위한 타이밍 정보를 수신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 18

제11 항에 있어서,

모바일 폰, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 PCS(personal communication systems) 유닛, 휴대용 데이터 유닛, 고정 위치 데이터 유닛, 서버 컴퓨팅 시스템 및/또는 차량 제어 시스템으로 통합되는, 메모리 서브-시스템.

청구항 19

메모리 서브-시스템으로서,

마스크 기록 동작 동안 링크 ECC 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하도록 구성되고, 상기 마스크 기록 동작 동안 링크 에러로부터 적어도 상기 링크 ECC 패리티 비트들의 위치를 보호하도록 구성된 에러 정정 코드(ECC) 인코더/디코더 로직을 가지는 메모리 제어기; 및

적어도 데이터 버스를 통해 상기 메모리 제어기에 커플링된 메모리 디바이스를 포함하고,

상기 메모리 디바이스는,

기록 경로에 있으며, 상기 데이터 버스를 통해 기록 데이터의 송신 동안 링크 에러들의 검출 및 정정을 위해 구성된 링크 ECC 디코더 및 정정 로직, 및

상기 기록 경로에 있으며, 메모리 ECC 패리티 비트들에 따라 메모리 어레이 내의 저장 동안 상기 기록 데이터의 메모리 보호를 위해 구성된 메모리 ECC 인코더 로직을 포함하는, 메모리 서브-시스템.

청구항 20

제19 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안, 대응하는 마스크 기록 데이터 바이트에 임베딩된 상기 링크 ECC 패리티 비트들을 식별하는 적어도 제1 어서트된 데이터 마스크 비트를 보호하기 위한 데이터 마스크 ECC 패리티 비트들을 송신하도록, 그리고 상기 마스크 기록 동작 동안, 사전 결정된 버스트 길이의 기록 데이터 내

의 상기 링크 ECC 패리티 비트들의 ECC 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 21

제20 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 상기 데이터 마스크 ECC 패리티 비트들, 및 상기 링크 ECC 패리티 비트들의 상기 ECC 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 22

제19 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 블록 위치를 표시하는 비트 위치 코드를 송신하도록, 그리고 상기 링크 ECC 패리티 비트들이 상기 사전 결정된 버스트 길이의 기록 데이터의 데이터 부분 또는 데이터 마스크 부분에 임베딩되는지 여부를 표시하는 블록 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 23

제22 항에 있어서,

상기 메모리 제어기는, 상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 상기 비트 위치 코드 및 상기 블록 위치 코드를 송신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 24

제19 항에 있어서,

상기 메모리 제어기는 사전 결정된 버스트 길이의 기록 데이터가 어서트된 데이터 마스크 비트를 포함하는지 여부를 결정하고, 상기 제1 어서트된 데이터 마스크 비트 내에 그리고 상기 제1 어서트된 데이터 마스크 비트에 대응하는 제1 마스크 기록 데이터 바이트에 상기 링크 ECC 패리티 비트들을 임베딩하고, 그리고 그렇지 않으면, 상기 미사용된 데이터 마스크 비트들에 상기 ECC 패리티 비트들을 임베딩하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 25

제19 항에 있어서,

상기 메모리 제어기는 판독 동작 동안 판독 데이터의 캡처를 개선하기 위한 타이밍 정보를 수신하도록 추가로 구성되는, 메모리 서브-시스템.

청구항 26

제19 항에 있어서,

모바일 폰, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 PCS(personal communication systems) 유닛, 휴대용 데이터 유닛, 고정 위치 데이터 유닛, 서버 컴퓨팅 시스템 및/또는 차량 제어 시스템으로 통합되는, 메모리 서브-시스템.

청구항 27

메모리 서브-시스템으로서,

마스크 기록 동작 동안 링크 에러 정정 코드(ECC) 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하기 위한 수단; 및

상기 마스크 기록 동작 동안 링크 에러로부터 적어도 상기 링크 ECC 패리티 비트들의 위치를 보호하기 위한 수단을 포함하는, 메모리 서브-시스템.

청구항 28

제27 항에 있어서,

상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 대응하는 마스크 기록 데이터 바이트에 임베딩된 상기 링크 ECC 패리티 비트들을 식별하는 적어도 제1 어서트된 데이터 마스크 비트를 보호하기 위한 데이터 마스크 ECC 패리티 비트들, 및 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 ECC 위치 코드를 송신하기 위한 수단을 더 포함하는, 메모리 서브-시스템.

청구항 29

제27 항에 있어서,

상기 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 사전 결정된 버스트 길이의 기록 데이터 내의 상기 링크 ECC 패리티 비트들의 블록 위치를 표시하는 비이트 위치 코드, 및 상기 링크 ECC 패리티 비트들이 사전 결정된 버스트 길이의 기록 데이터의 데이터 부분 또는 데이터 마스크 부분에 임베딩되는지 여부를 표시하는 블록 위치 코드를 송신하기 위한 수단을 더 포함하는, 메모리 서브-시스템.

청구항 30

제27 항에 있어서,

모바일 폰, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 컴퓨터, 핸드-헬드 PCS(personal communication systems) 유닛, 휴대용 데이터 유닛, 고정 위치 데이터 유닛, 서버 컴퓨팅 시스템 및/또는 차량 제어 시스템으로 통합되는, 메모리 서브-시스템.

발명의 설명

기술 분야

[0001] 본 출원은 "PROTECTING AN ECC LOCATION WHEN TRANSMITTING CORRECTION DATA ACROSS A MEMORY LINK"라는 명칭으로 2015년 11월 20일자로 출원된 미국 가특허 출원 번호 제 62/258,155 호에 대한 우선권을 35 U.S.C. § 119(e) 하에서 주장하며, 상기 미국 가특허 출원의 개시내용은 그 전체가 본원에 인용에 의해 명백하게 포함된다.

[0002] 본 개시내용은 일반적으로 IC(integrated circuit)들에 관한 것이다. 더 구체적으로, 본 개시내용의 일 양상은 저전력 메모리 서브-시스템에서 메모리 링크를 통해 정정 데이터를 송신할 때 에러 정정 코드(ECC: error correction code) 위치를 보호하는 것에 관한 것이다.

배경 기술

[0003] 반도체 메모리 디바이스들은, 예컨대, SRAM(static random access memory) 및 DRAM(dynamic random access memory)을 포함한다. DRAM 메모리 셀은 일반적으로, 높은 집적도를 가능하게 하는 하나의 트랜지스터 및 하나의 커패시터를 포함한다. 커패시터는 대응하는 비트(bit) 값(예컨대, '0' 또는 '1')으로서 정보를 저장하기 위해 충전 또는 방전될 수 있다. 커패시터들이 전하를 누설하기 때문에, 커패시터 전하가 리프레시되지 않으면 저장된 정보는 결국 페이딩(fade)된다. 따라서, 주기적 리프레시들이 발생한다. 리프레시 요건으로 인해, DRAM은 SRAM 및 다른 정적 메모리와는 대조적으로 동적 메모리로 지칭된다. DRAM의 지속적 리프레싱은 일반적으로, DRAM의 사용을 컴퓨터 메인 메모리로 제한한다.

[0004] DRAM 스케일링은 각각의 DRAM 칩에 대한 비트들의 총 수를 계속 증가시킨다. 유감스럽게도, DRAM 스케일링은 약한 보유 셀들(예컨대, 감소된 보유 시간을 가지는 셀들)의 수를 증가시킨다. 그러한 셀들은 저장된 정보를 유지하기 위해 부가적 리프레시 사이클들을 수반한다. 진보된 DRAM 프로세스들은 부가적 리프레시 사이클들 또는 다른 프로세스 변동들로 인해 메모리 셀 어레이 내에서 부가적 랜덤 비트 리프레시 에러들을 겪을 수 있다.

[0005] 일부 저전력 메모리들은, 메모리 셀 어레이에서의 임의의 랜덤 비트 에러에 에러 정정 코드(ECC)들을 적용함으로써 메모리 수율 및 신뢰도를 개선시키도록 ECC들을 구현한다. 그러나, ECC 디코딩 및 에러 정정은 증가된 판독 액세스 시간으로 인해 메모리 성능을 저하시킨다. 또한, 메모리 링크(예컨대, 인터페이스)는 ECC들

에 의해 보호되지 않으며, 전체 메모리 신뢰도는 높은 신뢰도 및 높은 성능 시스템 메모리 요건들을 충족시키기에는 불충분하다.

발명의 내용

[0006] [0006] 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법은 마스크 기록 동작 동안 링크 에러 정정 코드(ECC) 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하는 단계를 포함할 수 있다. 방법은 또한, 마스크 기록 동작 동안 적어도 링크 ECC 패리티 비트들의 위치를 보호하는 단계를 포함할 수 있다.

[0007] [0007] 메모리 서브-시스템은 에러 정정 코드(ECC) 인코더/디코더 로직을 가지는 메모리 제어기를 포함할 수 있다. 메모리 제어기는 마스크 기록 동작 동안 링크 ECC 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하도록 구성될 수 있다. 메모리 제어기는 또한, 마스크 기록 동작 동안 적어도 링크 ECC 패리티 비트들의 위치를 보호하도록 구성될 수 있다.

[0008] [0008] 메모리 서브-시스템은 에러 정정 코드(ECC) 인코더/디코더 로직을 가지는 메모리 제어기를 포함할 수 있다. ECC 인코더/디코더 로직은 마스크 기록 동작 동안 링크 ECC 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하도록 구성될 수 있다. 인코더/디코더 로직은 또한, 마스크 기록 동작 동안 적어도 링크 ECC 패리티 비트들의 위치를 보호하도록 구성될 수 있다. 메모리 서브-시스템은 또한, 데이터 버스를 통해 메모리 제어기에 커플링된 메모리 디바이스를 포함할 수 있다. 메모리 디바이스는 기록 경로에 있는 링크 ECC 디코더 및 정정 로직을 포함할 수 있다. 링크 ECC 디코더는 데이터 버스를 통해 기록 데이터의 송신 동안 링크 에러들의 검출 및 정정을 위해 구성될 수 있다. 메모리 디바이스는 기록 경로에 있는 메모리 ECC 인코더 로직을 포함할 수 있다. 메모리 ECC 인코더 로직은 메모리 ECC 패리티 비트들에 따라 메모리 어레이 내의 저장 동안 기록 데이터의 메모리 보호를 위해 구성될 수 있다.

[0009] [0009] 메모리 서브-시스템은 마스크 기록 동작 동안 링크 에러 정정 코드(ECC) 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하기 위한 수단을 포함할 수 있다. 저전력 메모리 서브-시스템은 또한, 마스크 기록 동작 동안 적어도 링크 ECC 패리티 비트들의 위치를 보호하기 위한 수단을 포함할 수 있다.

[0010] [0010] 이것은 다음의 상세한 설명이 더 잘 이해될 수 있도록, 본 개시내용의 특징들 및 기술적 이점들을 상당히 광범위하게 요약하였다. 본 개시내용의 부가적 특징들 및 이점들이 이하에서 설명될 것이다. 본 개시내용은 본 개시내용의 동일한 목적들을 수행하기 위해 다른 구조들을 수정하거나 또는 설계하기 위한 기반으로 용이하게 활용될 수 있다는 것이 당업자들에 의해 인식되어야 한다. 또한, 그러한 등가적 구성들이 첨부된 청구항들에서 기술되는 바와 같은 본 개시내용의 교시 사항들로부터 벗어나지 않는다는 것이 당업자들에 의해 인식되어야 한다. 본 개시내용의 구조 및 동작 방법 둘 모두에 대해, 개시내용의 특성인 것으로 여겨지는 신규한 특징들은 추가적 목적들 및 이점들과 함께, 첨부한 도면들과 관련하여 고려될 때 다음의 설명으로부터 더 잘 이해될 것이다. 그러나, 도면들 각각이 단지 예시 및 설명만을 위해 제공되며, 본 개시내용의 제한들의 정의로서 의도되는 것이 아니라는 것이 명백하게 이해될 것이다.

도면의 간단한 설명

[0011] [0011] 이제, 본 개시내용의 더 완전한 이해를 위해, 첨부한 도면들과 함께 취해진 다음의 설명에 대한 참조가 이루어진다.

[0012] 도 1은 본 개시내용의 양상들에 따른, 저전력 메모리 디바이스들에 통신가능하게 커플링된 호스트 SoC(system on chip)를 예시하는 저전력 메모리 서브-시스템의 평면도를 도시한다.

[0013] 도 2a 및 도 2b는 본 개시내용의 양상들에 따른, 정상 기록 커맨드 동안 에러 정정 코드 패리티 비트들의 통신을 예시하는 타이밍 다이어그램들이다.

[0014] 도 3a 내지 도 3c는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 링크 에러 정정 코드(ECC) 패리티 비트들을 전달하기 위한 다양한 옵션들을 예시하는 타이밍 다이어그램들이다.

[0015] 도 4는 본 개시내용의 양상들에 따른, 버스 내에서 판독(RD) 커맨드 동안 에러 정정 코드(ECC) 패리티 비트들의 통신을 예시하는 타이밍 다이어그램이다.

[0016] 도 5a 내지 도 5b는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 전달되는 링크 에러 정정 코드(ECC) 패리티 비트들의 손상(corruption)을 예시하는 다이어그램들이다.

[0017] 도 6a 및 도 6b는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 전달되는 링크 에러 정정 코드(ECC) 패리티 비트들의 보호를 예시하는 다이어그램들이다.

[0018] 도 7a는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 전달되는 링크 에러 정정 코드(ECC) 패리티 비트들의 위치 보호를 예시하는 다이어그램이다.

[0019] 도 7b는 본 개시내용의 양상들에 따른, 마스크 기록 커맨드 동안 링크 에러 정정 코드(ECC) 패리티 비트 보호 정보 또는 ECC 위치 정보를 통신하기 위한 타이밍 다이어그램을 도시한다.

[0020] 도 8a 및 도 8b는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드, 정상 기록 커맨드 및 판독(RD) 커맨드 동안 에러 정정 코드(ECC) 패리티 비트들의 통신 및 위치 보호를 위한 방법들을 예시하는 흐름 다이어그램들이다.

[0021] 도 9는 본 개시내용의 구성이 유리하게 사용될 수 있는 무선 통신 시스템을 도시하는 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0012] [0022] 첨부된 도면들과 관련하여 아래에서 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명되는 개념들이 실시될 수 있는 구성들만을 표현하도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이 개념들은 이 특정 세부사항들 없이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 사례들에서는, 그러한 개념들을 모호하게 하는 것을 회피하기 위해, 잘 알려진 구조들 및 컴포넌트들이 블록 다이어그램 형태로 도시된다. 본원에서 설명되는 바와 같이, "및/또는"이라는 용어의 사용은 "포함적 논리합(inclusive OR)"을 나타내도록 의도되고, "또는"이라는 용어의 사용은 "배타적 논리합(exclusive OR)"을 나타내도록 의도된다.

[0013] [0023] 반도체 메모리 디바이스들은, 예컨대, SRAM(static random access memory) 및 DRAM(dynamic random access memory)을 포함한다. DRAM 메모리 셀은 일반적으로, 높은 집적도를 가능하게 하기 위해 하나의 트랜지스터 및 하나의 커패시터를 포함한다. 커패시터는 대응하는 비트 값(예컨대, '0' 또는 '1')으로서 정보를 저장하기 위해 충전 또는 방전될 수 있다. 커패시터들이 전하를 누설하기 때문에, 저장된 정보는 결국 페이딩되고 커패시터 전하는 주기적으로 리프레시된다. 리프레시 요건으로 인해, DRAM은 SRAM 및 다른 정적 메모리와는 대조적으로 동적 메모리로 지칭된다. DRAM의 지속적 리프레싱은 일반적으로, DRAM을 컴퓨터 메인 메모리로서 사용되는 것으로 제한한다.

[0014] [0024] DRAM 스케일링은 각각의 DRAM 칩에 대한 비트들의 총 수를 계속 증가시킨다. 유감스럽게도, DRAM 스케일링은 약한 보유 셀들(예컨대, 감소된 보유 시간을 가지는 셀들)의 수를 증가시킨다. 그러한 셀들은 저장된 정보를 유지하기 위해 부가적 리프레시 사이클들을 수반한다. 진보된 DRAM 프로세스들은 부가적 리프레시 사이클들 또는 다른 프로세스 변동들로 인해 메모리 셀 어레이 내에서 부가적 랜덤 비트 리프레시 에러들을 겪을 수 있다. 일부 저전력 메모리들은, 메모리 셀 어레이에서의 임의의 랜덤 비트 에러들에 에러 정정 코드(ECC)들을 적용함으로써 메모리 수율 및 신뢰도를 개선시키도록 ECC들을 구현한다.

[0015] [0025] 예컨대, 서버 및 컴퓨팅 시스템들은 메모리 링크 및 메모리 셀 어레이의 신뢰도를 향상시키기 위해 넓은(예컨대, 72-비트 IO(input/output) 폭) 메모리 모듈을 사용할 수 있다. 서버 컴퓨팅 시스템 내에서의 메모리 장애가 허용가능하지 않기 때문에, 메모리 링크의 신뢰도는 ECC들을 메모리 동작들에 적용함으로써 향상된다. 그러나, ECC들의 저장은 부가적 디바이스를 수반한다. 예컨대, 72-비트 IO 폭 메모리 모듈에서, 8-비트 ECC가 8개의 메모리 디바이스들의 각각의 64-비트 데이터 블록에 할당된다. 8-비트 ECC를 각각의 64-비트 데이터 블록에 할당하는 것은, 메모리 인터페이스 및 메모리 셀 어레이 둘 모두의 비트 에러들로부터의 보호를 제공한다.

[0016] [0026] 그러나, 72-비트 IO 폭 메모리 모듈에서, 제9 64-비트(ECC) 메모리 디바이스는 8개의 메모리 디바이스들의 각각의 64-비트 데이터 블록에 할당된 8개의 8-비트 ECC들을 저장하기 위해 사용된다. 유감스럽게도, 이러한 메모리 구성은 메모리 시스템 비용 및 메모리 전력을 증가시킨다. 특히, 이러한 메모리 구성은 ECC 메모

리 디바이스로 인한 더 넓은 메모리 채널을 지원하기 위한 부가적 PCB(printed circuit board) 영역 및 비용을 수반한다. ECC 메모리 디바이스는 또한 대기 및 활성 전력을 수반하며, 이는, 이러한 메모리 구성과 연관된 비용을 증가시킨다.

[0017] [0027] 메모리 어레이 및 링크 둘 모두를 보호하기 위한 하나의 기법은 호스트(예컨대, SoC(system on chip))와 저전력 메모리들 사이의 ECC 비트들의 전달을 포함한다. ECC 비트들은, 데이터 버스트 길이를 연장시킴으로써 전달될 수 있다(예컨대, 16-비트 버스트 길이가 18-비트 버스트 길이로 연장됨). 유감스럽게도, 연장된 버스트 길이는 순 메모리 대역폭을 감소시킴으로써 상당한 메모리 성능 손실을 야기한다. 일부 저전력 메모리들은, 메모리 셀 어레이에서의 임의의 랜덤 비트 에러에 ECC들을 적용함으로써 메모리 수율 및 신뢰도를 개선시키도록 ECC들을 구현한다. 그러나, 메모리 디바이스 내에서의 ECC 디코딩 및 에러 정정은 증가된 관독 액세스 시간으로 인해 메모리 성능을 저하시킨다. 또한, 메모리 링크(예컨대, 인터페이스)는 ECC들에 의해 보호되지 않으며, 전체 메모리 신뢰도는 높은 신뢰도 및 높은 성능 시스템 메모리 규격들을 충족시키기에는 불충분하다.

[0018] [0028] 본 개시내용의 양상들은 호스트 SoC(system on chip) 및 다수의 메모리 디바이스들을 포함하는 메모리 서버-시스템에 관한 것이다. 메모리 제어기는, 메모리 링크 에러로부터 기록 데이터를 보호하기 위한 링크 에러 정정 코드(ECC) 비트들을 생성하고 메모리 링크에 의해 야기된 임의의 데이터 장애를 정정하기 위한 ECC 인코딩 및 디코딩 블록을 포함한다. 메모리 디바이스들은 각각, 메모리 디바이스들의 메모리 어레이에 의해 야기된 임의의 랜덤 비트 에러들을 정정하기 위해 메모리 ECC 패리티 비트들에 대한 ECC 어레이 및 데이터에 대한 셀 어레이를 가진다. 이러한 메모리 ECC 패리티 비트들은 링크 ECC 패리티 비트들을 생성하는 데 사용되는 호스트 SoC의 비-독점적 방법과는 상이한 메모리 디바이스 제조업자의 독점적 방법에 기반하여 생성된다.

[0019] [0029] 본 개시내용의 양상들에서, 링크 ECC 패리티 비트들은 메모리 링크(예컨대, 데이터 버스)를 통한 송신 동안 링크 에러들로부터 기록 데이터를 보호하기 위해 생성되고, 메모리 ECC 패리티 비트들은 메모리 디바이스들의 메모리 셀 어레이들 내에서 랜덤 비트 에러들로부터 메모리 디바이스들 내의 기록 데이터를 보호하기 위해 생성된다. 본 개시내용의 일부 양상들에서, 링크 ECC 패리티 비트들은 데이터 마스크 핀 또는 마스크 기록(MWT) 커맨드와 연관된 데이터 바이트를 통해 호스트와 메모리 디바이스들 사이에서 전달될 수 있다. 마스크 기록 동작의 경우, 메모리 디바이스는, 제1 어서트된 데이터 마스크(DM) 비트(예컨대, "H")와 연관된 링크 ECC 패리티 비트들을 복원하며, 여기서, 마스크 기록 커맨드 비트 필드들은 "m" 비트 데이터 패턴에 대한 DM 활동을 표시한다. 정상 기록 동작의 경우, 메모리 디바이스는 DM 데이터 스트림으로부터 링크 ECC 비트들을 복원한다.

[0020] [0030] 본 개시내용의 양상들은 링크 ECC 패리티 비트들이 마스크된 기록 동작 동안 데이터(DQ) 핀들 또는 데이터 마스크(DM) 핀들을 통해 송신되는 기법들을 설명한다. 유감스럽게도, 비트 에러가 링크 ECC 패리티의 위치를 마킹하는 DM 비트 상에서 발생할 때, 비트 에러는 디코딩되고 있는 잘못된 열(column) 및 링크 ECC 패리티 비트들의 장애를 초래한다. 본 개시내용의 양상들에서, 마스크된 기록 동작들은 링크 ECC 패리티 비트들을 사용하여 기록 데이터뿐만 아니라 링크 ECC 패리티 비트들의 위치 둘 모두를 보호하도록 확장된다. 정상 기록 동작들에서, 링크 ECC 데이터의 위치는 항상 알려지며, 예측가능하다. 관독 동작에서, 메모리 제어기는 메모리 디바이스로부터 DM 데이터 스트림 내의 메모리/링크 ECC 패리티 비트들을 복원할 수 있다.

[0021] [0031] 그러나, 마스크된 기록 동작에서, 링크 ECC 패리티 비트들의 위치는 마스크된 바이트들의 수에 기반하여 변한다. 본 개시내용의 일 양상에서, 링크 ECC 패리티 비트들의 위치에 대한 정보는 더 낮은 속도 라인 상에서 개별적으로 보호되거나 또는 통신될 수 있다. 본 개시내용의 이러한 양상에서, 기록 데이터 버스트에서 DM 핀들을 보호하기 위한 데이터 마스크(DM) ECC 패리티 비트들이 마스크 기록 커맨드에 후속한다. 본 개시내용의 다른 양상에서, ECC 패리티 비트들의 위치는, 링크 ECC 패리티 비트들이 기록 데이터 버스트에 임베딩되는 위치를 표시하기 위해 마스크 기록 커맨드와 함께 송신된다.

[0022] [0032] 도 1은 본 개시내용의 양상들에 따른, 메모리 디바이스들(140)(140-1, ..., 140-N)에 커플링된 호스트 SoC(system on chip)(100)를 예시하는 저전력 메모리 서버-시스템의 평면도를 도시한다. 본 개시내용의 이러한 양상은, 메모리 링크를 통한 송신 동안 랜덤 비트 에러들로부터 메모리 링크(예컨대, 데이터 버스)를 보호하기 위한 링크 에러 정정 코드(ECC) 패리티 비트들을 모바일 또는 컴퓨팅 시스템들의 저전력 메모리 서버-시스템에 적용한다. 더 구체적으로, 본 개시내용의 양상들은, 메모리 디바이스들이 랜덤 비트 에러들로부터 메모리 셀 어레이들을 보호하기 위한 전용(proprietary) 메모리 ECC 패리티 비트들을 사용하는 모바일 또는 컴퓨팅 시스템 칩셋들에서의 차세대 저전력 DDR(double data rate) 규격들 및 메모리 제어기 구현들을 보충할 수 있다.

[0023] [0033] 대표적으로, 호스트 SoC(100)는 멀티-스레디드 동작을 지원하는 다양한 프로세싱 유닛들을 포함한다. 도 1에 도시되는 구성의 경우, 호스트 SoC(100)는 DSP(digital signal processor)(102), GPU(graphics

processor unit) 및 멀티-미디어 엔진(104), 멀티-코어 CPU(central processing unit)(106), 시스템 버스(108), 메모리 제어기(110) 및 메모리 물리 계층(PHY)(130)을 포함한다. DSP(102), GPU 및 멀티-미디어 엔진(104) 및 멀티-코어 CPU(106)는 비디오, 오디오, 그래픽들, 게이밍 등과 같은 다양한 기능들을 지원한다. 멀티-코어 CPU(106)의 각각의 프로세서 코어는 RISC(reduced instruction set computing) 머신, 마이크로프로세서, 또는 일부 다른 타입의 프로세서일 수 있다.

[0024] [0034] 본 개시내용의 이러한 양상에서, 호스트 SoC(100)는 메모리 PHY(130)를 통해 메모리 디바이스들(140)(예컨대, 저전력 DRAM(dynamic random access memory))에 통신가능하게 커플링된다. 이러한 구성에서, 메모리 제어기(110)는, 데이터 버스(132(132-1, ..., 132-N)) 및 커맨드/어드레스 버스(134(134-1, ..., 134-N))(총칭하여, 메모리 링크로 지칭될 수 있음)를 따라 메모리 PHY(130)를 통해 메모리 디바이스들(140) 중 하나로 통신되는 데이터(122)(예컨대, 판독/기록 데이터)에 대한 링크 ECC 패리티 비트들(124)을 생성하기 위한 에러 정정 코드(ECC) 인코더/디코더 로직(120)을 포함한다. ECC 인코더/디코더 로직(120)에 의해 생성된 링크 ECC 패리티 비트들(124)은 메모리 디바이스들(140)에서 메모리 링크(예컨대, 데이터 버스(132))에 의해 야기된 임의의 데이터 장애의 정정을 가능하게 한다.

[0025] [0035] 호스트 SoC(100)가, 예컨대, 3200Mbps(megabits per second)로부터 6400Mbps로 메모리 링크 시리얼 데이터 레이트를 증가시킬 때, 메모리 링크 에러들로부터의 보호가 더 중요해진다. 이러한 구성에서, 링크 ECC 패리티 비트들(124)("n" 비트 ECC)은 데이터 버스(132)를 통한 송신 동안 랜덤 비트 에러들로부터 데이터(122)(예컨대, "m" 비트 기록)를 보호하도록 메모리 제어기(110)에 의해 생성된다. 링크 ECC 패리티 비트들(124) 및 데이터(122) 둘 모두가 기록 및 판독 동작들 동안 호스트 SoC(100)와 메모리 디바이스들(140) 사이에서 전달되기 때문에, 임의의 메모리 링크 에러들은 링크 ECC 패리티 비트들(124)을 이용하여 검출 및 정정될 수 있다. 또한, 메모리 셀 어레이들(150)로부터의 송신 동안의 임의의 랜덤 비트 에러는 메모리 제어기(110)의 ECC 인코더/디코더 로직(120)에서 정정될 수 있다.

[0026] [0036] 이러한 구성에서, 메모리 디바이스들(140)은 데이터(122)를 저장하기 위한 메모리 셀 어레이들(150)(예컨대, 메모리 뱅크들) 및 메모리 ECC 패리티 비트들(154)을 저장하기 위한 ECC 어레이들(152)을 포함한다. 본 개시내용의 이러한 양상에서, 메모리 디바이스들(140)은 데이터(122)의 저장 동안 메모리 디바이스들(140)의 메모리 셀 어레이들(150)에 의해 야기된 임의의 랜덤 비트 에러들의 검출 및 정정을 가능하게 하기 위해 메모리 ECC 패리티 비트들(172)을 생성하도록 구성된 메모리 ECC 인코더 로직(170)을 포함한다. 데이터(122)는 메모리 셀 어레이들(150)(예컨대, 메모리 뱅크들) 중 하나의 메모리 셀 어레이에 저장되고, 메모리 ECC 패리티 비트들(172)은 ECC 어레이들(152)에 저장된다. 또한, 메모리 셀 어레이들(150)에서의 임의의 랜덤 비트 에러는 링크 ECC 패리티 비트들(124)을 생성하는 데 사용되는 호스트 SoC(100)의 비-독점적 알고리즘과 상이한 메모리 디바이스 제조업자의 독점적 알고리즘에 기반하여 메모리 디바이스들(140)의 메모리 ECC 디코더 및 정정 로직(180)에서 정정될 수 있다.

[0027] [0037] 메모리 제어기(110)로부터의 링크 ECC 패리티 비트들(124)은 마스크 기록 커맨드와 연관된 데이터 바이트에 대한 데이터 마스크 핀을 통해 메모리 디바이스들(140)에 의해 수신될 수 있다. 링크 ECC 패리티 비트들(124)의 위치는 ECC 비트 위치(EL) 정보를 사용하여 메모리 디바이스들(140)로 통신될 수 있다. 이러한 프로세스는 마스크 기록(MWT) 동작 동안 수행되며, 여기서, 제1 데이터 마스크(DM) 비트가 어서트되고(예컨대, "H") MWT 커맨드 비트 필드들이 데이터(122)에 따른 DM 활동을 표시할 때, 메모리 디바이스들(140)은 링크 ECC 패리티 비트들(124)을 복원한다. 정상 기록 동작 동안, 메모리 디바이스들(140)은 DM 데이터 스트림으로부터 링크 ECC 패리티 비트들(124)을 복원할 수 있다.

[0028] [0038] 이러한 구성에서, 메모리 디바이스들(140)은, 데이터 버스(132) 및 커맨드/어드레스 버스(134)에 통신가능하게 커플링된 IO(input/output) 블록(146)을 포함한다. 동작 시, 호스트 SoC(100)의 비-독점적(non-proprietary) 방법에 따라 메모리 제어기(110)에 의해 생성된 링크 ECC 패리티 비트들(124)은 데이터(122) 내의 링크 에러들을 검출 및 정정하도록 메모리 디바이스들(140)의 링크 ECC 디코더 및 정정 로직(160)에 의해 사용될 수 있다. 본 개시내용의 이러한 양상에서, 메모리 디바이스들(140)은 데이터(122)의 저장 동안 임의의 랜덤 비트 에러들의 검출 및 정정을 가능하게 하기 위해 메모리 ECC 패리티 비트들(172)을 생성하도록 구성된 메모리 ECC 인코더 로직(170)을 포함한다. 따라서, 일단 데이터(122)가 보정 및/또는 검증되면, 메모리 ECC 패리티 비트들(172)은 저장 동안 랜덤 비트 에러들로부터 데이터(122)를 보호하기 위해 메모리 디바이스들(140)의 기록 경로(142)를 따라 메모리 ECC 인코더 로직(170) 내에서 생성된다.

[0029] [0039] 동작 동안, 데이터(122)는 메모리 셀 어레이들(150)(예컨대, 메모리 뱅크들) 중 하나의 메모리 셀 어레이

이에 저장되고, 메모리 ECC 패리티 비트들(172)은 ECC 어레이들(152)에 저장된다. 이러한 구성에서, 메모리 셀 어레이들(150)에서의 임의의 랜덤 비트 에러는 ECC 어레이들(152) 내에 저장된 메모리 ECC 패리티 비트들(172)을 사용하여 메모리 디바이스 제조업자의 독점적 알고리즘에 기반하여 메모리 디바이스들(140)의 메모리 ECC 디코더 및 정정 로직(180)에서 정정될 수 있다. 따라서, 일단 데이터(122)가 보정 및/또는 검증되면, 링크 ECC 패리티 비트들(124)은 데이터 버스(132)를 통한 송신 동안 랜덤 비트 에러들로부터 데이터(122)를 보호하기 위해 메모리 디바이스들(140)의 관독 경로(144)를 따라 링크 ECC 인코더 로직(190) 내에서 생성된다.

[0030] [0040] 본 개시내용의 이러한 양상에서, 호스트 SoC(100)는, (예컨대, 3200Mbps로부터 6400Mbps로) 증가된 메모리 링크 시리얼 데이터 레이트에 의해 야기될 수 있는 임의의 메모리 링크 에러들을 링크 ECC 패리티 비트들(124)을 사용하여 검출 및 정정할 수 있다. 부가적으로, 메모리 셀 어레이들(150)에서의 임의의 랜덤 비트 에러는, 메모리 ECC 패리티 비트들(172)을 사용하여 메모리 디바이스들(140)의 메모리 ECC 디코더 및 정정 로직(180)에 의해 정정될 수 있다. 메모리 디바이스들(140)의 관독 경로(144)를 따르는, 메모리 ECC 디코더 및 보정 로직(180) 및 링크 ECC 인코더 로직(190)의 사용은 바람직하지 않은 관독 레이턴시로 이어질 수 있다. 대안적으로, 메모리 ECC 디코더 및 정정 로직(180) 및/또는 링크 ECC 인코더 로직(190)의 기능은 관독 레이턴시를 감소시키기 위해 메모리 제어기로 통합된다.

[0031] [0041] 도 1에 도시되는 메모리 디바이스들(140)에서, 전체 메모리 라인(예컨대, 256-비트 워드)은 일반적으로, 기록 동작 동안 메모리 어레이로부터 관독된다. 마스크 기록 동작 동안, 메모리 ECC 인코더 로직(170)은, 관독 및 기록 데이터로 ECC 인코딩을 수행하기 위해 메모리 셀 어레이들(150) 중 하나의 메모리 셀 어레이 내에서 관독-수정-기록 동작을 실행한다(마스킹된 데이터 바이트들은 메모리 셀 어레이들(150) 중 하나의 메모리 셀 어레이에서의 대응하는 데이터 바이트들로 대체됨). 즉, 마스크 기록 동작은, 마스킹된 데이터 바이트들이 메모리 셀 어레이들(150)로 기록되지 않도록 메모리 라인의 선택된 바이트들의 업데이트를 가능하게 한다. 동작 시, 여분의 핀(예컨대, 데이터 마스크 비트)은, 지정된 기록 데이터를 제거하고, 무시된 기록 데이터 바이트들을 지정함으로써 관독-수정-기록 동작을 제한하기 위해, 데이터(122)와 함께 전송된다.

[0032] [0042] 도 2a는, 예컨대, 16과 동일한 버스트 길이를 가지는 연관된 16-비트 데이터 마스크를 가지는 128-비트 기록 데이터 버스트(210)에 대한 마스크 기록(MWT) 커맨드를 예시하는 타이밍 다이어그램(200)이다. 타이밍 다이어그램(200)에서, "D"는 기록 데이터를 지칭하고, "M"은 데이터 마스크 비트들을 지칭하며, 하나의 데이터 마스크 비트가 각각의 DQ 바이트에 대해 할당된다. 이러한 예에서, 기록 데이터 D<16:23>와 연관된 DMO 핀의 M2 비트가 어서트된다(예컨대, "하이" 또는 "H"). 결과적으로, 마스크 기록 데이터(220)(예컨대, 기록 데이터 D<16:23>)는 메모리 셀 어레이들(150)(도 1) 중 타겟 메모리 셀 어레이에 기록되지 않는다. 마스크 기록 커맨드에 대한 응답으로, 메모리 디바이스들(140) 중 타겟 메모리 디바이스는, 메모리 셀 어레이들(150) 중 하나의 메모리 셀 어레이로부터의 관독 동작을 실행하고, 마스크 기록 데이터(220)를 관독 데이터 Q<16:23>로 대체하여, 메모리 ECC 인코더 로직(170)을 사용하여 메모리 ECC 인코딩을 위한 기록 데이터(예컨대, 128-비트 기록 데이터)를 형성한다. 메모리 ECC 인코더 로직(170)은 메모리 셀 어레이들(150) 중 타겟 메모리 셀 어레이 내에 128-비트 기록 데이터를 저장하고, 메모리 ECC 패리티 비트들(172)은 ECC 어레이들(152) 중 타겟 ECC 어레이에 기록된다.

[0033] [0043] 본 개시내용의 양상들에서, 메모리 제어기로부터의 ECC 패리티 비트들은 마스크 기록 커맨드와 연관된 데이터 마스크 핀 또는 데이터 바이트를 통해 호스트 SoC와 저전력 메모리들 사이에서 전달된다. ECC 패리티 비트들의 위치는 ECC 비트 위치 정보를 사용하여 메모리 디바이스들로 통신될 수 있다. 마스크 기록 동작의 경우, 메모리는, 제1 어서트된 데이터 마스크(DM) 비트(예컨대, "H")와 연관된 ECC 비트들을 복원하며, 여기서, 마스크 기록 커맨드 비트 필드들은 각각의 "m" 비트 데이터 패턴에 대한 DM 활동을 표시한다. 정상 기록 동작의 경우, 메모리 디바이스들은 DM 데이터 스트림으로부터 ECC 비트들을 복원한다.

[0034] [0044] 도 2b는, 예컨대, 16과 동일한 버스트 길이를 가지는 연관된 16-비트 데이터 마스크를 가지는 128-비트 기록 데이터 버스트(210)에 대한 정상 기록 커맨드를 예시하는 타이밍 다이어그램(250)이다. 메모리 디바이스들(140)(도 1)과 같은 저전력 메모리 디바이스들은 마스크 기록 커맨드와는 별개인 정상 기록 커맨드를 가진다. 정상 기록 커맨드에 대해, 128-비트 기록 데이터와 연관된 DMO 핀의 모든 비트들(E0, ..., E15)이 디-어서트된다(de-asserted)(예컨대, "로우"). 대조적으로, 마스크 기록 커맨드에 대해, 적어도 하나의 DM 비트가 버스트 데이터 스트림(BL) 동안 "하이"로 어서트된다. 결과적으로, DMO 핀의 비트들은 정상 기록 커맨드들 동안 미사용된다. 정상 기록 커맨드의 이러한 예에서, 링크 ECC 패리티 비트들(E0, ..., E15)은, 미사용된 DM 비트들(260)을 통해 메모리 디바이스들(140)에 전달되며, 여기서, "E"는 링크 ECC 패리티 비트를 나타낸다. 결과적으로, 메모리 디바이스들(140)은 DM 핀을 통해 메모리 제어기(110)에 의해 생성된 링크 ECC 패리티 비트들(124)을 인식할

수 있다.

- [0035] [0045] 그러나, 마스크 기록 커맨드 동안, DM 핀은 링크 ECC 패리티 비트들(124)을 반송하는 데 이용가능하지 않다. 본 개시내용의 양상들에서, 메모리 제어기(110)로부터의 링크 ECC 패리티 비트들(124)은 마스크 기록 커맨드와 연관된 마스크 기록 데이터 바이트를 통해 호스트 SoC(100)와 메모리 디바이스들(140) 사이에서 전달된다. 링크 ECC 패리티 비트들(124)의 위치는 ECC 비트 위치 정보를 사용하여 메모리 디바이스들(140)로 통신될 수 있다. 메모리 디바이스들(140)은 제1 어서트된 데이터 마스크(DM) 비트(예컨대, "H")와 연관된 ECC 비트들을 복원할 수 있으며, 여기서, 마스크 기록 커맨드 비트 필드들은 각각의 "m" 비트 데이터 패턴에 대한 DM 활동을 표시한다. 정상 기록 동작의 경우, 메모리 디바이스들은 DM 데이터 스트림으로부터 ECC 비트들을 복원한다. 또한, 판독 동작 동안, 링크 ECC 패리티 비트들(124) 또는 메모리 ECC 패리티 비트들(172)은 DM 핀을 통해 통신된다.
- [0036] [0046] 본 개시내용의 양상들에서, 총 16개의 링크 ECC 패리티 비트들이 128-비트 데이터 청크(예컨대, DQ 바이트 X 16개의 데이터 비이트(beat)들)로부터 이용가능할 수 있다. 대안적 구현에서, 각각의 128-비트 데이터 청크 당 링크 ECC 패리티 비트들의 16개의 데이터 비이트들은 링크 ECC 패리티 비트들보다 더 많은 비트들을 포함할 수 있다. 예컨대, 16개의 데이터 비이트들은 8-비트 링크 ECC 더하기 DBI(data bus inversion) 비트들 및 다른 유사한 비트들을 포함할 수 있다. 예컨대, 메모리 제어기(110)는 판독 동작 동안 판독 데이터의 캡처를 개선하기 위한 타이밍 정보를 수신할 수 있다. 이러한 타이밍 정보는 16개의 데이터 비이트들에서 제공될 수 있거나, 또는 대안적으로, 커맨드/어드레스 버스(134)를 통해 제공될 수 있다.
- [0037] [0047] 도 3a 내지 도 3c는 본 개시내용의 양상들에 따른, 마스크 기록 커맨드 동안 호스트 SoC(100)와 메모리 디바이스들(140) 사이에서 링크 ECC 패리티 비트들(124)을 전달하기 위한 다양한 옵션들을 예시하는 타이밍 다이어그램들이다.
- [0038] [0048] 도 3a는, 예컨대, 16과 동일한 버스트 길이를 가지는 연관된 16-비트 데이터 마스크를 가지는 128-비트 기록 데이터에 대한 마스크 기록 커맨드를 예시하는 타이밍 다이어그램(300)이다. 이러한 어레인지먼트(arrangement)에서, 128-비트 기록 데이터는 제1 기록 데이터(310) 및 제2 기록 데이터(320)로 분리된다(예컨대, 제1 64-비트 데이터 부분은 제1 8-비트 링크 ECC 패리티 비트들을 가지고, 제2 64-비트 데이터 부분은 제2 8-비트 링크 ECC 패리티 비트들을 가짐). 서술되는 바와 같이, 마스크 기록 커맨드에 대해, 적어도 하나의 데이터 마스크 비트(DM0)는 (예컨대, 64-비트 버스트 길이를 가지는) 버스트 데이터 스트림 동안 "H"로 어서트된다. 이러한 예에서, 제1 8-비트 링크 ECC(예컨대, E0, ..., E7)는 제1 마스크 기록 데이터 바이트(312)(예컨대, D<16:23>) 내에 임베딩된다. 또한, 제2 8-비트 링크 ECC(예컨대, E8, ..., E15)는 제2 마스크 기록 데이터 바이트(322)(예컨대, D<64:71>) 내에 임베딩된다.
- [0039] [0049] 도 3b는 제2 기록 데이터(320)에 대한 정상 기록 동작과 결합된 제1 기록 데이터(310)에 대한 마스크 기록 동작을 예시하는 타이밍 다이어그램(330)이다. 이러한 어레인지먼트에서, 제1 8-비트 링크 ECC(예컨대, E0, ..., E7)는 제1 마스크 기록 데이터 바이트(312)(예컨대, D<16:23>) 내에 임베딩된다. 제2 기록 데이터(320)에서, DM0 핀의 비트들은 정상 기록 동작에 대해 미사용된다. 이러한 예에서, 제2 8-비트 링크 ECC(예컨대, E8, ..., E15)는 제2 미사용된 DM 비트들(324)을 통해 메모리 디바이스들(140)에 전달된다. 결과적으로, 메모리 디바이스들은, 제1 기록 데이터(310)에 대한 제1 마스크 기록 데이터 바이트(312) 및 제2 기록 데이터(320)에 대한 제2 미사용된 DM 비트들(324)을 통해 메모리 제어기(110)에 의해 생성된 링크 ECC 패리티 비트들(124)을 인식할 수 있다. 본 개시내용의 이러한 양상에서, 호스트 SoC(100)는, ECC 바이트가 임베딩되는 곳을 표시하기 위한 연장된 비트 필드를 가지는 마스크 기록 커맨드를 발행하는데, 즉, 마스크 기록 데이터 바이트 또는 미사용된 DM 비트들이 데이터 마스크 활동에 의존한다.
- [0040] [0050] 도 3c는 제2 기록 데이터(320)에 대한 마스크 기록 동작과 결합된 제1 기록 데이터(310)에 대한 정상 기록 동작을 예시하는 타이밍 다이어그램(350)이다. 이러한 어레인지먼트에서, DM0 핀의 비트들은 정상 기록 동작에 대해 미사용된다. 이러한 예에서, 제1 8-비트 링크 ECC(예컨대, E0, ..., E8)는 제1 미사용된 DM 비트들(314)을 통해 메모리 디바이스들(140)에 전달된다. 제2 기록 데이터(320)에서, 제2 8-비트 링크 ECC(예컨대, E8, ..., E15)는 제2 마스크 기록 데이터 바이트(322)(예컨대, D<120:127>) 내에 임베딩된다. 결과적으로, 메모리 디바이스들은, 제1 기록 데이터(310)에 대한 제1 미사용된 DM 비트들(314) 및 제2 기록 데이터(320)에 대한 제2 마스크 기록 데이터 바이트(322)를 통해 메모리 제어기(110)에 의해 생성된 링크 ECC 패리티 비트들(124)을 인식할 수 있다. 본 개시내용의 이러한 양상에서, 호스트 SoC(100)는 또한, ECC 정보가 임베딩되는 곳을 표시하기 위한 연장된 비트 필드를 가지는 마스크 기록 커맨드를 발행하는데, 즉, 미사용된 DM 비트들 또는 마스크

기록 데이터 바이트가 데이터 마스크 활동에 의존한다.

- [0041] [0051] 도 4는 본 개시내용의 양상들에 따른, 예컨대, 128-비트 입력/출력 버스 폭을 가지는 버스 내에서 관독(RD) 커맨드 동안 링크/메모리 ECC 패리티 비트들의 통신을 예시하는 타이밍 다이어그램(400)이다. 타이밍 다이어그램(400)은, 클럭 신호(402), 커맨드 신호(404) 및 어드레스 신호(406)를 도시한다. 타이밍 다이어그램(400)은 또한, 연관된 관독 레이턴시(414) 및 버스트 데이터(416)를 가지는, 제1 데이터 신호(410) 및 제1 데이터 신호(410)와 연관된 제1 데이터 마스크 신호(412)를 도시한다. 관독(RD) 커맨드에 대해, 각각의 DQ 바이트(예컨대, D0, ..., D15)에 대한 128-비트 관독 데이터 및 16-비트 링크/메모리 ECC(예컨대, E0, ..., E15)는 미사용된 DM 비트들(450)을 사용하여 메모리 셀 어레이들(150)로부터 호스트 SoC(100)로 전달된다.
- [0042] [0052] 본 개시내용의 일 양상에서, 관독 동작 동안의 메모리 링크 에러는 도 1에 도시되는 저전력 메모리 서브-시스템 구성에 따라, 미사용된 DM 비트들(550)로부터의 링크 ECC 패리티 비트들(124)을 사용하여 메모리 제어기(110)의 ECC 인코더/디코더 로직(120)에서 검출 및 정정될 수 있다. 대안적으로, 메모리 셀 어레이 내의 관독 데이터의 랜덤 비트 에러 및/또는 링크 에러는, 메모리 ECC 패리티 비트들(172)을 생성하는 데 사용되는 메모리 디바이스 제조업자의 독점적 방법이 호스트 SoC 제조업자와 공유되는 저전력 메모리 서브-시스템 구성에 따라 메모리 ECC 패리티 비트들(172)을 사용하여 검출될 수 있다. 제2 데이터 신호(420) 및 연관된 제2 데이터 마스크 신호(422)뿐만 아니라, 제4 데이터 신호(430) 및 연관된 제4 데이터 마스크 신호(432)가 또한 도시된다.
- [0043] [0053] 도 5a 및 도 5b는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 전달되는 링크 에러 정정 코드(ECC) 패리티 비트들의 손상을 예시하는 다이어그램들이다. 도 5a는 링크 ECC 패리티 비트들이 마스크된 기록 동작 동안 데이터(DQ) 핀들 또는 데이터 마스크(DM) 핀들을 통해 송신되는, 32비트 버스트 길이(BL32)를 가지는 마스크된 기록 데이터 버스트(500)를 도시한다. 이 구성에서, 마스크된 기록 데이터 버스트(500)는 4개의 사분면들(Q1, Q2, Q3 및 Q4)로 배열된다. 대표적으로, 링크 ECC 패리티 비트들(510)은 사분면(Q1)에서 데이터 마스크 비트들(DM0)의 제1 미사용 바이트로 송신된다. 사분면(Q3)에서, 링크 ECC 패리티 비트들(520)은 제1 어서트된 데이터 마스크 비트(522)에 대응하는 제1 마스크 기록 데이터 바이트로 송신된다. 유사하게, 링크 ECC 패리티 비트들(530)은 사분면(Q2)에서 제1 어서트된 데이터 마스크 비트(532)에 대응하는 제1 마스크 기록 데이터 바이트로 송신되고, 링크 ECC 패리티 비트들(540)은 사분면(Q4)에서 제1 어서트된 데이터 마스크 비트(542)에 대응하는 제1 마스크 기록 데이터 바이트로 송신된다.
- [0044] [0054] 유감스럽게도, 링크 ECC 패리티 비트들(예컨대, 520, 530 또는 540)의 위치를 마킹하는 DM 비트(예컨대, 522, 532 또는 542) 상에 비트 에러가 발생하면, 잘못된 열이 링크 ECC 패리티 비트들로서 메모리 디바이스에서 디코딩될 것이어서, 링크 보호 장애를 초래한다. 본 개시내용의 양상들에서, 마스크된 기록 동작들은 링크 ECC 패리티 비트들을 가지는 데이터 자체를 보호할뿐만 아니라, 마스크된 기록 데이터 바이트들의 수에 기반하여 변할 수 있는 링크 ECC 패리티 비트들의 위치를 보호한다. 본 개시내용의 양상들에서, ECC 패리티 비트들의 위치는 변할 수 있고, 그 위치에 대한 정보는 더 낮은 속도 라인 상에서 개별적으로 보호 또는 전송된다.
- [0045] [0055] 도 5b는 링크 ECC 패리티 비트들이 마스크된 기록 동작 동안 데이터(DQ) 핀들 또는 데이터 마스크(DM) 핀들을 통해 송신되는, 16비트 버스트 길이를 가지는 마스크된 기록 데이터 버스트(550)를 도시한다. 이 구성에서, 마스크된 기록 데이터 버스트(550)는 2개의 사분면들(Q1 및 Q2)로 배열된다. 대표적으로, 링크 ECC 패리티 비트들(560)은 사분면(Q1)에서 제1 어서트된 데이터 마스크 비트(562)에 대응하는 제1 마스크 기록 데이터 바이트로 송신된다. 사분면(Q2)에서, 링크 ECC 패리티 비트들(570)은 데이터 마스크 비트들(DM1)의 제1 미사용 바이트로 송신된다. 유감스럽게도, 링크 ECC 패리티 비트들(예컨대, 560)의 위치를 마킹하는 DM 비트(예컨대, 562) 상에 비트 에러가 발생하면, 잘못된 열이 메모리 디바이스에서 디코딩될 것이어서, 링크 보호 장애를 초래한다. 링크 ECC 패리티 비트들(570)에서의 비트 에러는 단순히 링크 ECC 디코더에서의 링크 ECC 패리티 비트들(570) 및 메모리 디바이스들(140)의 정정 로직(160)(도 1)을 폐기하는 것을 초래한다.
- [0046] [0056] 도 6a 및 도 6b는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 전달되는 링크 에러 정정 코드(ECC) 패리티 비트들의 보호를 예시하는 다이어그램들이다. 도 6a는 데이터(DQ) 핀들 또는 데이터 마스크(DM) 핀들을 통해 송신된 링크 ECC 패리티 비트들이 마스크된 기록 동작 동안 보호되는, 32비트 버스트 길이(BL32)를 가지는 마스크된 기록 데이터 버스트(600)를 도시한다. 버스트 길이(BL32)는 마스크된 기록 데이터 버스트(600)의 사전 결정된 버스트 길이로 지칭될 수 있다. 이러한 구성에서, 링크 ECC 패리티 비트들(610)은 사분면(Q1)에서 데이터 마스크 비트들(DM0)의 제1 미사용 바이트로 송신된다. 사분면(Q3)에서, 링크 ECC 패리티 비트들(620)은 제1 어서트된 데이터 마

스크 비트(622)에 대응하는 제1 마스크 기록 데이터 바이트로 송신된다. 유사하게, 링크 ECC 패리티 비트들(630)은 사분면(Q2)에서 데이터 마스크 비트들(DM1)의 제1 미사용된 바이트로 송신되고, 링크 ECC 패리티 비트들(640)은 사분면(Q4)에서 데이터 마스크 비트들(DM1)의 제1 미사용된 바이트로 송신된다.

[0047] [0057] 유감스럽게도, 링크 ECC 패리티 비트들(예컨대, 620)의 위치를 마킹하는 DM 비트(예컨대, 622) 상에 비트 에러가 발생하면, 잘못된 열(기록 데이터 바이트 또는 마스크된 기록 데이터)이 메모리 디바이스에서 디코딩 될 것이어서, 링크 보호 장애를 초래한다. 미사용된 데이터 마스크 바이트들(예컨대, 610, 630 및 640)에 임베딩된 링크 ECC 패리티 비트들에서의 비트 에러는 단순히 링크 ECC 디코더에서의 링크 ECC 패리티 비트들 및 메모리 디바이스들(140)의 정정 로직(160)(도 1)을 폐기하는 것을 초래한다. 본 개시내용의 이러한 양상에서, 링크 ECC 패리티 비트들(및 DM 비트들)의 위치는 마스크된 기록 동작들 동안 보호된다.

[0048] [0058] 본 개시내용의 이러한 양상에서, 마스크된 기록 커맨드는 CA(command address) 버스(도 1 참조)를 사용하여 DM 핀들의 보호를 가능하게 하기 위해 2-틱(tick) 동작으로부터 4-틱 동작으로 확장된다. 예컨대, 확장된 마스크된 기록 커맨드는 마스크된 기록 커맨드 동안 송신에 이용가능한 12개의 부가적 비트들을 제공할 수 있다. 도 6a에 도시되는 32비트 버스트 길이(BL32)를 가지는 마스크된 기록 데이터 버스트(600)에 대해, 송신될 64 DM 비트들(예컨대, 2바이트에 대해 32개의 비트들)이 존재한다. 이러한 구성에서, 64 DM 핀들은, 마스크된 기록 커맨드 동안 커맨드/어드레스 버스(134)(도 1) 상의 DM ECC 패리티 비트들로서 7비트 SEC(single error correction) 시퀀스 또는 8비트 SEC-DED(SEC double error detection) 비트 시퀀스를 전송함으로써 보호된다. 다른 4개의 비트들은 각각의 64-비트 사분면(예컨대, Q1, Q2, Q3 또는 Q4)이 DM 하이 비트에 로케이팅된 DQ 비트들 상에 또는 DM 핀들 상에 자신의 링크 ECC 패리티 비트들을 가지는지를 표시하는 사분면 위치 코드(예컨대, ECC 위치 코드)를 제공한다.

[0049] [0059] 예컨대, 도 6a의 BL32 마스크된 기록 데이터 버스트(600)에서, 다음 12개의 비트들은 마스크 기록 커맨드로 CA 버스를 통해 전송될 것이다:

		Q1	Q2	Q3	Q4
	64b DM 값들에 대한 DM ECC	DM 또는 ECC			
CA 비트들	8-비트 ECC DM0 / DM1	0	0	1	0

[0050] [0060] 도 6b는 데이터 핀들 또는 DM 핀들(예컨대, DM0, DM1)을 통해 송신된 링크 ECC 패리티 비트들이 마스크된 기록 동작 동안 보호되는, 16비트 버스트 길이를 가지는 마스크된 기록 데이터 버스트(650)를 도시한다. 이러한 구성에서, 링크 ECC 패리티 비트들(660)은 사분면(Q1)에서 제1 어서트된 데이터 마스크 비트(662)에 대응하는 제1 마스크 기록 데이터 바이트로 송신된다. 사분면(Q2)에서, 링크 ECC 패리티 비트들(670)은 제1 어서트된 데이터 마스크 비트(672)에 대응하는 제1 마스크 기록 데이터 바이트로 송신된다. 서술되는 바와 같이, 링크 ECC 패리티 비트들(예컨대, 660, 670)의 위치를 마킹하는 DM 비트(예컨대, 662, 672) 상에 발생하는 비트 에러는, 메모리 디바이스에서의 잘못된 열의 디코딩을 야기하여서, 링크 보호 장애를 초래한다.

[0052] [0061] 본 개시내용의 이러한 양상에서, 링크 ECC 패리티 비트들(예컨대, 660 및 670)은 CA(command address) 버스(도 1 참조)를 사용하여 DM 핀들의 보호를 가능하게 하기 위해 2-틱 동작으로부터 4-틱 동작으로 마스크된 기록 커맨드를 확장함으로써 보호된다. 도 6b에 도시되는 16비트 버스트 길이(BL16)를 가지는 마스크된 기록 데이터 버스트(650)에 대해, 송신될 32 DM 비트들(예컨대, 1바이트에 대해 16개의 비트들)이 존재한다. 이러한 구성에서, 32 DM 핀들은, 마스크된 기록 커맨드 동안 커맨드/어드레스 버스(134)(도 1) 상의 DM ECC 패리티 비트들로서 6비트 SEC 시퀀스 또는 7 SEC-DED 비트 시퀀스를 전송함으로써 보호된다. 다른 2개의 비트들은 각각의 128-비트 사분면(예컨대, Q1 및 Q2)이 DM 하이 비트에 로케이팅된 데이터 비트들 상에 또는 DM 핀들 상에 자신의 링크 ECC 패리티 비트들(예컨대, 660 및 670)을 가지는지를 표시하는 사분면 위치 코드를 제공할 수 있다.

[0053] [0062] 예컨대, 도 6b의 BL16 마스크된 기록 데이터 버스트(650)에서, 다음 12개의 비트들은 데이터 마스크 기록 커맨드로 전송될 것이며, 여기서, 'X'는 돈트 케어(don't care)이다:

		Q1	Q2	Q3	Q4
	32b DM 값들에 대한 DM ECC	DM 또는 ECC			
CA 비트들	7-비트 ECC DM0 / DM1	1	1	X	X

[0054]

[0055]

[0063] 도 7a는 본 개시내용의 양상들에 따른, 마스크 기록(MWT) 커맨드 동안 호스트 SoC(system on chip)와 저전력 메모리 디바이스들 사이에서 전달되는 링크 에러 정정 코드(ECC) 패리티 비트들의 위치 보호를 예시하는 다이어그램이다. 대표적으로, 제1 블록(B0) 및 제2 블록(B1)을 가지는 BL32 마스크된 기록 데이터 버스트(700)가 도시된다. 데이터 핀들 또는 DM 핀들을 통해 송신된 링크 ECC 패리티 비트들(예컨대, 710, 720)의 위치는 마스크된 기록 동작 동안 송신된다. 이러한 구성에서, 링크 ECC 패리티 비트들(710)은 블록(B0)의 링크 보호를 제공하기 위해 블록(B0)의 대응하는 데이터 마스크 비트(712) 및 제1 마스크 기록 데이터 바이트로 송신된다. 본 개시내용의 이러한 양상에서, 링크 ECC 패리티 비트들(710)은 도 6a 및 도 6b에 도시되는 링크 ECC 패리티 비트들과 비교하여 (예컨대, 256-비트 데이터에 대해 8-비트로부터 9-비트로) 확장된다. 블록(B1)에서, 링크 ECC 패리티 비트들(720)은 제1 미사용된 데이터 마스크 비트들로 송신된다. 본 개시내용의 이러한 양상은 블록(B0) 및 블록(B1) 내의 임베딩된 링크 ECC 패리티 비트들의 검출을 가능하게 하기 위한 링크 ECC 패리티 비트들(예컨대, 710, 720)의 위치의 통신을 수반한다.

[0056]

[0064] 본 개시내용의 이러한 양상에서, 마스크된 기록 커맨드는 또한, CA 버스(도 1 참조)를 사용하여 링크 ECC 패리티 비트 위치의 통신을 가능하게 하기 위해 2-틱 동작으로부터 4-틱 동작으로 확장된다. 확장된 마스크된 기록 커맨드는 마스크된 기록 커맨드 동안 통신에 이용가능한 12개의 부가적 비트들을 포함한다. 도 7a의 BL32 마스크된 기록 데이터 버스트(700)에 대해, 송신 내의 링크 ECC 패리티 비트들(예컨대, 710, 720)의 비트 위치는 5비트 비트 위치 코드(BL32에 대해, BL16에 대해서는 4-비트 코드)로서 주어진다. 이러한 5-비트 비트 위치 코드는 2바이트(최대 10 비트)를 지원한다. 또한, 2비트(예컨대, 플래그)는 DM 라인들이 DM 비트 또는 ECC 패리티 비트들(예컨대, 710, 720)을 유지하는지를 (바이트마다) 표시하기 위한 블록 위치 코드로서 특정된다. 본 개시내용의 이러한 양상은 링크 ECC 패리티 비트를 검출하기 위한 더 복잡한 구현을 제공할 수 있는데, 그 이유는, 이러한 예에서, 링크 ECC 패리티 비트들(710)이 또한 데이터 마스크 비트(712)를 점유하기 때문이다.

[0057]

[0065] 예컨대, 도 7a의 BL32 마스크된 기록 데이터 버스트(700)에서, 다음 12개의 비트들은 마스크 기록 커맨드로 CA 버스를 통해 전송될 것이며, 여기서, 'X'는 don't care이다:

		B0		B1		
	위치 B0	위치 B1				DM/ECC
CA 비트들	1 0 0 1 1	X	X	X	X	1 0

[0058]

[0059]

[0066] 이러한 예에서, 2진 비트 시퀀스 10011은 ECC 패리티 비트들(예컨대, 710)을 포함하는 것으로서 블록(B0) 내의 비트 19(b19)를 식별한다. 반대로, 12-비트 스트림 내의 B1에 대한 ECC 비트(ECC = '0') 및 don't care 비트들 'X'는, ECC 패리티 비트들(예컨대, 720)이 제1 9개의 DM 패리티 핀들에서 전달되도록 DM 비트들이 블록(B1)에서 미사용됨을 표시한다. 이에 반해, B0에 대한 DM 비트(DM='1')는 ECC 패리티 비트들이 DM 핀 및 마스크 기록 데이터 바이트에서 통신됨을 표시한다.

[0060]

[0067] 비록 링크 ECC 패리티 비트들의 보호뿐만 아니라 링크 ECC 패리티 비트들의 위치의 보호가 설명되었지만, 본 개시내용의 양상들은 이러한 구성들로 제한되지 않는다는 것이 인식되어야 한다. 다른 가능한 구현들이 존재할 수 있지만, 이들은 모두 ECC 데이터가 송신되는 (예컨대, 어느 비트에서) 위치를 제공하는 정보를 보호할 목적에 기여할 것이다. 이러한 위치는 모든 각각의 데이터 마스크 동작마다 변할 수 있으며 예측가능하지 않기 때문에, 정보는 더 낮은 속도 라인 상에서 개별적으로 송신될 수 있다. 그렇지 않으면, (ECC가 정정할 수 있기 이전에) 비트 에러가 링크 ECC 패리티 비트들의 위치를 손상시키지 않음을 보장하도록 일부 다른 타입의 보호 방식이 고안될 수 있다.

[0061]

[0068] 도 7b는 본 개시내용의 양상들에 따른, 마스크 기록 커맨드 동안 링크 ECC 패리티 비트 보호 정보 또는 ECC 위치 정보를 통신하기 위한 타이밍 다이어그램(750)을 도시한다. 타이밍 다이어그램(750)은, 클럭 신호(752) 및 커맨드/어드레스 신호(754)를 도시한다. 본 개시내용의 이러한 양상에서, 도 7a에 도시되는 구성에

따라, 링크 ECC 패리티 비트들(124)이 데이터(122)에 임베딩되는 곳을 표시하기 위한 ECC 위치 커맨드(예컨대, EL 비트들)가 마스크 기록(MW) 커맨드에 후속한다. 대안적 구성에서, ECC 위치 커맨드는 도 6a 및 도 6b에 도시되는 구성들에 따라 DM 보호 비트들뿐만 아니라 각각의 사분면(quadrant) ECC 위치 식별 비트들을 포함한다.

[0062] [0069] 도 8a는 본 개시내용의 양상들에 따른, 저전력 메모리 서브-시스템의 메모리 셀 어레이 및 링크 에러 정정 방법을 예시하는 흐름 다이어그램이다. 방법(800)은, 메모리 제어기가 기록 데이터에 대한 링크 ECC 패리티 비트들(예컨대, 64-비트/128-비트 기록 데이터에 대한 8-비트/9-비트 ECC 패리티 비트들)을 생성하는 블록(802)에서 시작된다. 블록(804)에서, 마스크 기록 동작이 수행되고 있는지 여부가 결정된다. 정상 기록 동작이 수행되고 있을 때, 블록(808)에서, 링크 ECC 패리티 비트들은 데이터 마스크 버스트 데이터에 부가된다. 예컨대, 도 2b에 도시되는 바와 같이, 링크 ECC 패리티 비트들(E0, ..., E15)은 미사용된 DM 핀들(예컨대, 260)을 통해 메모리 디바이스들(140)에 전달된다.

[0063] [0070] 블록(806)에서, 마스크 기록 커맨드에 대해, 링크 ECC 패리티 비트들은 제1 어서트된 데이터 마스크 비트와 연관된 제1 마스크 기록 데이터 바이트를 대체한다. 예컨대, 도 3a에 도시되는 바와 같이, 제1 8-비트 링크 ECC(예컨대, E0, ..., E7)는 제1 마스크 기록 데이터 바이트(312)(예컨대, D<16:23>) 내에 임베딩된다. 도 6a 및 도 6b에 도시되는 구성에 따라, 저전력 메모리 서브-시스템의 링크 에러 정정 및 보호 방법은, 마스크 기록 동작 동안, 대응하는 마스크 기록 데이터 바이트에 임베딩된 링크 ECC 패리티 비트들을 식별하는 제1 어서트된 데이터 마스크 비트를 보호하기 위한 데이터 마스크 ECC 패리티 비트들을 송신하는 단계를 포함할 수 있다. 방법은 또한, 마스크 기록 동작 동안, 사전 결정된 버스트 길이의 기록 데이터 내의 링크 ECC 패리티 비트들의 ECC 위치 코드(예컨대, 사분면 위치 코드)를 송신하는 단계를 포함한다. 도 7a에 도시되는 구성에 따라, 방법은, 마스크 기록 동작 동안 사전 결정된 버스트 길이의 기록 데이터 내의 링크 ECC 패리티 비트들의 블록 위치를 표시하는 비트 위치 코드를 송신하는 단계, 및 링크 ECC 패리티 비트들이 사전 결정된 버스트 길이의 기록 데이터의 데이터 부분 또는 데이터 마스크 부분에 임베딩되는지 여부를 표시하는 블록 위치 코드를 송신하는 단계를 포함할 수 있다.

[0064] [0071] 도 8a를 다시 참조하면, 블록(810)에서, 호스트(예컨대, SoC)는 기록 데이터 및 데이터 마스크를 타겟 메모리 디바이스에 전송한다. 블록(812)에서, 타겟 메모리 디바이스는 호스트로부터 기록 데이터 및 데이터 마스크를 수신한다. 블록(820)에서, 마스크 기록 동작이 수행되고 있는지 여부가 결정된다. 정상 기록 동작이 수행되고 있을 때, 프로세스 블록들(830 내지 834)은 정상 기록 커맨드를 완료하도록 실행된다. 마스크 기록 커맨드에 대해, 프로세스 블록들(822 내지 828)은 마스크 기록 커맨드를 완료하도록 실행된다. 본 개시내용의 이러한 양상에서, 메모리 디바이스들(140)은, 정상 기록 동작 동안, 미사용된 데이터 마스크 비트들 내에서 또는 마스크 기록 동작 동안, 어서트된 데이터 마스크 비트에 대응하는 마스크 기록 데이터 바이트 내에서 링크 에러 정정 코드(ECC) 패리티 비트들을 판독하기 위해 구성될 수 있다.

[0065] [0072] 도 8b는 본 개시내용의 양상들에 따른, 저전력 메모리 서브-시스템의 판독 동작을 위한 방법(850)을 예시하는 흐름 다이어그램이다. 블록(852)에서, 메모리 제어기는 판독 커맨드를 타겟 메모리 디바이스에 발행한다. 블록(854)에서, 타겟 메모리 디바이스는 메모리 셀 어레이로부터의 판독 데이터 및 ECC 어레이로부터의 메모리 ECC 비트들을 판독한다. 판독 동작에서, 선택적으로, 메모리 ECC 디코딩 및 판독 데이터 에러 정정을 위한 블록들(856 및 858)은, 블록들(860 및 862)에서 메모리 제어기가 ECC 인코더/디코더를 사용하여 메모리 셀 어레이에서 야기된 비트 에러를 복원할 수 있기 때문에, 메모리 구현을 간략화하고 판독 속도를 가속화시키기 위해(예컨대, 판독 커맨드로부터의 판독 레이턴시를 낮추기 위해) 스킵될 수 있다. 그것은, 메모리 성능(레이턴시)과 메모리 서브-시스템 신뢰도(메모리 셀 어레이 비트 에러 + 판독 링크 에러) 사이의 트레이드-오프이다.

[0066] [0073] 일 구성에서, 저전력 메모리 서브-시스템은 마스크 기록 동작 동안 링크 에러 정정 코드(ECC) 패리티 비트들을 미사용된 데이터 마스크 비트들에 그리고/또는 마스크 기록 데이터에 임베딩하기 위한 수단을 포함한다. 저전력 메모리 서브-시스템은 또한, 마스크 기록 동작 동안 적어도 링크 ECC 패리티 비트들의 위치를 보호하기 위한 수단을 포함한다. 본 개시내용의 일 양상에서, 임베딩 수단은, 임베딩 수단에 의해 기술되는 기능들을 수행하도록 구성된 도 1의 메모리 제어기(110)이다. 본 개시내용의 일 양상에서, 보호 수단은, 보호 수단에 의해 기술되는 기능들을 수행하도록 구성된 도 1의 ECC 인코더/디코더 로직(120)이다.

[0067] [0074] 도 1의 메모리 제어기(110)는 또한, 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 대응하는 마스크 기록 데이터 바이트에 임베딩된 링크 ECC 패리티 비트들을 식별하는 적어도 제1 어서트된 데이터 마스크 비트를 보호하기 위한 데이터 마스크 ECC 패리티 비트들, 및 사전 결정된 버스트 길이의 기록 데이터 내의 링크

ECC 패리티 비트들의 ECC 위치 코드(예컨대, 사분면 위치 코드)를 송신하기 위한 수단을 제공할 수 있다. 또한, 메모리 제어기(110)는 또한, 마스크 기록 동작 동안 커맨드/어드레스 버스를 통해, 사전 결정된 버스트 길이의 기록 데이터 내의 링크 ECC 패리티 비트들의 블록 위치를 표시하는 비트 위치 코드, 및 링크 ECC 패리티 비트들이 사전 결정된 버스트 길이의 기록 데이터의 데이터 부분 또는 데이터 마스크 부분에 임베딩되는지 여부를 표시하는 블록 위치 코드를 송신하기 위한 수단을 제공할 수 있다. 다른 양상에서, 전송된 수단은 전송된 수단에 의해 기술되는 기능들을 수행하도록 구성된 디바이스 또는 임의의 계층일 수 있다.

[0068] [0075] 본 개시내용의 양상들은 링크 ECC 패리티 비트들이 마스크된 기록 동작 동안 데이터(DQ) 핀들 또는 데이터 마스크(DM) 핀들을 통해 송신되는 기법을 설명한다. 유감스럽게도, 비트 에러가 링크 ECC 패리티의 위치를 마킹하는 DM 비트 상에서 발생할 때, 비트 에러는 디코딩되고 있는 잘못된 열 및 링크 ECC 패리티 비트들의 장애를 초래한다. 본 개시내용의 양상들에서, 마스크된 기록 동작들은 링크 ECC 패리티 비트들을 사용하여 기록 데이터뿐만 아니라 링크 ECC 패리티 비트들의 위치 둘 모두를 보호하도록 확장된다. 정상 기록 동작들에서, 링크 ECC 데이터의 위치는 항상 알려지며, 예측가능하다. 관독 동작에서, 메모리 제어기는 메모리 디바이스로부터 DM 데이터 스트림 내의 메모리/링크 ECC 패리티 비트들을 복원할 수 있다.

[0069] [0076] 그러나, 마스크된 기록 동작에서, 링크 ECC 패리티 비트들의 위치는 마스크된 바이트들의 수에 기반하여 변한다. 본 개시내용의 일 양상에서, 링크 ECC 패리티 비트들의 위치에 대한 정보는 더 낮은 속도(또는 그렇지 않으면 더 신뢰도 있는) 라인 상에서 개별적으로 보호되거나 또는 통신될 수 있다. 본 개시내용의 이러한 양상에서, 기록 데이터 버스트에서 DM 핀들을 보호하기 위한 데이터 마스크(DM) ECC 패리티 비트들이 마스크 기록 커맨드에 후속한다. 본 개시내용의 다른 양상에서, ECC 패리티 비트들의 위치는, 링크 ECC 패리티 비트들이 기록 데이터 버스트에 임베딩되는 위치를 표시하기 위해 마스크 기록 커맨드와 함께 송신된다.

[0070] [0077] 도 9는 본 개시내용의 구성이 유리하게 사용될 수 있는 예시적 무선 통신 시스템(900)을 도시하는 블록 다이어그램이다. 예시를 위해, 도 9는 3개의 원격 유닛들(920, 930 및 950) 및 2개의 기지국들(940)을 도시한다. 무선 통신 시스템들이 훨씬 더 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것이 인식될 것이다. 원격 유닛들(920, 930 및 950)은 개시되는 저전력 메모리 서브-시스템을 포함하는 IC 디바이스들(925A, 925B, 및 925C)을 포함한다. IC를 포함하는 임의의 디바이스가 기지국들, 스위칭 디바이스들, 및 네트워크 장비를 포함하는 개시되는 저전력 메모리 서브-시스템을 또한 포함할 수 있음을 인식할 것이다. 도 9는 기지국(940)으로부터 원격 유닛들(920, 930 및 950)로의 순방향 링크 신호들(980) 및 원격 유닛들(920, 930 및 950)로부터 기지국들(940)로의 역방향 링크 신호들(990)을 도시한다.

[0071] [0078] 도 9에서, 원격 유닛(920)은 모바일 전화로서 도시되고, 원격 유닛(930)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(950)은 무선 로컬 루프 시스템의 고정 위치 원격 유닛으로서 도시된다. 예컨대, 원격 유닛들은, 모바일 폰, 핸드-헬드 PCS(personal communication systems) 유닛, 개인용 데이터 보조기와 같은 휴대용 데이터 유닛, GPS 인에이블링된 디바이스, 네비게이션 디바이스, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 계량 관독 장비와 같은 고정 위치 데이터 유닛, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 조합일 수 있다. 예컨대, 저전력 메모리 서브-시스템을 포함하는 원격 유닛은 차량 제어 시스템, 서버 컴퓨팅 시스템 또는 중요한 데이터 무결성을 특징하는 다른 유사한 시스템 내에 통합될 수 있다. 도 9가 개시되는 저전력 메모리 서브-시스템을 포함하는 IC 디바이스들(925A, 925B 및 925C)을 예시하지만, 본 개시내용은 이 예시적인 예시된 유닛들로 제한되지 않는다. 본 개시내용의 양상들은 저전력 메모리 서브-시스템을 포함하는 임의의 디바이스에서 적합하게 사용될 수 있다.

[0072] [0079] 펌웨어 및/또는 소프트웨어 구현을 위해, 방법들은 본원에서 설명되는 기능들을 수행하는 모듈들(예컨대, 프로시저들, 기능들 등)로 구현될 수 있다. 명령들을 유형적으로(tangible) 구현하는 임의의 기계-관독가능한 매체는 본원에서 설명되는 방법들을 구현하는 데 사용될 수 있다. 예컨대, 소프트웨어 코드들은 메모리 내에 저장될 수 있으며, 프로세서 유닛에 의해 실행될 수 있다. 메모리는 프로세서 유닛 내에서 또는 프로세서 유닛 외부에서 구현될 수 있다. 본원에서 사용되는 바와 같이, "메모리"라는 용어는 임의의 타입의 장기, 단기, 휘발성, 비휘발성 또는 다른 메모리를 지칭하며, 임의의 특정 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입으로 제한되지 않을 것이다.

[0073] [0080] 펌웨어 및/또는 소프트웨어로 구현되는 경우, 기능들은 컴퓨터-관독가능한 매체 상에 하나 또는 그 초과 명령들 또는 코드로서 저장될 수 있다. 예들은 데이터 구조로 인코딩된 컴퓨터-관독가능한 매체들 및 컴퓨터 프로그램으로 인코딩된 컴퓨터-관독가능한 매체들을 포함한다. 컴퓨터-관독가능한 매체들은 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 이용가능한 매체일 수 있다. 제한이

아닌 예시로서, 그러한 컴퓨터-판독가능한 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소, 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하기 위해 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있고; 본원에서 사용되는 디스크(disk 및 disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc) 및 블루-레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 위의 것들의 조합들이 또한 컴퓨터-판독가능한 매체들의 범위 내에 포함되어야 한다.

[0074] [0081] 컴퓨터-판독가능한 매체 상의 저장 이외에, 명령들 및/또는 데이터는 통신 장치 내에 포함되는 송신 매체들 상에서 신호들로서 제공될 수 있다. 예컨대, 통신 장치는 명령들 및 데이터를 표시하는 신호들을 가지는 트랜시버를 포함할 수 있다. 명령들 및 데이터는, 하나 또는 그 초과 프로세서들로 하여금, 청구항들에서 개략되는 기능들을 구현하게 하도록 구성된다.

[0075] [0082] 본 개시내용 및 본 개시내용의 이점들이 상세하게 설명되었지만, 첨부된 청구항들에 의해 정의되는 개시내용의 기술로부터 벗어나지 않으면서, 다양한 변화들, 치환들 및 변경들이 본원에서 행해질 수 있다는 것이 이해되어야 한다. 예컨대, "위" 및 "아래"와 같은 관계적 용어들이 기관 또는 전자 디바이스에 대해 사용된다. 물론, 기관 또는 전자 디바이스가 반전되면, 위가 아래가 되고, 그 반대도 마찬가지이다. 부가적으로, 옆쪽으로 지향되면, 위 및 아래는 기관 또는 전자 디바이스의 측면들을 지칭할 수 있다. 더욱이, 본 출원의 범위는 본 명세서에서 설명되는 프로세스, 머신, 제조 및 물질의 조성, 수단, 방법들 및 단계들의 특정 구성들로 제한되도록 의도되지 않는다. 당업자가 본 개시내용으로부터 용이하게 인식하는 바와 같이, 본원에서 설명되는 대응하는 구성들과 실질적으로 동일한 결과를 달성하거나 또는 실질적으로 동일한 기능을 수행하는, 현재 존재하거나 또는 향후에 개발될 프로세스들, 머신들, 제조, 물질의 조성들, 수단, 방법들, 또는 단계들이 본 개시내용에 따라 활용될 수 있다. 따라서, 첨부되는 청구항들은 그러한 프로세스들, 머신들, 제조, 물질의 조성들, 수단, 방법들, 또는 단계들을 그들의 범위 내에 포함하도록 의도된다.

[0076] [0083] 당업자들은 본원에서 개시내용과 관련하여 설명되는 다양한 예시적인 논리적 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 둘 모두의 조합들로서 구현될 수 있다는 것을 추가로 인식할 것이다. 하드웨어 및 소프트웨어의 이러한 교환가능성을 명확하게 예시하기 위해, 다양한 예시적 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 일반적으로 그 기능성의 측면에서 위에서 설명되었다. 그러한 기능성이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 전체 시스템 상에 부과되는 설계 제약들 및 특정 애플리케이션에 의존한다. 당업자들은 설명되는 기능을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 관점들이 본 개시내용의 범위로부터 이탈을 야기하는 것으로 해석되지 않아야 한다.

[0077] [0084] 본원에서 개시내용과 관련하여 설명되는 다양한 예시적 논리 블록들, 모듈들 및 회로들이 범용 프로세서, DSP(digital signal processor), ASIC(application specific integrated circuit), FPGA(field programmable gate array) 또는 다른 프로그래밍가능한 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 개별 하드웨어 컴포넌트들, 또는 본원에서 설명되는 기능들을 수행하도록 설계되는 이들의 임의의 조합으로 구현되거나 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신(state machine)일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다.

[0078] [0085] 본 개시내용과 관련하여 설명되는 알고리즘 또는 방법의 단계들은 직접 하드웨어로 구현되거나, 프로세서에 의해 실행되는 소프트웨어 모듈로 구현되거나, 또는 이들의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM, 플래시 메모리, ROM, EPROM, EEPROM, 레지스터들, 하드 디스크, 탈착가능한(removable) 디스크, CD-ROM, 또는 당해 기술 분야에서 알려진 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC 내에 상주할 수 있다. ASIC는 사용자 단말 내에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말 내에 개별 컴포넌트들로서 상주할 수 있다.

[0079] [0086] 하나 또는 그 초과 예시적 설계들에서, 설명되는 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 컴퓨터-판독가능한 매체 상에 하

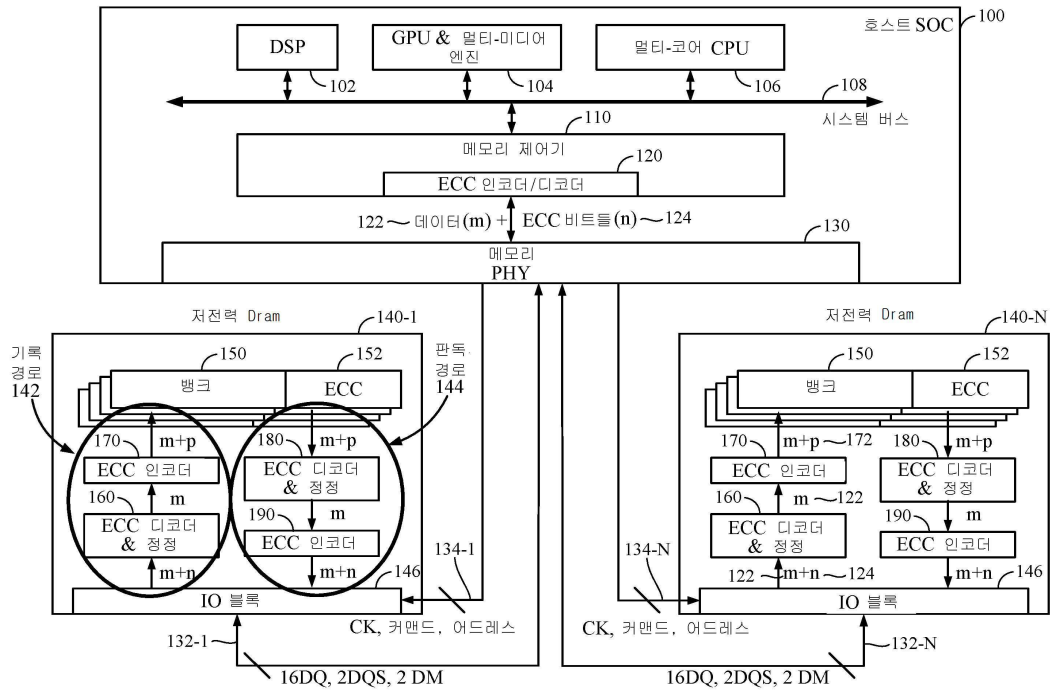
나 또는 그 초과 명령들 또는 코드로서 저장되거나 또는 이를 통해 송신될 수 있다. 컴퓨터-판독가능한 매체들은 하나의 장소에서 다른 장소로의 컴퓨터 프로그램의 이동을 가능하게 하는 임의의 매체를 포함하는 통신 매체들, 및 컴퓨터 저장 매체들 둘 모두를 포함한다. 저장 매체는 범용 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능한 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 특정된 프로그램 코드 수단을 저장 또는 반송하기 위해 사용될 수 있고, 범용 컴퓨터 또는 특수 목적 컴퓨터 또는 범용 프로세서 또는 특수 목적 프로세서에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 연결수단(connection)이 컴퓨터-판독가능한 매체로 적절히 칭해진다. 예컨대, 소프트웨어가 웹사이트, 서버, 또는 다른 원격 소스로부터 동축 케이블, 광섬유 케이블, 트위스티드 페어(twisted pair), DSL(digital subscriber line), 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들을 사용하여 송신되는 경우, 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들이 매체의 정의 내에 포함된다. 본원에서 사용되는 디스크(disk 및 disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc) 및 블루레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 위의 것들의 조합들이 또한 컴퓨터-판독가능한 매체들의 범위 내에 포함되어야 한다.

[0080]

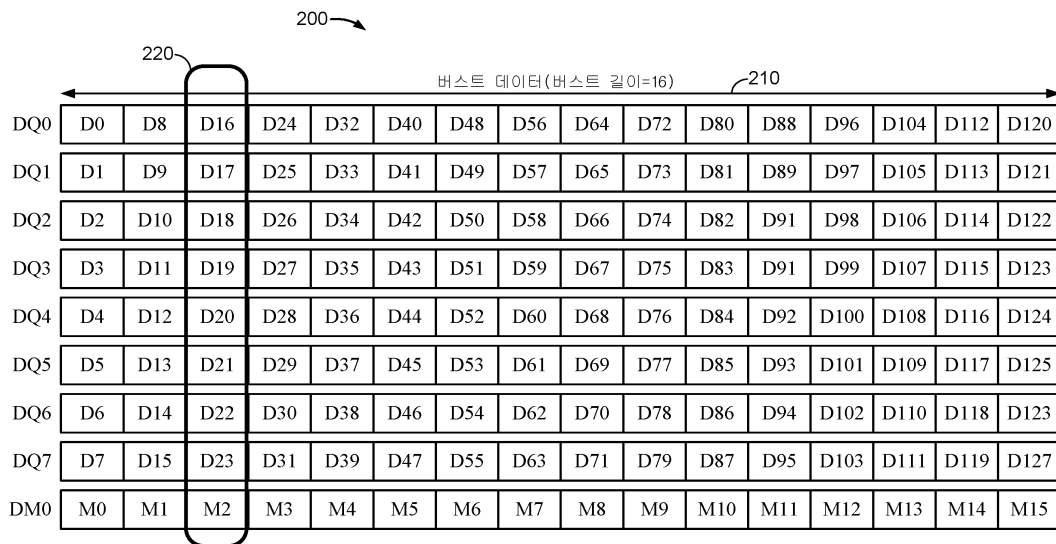
[0087] 이전 설명은 임의의 당업자가 본원에서 설명되는 다양한 양상들을 실시하는 것을 가능하게 하도록 제공된다. 이 양상들에 대한 다양한 수정들은 당업자들에게 용이하게 명백할 것이고, 본원에서 정의되는 일반적 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본원에서 도시되는 양상들로 제한되도록 의도되는 것이 아니라, 청구항 문언과 일치하는 전체 범위를 따르도록 한 것이고, 단수인 엘리먼트에 대한 참조는 구체적으로 그렇게 서술되지 않는 한, "하나 그리고 오직 하나"를 의미하도록 의도되지 않고, 오히려 "하나 또는 그 초과"를 의미하도록 의도된다. 달리 구체적으로 서술되지 않는 한, "일부"라는 용어는 하나 또는 그 초과를 지칭한다. 항목들의 리스트 "중 적어도 하나"를 지칭하는 문구는 단일 부재들을 포함하는 그러한 항목들의 임의의 조합을 지칭한다. 예로서, "a, b 또는 c 중 적어도 하나"는, a; b; c; a 및 b; a 및 c; b 및 c; 및 a, b 및 c를 커버하도록 의도된다. 당업자들에게 알려져 있거나 또는 향후에 알려질 본 개시내용의 전반에 걸쳐 설명되는 다양한 양상들의 엘리먼트들에 대한 모든 구조적 그리고 기능적 등가물들은 인용에 의해 본원에 명백하게 포함되고, 청구항들에 의해 망라되도록 의도된다. 더욱이, 본원에서 개시되는 어떤 것도 그러한 개시내용이 청구항들에서 명시적으로 인용되는지에 관계 없이 공중에 전용되도록 의도되지 않는다. 엘리먼트가 "위한 수단"이라는 문구를 사용하여 명백하게 기술되거나, 또는 방법 청구항의 경우, 엘리먼트가 "위한 단계"라는 문구를 사용하여 기술되지 않는 한, 어떠한 청구항 엘리먼트도 35 U.S.C. § 112의 6번째 문단의 조항들 하에서 해석되지 않을 것이다.

도면

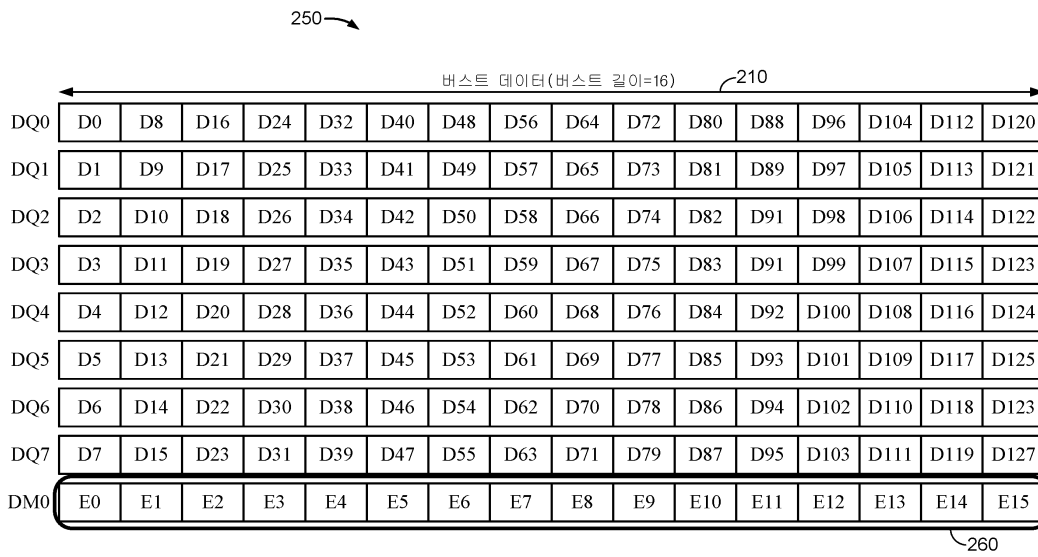
도면1



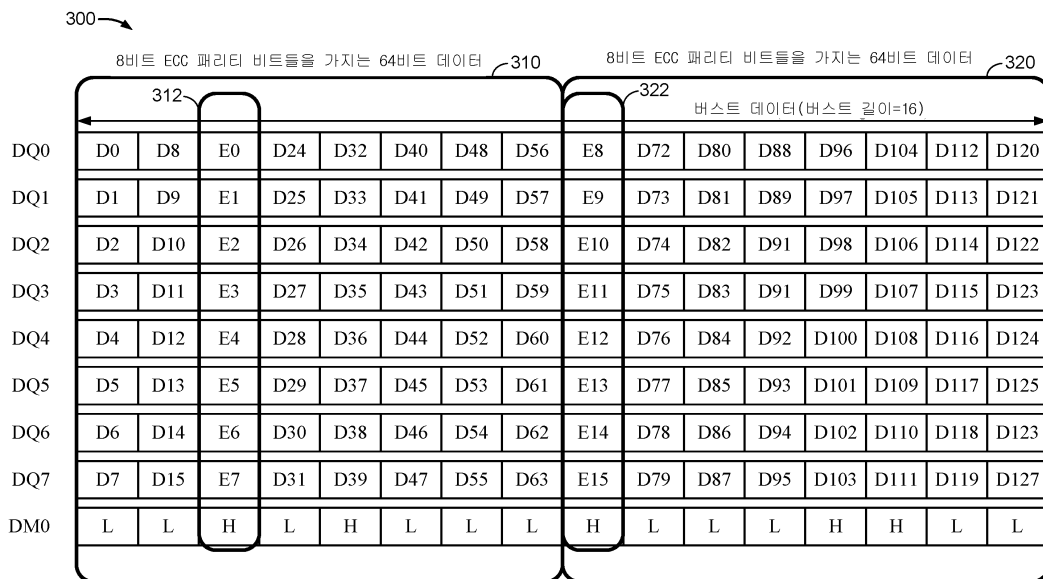
도면2a



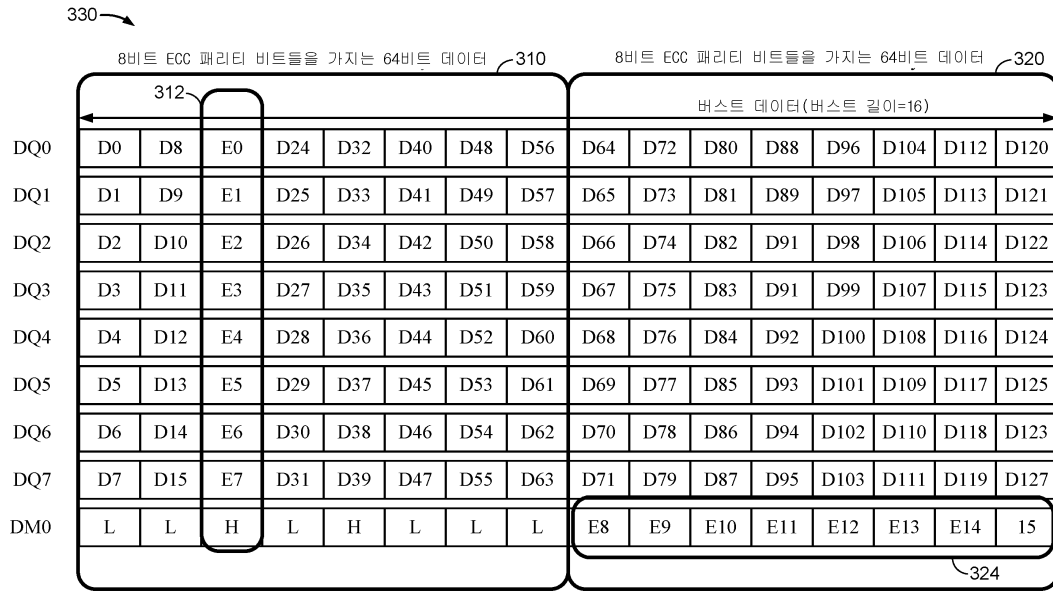
도면2b



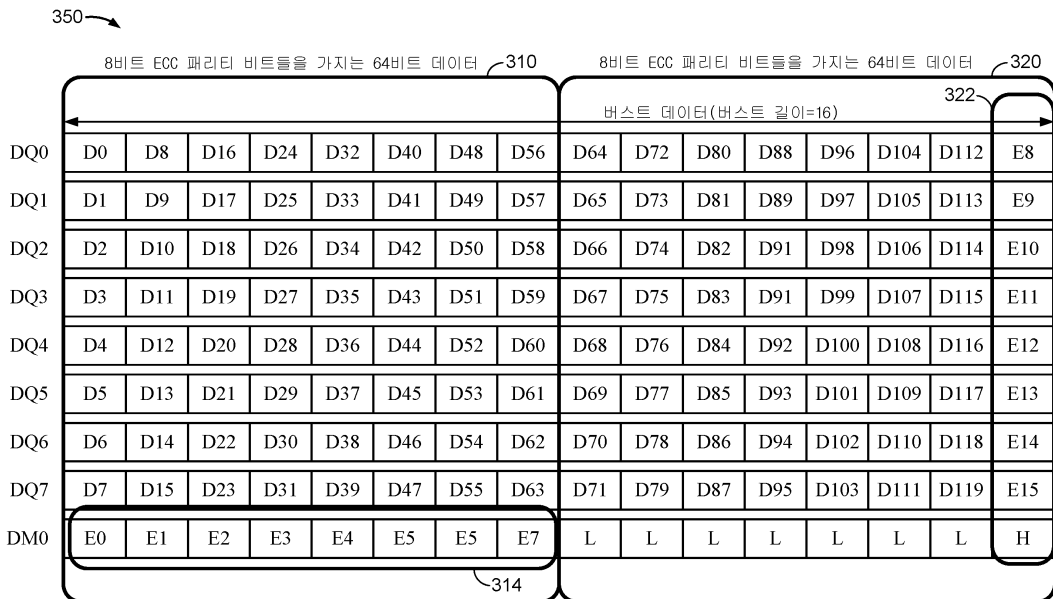
도면3a



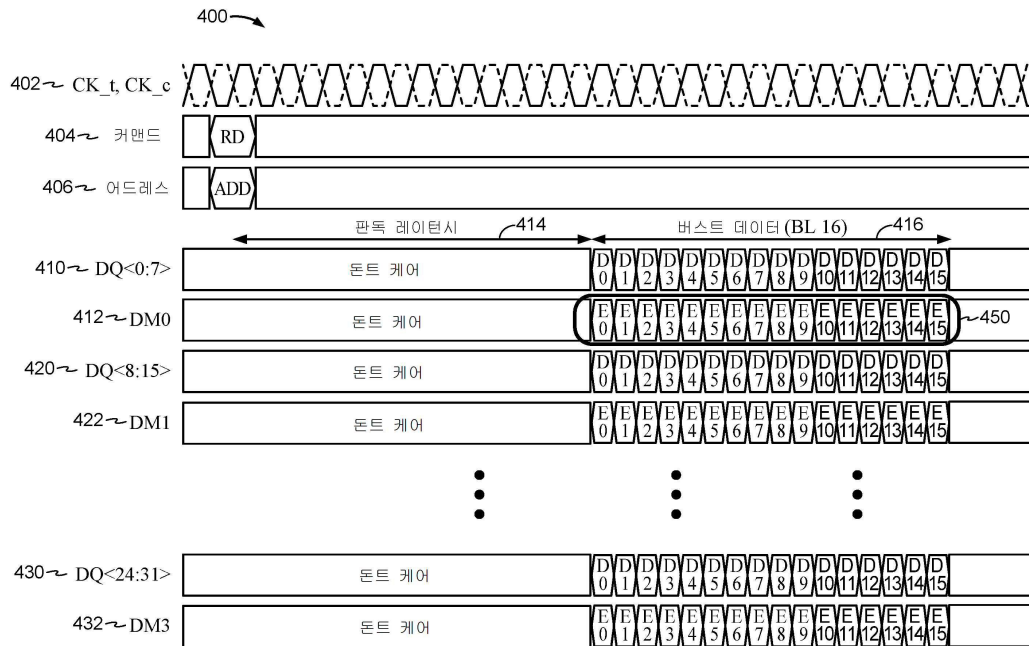
도면3b



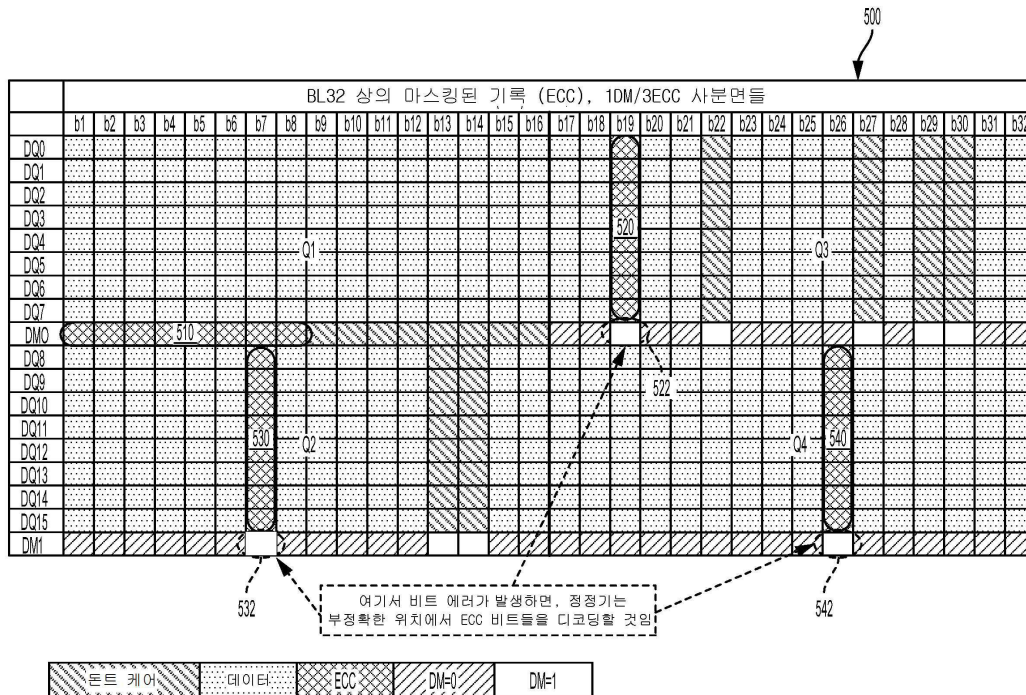
도면3c



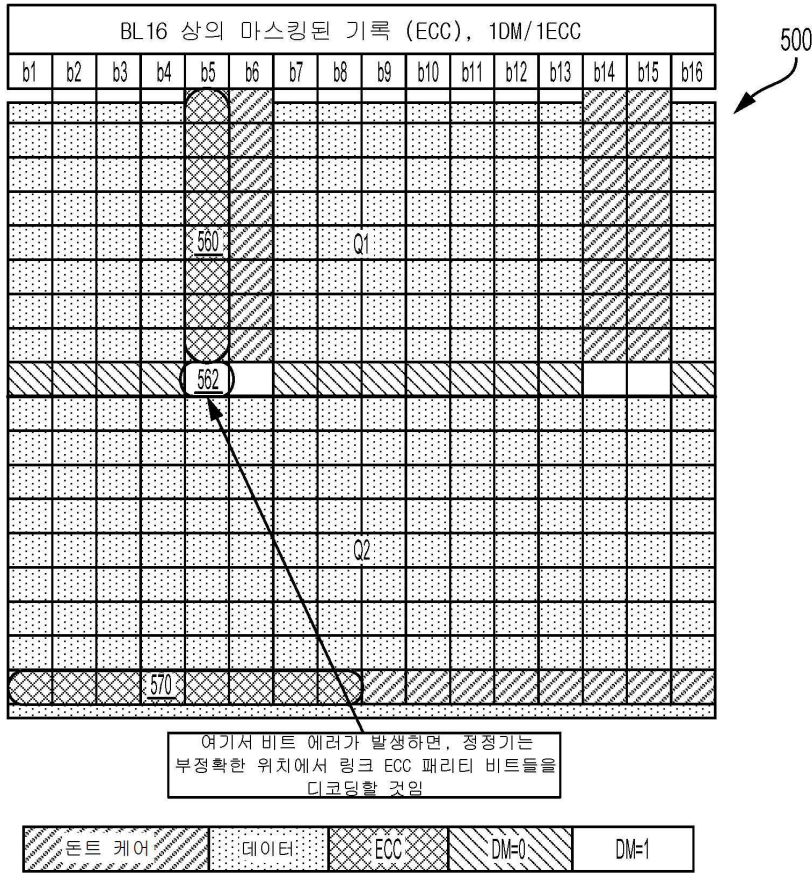
도면4



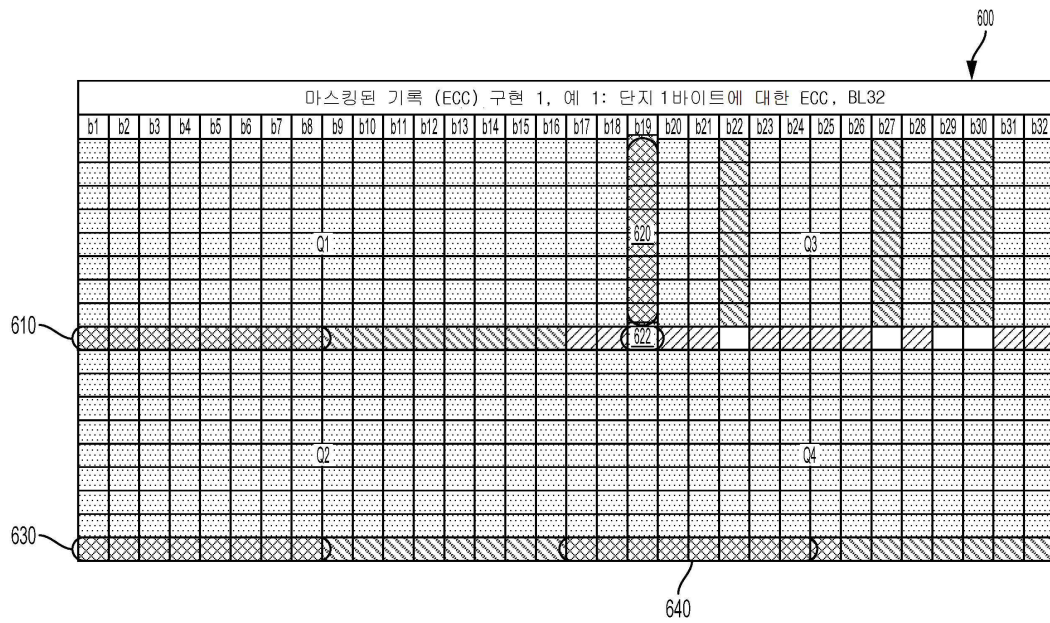
도면5a



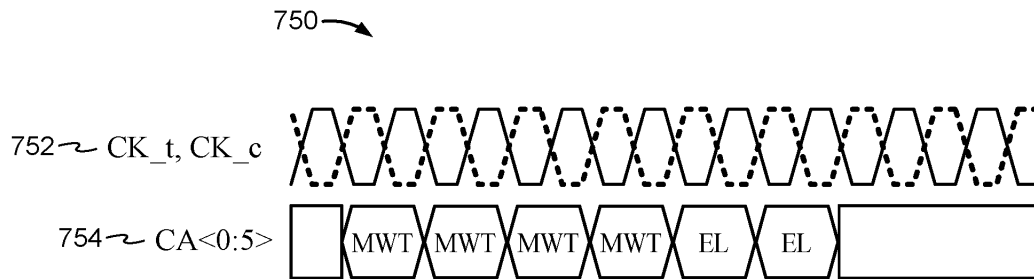
도면5b



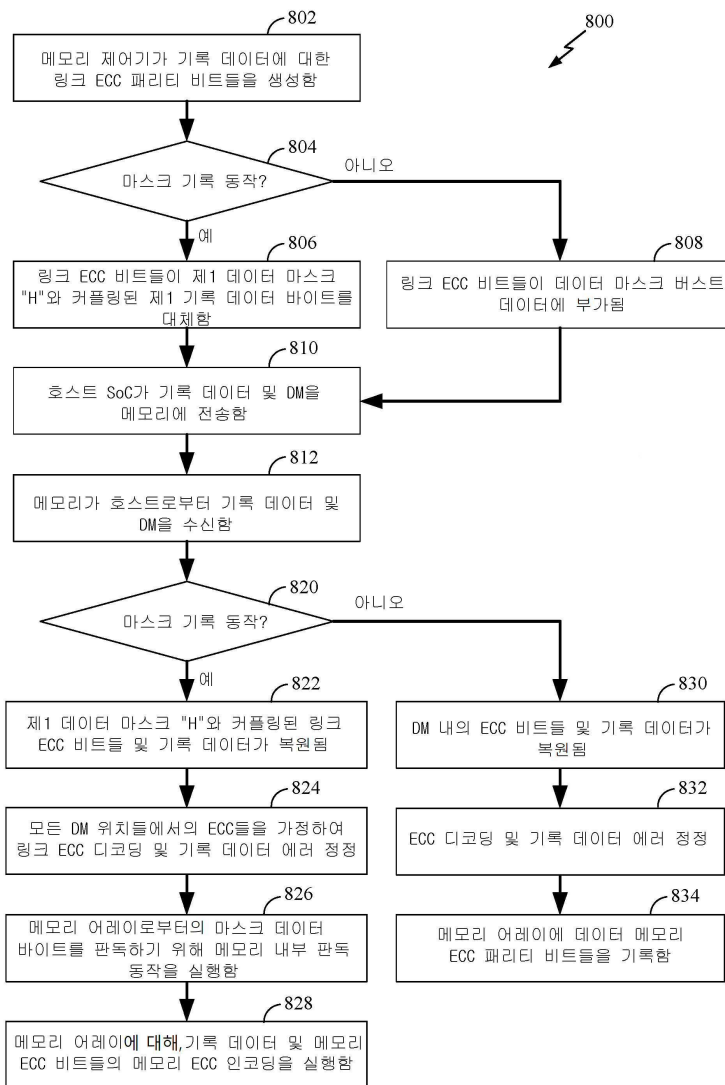
도면6a



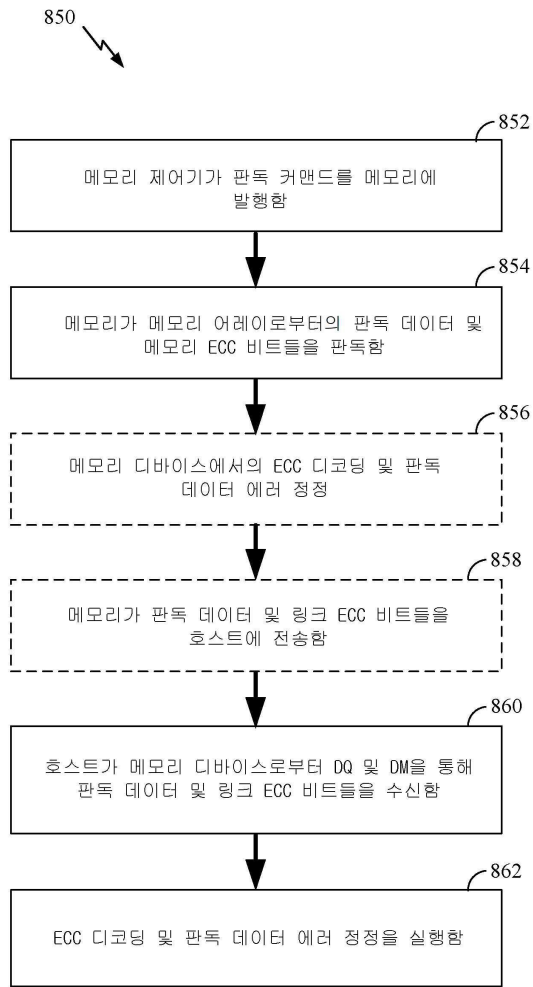
도면7b



도면8a



도면8b



도면9

