(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102077341 B
(45)授权公告日 2014.04.23

(21)申请号 200980124216.6
(22)申请日 2009.06.26
(30)优先权数据
08290622.3 2008.06.26 EP
(85)PCT国际申请进入国家阶段日
2010.12.24
(86)PCT国际申请的申请数据
PCT/IB2009/052773 2009.06.26
(87)PCT国际申请的公布数据
WO2009/156970 EN 2009.12.30
(73)专利权人 NXP股份有限公司
地址 荷兰艾恩德霍芬
(72)发明人 埃里克·皮雷尔兹
杰恩-马克·闫欧 斯蒂芬·贝兰格
迈克尔·鲍米尔
(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 王波波
(51)Int.Cl.
H01L 23/31(2006.01)
审查员 马良

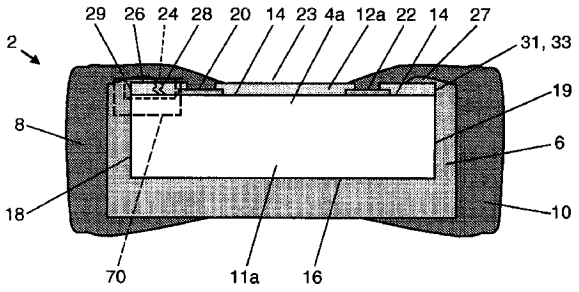
权利要求书3页 说明书12页 附图6页

(54)发明名称

封装半导体产品及其制造方法

(57)摘要

封装半导体产品(2)包括第一半导体器件(4A)和封装结构,所述封装结构具有保护外壳(6)以及第一和第二外部电极(8,10)。所述第一半导体器件(4A)具有第一衬底(11A)并且配置有第一钝化层(12A)和第一电子结构。所述第一衬底具有第一主表面(14)。所述第一衬底(11A)嵌入到保护外壳(6)中,并且所述第一主表面(14)面对所述保护外壳(6)的第一开口(23)。第一电子结构具有用于电接触第一电子结构的第一和第二接触区域(20、22)。所述钝化层(12A)实质上覆盖了所述第一主表面(14)和所述第一电子结构。所述保护外壳(6)在所述第一钝化层(12A)和所述第一外部电极(8)之间朝着所述第一接触区域(20)延伸。



CN 102077341 B

1. 一种封装半导体产品，包括第一半导体器件和封装结构，所述封装结构具有保护外壳以及第一和第二外部电极，所述第一半导体器件具有第一衬底并且配置有第一钝化层和第一电子结构，

其中将所述第一衬底嵌入到所述保护外壳中，并且所述第一衬底具有面对所述保护外壳的第一开口的第一主表面，所述第一电子结构沿第一主表面与所述第一衬底集成并且具有第一和第二接触区域，其中所述第一钝化层覆盖所述第一主表面和所述第一电子结构、但是所述第一和第二接触区域未覆盖，其中所述第一外部电极与第一接触区域电连接，并且所述第二外部电极与所述第二接触区域电连接，其特征在于所述保护外壳在所述第一钝化层和所述第一外部电极之间朝着所述第一接触区域延伸，

其中所述第一衬底还具有与所述第一主表面相反的第二主表面以及从所述第一主表面向所述第二主表面延伸的第一侧表面，其中所述保护外壳沿所述第二主表面和 / 或所述第一侧表面延伸，其中所述第一外部电极覆盖与所述第一主表面、所述第二主表面和 / 或所述第一侧表面的至少之一相邻的那部分保护外壳，以及

其中在与第一侧表面相邻的所述第一衬底的第一主表面中设置凹部。

2. 根据权利要求 1 所述的封装半导体产品，其中所述第一外部电极通过与所述第一接触区域直接接触与所述第一接触区域电连接和 / 或所述第二外部电极通过与所述第二接触区域直接接触与所述第二接触区域电连接。

3. 根据权利要求 1 所述的封装半导体产品，其中所述保护外壳还在所述第一钝化层和所述第二外部电极之间朝着所述第二接触区域延伸。

4. 根据权利要求 2 所述的封装半导体产品，其中所述保护外壳还在所述第一钝化层和所述第二外部电极之间朝着所述第二接触区域延伸。

5. 根据权利要求 1 所述的封装半导体产品，其中所述凹部存在于所述第一侧表面与另外的第二侧表面的交叉处。

6. 根据权利要求 1 至 5 中任一项所述的封装半导体产品，所述封装半导体产品包括第二半导体器件，所述第二半导体器件具有第二衬底并且配置有第二钝化层和第二电子结构，其中所述第二衬底嵌入到所述保护外壳中并且包括面对所述保护外壳的第二开口的第三主表面，所述第二电子结构沿所述第三主表面与所述第二衬底集成并且具有第三和第四接触区域，其中所述第二钝化层覆盖了所述第三主表面和所述第二电子结构、但是所述第三和第四接触区域未覆盖，其中所述第二外部电极与所述第四接触区域电连接并且经由所述第四接触区域、所述第二电子结构、所述第三接触区域和从所述第三接触区域到所述第二接触区域的导电结构与所述第二接触区域电连接，其中所述保护外壳形成了所述第一衬底和所述第二衬底之间的电隔离结构。

7. 根据权利要求 6 所述的封装半导体产品，其中隔离层部分在所述导电结构和所述第一和 / 或第二钝化层之间延伸。

8. 根据权利要求 7 所述的封装半导体产品，其中所述隔离层部分配置用于在所有的导电结构和所述第一衬底之间和 / 或在所有的导电结构和所述第二衬底之间延伸。

9. 根据权利要求 7 所述的封装半导体产品，其中通过所述保护外壳的延伸部形成至少一部分所述隔离层，所述保护外壳的延伸部在所述第一钝化层和所述导电层之间朝着所述第二接触区域延伸和 / 或在所述第二钝化层和所述导电结构之间朝着所述第三接触区域

延伸。

10. 根据权利要求 8 所述的封装半导体产品，其中通过所述保护外壳的延伸部形成至少一部分所述隔离层，所述保护外壳的延伸部在所述第一钝化层和所述导电层之间朝着所述第二接触区域延伸和 / 或在所述第二钝化层和所述导电结构之间朝着所述第三接触区域延伸。

11. 根据权利要求 6 所述的封装半导体产品，其中所述第二外部电极通过与所述第四接触区域的直接接触与所述第四接触区域电连接，其中所述保护外壳在所述第二钝化层和所述第二外部电极之间朝着所述第四接触区域延伸。

12. 根据权利要求 1 或 6 所述的封装半导体产品，其中所述第一和 / 或第二电子结构包括无源部件、用于组合无源功能的结构、以及集成电路结构的至少一个。

13. 一种电子产品，包括根据权利要求 1 至 12 中任一项所述的封装半导体产品。

14. 一种制造封装半导体产品的方法，所述封装半导体产品包括第一半导体器件和封装结构，所述封装结构具有保护外壳以及第一和第二外部电极，所述第一半导体器件包括具有第一主表面的第一衬底，所述方法包括以下步骤 ：

a) 将第一电子结构沿第一主表面与所述第一衬底集成，所述第一电子结构具有用于电接触所述第一电子结构的第一和第二接触区域 ；

b) 向第一衬底提供第一钝化层，所述第一钝化层覆盖所述第一主表面和所述第一电子结构、但是所述第一和第二接触区域未覆盖 ；

c) 将所述第一半导体器件放置到载体上 ；

d) 在第一半导体器件周围模制所述保护外壳，使得将所述第一衬底嵌入到所述保护外壳中，所述第一主表面面对所述保护外壳的第一开口，以及沿所述第一钝化层的一部分进一步模制所述保护外壳 ；以及

e) 应用所述第一和第二外部电极，所述第一外部电极与所述第一接触区域相连，所述第二外部电极与所述第二接触区域电连接。

15. 根据权利要求 14 所述的方法，其中步骤 c) 包括将所述第一半导体器件放置到载体上，所述载体具有面对所述载体的第一钝化层 ；以及步骤 d) 包括通过部分地填充所述第一钝化层和所述载体之间的空隙，沿所述部分的第一钝化层在所述第一半导体器件周围模制所述保护外壳。

16. 根据权利要求 14 所述的方法，包括对于多个第一半导体器件执行步骤 a)-e)，其中所述载体对于多个第一半导体器件是公共的，并且通过公共模制结构形成多个第一半导体器件的保护外壳，其中在步骤 a)-d) 之后获得模制的晶片，并且可能在步骤 e) 之后获得包括多个第一半导体器件和公共模制结构的模制晶片，所述方法包括以下步骤 ：

f) 将所述模制的晶片划分为分离的封装半导体产品，每一个封装半导体产品包括所述多个第一半导体器件的一个或多个半导体器件。

17. 根据权利要求 14 所述的方法，包括对于多个第一半导体器件执行步骤 a)-e)，其中所述载体对于多个第一半导体器件是公共的，并且通过公共模制结构形成多个第一半导体器件的保护外壳，其中在步骤 a)-d) 之后获得模制的晶片，并且可能在步骤 e) 之后获得包括多个第一半导体器件和公共模制结构的模制晶片，所述方法包括以下步骤 ：

f) 将所述模制的晶片划分为分离的封装半导体产品，每一个封装半导体产品包括所述

多个第一半导体器件的一个或多个半导体器件。

18. 根据权利要求 14 至 17 中任一项所述的方法，所述方法包括通过使用具有第一厚度的锯来锯切在所述半导体晶片中产生槽口以及使用具有小于所述第一厚度的第二厚度的锯沿所述槽口锯切，将所述第一半导体器件从半导体晶片分离，从而获得与所述第一侧表面相邻的凹部。

19. 根据权利要求 14 至 17 中任一项所述的方法，步骤 e) 包括应用所述第一外部电极与所述第一接触区域直接电接触和 / 或应用所述第二外部电极与所述第二接触区域直接电接触。

20. 根据权利要求 18 所述的方法，步骤 e) 包括应用所述第一外部电极与所述第一接触区域直接电接触和 / 或应用所述第二外部电极与所述第二接触区域直接电接触。

封装半导体产品及其制造方法

技术领域

[0001] 本发明涉及一种封装半导体产品，包括第一半导体器件和封装结构，所述封装结构具有保护外壳(protective envelop)以及第一和第二外部电极，所述第一半导体器件具有第一衬底并且配置有第一钝化层和第一电子结构，其中将所述第一衬底嵌入到保护外壳中，并且所述第一衬底具有面对所述保护外壳的第一开口的第一主表面，所述第一电子结构沿第一主表面与所述第一衬底集成并且具有第一和第二接触区域，其中所述第一钝化层实质上覆盖所述第一主表面和第一电子结构，并且不覆盖(leave free)所述第一和第二接触区域，其中所述第一外部电极与第一接触区域电连接，优选地直接接触所述第一接触区域，并且所述第二外部电极与所述第二接触区域电连接。通过嵌入到保护外壳中，所述第一衬底由保护外壳部分地封装起来。

[0002] 本发明也涉及一种包括根据本发明的封装半导体产品的电子产品。

[0003] 本发明还涉及一种制造封装半导体产品的方法，所述封装半导体产品包括第一半导体器件和封装结构，所述封装结构具有保护外壳以及第一和第二外部电极，所述第一半导体器件包括具有第一主表面的第一衬底，所述方法包括以下步骤：a) 将第一电子结构沿第一主表面与所述第一衬底集成，所述第一电子结构具有用于电接触所述第一电子结构的第一和第二接触区域；b) 向第一衬底提供第一钝化层，所述第一钝化层实质上覆盖所述第一主表面和第一电子结构，并且不覆盖所述第一和第二接触区域；c) 将所述第一半导体器件放置到载体上。

背景技术

[0004] 配置有一个或多个集成无源功能的半导体器件已经稳定地增加了它们的集成度水平。结果，这些器件变得具有商业竞争力，并且提供差异化的优势：在提供这些电子部件的特征参数的较宽范围值的同时，允许不同电子部件的定制集成。然而，半导体器件配置有诸如硅之类的半导体衬底，其不是优选的电隔离器。

[0005] 集成电路中的钝化层通常目的在于防止集成电路外部的侵蚀和电学干扰。另外，钝化层通常是足够厚的氮化硅致密演变层，所述钝化层除了在除了键合焊盘的位置之外的整个集成电路上延伸。集成电路的侧表面通常受到保护外壳的保护，所述保护外壳也包封了从键合焊盘延伸到封装衬底的嵌入式引线键合焊盘。在所谓的芯片级封装中，甚至会完全省略这种保护外壳。

[0006] 然而，半导体器件的微型化以及诸如当前和未来超薄移动电话之类的消费产品的空间限制要求新的封装概念。这种概念之一是只是作为在印刷电路板中嵌入的无源离散器件将集成电路（即芯片）设置在印刷电路板中。另一种概念是产生散开的晶片级封装。这种类型的封装将允许所述封装具有稍微大于芯片的表面积，以提供用于所有端子的足够空间，同时不需要分离的封装载体－分离的封装载体将使得球栅阵列相对昂贵。与传统封装的不同之处在于接触电极可以在所述芯片的侧表面上侧向地延伸，所述侧表面具体是由芯片和保护外壳之间的界面组成。所述侧表面的具体形式将使用U型接触，所述U型接触典

型地应用于离散的无源部件，也简称为 SMD。具有 U 型接触的封装半导体器件尤其具有以下优势：它们可以与 SMD 相应地进行装配，并且在板装配期间不需要区分器件的底侧和顶侧。因此，利用有限个数的接触电极将特别小的芯片转换到 SMD 型封装中正是所需的。

[0007] 在导致本发明的研究过程中，已经发现散开的封装半导体器件产生比配置有更传统的封装的半导体器件对于产生电短路具有更小的抵抗力。具体地，在诸如 ESD- 事件中可能发生的高电压脉冲的情况下，发现这种阻抗不足以短路。

发明内容

[0008] 因此，本发明的目的是提供一种具有改进的抗电学短路抵抗力的封装半导体产品。

[0009] 因此，本发明提出了一种封装半导体产品，其中保护外壳在第一钝化层和第一外部电极之间朝着第一接触区域延伸。因此换句话说，所述保护外壳不只存在于芯片侧面附近，而且存在于所述钝化层的顶部上（当所述芯片利用钝化层定位于其顶部一侧上时）但是在第一外部电极的下面。这样，可以减小所述第一钝化层发展出一个或多个裂缝的可能性，例如在所述第一钝化层的边界附近。发现这些裂缝是所述减小的抵抗力的原因，因为它们允许从外部电极到半导体衬底中的直接路径。发现对于裂缝的特定位置是在界面处，并且进一步地在钝化层和半导体衬底之间。这种裂缝也可以在施加保护外壳之前存在。例如，它们可以是来自于用于将第一半导体器件从半导体晶片上分离的锯切工艺。在存在后一种裂缝的情况下，可以通过保护外壳的存在妨碍这些裂缝的进一步延伸或者开口。此外，尤其是当电学隔离时，所述保护外壳有助于防止外部电极与所述第一半导体器件的第一衬底不希望的直接电接触。例如，这种不希望的直接接触可能是由在封装半导体产品的使用期间流到裂缝中的外部电极材料引起的，但是也可以是在当制造封装半导体产品时应用外部电极期间发生。结果，减小了第一外部电极和第一衬底之间不希望的短路的风险。在所述第一钝化层和第一外部电极之间朝着第一接触区域延伸的所述保护外壳改善了封装半导体产品的可靠性，特别是对于要求高电流通过第一外部电极和 / 或要在第一外部电极和第一衬底之间要求较高电压的应用，例如静电放电 (ESD) 包括。保护外壳一方面有效地形成了第一和第二外部电极之间的附加电隔离障碍，另一方面有效地形成了不倾向于与第一和第二外部电极直接电接触的第一衬底的区域，但是也可以改善电磁干扰 (EMI) 滤波器的质量。这里的一个重要方面是所述保护外壳优选地包括具有比半导体衬底和钝化层更高弹性的材料。于是，行为与钝化层不同的附加障碍导致了改进的性能。

[0010] 更具体地，所述保护外壳具有背对钝化层并且被第一外部电极至少部分覆盖的表面。这种表面终止于所述钝化层上。优选地，这种表面与钝化层（顶部一侧）的接触角小于 90°，并且优选地小于 45°。如果在施加保护外壳时发生所述钝化层的（部分）润湿，将实现这种小的接触角。如在物理化学领域已知的，润湿行为依赖于溶剂以及外壳与钝化层的分子反应。合适的选择和表面处理可以支持所需效果。具体地，所述接触区域，并且合适地包围所述接触区域的一部分钝化层配置有表面结构或者表面处理或者临时覆盖物，使得保护外壳不会在所述接触区域上延伸。

[0011] 在实施例中，所述外部电极是 U 形形状的。更具体的来说，第一衬底还具有与所述第一主表面相反的第二主表面以及从所述第一主表面向所述第二主表面延伸的第一侧

表面，其中所述保护外壳沿所述第二主表面和 / 或所述第一侧表面延伸，其中所述第一外部电极覆盖与所述第一主表面、所述第二主表面和 / 或所述第一侧表面的至少之一相邻的那部分保护外壳。这样，例如在所述第一和第二外部电极覆盖与第一主表面和第二主表面都相邻的那部分保护外壳的情况下，可以将封装的半导体产安装到表面，例如印刷电路板表面，而不考虑所述电子结构是面朝所述印刷电路板的表面还是背对所述印刷电路板的表面。此外，这种封装半导体产品可以具有沿与第一和第二主表面横切的方向测量的厚度，至多 150 微米，或者甚至至多 100 微米。封装半导体产品的这种较小小厚度可以有利地减小包括所述封装半导体产品的电子产品的重量和尺寸。

[0012] 在实施例中，在与第一侧表面和第一主表面的边缘相邻的半导体衬底中存在凹部。合适地，这种凹部存在于与另外的第二侧表面的边缘，即在封装器件的角落。然而，并没有排除这种凹部在更大的部分上延伸，直到沿整个第一侧表面构成凹槽。在该实施例中，减小了诸如所述保护外壳从所述第一衬底分层之类的损坏的可能性。通过填充所述凹部，所述保护外壳可以与所述凹部结合。实际上，在第一半导体器件的生产工艺期间可能发生分层，但是在使用第一半导体器件期间也可能发生分层，具体地在苛刻的环境中使用，例如较大的温度波动导致热机械应力和 / 或诸如机械振动之类的较高机械负载。这种分层可能导致第一和 / 或第二外部电极与第一衬底之间的直接电接触。通过根据本发明在制造期间防止分层，可以提高制造产量。

[0013] 更具体地，所述凹部配置有凹部表面，所述凹部表面与所述第一侧表面和所述第一主表面都围成范围在 45° 至 135° 之间的角度，更优选地范围在 60° 和 120° 之间，甚至更优选地范围在 75° 至 105° 之间。按照这种方式，使能能够实现保护外壳和第一衬底之间合适的结合。优选地，所述凹部表面是圆形的。所述角度和表面形状都允许通过打孔、激光作用和 / 或刻蚀产生所述凹部。

[0014] 沿所述钝化层延伸和 / 或在所述凹部上结合的保护外壳提供这样的优势 ：增加了封装半导体产品抵抗机械振动以及抵抗封装半导体产品的（可能重复地）温度变化引起的热机械应力破坏的鲁棒性。这是通过保护外壳结合（例如紧握）在所述凹部上和 / 或结合在第一主表面上来实现的。

[0015] 在实施例中，第一钝化层的边界实质上一直延伸到所述第一主表面的边界。这具有以下优势 ：可以在一个批次的沉积步骤中向半导体晶片所包括的多个第一半导体器件配置第一钝化层。在可选的实施例中，所述第一钝化层的边界不会完全延伸到所述第一主表面的边界。在这种情况下，减小了作为第一半导体器件从半导体晶片分离工艺（例如锯切）的结果、在所述第一主表面的边界附近的第一钝化层中发展裂缝的可能性。

[0016] 在实施例中，所述第一衬底具有从所述第一主表面延伸到所述第二主表面的第一附加侧表面，并且所述保护外壳沿所述第二主表面、所述第一侧表面和所述第一附加侧表面延伸，其中所述第一外部电极覆盖与所述第一主表面、所述第二主表面和所述第一附加侧表面相邻的那部分保护外壳。具体地，所述第二外部电极覆盖与所述第一主表面、所述第二主表面和所述第一附加侧表面之一相邻的那部分保护外壳。这提供了根据本发明的实际封装半导体产品。

[0017] 在实施例中，所述封装半导体产品包括第二半导体器件，所述第二半导体器件具有第二衬底并且配置有第二钝化层和第二电子结构，其中所述第二衬底嵌入到所述保护外

壳中并且包括面对所述保护外壳的第二开口的第三主表面，所述第二电子结构沿所述第三主表面与所述第二衬底集成并且具有第三和第四接触区域，其中所述第二钝化层实质上覆盖了所述第三主表面和所述第二电子结构，并且不覆盖所述第三和第四接触区域，其中所述第二外部电极与所述第四接触区域电连接并且经由所述第四接触区域、所述第二电子结构、所述第三接触区域和从所述第三接触区域到所述第二接触区域的导电结构与所述第二接触区域电连接，其中所述保护外壳形成了所述第一衬底和所述第二衬底之间的电隔离结构。这样，可以在导电结构外部实现第一和第二衬底之间的良好电隔离。例如，当所述第一和第二半导体器件形成电级联二极管对并且这些二极管对需要在所述导电结构外部彼此电隔离时是非常重要的，例如在高电压触发的 ESD 保护中要求这样的条件。

[0018] 在实施例中，电隔离层部分在所述导电结构和所述第一和 / 或第二钝化层之间延伸。这样，进一步减小了导电结构分别通过所述第一和 / 或第二衬底电短路的可能性。这种隔离层部分可以改进所述导电结构的电隔离。

[0019] 在实施例中，所述隔离层部分配置用于在实质上所有的导电结构和所述第一衬底之间和 / 或实质上所有的导电结构和所述第二衬底之间延伸。这样，实质上防止了所述导电结构与所述第一和第二钝化层之间的直接接触。具体地，这提供了连接所述第一和第二半导体器件的一种方式。按照类似的方式，第三半导体器件可以与所述第二半导体器件相连，第四半导体器件可以与所述第三半导体器件相连，如此类推。在每一个半导体器件都包括二极管的情况下，这种半导体器件的级联例如可以增加半导体器件的 ESD 保护的触发电压。

[0020] 在实施例中，通过所述保护外壳的延伸部形成至少一部分所述隔离层，所述保护外壳的延伸部在所述第一钝化层和所述导电结构之间朝着所述第二接触区域延伸，并且可能在所述第二钝化层和所述导电结构之间朝着所述第三接触区域延伸。这增加了所述封装半导体产品的对称性，并且进而推动了封装半导体产品的生产工艺。

[0021] 在实施例中，所述封装半导体产品包括无源部件、用于组合无源功能的结构、以及集成电路结构的至少一个。具体地，所述半导体产品只包括一个无源部件，例如电阻器、电感器、电容器或二极管。

[0022] 在实施例中，所述封装半导体产品包括背靠背的齐纳二极管对以及背靠背的雪崩二极管对的至少一个。

[0023] 在实施例中，在第一生产环境中制造所述封装半导体产品，所述第一生产环境例如是集成电路工厂环境或者晶片加工厂，并且所述保护外壳、可选的导电结构和 / 或隔离层部分在与第一生产环境相关的第二生产环境中应用，所述第二生产环境例如是晶片加工厂中的后处理区。该实施例具有以下优势 :很好地与封装技术结合，例如再分布式芯片封装或者嵌入式晶片级封装。这种工艺流程与传统工艺流程不同，其中在所述第一生产环境外部执行封装，例如在与所述第一和第二生产环境相比条件不太洁净的芯片装配环境。

[0024] 本发明也提出了一种电子产品，所述电子产品包括根据本发明的封装半导体产品。例如，这种产品可以是移动电话、诸如膝上型计算机之类的计算机、MP3 播放器或者电视或监视器，例如配备有液晶显示器或阴极射线管的电视或监视器。具体地，所述封装半导体产品的尺寸对于根据本发明的电子产品而言是重要的，例如对于用于医学用途的电子产品、无线电产品和便携式电子产品中的情况。

[0025] 本发明的另一个目的是提供一种具有改进的抵抗涂覆故障的保护能力的封装半导体产品的制造方法。

[0026] 因此，本发明的提出了一种方法，所述方法包括以下步骤：d) 在第一半导体器件周围模制所述保护外壳，使得将所述第一衬底嵌入到所述保护外壳中，所述第一主表面面对所述保护外壳的第一开口，以及沿所述第一钝化层的一部分进一步模制所述保护外壳；e) 应用第一和第二外部电极，所述第一外部电极与所述第一接触区域相连，优选地所述第一外部电极与所述第一接触区域直接电接触，所述第二外部电极与所述第二接触区域电连接。

[0027] 在实施例中，步骤 d) 包括固化所述保护外壳。固化可以包括加热所述保护外壳。

[0028] 在实施例中，步骤 c) 包括将所述第一半导体器件放置到载体上，所述载体具有面对所述载体的第一钝化层；以及步骤 d) 包括通过部分地填充所述第一钝化层和所述载体之间的空隙，沿所述部分的第一钝化层在所述第一半导体器件周围模制保护外壳。这是获得在所述第一钝化层和第一外部电极之间延伸的保护外壳的延伸部的有效和良好受控的方式。可以在压缩情况下并且通过使用柔性载体来执行部分地填充所述空间，使得通过未填满所述第一半导体器件填满所述空间。

[0029] 在实施例中，所述方法包括对于多个第一半导体器件执行步骤 a)-e)，其中所述载体对于所述多个第一半导体器件是公共的，并且通过公共模制结构形成所述多个第一半导体器件的保护外壳，其中在步骤 a)-d) 之后获得模制的晶片，并且可能在步骤 e) 之后获得包括所述多个第一半导体器件和所述公共模制结构的模制晶片，所述方法包括以下步骤：f) 将所述模制晶片划分为分离的封装半导体产品，每一个封装半导体产品包括所述多个第一半导体器件的一个或多个半导体器件。这种方法提供了制造所述多个封装半导体产品的有效方式，其中例如涉及处理、沉积或者构图的工艺步骤可以同时针对所述多个半导体器件来执行。例如在所述第一和第二外部电极是再分布层的一部分的情况下，在步骤 e) 之后可以获得模制的晶片，在执行步骤 f) 之前沉积所述再分布层。例如在沿所述第一侧表面在所述保护外壳上沉积第一电极的情况下，可以在步骤 e) 之前获得模制的晶片。

[0030] 在实施例中，所述方法包括通过使用具有第一厚度的锯来锯切在所述半导体晶片中产生槽口以及使用具有小于所述第一厚度的第二厚度的锯沿所述槽口锯切，将所述第一半导体器件从半导体晶片分离，从而获得了从所述第一主表面延伸的第一衬底的第二侧表面，所述第一侧表面配置有与所述第二侧表面和所述第一主表面的边缘相邻的凹部。优选地，所述凹部在所述第二侧表面和所述第一主表面的边缘处延伸。优选地，所述凹部在所述第二侧表面和所述第一主表面的边缘处延伸。因为用于锯切晶片的锯切设备通常是易于使用的，这是一种获得凹部的有效方式。通过填充所述凹部，所述保护外壳结合在所述凹部上，阻碍了在保护外壳和第一衬底之间分层的发生，并且减小了从第一外部电极到第一衬底以及从第一衬底到第一外部电极发生短路的可能性。

附图说明

[0031] 现在将参考附图按照非限制方式描述本发明，其中：

[0032] 图 1A 示出了根据本发明第一实施例中的封装半导体产品的透明顶视图；

[0033] 图 1B 示出了沿图 1A 的 A-A’ 线得到的截面图；

[0034] 图 2 示出了在根据本发明第二实施例的封装半导体产品的截面图；

[0035] 图 3 示出了不是根据本发明的封装半导体产品的可能故障模式的截面图；

[0036] 图 4A 示出了根据本发明第三实施例中的封装半导体产品的截面图；

[0037] 图 4B 示出了图 4A 的细节的放大视图；

[0038] 图 4C 示出了背靠背齐纳二极管对或者背靠背雪崩二极管对的电学方案；

[0039] 图 5A 示出了根据第一方法将多个第一半导体器件放置到载体上之后所述多个第一半导体器件的顶视图；

[0040] 图 5B 示出了沿图 5A 的 B-B'线的载体截面图，在所述载体上已经根据第一方法放置了多个第一半导体器件；

[0041] 图 5C 示出了半导体器件和共同模制结构；

[0042] 图 5D 示出了模制晶片细节的放大视图；以及

[0043] 图 6 示出了在第一实施例中的封装半导体产品中如图 1B 所示细节的放大视图的截面图。

具体实施方式

[0044] 除非另有声明，贯穿全图相同的参考数字将表示相似的部件。

[0045] 图 1A 示出了根据本发明第一实施例中的封装半导体产品 2 的透明顶视图，以及图 1B 示出了沿图 1A 的 A-A'线得到的截面图。封装半导体产品 2 包括第一半导体器件 4A、保护外壳 6、第一外部电极 8 和第二外部电极 10。封装半导体产品 2 的封装结构包含保护外壳 6、第一外部电极 8 和第二外部电极 10。第一半导体器件 4A 具有第一衬底 11A，并且配置有第一钝化层 12A 和第一电子结构，在该示例中第一电子结构是第一无源部件（在图 1A 中未示出，尽管在图 4A 中用参考数字 38A 示出了第一无源部件的示例）。第一电子结构沿第一主表面与第一衬底集成，并且具有第一和第二接触区域 20、22。这种集成通常包括第一衬底的材料可以是第一电子结构的一部分。第一衬底 11A 具有第一主表面 14，并且可以具有与第一主表面 14 相反的第二主表面 16。第一衬底 11A 还可以具有从第一主表面 14 延伸到第二主表面 16 的第一侧表面 18 和第一附加侧表面 19。第一衬底 11A 可以具有实质上矩形盒子的形状。

[0046] 通常，第一电子结构可以包括诸如电容器、电感器和 / 或电阻器之类的无源部件，第一电子结构可以包括用于组合无源功能的结构，例如电磁干扰 (EMI) 滤波器、变压器和静电放电 (ESD) 保护雪崩和齐纳二极管，和 / 或第一电子结构可以包括集成电路结构。

[0047] 第一无源部件可以沿第一主表面 14 定位，并且具有用于电接触第一无源部件的第一接触区域 20 和第二接触区域 22。第一钝化层 12A 实质上覆盖了第一主表面 14 和第一无源部件，并且不覆盖了第一和第二接触区域，使得可以接触所述第一和第二接触区域。

[0048] 保护外壳 6 可以沿第一衬底 11A 的第二主表面 16、第一侧表面 18 和第一附加侧表面 19 延伸，并且可以与这些表面紧密地机械连接。因此，将第一衬底 11A 嵌入到保护外壳 6 中。第一主表面 14 面对保护外壳 6 的第一开口 23。

[0049] 第一外部电极 8 直接接触第一接触区域 20。第二外部电极 10 例如经由第一无源部件外部的第一导电路径与第二接触区域 22 电连接。在第一实施例中，通过第二外部电极 10 与第二接触区域 22 的直接接触建立了这种连接。

[0050] 在第一实施例中，第一和第二外部电极 8、10 覆盖了与第一主表面 14、第二主表面 16 和 / 或第一侧表面 18 的至少一个相邻的那部分保护外壳。例如，当保护外壳 6 设置在第二主表面 16 和第一外部电极 8 之间时，第一外部电极 8 与第二主表面 16 相邻地延伸。如果第一外部电极 8 也与第一主表面 14 相邻地延伸，并且如果第二外部电极 10 也与第一主表面 14 和第二主表面 16 相邻地延伸，这将具有这样的优势，可以按照两种不同朝向的任一种将封装半导体产品 2 安装到印刷电路板上 ：一种朝向是第一钝化层 12A 面对印刷电路板 ；一种朝向是第一钝化层 12A 背对印刷电路板。在第一和第二外部电极 8、10 与第一侧表面 18 相邻地延伸的情况下，通过在第一和第二外部电极 8、10 和第一衬底 11A 之间的保护外壳 6 仍然维持了良好的电隔离。

[0051] 通常，第一和 / 或第二外部电极 8、10 可以与第一衬底 11A 的第一主表面 14、第二主表面 16 和 / 或第一侧表面 18 相邻地延伸。

[0052] 在第一实施例中，保护外壳 6 在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 20 延伸。按照这种方式，形成了在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 22 延伸的保护外壳 6 的第一延伸部 26。通常，保护外壳 6 一方面可以形成第一外部电极 8 之间的电隔离障碍，另一方面可以形成第一衬底 11A 的第一钝化层 12A 和第一主表面 14 之间的电隔离障碍。在第一实施例中，保护外壳 6 一方面形成了第一外部电极 8 之间的电隔离障碍，另一方面形成了第一衬底 11A 的第二主表面、第一侧表面 18 和第一附加侧表面 19 之间的电隔离障碍。

[0053] 此外，第一实施例中的保护外壳 6 在第一钝化层 12A 和第二外部电极 10 之间朝着第二接触区域 22 进一步延伸。按照这种方式，保护外壳 6 的第二延伸部 27 可以在第一钝化层 12A 和第二外部电极 10 之间朝着第二接触区域 22 形成。保护外壳 6 的第一延伸部 26 减小了第一钝化层发展一个或多个裂缝 28 的可能性。此外，在存在这种裂缝的情况下，保护外壳 6 的第一延伸部 26 和第二延伸部 27 实质上防止了第一外部电极 8 和第二外部电极 10 分别与半导体器件 4A 的第一衬底 11A 的直接电接触。这向保护外壳 6 给出了与保护外壳的传统功能相比的附加功能，例如保护第一半导体器件 4A 抵抗封装半导体产品 2 免受环境湿气的影响。保护外壳 6 的第一和第二延伸部 26、27 可以限定第一开口 28 的尺寸。

[0054] 因此，应该理解的是通常保护外壳 6 可以在第一主表面 14 与第一侧边面 18 的第一边缘 29 周围折叠到第一钝化层 12A 上。通常，保护外壳 6 可以在第一外部电极 8 和第一钝化层 12A 之间沿着第一钝化层 12A 的面对第一外部电极 8、并且与第一主表面 14 和第一侧表面 18 的第一边缘 29 相邻的表面延伸。

[0055] 在第一实施例中的封装半导体产品 2 中，第一钝化层 12A 的边界 30 可以实质上一直延伸到第一主表面 14 的边界 32。第一主表面的边界 32 可以包括第一主表面 14 和第一侧表面 18 的第一边缘 29。

[0056] 图 2 示出了在根据本发明第二实施例的封装半导体产品 2 的截面图。在第二实施例中，将凹部 32 设置在与第一侧表面 18 相邻的半导体衬底 11A 的第一主表面 14 中。凹部 32 具有在与第一主表面 14 的第一边缘 29 和与第一侧表面 18 的第二边缘 34 之间延伸的表面。在该实施例中，第一和第二边缘 29、34 处的角度是约 90° 。在该实施例中，凹部 32 延伸到钝化层 12A 中，即在使用穿通或者激光处理类型的施加钝化层之后在器件内部形成凹部。然而，并没有排除将凹部 32 只设置在半导体衬底 11A 中，同时与向接触区域 20、22 提

供入口的键合焊盘开口成一条直线的并且在相同的步骤中实现钝化层 12A 中的相应孔隙。保护外壳 6 沿第一侧表面 18 延伸。凹部 32 可以作为凹槽沿着第一侧表面 18 的长度延伸。可选地，凹部存在于第一侧表面 18 和另外的第二侧表面（未示出）之间的相交处。

[0057] 图 3 示出了不是根据本发明的封装半导体产品 92 的可能故障模式的截面图，所述封装半导体产品包括保护外壳 6、第一和第二外部电极 8、10 以及第一半导体器件 4A。图 3 示出了裂缝 28 以及分层 35 的示例。在图 3 中，所述保护外壳 6 没有在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 20 延伸。此外，在图 3 中，保护外壳 6 没有在第一钝化层 12A 和第二外部电极 10 之间朝着第二接触区域 22 延伸。结果，如果裂缝 28 发展，例如所述第一外部电极 8 可以得到与第一衬底 11A 不需要的电接触。这可以增加不希望的电学短路。

[0058] 图 4A 示出了根据本发明第三实施例中的封装半导体产品 2 的截面图。图 4B 示出了图 4A 的细节 36 的放大视图。第三实施例中的封装半导体产品 2 包括第一半导体器件 4A、保护外壳 6、第一外部电极 8 和第二外部电极 10。在第三实施例中，保护外壳 6 在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 20 延伸。第一半导体器件 4A 包括由第一虚线边界 38A 表示的第一无源部件。

[0059] 此外，第三实施例中的封装半导体产品 2 包括具有第二衬底 11B 的第二半导体器件 4B，并且配置有第二钝化层 12B 和由第二虚线边界 38B 表示的第二无源部件。所述第二衬底 11B 具有第三主表面 40，并且可以具有与第三主表面 40 相反的第四主表面 42。第二衬底 11B 还可以包括第三侧表面 44，并且可能包括从第三主表面 40 到第四主表面 42 延伸的第二附加侧表面 45。第二衬底 11B 可以具有实质上矩形盒子的形状。第二无源部件 38B 沿第三主表面 40 定位，并且具有用于电接触第二无源部件 38B 的第三接触区域 46 和第四接触区域 48。第二电子结构 38B 沿第三主表面 40 与第二衬底 11B 集成。这种集成通常包括第二衬底 11B 的材料是第二电子结构 38B 的一部分。第二钝化层 12B 实质上覆盖了第三主表面 40 和第二钝化层 38B，并且不覆盖第三和第四接触区域 46、48，使得可以接触第三和第四接触区域。

[0060] 保护外壳 6 可以沿第二半导体器件 4B 的第四主表面 42、第三侧表面 44 和第二附加侧表面 45 延伸，并且可以与这些表面紧密地机械连接。因此，将第二衬底 11B 嵌入到保护外壳 6 中，并且第三主表面面对保护外壳 6 的第二开口 49。第二外部电极 10 经由第四接触区域 48、第二无源部件 38B、第三接触区域 46 以及从第三接触区域 46 到第二接触区域 22 的导电结构 50 与第二接触区域 22 电连接。

[0061] 具体地，第二外部电极 10 例如经由第二无源部件 38B 外部的第二导电路径与第四接触区域 48 相连。在第三实施例中，这是通过第二外部电极 10 与第四接触区域 48 的直接接触来建立的。此外，保护外壳 6 可以在第二钝化层 12B 和第二外部电极 10 之间朝着第四接触区域 48 延伸。

[0062] 在第三实施例中，保护外壳 6 形成了第一半导体器件 4A 的第一衬底 11A 和第二半导体器件 4B 的第二衬底 11B 之间的隔离结构，将第二衬底 11B 与第一衬底 11A 相分离。这促进了第一半导体器件 4A 和第二半导体器件 4B 之间的良好电隔离。此外，隔离层部分 54 可以在导电结构 50 和第一和 / 或第二钝化层之间延伸，使得导电结构 50 与第一和 / 或第二钝化层电隔离。通常，通过再分布层 56 可以形成隔离层部分 54。这种再分布层 56 提供

了第一、第二、第三和第四接触区域 20、22、46、48 的一个或多个的空间重新选择路径的可能性。在该示例中，重新选择路径是通过第一和第二外部电极 8、10 实现的，所述第一和第二外部电极 8、10 可以包括用于接触例如印刷电路板的焊料隆起焊盘 58。按照这样的方式，使得更多的空间可用于将封装半导体产品 2 与印刷电路板接触，并且可以增加外部电极的总个数。可以通过在第一钝化层 12A 和导电结构 50 之间朝着第二接触区域 22 延伸的保护外壳 6 的第三延伸部 55 和 / 或在第二钝化层 12B 和导电结构 50 之间朝着第三接触区域延伸的保护外壳 6 的第四延伸部 57 来形成所述隔离层部分 54 的一部分。所述保护外壳 6 的第三和第四延伸部 55、57 可以定义第二开口 49 的尺寸。

[0063] 隔离层部分 54 可以配置用于在实质上所有的导电结构 50 和第一衬底 11A 之间以及在实质上所有导电结构 50 和第二衬底 11B 之间延伸。按照这种方式，实质上防止了导电结构 50 与第一和第二钝化层 12A、12B 之间的直接接触。

[0064] 在第三实施例中，第一和第二无源部件 38A、38B 每一个均可以包括背靠背的齐纳二极管对和背靠背的雪崩二极管对。图 4C 示出了背靠背齐纳二极管对或者背靠背雪崩二极管对的电学方案。这些二极管可以通过向第一和第二衬底 11A、11B 的体材料进行 p 掺杂、向一对第一衬底区 59A 和一对第二衬底区 59B 进行 n 掺杂来获得，第一和第二衬底均可以由硅构成。第一衬底区 59A 通过 p 掺杂第一衬底 11A 相互分离，并且每一个均与第一和第二接触区域 20、22 之一电连接。第二衬底区 59B 通过 p 掺杂第二衬底 11B 相互分离，并且每一个均与第三和第四接触区域 46、48 之一电连接。

[0065] 通常，封装半导体产品 2 可以是表面安装器件 (SMD) 或倒装芯片器件。SMD 的尺寸可以是根据称作 01005、0201、0402、0603 和 0805 的标准尺寸组之一。

[0066] 在第一、第二和第三实施例中，保护外壳 6 可以由环氧材料构成。通常，保护外壳 6 的第一、第二、第三和第四延伸部 26、27、55、57 的厚度可以在从 1 至 15 微米的范围内。保护外壳 6，这里是保护外壳 6 的第一延伸部 26 可以在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 20 按照从 5 到 60 微米范围的距离延伸。第一和第二钝化层 12A、12B 可以通过成批次沉积技术来沉积，例如化学气相沉积，具有从 0.5 至 1 微米的厚度，并且实质上用氮化硅来制造。可选地，可以将离子增强型化学气相沉积用作成批沉积技术。涂覆包含聚酰亚胺、苯催化丁烯 (BCB) 或者环氧基光致抗蚀剂是用于涂覆第一和第二钝化层 12A、12B 的替代方式，具有从 0.5 至 10 微米范围的可能厚度。在成批沉积之后通过对第一和第二钝化层 12A、12B 的光刻构图和后续刻蚀，第一钝化层 12A 可以不覆盖第一和第二接触区域，并且第二钝化层 12B 可以不覆盖第三和第四接触区域。

[0067] 在第一和第二实施例中，第一和第二外部电极 8、10 可以由金属构成，例如通过非电解沉积涂覆的镍。第一和第二外部电极 8、10 的层厚度可以在从 5 至 40 微米的范围内，并且典型地可以是 20 微米。由镍构成的第一和第二外部电极可以配置有典型地约 0.5 微米厚的薄金涂层。可以将铝和 / 或铜用作第一和第二外部电极 8、10 的材料，例如当再分布层 56 包括第一和第二外部电极时。

[0068] 在第三实施例中，可以通过已知的成批沉积技术沉积导电结构 50、再分布层 56 以及第一和第二外部电极，例如旋涂和溅射，并且使用已知的光刻构图和刻蚀技术进行构图。再分布层 56 可以具有从 2 至 20 微米范围的层厚度。可以由再分布层 56 包含的隔离层部分 54 可以实质上由作为电隔离物的聚酰亚胺构成。第一和第二接触区域 20、22 可以由金

属构成，并且包括铝和 / 或铜。

[0069] 图 5A-D 示出了根据本发明的封装半导体产品 2 的制造方法的第一实施例，下文中称作第一方法。将针对第一实施例中的封装半导体产品 2 来说明所述第一方法。然而，也可以将其用于制造其他的封装半导体产品。此外，将针对多个第一半导体器件 4A 来说明第一方法，用于获得多个封装半导体产品 2。然而，第一方法也可以用于可能使用单独的第一半导体器件 4A 获得单独的封装半导体产品 2。

[0070] 所述方法包括将第一电子结构沿第一主表面与多个第一半导体器件 4A 的第一衬底 11A 集成，所述集成同样对于本领域普通技术人员而言是已知的。随后，第一衬底配置由第一钝化层 12A，所述第一钝化层 12A 实质上覆盖了所述第一主表面 11A 和所述第一电子结构，并且没有覆盖所述第一和第二接触区域。

[0071] 图 5A 示出了根据第一方法将多个第一半导体器件 4A 放置到载体 60 上之后的多个第一半导体器件的顶视图。将多个第一半导体器件 4A 放置到一个相同的载体 60 上，使得所述载体 60 对于多个第一半导体器件 4A 是公共的。例如，可以使用拾取和放置机械来执行将多个第一半导体器件 4A 放置到载体 60 上。图 5B 示出了沿图 5A 的 B-B’ 线的载体截面图，在载体上已经根据第一方法放置了多个第一半导体器件 4A。

[0072] 第一方法可以包括沿第二主表面 16、第一侧表面 18、第一附加侧表面 19 并且沿一部分第一钝化层 11A 在多个第一半导体器件 4A 周围模制保护外壳 6。结果，保护外壳 6 沿沿第二主表面 16、第一侧表面 18、第一附加侧表面 19 并且沿一部分第一钝化层 11A 延伸并且可能对其覆盖。因此，将第一衬底 11A 嵌入到保护外壳 6 中，并且第一主表面 14 面对所述保护外壳 6 的第一开口。

[0073] 通常，可以通过在第一半导体器件 4A 上灌注或者分发前体材料、同时前体材料也位于载体 60 上、然后对前体材料固化来实现模制。在固化之前，例如可以通过使用超声和 / 或真空去除不希望的空气内含物。在固化之后，将前体材料转化为共同模制结构 6，所述共同模制结构 6 形成了多个第一半导体器件 4A 的保护外壳 6。例如，固化可以包括使用炉子或者电烤炉加热前体材料、或者用紫外辐射照射前体材料。

[0074] 图 5C 示出了半导体器件 4A 和共同模制结构 6。在模制之后，获得了包括多个第一半导体器件 4A 和共同模制结构 6 的模制晶片 62。在图 5D 中将进一步详细地说明模制晶片 62 的细节 64 的放大视图。

[0075] 图 5D 示出了模制晶片 62 的细节 64 的放大视图，示出了通过共同模制结构 6 形成的第一半导体器件 4A 和保护外壳 6。在模制和固化之后，保护外壳 6 可以覆盖第二主表面 16、第一侧表面 18、第一附加侧表面 19 和第一钝化层 12A 的一部分 66。这可以通过将第一半导体器件 4A 放置到具有面对载体的第一钝化层 12A 的载体 60 上并且部分地填充第一钝化层 12A 和载体 60 之间的空间实现，。可以通过压缩前体材料并且使用柔性载体来实现部分填充所述空间，使得通过前体材料向下填充第一半导体器件来使得所述空间变得充满。通过这样填充空间 68，可以形成保护外壳 6 的第一和第二延伸部 26、27。可选地，所述保护外壳 6 的第一和第二延伸部 26、27 也可以按照其他方式形成。

[0076] 图 6 示出了在第一实施例中的封装半导体产品 2 中如图 1B 所示细节 70 的放大视图的截面图。保护外壳的第一延伸部 26 可以典型地具有与第一外部电极 8 的弯曲界面 72，并且具有与第一钝化层 12A 的实质上平坦的界面 74。当根据第一方法制造封装半导体产品

2 时，这种形状可以通过空间 68 的填充来获得。

[0077] 所述第一方法还可以包括将模制晶片划分为分离的封装半导体产品的步骤，每一个封装的半导体产品包括多个第一半导体器件的一个或多个半导体器件。按照这种方式，可以获得分离的封装半导体产品 2。通过使用提供至少 0.5 微米表面粗糙度（至多 10 微米的侧向距离上测量的峰峰值）的锯来执行模制晶片的划分，从而改善了第一和第二外部电极 8、10 与保护外壳 6 的粘附性。

[0078] 第一方法还包括针对多个封装半导体产品的每一个施加第一和第二外部电极 8、10。第一和第二外部电极覆盖一部分保护外壳 6，并且可以按照分别与第一接触区域 20 和第二接触区域 22 的直接电接触的方式施加。在第一方法中，通过镍的非电镀沉积施加第一和第二外部电极 8、10。在本申请的上下文中，术语“直接电接触”应该理解为外部电极 10 和接触区域 22 之间没有任何另外延伸的互连的连接。术语“直接接触”并不排除在接触区域 22 的顶部上存在附加的金属化层和 / 或粘附层。

[0079] 因此，在根据本发明方法的第二实施例中（在下文中称作第二方法），第一和第二外部电极是再分布层的一部分，并且此外可以包括焊料隆起焊盘以及可能的下隆起焊盘金属化层部分。

[0080] 第一和第二方法可以包括通过使用具有第一厚度的锯沿第一衬底 11A 的第一侧表面锯切从而在半导体晶片中产生槽口、并且使用具有第二厚度的锯沿所述槽口锯切，将第一半导体器件 4A 从半导体晶片上分离。第二厚度小于第一厚度。第一锯可以达到第一衬底 11A 总厚度 D（图 2）的 10％至 40％范围的厚度，而第二锯可以达到半导体晶片的总厚度 D。按照这种方式，获得了具有凹部 32 的第一侧表面 18，所述凹部 32 具有在第一边缘 29 和第二边缘 34 之间延伸的表面。

[0081] 通常，第一和 / 或第二衬底的厚度 D（图 2）可以在从 50 到 300 微米的范围内。通常，凹部 32 沿与第一主表面平行的方向的深度可以在从 2 至 30 微米的范围内。

[0082] 第二实施例中的封装半导体产品 2 也可以按照与本发明分离的修改状态来应用，其中保护外壳 6 没有在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 20 延伸和 / 或没有在第一钝化层 12A 和第二外部电极 10 之间朝着第二接触区域 22 延伸。结果，第一钝化层 12A 可以实质上摆脱保护外壳 6。这种封装半导体产品满足了以下目的：改善了第一衬底 11A 的电隔离，改善了通过第一层衬底 11A 发生不需要的短路的保护，可能地与涂覆故障无关。

[0083] 第三实施例中的封装半导体产品 2 也可以按照与本发明分离的修改状态来应用，其中保护外壳 6 没有在第一钝化层 12A 和第一外部电极 8 之间朝着第一接触区域 20 延伸和 / 或没有在第二钝化层 12B 和第二外部电极 10 之间朝着第四接触区域 48 延伸，和 / 或没有在第一和第二钝化层 12A、12B 和导电结构 50 之间分别朝着第二和第三接触区域 22、46 延伸。结果，第一和 / 或第二钝化层可以实质上摆脱保护外壳 6。这种封装半导体产品 2 满足了以下目的：改善了电隔离，在这种情况下改善了例如在第一和第二衬底 11A、11B 之间的电隔离；改善了对于第一和第二衬底 11A、11B 之间发生不需要的短路的保护，可能地与涂覆故障无关。

[0084] 本发明不局限于这里所公开的实施例，并且在本领域普通技术人员的范围之内，可以被所附权利要求的范围考虑的各种修改都是可能的。同样地，所有动态倒置也认为是

这里公开的并且在本发明的范围之内。使用像“优选地”、“具体地”“更具体地”“典型地”等等之类的并非意欲限制本发明。不定冠词“一个”并不会排除多个。在不脱离权利要求范围的情况下，没有特别或者明确描述或说明的特征可以附加地包括在根据本发明的结构中。

[0085] 特别地，尽管该申请涉及半导体衬底和钝化层之间的界面，并不排除其间可以存在一个或多个层。这种界面可以是作为沉积步骤的结果而存在的任何界面。此外，尽管通常无源分立部件只具有两个U型外部电极，每一个均延伸覆盖侧表面，这里无需进行限制。本发明的封装器件可以具有多于两个外部电极，并且多于一个单独的外部电极可以在具体的侧表面上延伸。另外，尽管优选地是具有U型外部电极的实施例，本发明也可以有利地应用于其他输出封装。在这种输出封装中，外部电极通常存在于与钝化层相同的一侧。

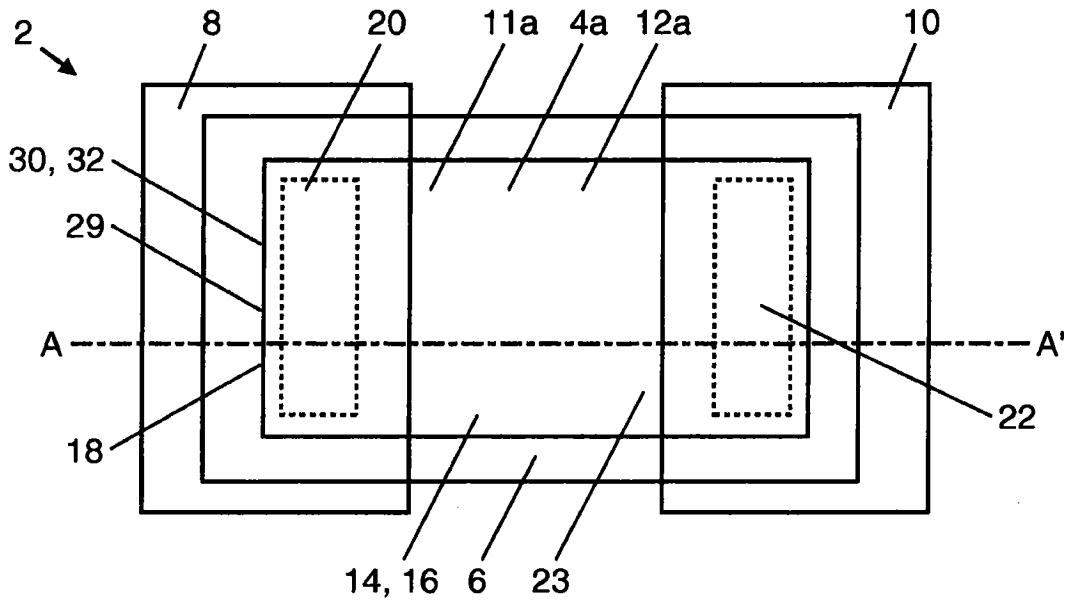

2
8
20
11a
4a
12a
10
30, 32
29
A
A'
22
18
14, 16
6
23

图 1A

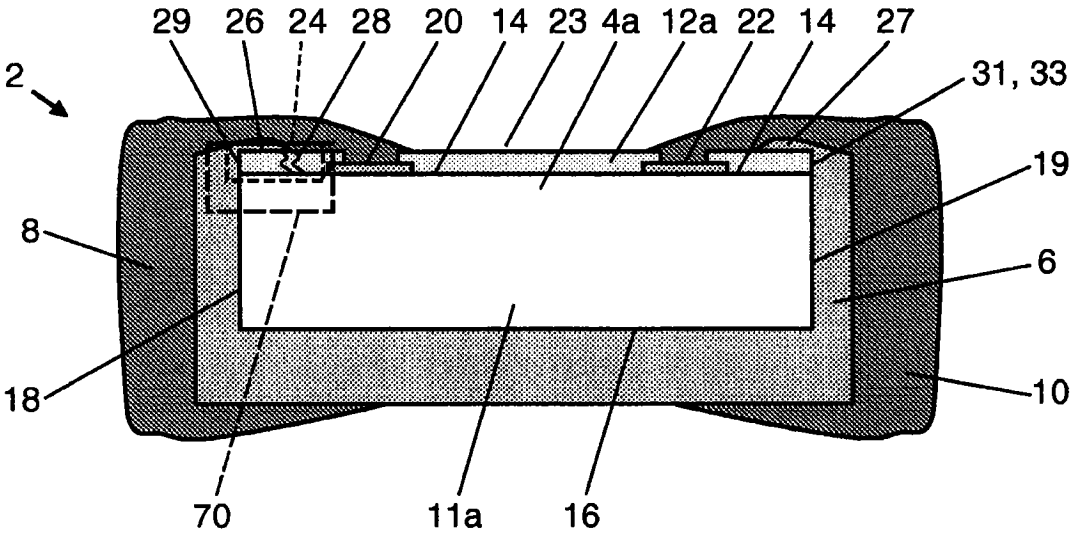

29
26
24
28
20
14
23
4a
12a
22
14
27
31, 33
2
19
8
6
18
10
70
11a
16

图 1B

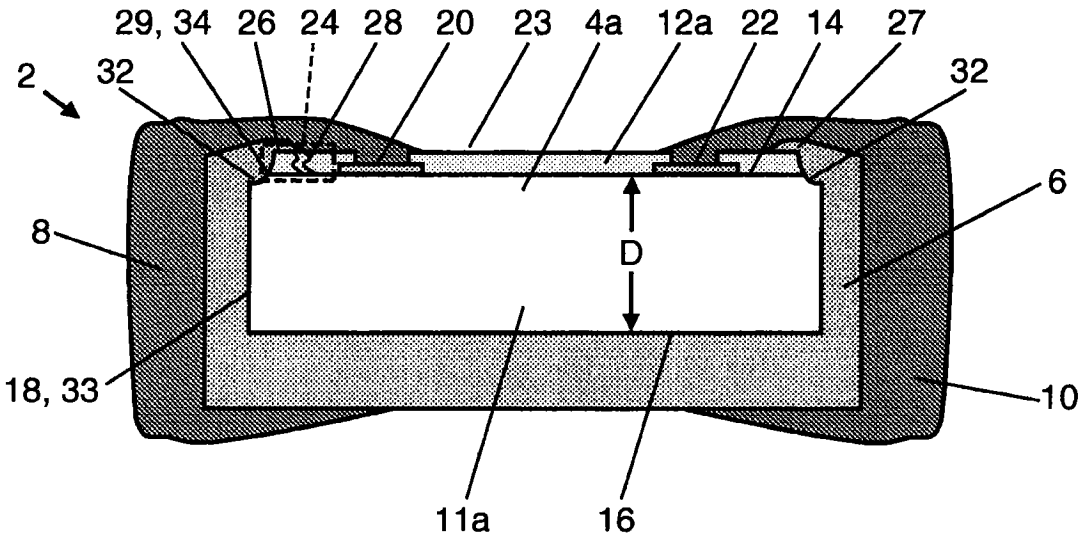

29, 34
26
24
28
20
23
4a
12a
22
14
27
2
32
32
6
8
D
18, 33
10
11a
16

图 2

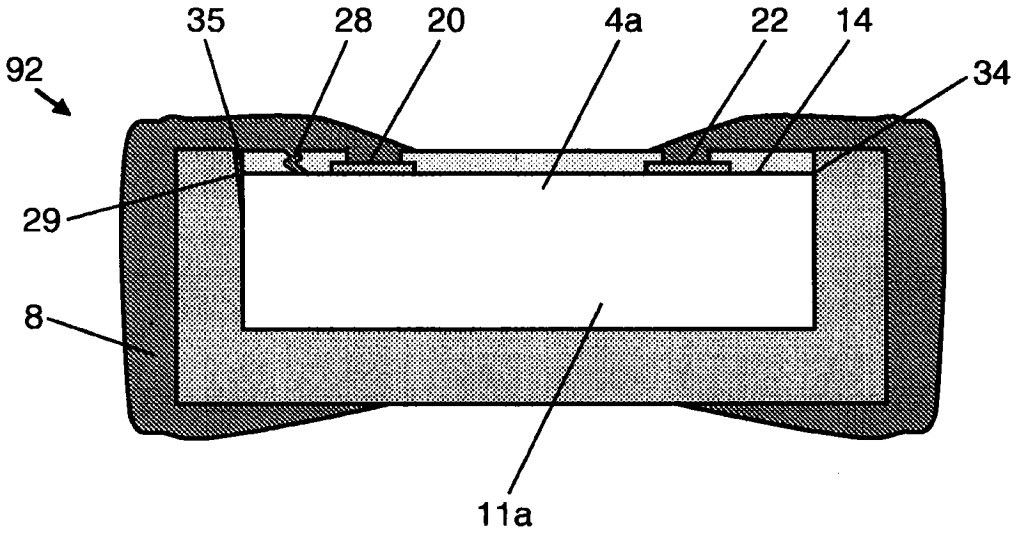

35
28
20
4a
22
14
92
34
29
8
11a

图 3

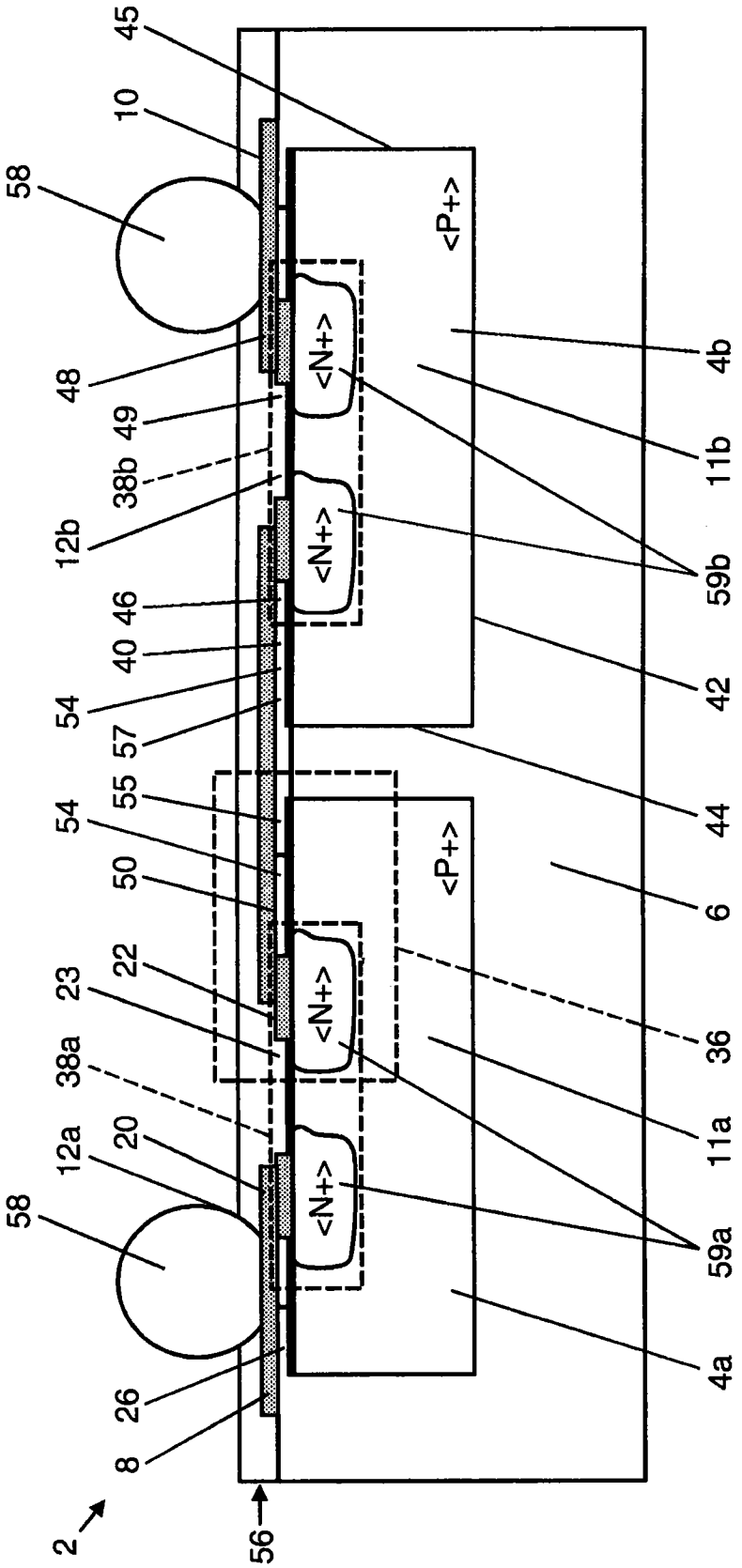

45
10
58
48
49
38b
12b
46
40
54
57
55
54
50
22
23
38a
12a
20
58
26
8
2
56
<P+>
<N+>
<N+>
<P+>
<N+>
<N+>
4b
11b
59b
42
44
6
36
11a
59a
4a

图 4A

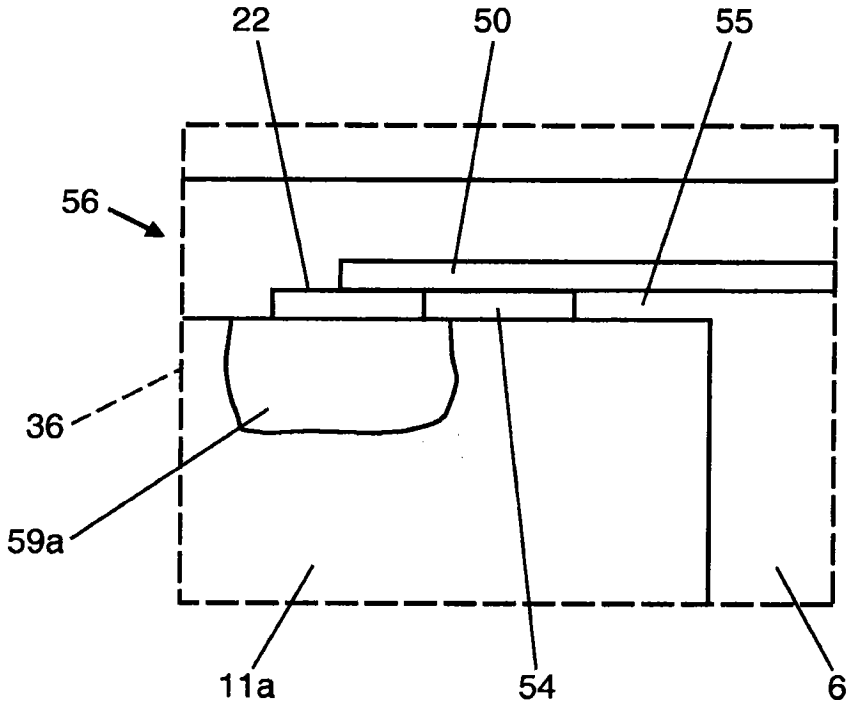


图 4B

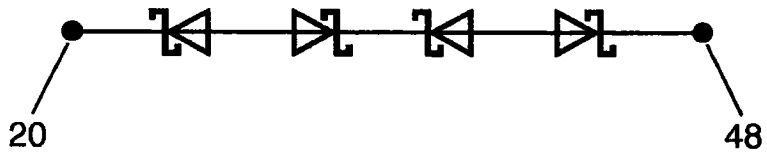


图 4C

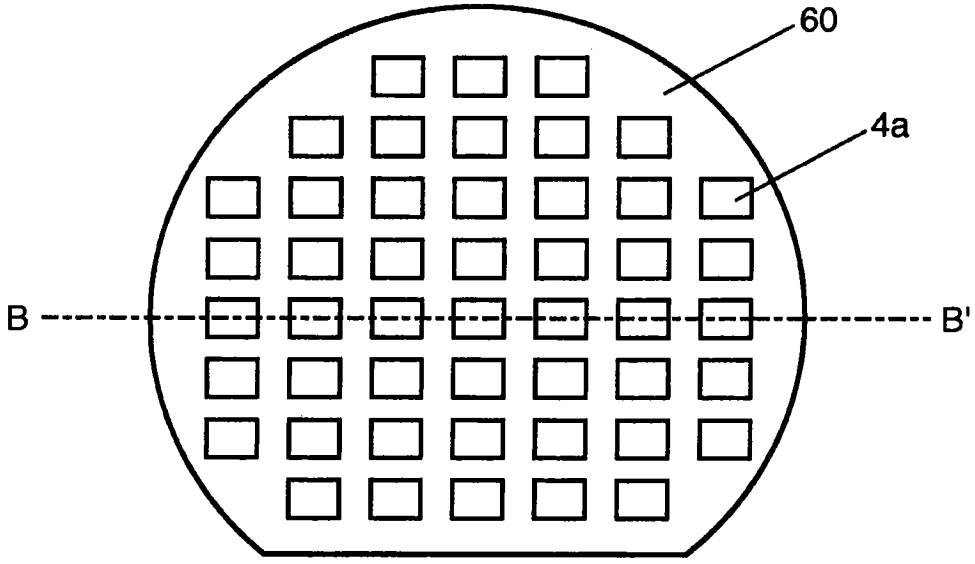


图 5A



图 5B

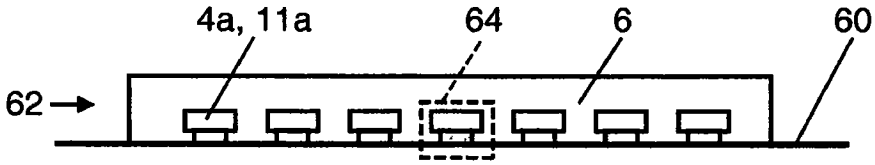


图 5C

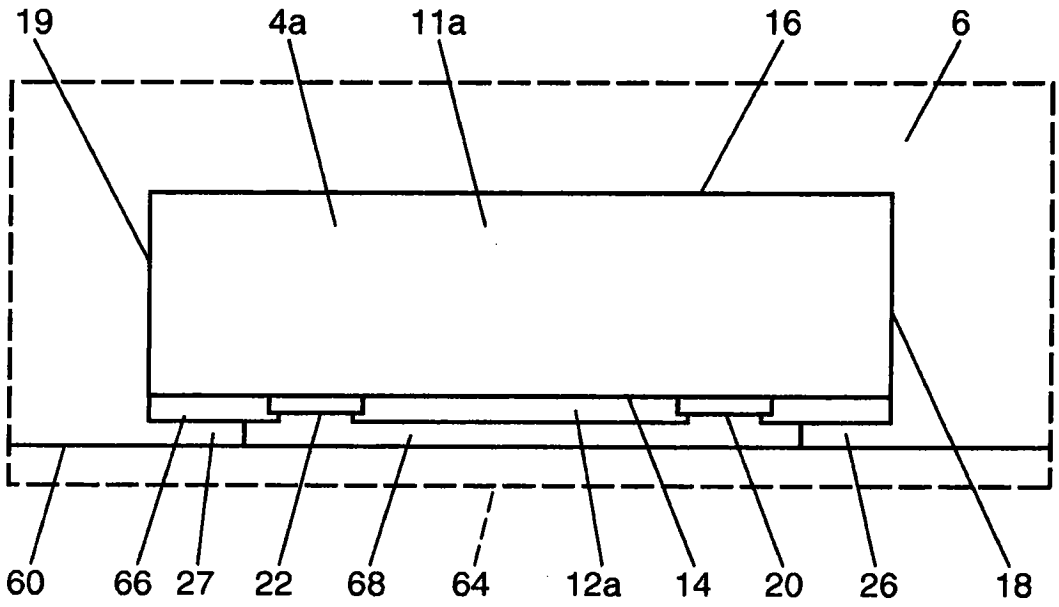


图 5D

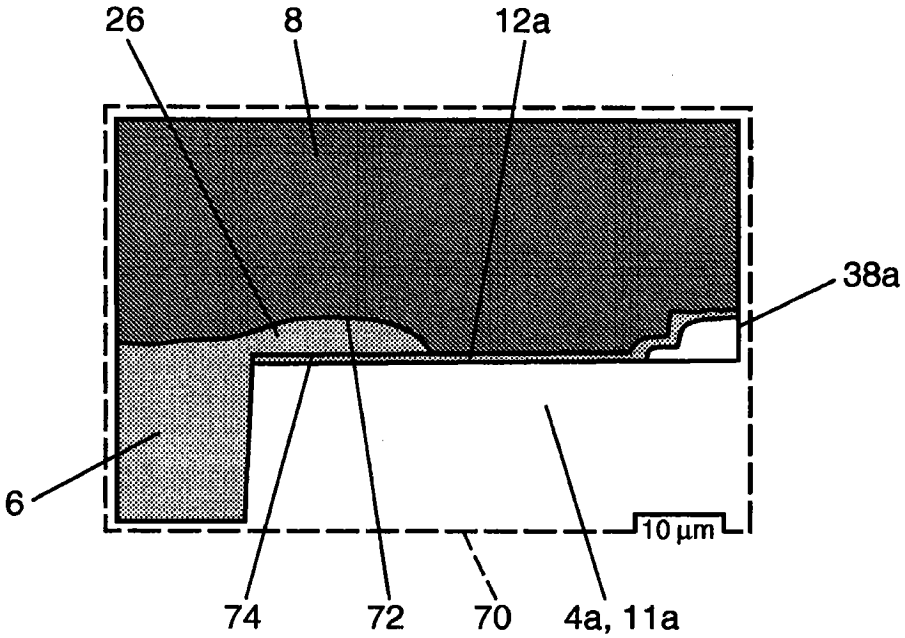


图 6