

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3896701号

(P3896701)

(45) 発行日 平成19年3月22日(2007.3.22)

(24) 登録日 平成19年1月5日(2007.1.5)

| | | | | |
|---------------|--------------|------------------|--------|---------------|
| (51) Int. Cl. | | F I | | |
| HO 1 L | 21/60 | (2006.01) | HO 1 L | 21/60 3 1 1 S |
| HO 1 L | 21/66 | (2006.01) | HO 1 L | 21/92 6 0 4 T |
| HO 5 K | 3/34 | (2006.01) | HO 1 L | 21/66 E |
| | | | HO 5 K | 3/34 5 0 5 A |

請求項の数 5 (全 13 頁)

| | | | |
|-----------|------------------------------|-----------|----------------------------|
| (21) 出願番号 | 特願平10-275726 | (73) 特許権者 | 000002185 |
| (22) 出願日 | 平成10年9月29日(1998.9.29) | | ソニー株式会社 |
| (65) 公開番号 | 特開2000-114313(P2000-114313A) | | 東京都品川区北品川6丁目7番35号 |
| (43) 公開日 | 平成12年4月21日(2000.4.21) | (74) 代理人 | 100067736 |
| 審査請求日 | 平成17年6月22日(2005.6.22) | | 弁理士 小池 晃 |
| | | (74) 代理人 | 100086335 |
| | | | 弁理士 田村 榮一 |
| | | (74) 代理人 | 100096677 |
| | | | 弁理士 伊賀 誠司 |
| | | (72) 発明者 | 柳田 敏治 |
| | | | 東京都品川区北品川6丁目7番35号 ソニー株式会社内 |
| | | 審査官 | 池淵 立 |

最終頁に続く

(54) 【発明の名称】 はんだ突起電極の製造方法

(57) 【特許請求の範囲】

【請求項1】

はんだ突起電極に対して接触することにより電気特性検査を行った後に、前記はんだ突起電極の少なくとも頂部を研磨処理することを特徴とするはんだ突起電極の製造方法。

【請求項2】

前記はんだ突起電極の少なくとも前記頂部を研磨処理した後に、少なくとも不活性ガスの放電プラズマを用いたスパッタエッチング処理を行う請求項1に記載のはんだ突起電極の製造方法。

【請求項3】

前記はんだ突起電極の少なくとも前記頂部を研磨処理した後に、少なくとも還元性ガスの放電プラズマを用いたスパッタエッチング処理を行う請求項1に記載のはんだ突起電極の製造方法。

【請求項4】

前記はんだ突起電極は電子デバイスチップに形成されている請求項2に記載のはんだ突起電極の製造方法。

【請求項5】

前記はんだ突起電極は電子デバイスチップに形成されている請求項3に記載のはんだ突起電極の製造方法。

【発明の詳細な説明】

【0001】

10

20

【発明の属する技術分野】

本発明は半導体装置の製造分野等において適用される、例えばはんだボールバンプの様なはんだ突起電極の形成におけるはんだ突起電極の表面処理方法に関し、特に電気特性検査におけるプローブ痕やウェットバック工程における残渣や汚染等に起因した不良の発生を回避して、プリント配線基板への実装不良及び電気接続抵抗を低減した、高い信頼性を有するはんだ突起電極の製造方法に関する。

【0002】**【従来の技術】**

電子機器の小型化をより一層進展させるためには、部品実装密度をいかに向上させるかが重要なポイントとなっている。例えば半導体IC（集積回路）に関しても、従来のパッケージ実装に代わるものとして、いわゆるフリップチップによる高密度実装技術の開発が世の中で行われている。

フリップチップ実装法の一つとして、半導体ICのAl電極パッド上にはんだボールバンプを形成して、ICベアチップを直接プリント配線基板上に実装する方法がある。

【0003】

このはんだバンプを所定の電極上に形成する方法としては、電解メッキを用いる方法もあるが、この場合には、下地の表面状態や、電気抵抗のわずかなバラツキによって、成膜されるはんだの厚みが影響を受けて、ICチップ内で均一に高さの揃ったはんだバンプの形成を行うことが基本的に難しいという問題がある。

そこで、はんだパターンの高さのバラツキを抑制できる製法としては、真空蒸着による成膜とフォトリソ膜のリフトオフとを用いた方法があり、本出願人が依然から提案してきた。この方法によるはんだボールバンプの製造工程の一例を図7を参照しながら簡単に説明する。

【0004】

フリップチップICの接合部は、図7(a)のように、シリコン(Si)の半導体基体1001上に、Al等の電極パッド1002をスパッタエンチング等を用いて形成し、ポリイミド等によって表面保護膜1003を全面に被覆した後に、電極パッド1002上に開口部を形成する。これによりBLM(Ball Limiting Metal)膜1004と称するCr、Cu、Au等からなる金属多層膜のパターンを図7(a)の様に形成する。

このBLM膜1004の上には、開口部1006を有するレジスト膜を図7(b)の様に形成する。ウェハ1022の全面にははんだ蒸着膜1013を図7(c)の様に形成し、図1(d)の様にレジストリフトオフによるパターンニングを行った後、熱処理によってはんだを溶融させることで、最終的には図7(e)に示す様なはんだボールバンプ1014がBLM膜1004に形成される。

【0005】**【発明が解決しようとする課題】**

この熱処理によって、はんだ蒸着膜を球状に丸める工程は、ウェットバックと通常呼ばれており、この時仮に成膜後のはんだ膜表面に自然酸化膜が厚く形成されていると、熱処理を加えてもはんだの溶融が均等に進まず、ボールバンプの形成が行えなくなってしまう。そのため、通常はパターン形成されたはんだ膜表面に予め、還元作用や表面活性作用をもつフラックス（主成分は、アミン系活性剤、アルコール溶媒、ロジンやポリグリコール等の樹脂分）をウェハ全面に均一にコーティングしてやり、その状態から熱処理を加えてやることで、はんだの溶融及び表面張力によってはんだが球状に丸まることを促進してやり、安定したボールバンプの形成を実現している。

【0006】

そして、熱処理によってバンプが形成された後のウェハに対して有機薬液洗浄を行い、フラックスを洗い落とすわけであるが、この時、熱処理中にフラックス内の有機成分が炭化してウェハ表面にこびりついてしまっていたり、洗浄方法が不適切だと、フラックス内の固形分が洗浄後も除去しきれずに、残渣としてはんだバンプ表面やその近傍に残ってしまう等の不良が発生し易い。

10

20

30

40

50

はんだバンプ表面に、こうしたウェットバック工程における汚染が残ったり、バンプ形成後のサンプルの保管状態が不適切な場合にバンプ表面の酸化が進んだりすると、その後の工程でバンプにプローブを当てて電気特性を測定する際に接触抵抗が大きくなってしまい、正確な電気特性評価が行えなくなる等の不具合を来すことになる。

【0007】

また、バンプ形成チップの最表面の保護膜であるポリイミド膜上にこれらの残渣物や汚染が残ったままの状態、プリント配線基板に対してフリップチップ実装を行うと、ポリイミド膜と封止樹脂との間の密着速度が弱くなり、それが起因でバンプの接合強度（クラックの発生等）や信頼性寿命（接続抵抗の上昇等）の劣化を招くことにも繋がってしまう。更に、こうしてバンプを形成したデバイスチップの電気特性を保証するための検査は、通常仕上がり後のはんだボールバンプの頂頭部にプローブ針を当てて測定を行っているが、電氣的な導通をとるためには、ある程度以上の針圧を加えなければならず、測定後のバンプ表面にそのプローブ痕跡が残ることは避けられない。

10

【0008】

そして、場合によっては、バンプ全体が押し潰されてしまい、チップ内にバンプの高さバラツキを招き、その結果としてプリント配線基板へのチップ実装時に不良を発生させる原因ともなる。

こうしたなか、はんだボールバンプの形成において、電気特性検査を行う際にバンプ頂頭部に形成されるプローブ痕が起因で生じる実装不良を回避し、かつ仕上がり後のバンプ表面を清浄化してプリント配線基板との接触抵抗の低減を図ることができる様な、高性能、高信頼性を有するバンプの製造技術を確立することが切望されている。

20

そこで本発明は上記課題を解消し、はんだ突起電極の高さを揃えることにより実装不良を低減でき、電気接続抵抗を低減するとともに接続強度を向上させることができるはんだ突起電極の製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】

請求項1の発明は、はんだ突起電極に対して接触することにより電気特性検査を行った後に、前記はんだ突起電極の少なくとも頂部を研磨処理することを特徴とするはんだ突起電極の製造方法である。

これにより、電気特性を接触により検査するとき、はんだ突起電極の頂部（好ましくは頂頭部）に形成された痕が研磨されて平滑化される。これにより、はんだ突起電極の高さが揃い電氣的な実装の不良を低減することができる。

30

請求項2の発明は、請求項1の発明において、前記はんだ突起電極の少なくとも前記頂部を研磨処理した後に、少なくとも不活性ガスの放電プラズマを用いたスパッタエッチング処理を行う。

これにより、はんだ突起電極の接合部表面に形成された自然酸化膜やプロセス残渣を効果的に除去して清浄なはんだ突起電極の表面を露出させることができる。はんだ突起電極の接合部表面が清浄化かつ活性化されることで、接続抵抗を低減し、接続強度を向上させることができるので、信頼性向上が図れる。

【0010】

請求項3の発明は、請求項1のはんだ突起電極の製造方法において、前記はんだ突起電極の少なくとも前記頂部を研磨処理した後に、少なくとも還元性ガスの放電プラズマを用いたスパッタエッチング処理を行う。

40

これにより、はんだ突起電極の接合部表面が清浄化かつ活性化されることで、接続抵抗を低減し、接続強度を向上させることができるので、信頼性向上が図れる。

請求項4の発明は、請求項2に記載のはんだ突起電極の製造方法において、前記はんだ突起電極は電子デバイスチップに形成されている。

これにより、ハンダボールの高さのバラツキが研磨処理によって均等化されることにより、デバイスチップ内で仕上がり後の突起電極の高さを揃えることができる。そして、突起電極付のデバイスチップの表面保護膜として用いる例えばポリイミド膜の様な表面層を化学

50

的に活性な状態にさせることができる。

請求項5の発明は、請求項3に記載のはんだ突起電極の製造方法において、前記はんだ突起電極は電子デバイスチップに形成されている。

これにより、ハンダボールの高さのバラツキが研磨処理によって均等化されることにより、デバイスチップ内で仕上がりの突起電極の高さを揃えることができる。そして、突起電極付のデバイスチップの表面保護膜として用いる例えばポリイミド膜の様な表面層を化学的に活性な状態にさせることができる。

【0011】

【発明の実施の形態】

以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。

10

なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

本発明は、半導体装置の製造分野等において適用される、例えばはんだボールパンブの様なはんだ突起電極の形成におけるはんだ突起電極の表面処理方法に関し、特に電気特性検査におけるプローブ痕やウェットバック工程における残渣や汚染等に起因した不良の発生を回避して、プリント配線基板への実装不良及び接続抵抗を低減した、高い信頼性を有するはんだ突起電極の製造方法である。以下の実施の形態では、はんだ突起電極としてはんだパンブを例にして説明する。

第1の発明にかかるパンブ製造方法（はんだ突起電極の製造方法）は、はんだボールパンブの電気特性検査を行った後に、少なくともパンブ頂頭部（頂部）を研磨（ポリッシュ）処理する工程を加えることを特徴としている。

20

本発明のポイントは、はんだボールパンブの電気特性検査後に、パンブ頂部、特にパンブ頂頭部の研磨工程を加えることにある。

通常のはんだボールパンブの品質保証は、はんだのウェットバック工程を経てボール状に仕上げられた状態のパンブの頂部に、電気特性検査用の測定プローブ針を当てて電気特性検査を行うため、測定の際に生じるプローブ痕やパンブの変形が、時としてプリント配線基板へのフリップチップ実装時に種々の不良（密着性の低下、接続抵抗の上昇）を発生させる原因となっていた。

【0012】

30

本発明では、電気特性検査を行った後のはんだボールパンブに対して、研磨（ポリッシュ）処理を加えることによって、検査時にパンブの頂頭部に形成された測定プローブ痕が研磨・平滑化される。

また、はんだボールの高さバラツキが研磨処理によって均等化されることによって、デバイスチップ内で仕上がりのパンブ高さを揃えることができる。

その結果、本発明を適用した製造プロセスによって、はんだボールパンブを形成したデバイスチップをプリント配線基板へフリップチップ実装する際の不良発生を大幅に抑制できる様になる。

【0013】

更には、本発明のプロセスを採用して製造したパンブ形成チップを幾つも実装して組み立てられる最終的な製品デバイスの信頼性及び耐久性は、従来の製造工程のものに比べて大幅に向上させることができる。

40

【0014】

第2の発明にかかるパンブ製造方法は、前述の発明におけるパンブ頂頭部を研磨（ポリッシュ）処理した後、少なくとも不活性ガスの放電プラズマを用いたスパッタエッチング処理を行うことを特徴としている。

本発明のポイントは、前述した電気特性検査を行ったパンブ表面の研磨（ポリッシュ）処理を行った後のウェハに対して、プラズマ処理を施すことにより、更に高い信頼性を有するはんだボールパンブを安定して形成することにある。

【0015】

50

すなわち、プローブ検査後のはんだボールバンプの頂頭部を研磨処理した後に更に、Ar等の不活性ガスをを用いたRF放電プラズマによるスパッタエッチを行うことで、はんだバンプの接合部表面に存在するプロセス残渣や自然酸化膜を除去して清浄なバンプの表面を露出させると共に、バンプ付きデバイスチップの最表面の保護膜として用いるポリイミド膜に対しても、物理的なイオン照射を加えることによって、表面層を化学的に活性化状態にできる。

【0016】

これにより、仕上がりのはんだバンプの接合部表面が清浄化・活性化されることで、実装後のプリント配線基板との接続抵抗を更に低減させることができる。また、ポリイミド膜表面が活性化されることによって、フリップチップ実装後の封止樹脂との密着性を向上させることができるようになる。

10

これらの結果、はんだボールバンプを作成したデバイスの電気特性が一層改善されると共に、フリップチップ実装して組み立てられる製品セットの信頼性及び耐久性を従来に比べて、更に大幅に向上させることができる。

【0017】

第3の発明にかかるバンプ製造方法は、前途の発明におけるバンプ頂頭部を研磨(ポリッシュ)処理した後、少なくとも還元性ガスの放電プラズマを用いたスパッタエッチング処理を行うことを特徴とする。

本発明では、前述の発明以上に高い信頼性を有するはんだボールバンプを形成するための手段を提供する。

20

具体的には、本題の第2の発明と同様に、プローブ検査後のはんだボールバンプの頭頂部を研磨処理した後のウェハに対して、放電プラズマによる表面処理を行うわけであるが、その際に不活性ガスではなく、HF等の還元性ガスを処理室に導入してプラズマ処理を行う。

【0018】

これにより、製造プロセス工程で、バンプ中に取り込まれる酸素や水分が起因して形成されるバンプ表面の自然酸化膜層を、化学的に還元しながらスパッタエッチングが進行し、本願の第2の発明以上に効果的にバンプ接合部表面のクリーニングを行うことができる。

【0019】

また、バンプチップのバッシベーションに用いているポリイミド膜表面層のダングリングボンドが電気陰性度の大きいF原子(その他ハロゲン元素)にターミネイトされることにより、化学的により活性化状態を維持することができる。

30

このようにして、仕上がりのはんだバンプ接合部表面がより効果的に清浄化されることで、プリント配線基板との接続抵抗をより一層低減させることができる。

また、ポリイミド膜表面の活性化が進むことによって、フリップチップ実装時の封止樹脂との密着性をより一層向上させることができるようになる。

これらの結果、はんだボールバンプを作製したデバイスの電気特性が大幅に改善されると共に、フリップチップ実装して組み立てられる最終的な製品セットの信頼性及び耐久性を、前述までの発明以上に、大きく向上させることができる。

次に、本発明を、図面に基づいて更に詳しく説明する。

40

【0020】

【実施例】

実施例1

実施例1は、はんだ突起電極としてのはんだボールバンプの製造プロセスにおいて、本発明の内の第1の発明を適用したものであり、はんだボールバンプを電気特性検査した時に、この電気特性検査でプローブ痕が形成されたはんだバンプの頂部(好ましくは頂頭部)に研磨(ポリッシュ)処理を行った例である。

はんだボールバンプの製造方法について説明する。

図1は、フリップチップICの接合部の形成例を示している。図1(a)のように、フリップチップICの接合部は、シリコン等の半導体基体1上にA1などの電極パッド2をス

50

パッタエッチング等を用いて形成し、ポリイミド等によって表面保護膜 3 を全面に被覆した後に、電極パッド 2 上に開口部を形成することで得られる。この様に、B L M (Ball Limiting Metal) 膜 4 と称する Cr、Cu、Au からなる金属多層膜のパターンが形成される。

【0021】

図 1 (b) の様に、B L M 膜 4 の上には、開口部 5 を有するレジストパターン 6 を形成する。そして図 1 (c) の様に、ウェハ 2 2 の全面に対してはんだ蒸着膜 1 3 が成膜されて、図 1 (d) の様にレジストリフトオフによるパターンニングを行った後に、熱処理によってはんだを溶融させることで最終的に図 1 (e) に示すようなはんだボールバンプ 1 4 が B L M 膜 4 の上に電氣的に密着して形成されることになる。

10

【0022】

図 2 (a) は図 1 (e) のはんだボールバンプ 1 4 等を示しており、半導体 I C の A 1 電極パッド 2 の上のポリイミド膜 3 のパターン開口部に、B L M 膜 4 を介してはんだボールバンプ 1 4 が形成されている。

図 2 (b) の様に、このようなはんだボールバンプ 1 4 が形成された後に、デバイスチップ 3 0 に対して以下のような測定条件で電気特性検査を行った。

測定プローブ径 : 30 μ m

オーバードライブ量 : 30 μ m

加熱温度 : 105

その結果、図 2 (c) に示す様に、測定後のはんだボールバンプの頂頭部には、不可避的にプローブ痕 2 1 が形成された。

20

【0023】

次に、この状態のウェハを図 3 に示す様なポリッシング装置 5 0 にセットし、一例として、以下の条件で、ウェハ表面部のバンプ頂頭部 1 4 A をポリッシュ研磨した。

ウェハ回転速度 : 40 rpm

テーブル回転速度 : 40 rpm

研磨圧力 : 100 g / cm²

揺動速度 : 2 mm / sec

スラリー供給速度 : 30 ml / min

削り代 : 30 μ m

30

【0024】

この結果、図 2 (d) に示す様に、はんだボールバンプ 1 4 の頂頭部 1 4 A に形成されていたプローブ痕が研磨除去され、バンプ表面 1 4 B が平滑化された。

以上の様にして、はんだボールバンプの電気特性検査後に研磨処理を施した半導体チップをプリント配線基板上にフリップチップ実装して組み立てられた製品デバイス (図 4 参照) は、バンプ / Cu ランド界面での電気接合特性及び密着強度が向上し、最終的な製品セットの信頼性及び耐久性が従来のものに比べて大幅に改善されることが確認された。図 4 において、はんだバンプ (はんだボールバンプともいう) 1 4 のバンプ表面 1 4 B 側が球状になり、共晶はんだ 4 1 を介してガラスエポキシ基板 4 5 の Cu ランド 4 2 に電氣的に密着して接続されている。この基板 4 5 の表面にはソルダーレジスト 4 4 が形成され、S i チップとガラスエポキシ基板 4 5 は封止樹脂 4 3 により電気絶縁処理されている。

40

【0025】

図 3 に示すポリッシング装置 5 0 は定盤 3 6 の上に研磨布 (クロス) 3 8 を装着しており、この研磨布 3 8 に対しては研磨溶剤 (スラリー) 3 7 を滴下する。被処理基板であるウェハ 2 2 は、ウェハキャリア 3 9 に着脱金具で取り付けられている。ウェハキャリア 3 9 はモーター 4 0 により回転されると共に、ウェハ 2 2 は上からの圧力により研磨布 3 8 に押しつけられるようになっている。定盤 3 6 はモーター 4 0 により回転することから、ウェハキャリア 3 9 のウェハ 2 2 が研磨布 3 8 により研磨されると共に、その時には研磨溶剤 3 7 が供給される。これによりウェハ 2 2 の表面のはんだバンプの頂頭部 (頂部) 1 4 A が、図 2 (c) から図 2 (d) に示す様に研磨されることになり、頂頭部 1 4 A が平滑

50

に研磨され平滑なバンプ表面 1 4 B となる。

【 0 0 2 6 】

このようにするのは、はんだボールバンプ 1 4 の頂頭部 1 4 A を、図 2 (d) のように電気特性検査を行う際にプローブ 2 0 の先端部 2 0 A が接触して、はんだボールバンプ 1 4 の頂頭部 1 4 A にプローブ痕 2 1 を形成してしまうからである。このプローブ痕 2 1 を除去して、電氣的接続を確実にするために、図 2 (d) のような平滑なバンプ表面 1 4 B をポリッシュ研磨で形成するのである。

【 0 0 2 7 】

実施例 2

実施例 2 は、同じくはんだボールバンプの製造プロセスに、本願の第 2 の発明を適用したものであり、電気特性検査でプローブ痕が形成された、はんだバンプの頂頭部に研磨（ポリッシュ）処理を行った後、平行平板型 R F プラズマ処理装置を用いて、アルゴンガスの放電プラズマによるスパッタエッチング処理を行った例を図 2 ~ 図 5 を参照しながら説明する。

10

【 0 0 2 8 】

実施例 2 においてサンプルとして使用したウェハ 2 2 は、前述の実施例 1 と同じものであり、図 2 (a) に示される様に、半導体基体 1 の A 1 電極パッド 2 上の表面保護膜（ポリイミド膜）3 のパターン開口部に、B L M (Ball Limiting Metal) 膜 4 を介してはんだボールバンプ 1 4 が形成されたものである。

このボールバンプ 1 4 の形成後のデバイスチップに対して、実施例 1 と同様に、以下の測定条件で、図 2 (b) のように電気特性検査を行った。

20

測定プローブ径 : 3 0 μ m

オーバードライブ量 : 3 0 μ m

加熱温度 : 1 0 5

その結果、図 2 (c) に示す様に、測定後のはんだボールバンプ 1 4 の頂頭部 1 4 A には、不可避免的にプローブ痕が形成された。

【 0 0 2 9 】

次に、この状態のウェハを図 3 に示す様なポリッシング装置 5 0 をセットし、実施例 1 と同様に、以下の条件で、ウェハ表面のバンプ頂頭部 1 4 A をポリッシュ研磨した。

ウェハ回転速度 : 4 0 r p m

テーブル回転速度 : 4 0 r p m

研磨圧力 : 1 0 0 g / c m 2

揺動速度 : 2 m m / s e c

スラリー供給速度 : 3 0 m l / m i n

削り代 : 3 0 μ m

30

この結果、図 2 (d) に示す様に、はんだボールバンプ 1 4 の頂頭部 1 4 A に形成されていたプローブ痕 2 1 が研磨除去され、バンプ表面 1 4 B が平滑化された。

【 0 0 3 0 】

この状態のウェハ (2 2) を図 5 の平行平板型 R F プラズマ処理装置 6 0 にセットし、一例として以下の条件で、スパッタエッチング処理を行った。

40

A r = 2 5 s c c m、圧力 1 . 0 P a、ウェハステージ室温、

R F 印加パワー : 3 0 0 W (1 3 . 5 6 M H z)、

時間 3 0 秒

この結果、A r プラスイオンのスパッタリング作用により、はんだバンプ 1 4 の接合部表面に存在するプロセス残渣や自然酸化膜が効果的に除去されて、清浄なバンプ表面 1 4 B が露出すると共に、バンプ付きデバイスチップの表面保護膜である表面保護膜（ポリイミド膜）3 の表面がイオン衝撃エネルギーを受けて、化学的に活性化された。

【 0 0 3 1 】

上述した平行平板型 R F プラズマ処理装置 6 0 は、図 5 に示す様な構造のものを使用できる。プラズマ処理室 3 4 の中にはステージ 2 3 (陰極板) と陽極板 2 4 が間隔を置いて配

50

置されている。ステージ 2 3 の上には被処理基板であるウェハ 2 2 が載る。ステージ 2 3 は高周波電源 2 6 に対して結合コンデンサー 2 5 を介して電氣的に接続されている。陽極板 2 4 は接地されている。

これにより高周波電源 2 6 からの高周波電圧がかかると、ステージ 2 3 と陽極板 2 4 の間にはプラズマ 2 7 が発生することから、プラズマ処理室内のウェハ 2 2 は前述した様な Ar プラスイオンのスパッタリング作用により、はんだバンプ 1 4 の接合部表面に存在するプロセス残渣や自然酸化膜が効果的に除去されて、清浄なバンプ表面 1 4 B が露出すると共に、バンプ付きデバイスチップの表面保護膜であるポリイミド膜 3 の表面がイオン衝撃エネルギーを受けて化学的に活性化できる。

【 0 0 3 2 】

以上の様にして、はんだボールバンプの電気特性検査後に、研磨処理及びスパッタエッチング処理を施した半導体チップをプリント配線基板上にフリップチップ実装して組み立てられた製品デバイス(図 4)は、バンプ / Cuランド界面での電気接合特性及び密着強度がより一層向上し、最終的な製品セットの信頼性及び耐久性は、先の実施例以上に、従来のものに比べて大幅に改善されることが確認された。

【 0 0 3 3 】

実施例 3

本実施例は、同じくはんだボールバンプ製造プロセスに、第 3 の発明を適用したものであり、電気特性検査でプローブ痕が形成された、はんだバンプの頂頭部に研磨(ポリッシュ)処理を行った後、図 6 のトライオード型 RF プラズマ処理装置 7 0 を用いて、HF と Ar の混合ガスによるスパッタエッチング処理を行った例を図 2 ~ 図 6 を参照しながら説明する。

実施例 3 においてサンプルとして使用したウェハは、前述までの実施例と同じものであり、図 2 (a) に示される様に、半導体基体 1 の A 1 電極パッド 2 上のポリイミド膜 3 パターン開口部に、BLM (Ball Limiting Metal) 膜 4 を介してはんだボールバンプ 1 4 が形成されたものである。

【 0 0 3 4 】

このボールバンプ形成後のデバイスチップに対して、前述までの実施例と同様に、電気特性検査を行った結果、図 2 (c) に示す様に、測定後のはんだボールバンプ 1 4 の頂頭部 1 4 A には、不可避免的にプローブ痕 2 1 が形成された。

更に、この状態のウェハの表面を、前述までの実施例 1 と同様に、ポリッシュ研磨した結果、図 2 (d) に示す様に、はんだボールバンプ 1 4 の頂頭部 1 4 A に形成されていたプローブ痕 2 1 が研磨除去され、バンプ表面 1 4 B が平滑化された。

この状態のウェハ 2 2 を図 6 のトライオード型 RF プラズマ処理装置 7 0 にセットし、一例として以下の条件で、スパッタエッチング処理を行った。

HF / Ar = 1 0 / 2 0 s c c m、圧力 1 . 0 P a、ウェハステージ室温、
プラズマソース電力 7 0 0 W (2 M H z)、
基板バイアス電圧 3 5 0 V (1 3 . 5 6 M H z)、
時間 3 0 秒

【 0 0 3 5 】

このプラズマ処理では、Ar プラスイオンのスパッタリング作用に加えて、HF による還元作用によって、バンプ表面の自然酸化膜や有機物残渣は化学反応を伴いながら一層効果的に除去され、より清浄なはんだバンプ表面が露出した。

更にまた、本実施例では、バンプチップの表面保護膜であるポリイミド膜 3 の表面層のダングリングボンドが電気陰性度の大きい F 原子にターミネイトされて、化学的により活性化状態になった。

【 0 0 3 6 】

上述したトライオード型 RF プラズマ処理装置 7 0 は、図 6 のような構造を採用することができる。プラズマ処理室 1 3 4 の中には、陽極板 1 2 4 とステージ(陰極板) 1 2 3 が収容されていると共に、格子電極 1 1 8 も内蔵されている。格子電極 1 1 8 は接地されて

10

20

30

40

50

おり、陽極板 1 2 4 はプラズマ電源 1 2 8 に対して結合コンデンサー 1 4 0 を介して接続されている。

ステージ 1 2 3 は結合コンデンサー 1 2 5 を介して基板バイアス電源 1 2 6 に接続されている。被処理基板であるウェハ 2 2 はステージ 1 2 3 の上に載っている。これによりプラズマ 2 7 が、陽極板 1 2 4 と格子電極 1 1 8 の間に形成されて、Ar プラズマのスパッタリング作用に加えて、HF による還元作用によって、はんだボールパンプ表面の自然酸化膜や有機物残渣は化学反応を伴いながら一層効果的に除去されて、より清浄なはんだパンプ表面が露出できる。

【0037】

以上のようにして、はんだボールパンプの電気特性検査後に、研磨処理及びスパッタエッチング処理を施した半導体チップを、プリント配線基板上にフリップチップ実装して組み立てられた製品デバイス(図4)は、パンプ/Cuランド界面での電気接合特性及び密着強度がより一層向上し、最終的な製品セットの信頼性及び耐久性は、前述までの実施例以上に、従来のものに比べて大幅に改善されることが確認された。

10

【0038】

本発明を3種類の実施例1~3に基づいて説明したが、本発明はこれらの実施例に何ら限定されるものではなく、サンプル構造、プロセス装置、プロセス条件等発明の趣旨を逸脱しない範囲で適宜選択可能であることは言うまでもない。

例えば、本実施例では、還元性ガスとして、本実施例ではHFを用いた例を示したが、それ以外にも水素、HCl等を同様に用いることができる。このうち、HFやHCl等の液体ソースの場合は、He等のキャリアガスによるバブリング、加熱気化、超音波気化等の手法によってプロセスチェンバー内に導入する。

20

【0039】

パンプ頂頭部に形成された測定プローブ痕が研磨・平滑化され、デバイスチップ内で仕上がりのパンプ高さが揃い、実装不良を低減できる。

また、パンプ接合部表面が清浄化かつ活性化されることで、接続抵抗を低減し、接続強度を向上させることができ、信頼性向上が図れる。

本発明の採用により、電気特性検査を行った後のはんだボールパンプに対して、研磨(ポリッシュ)処理を加えることによって、検査時にパンプの頂頭部に形成された測定プローブ痕が研磨・平滑化される。

30

また、はんだボールの高さバラツキが研磨処理によって均等化されることによって、デバイスチップ内で仕上がりのパンプ高さを揃えることができる。

更に、スパッタエッチング処理によって、パンプ接合部表面に形成された自然酸化膜やプロセス残渣を効果的に除去して清浄なパンプ表面を露出させると共に、パンプ付きデバイスチップの表面保護膜として用いるポリイミド膜の表面層を化学的に活性化状態にさせることができる。

【0040】

その結果、本発明を適用した製造プロセスによって、はんだボールパンプを液性したデバイスチップをプリント配線基板へフリップチップ実装する際の不良を大幅に抑制できる様になる上に、パンプ付きデバイスチップをフリップチップ実装して組み立てられる最終的な製品デバイスの信頼性及び耐久性を、従来製造工程のものに比べて大幅に向上させることができる。

40

【0041】

したがって、本発明は、微細なデザインルールに基づいて設計され、高集積度、高性能、高信頼性を要求される半導体装置の製造に極めて有効である。

【0042】

【発明の効果】

本発明は、はんだ突起電極の高さを揃えることにより実装不良を低減でき、電気接続抵抗を低減するとともに接続強度を向上させる。

【図面の簡単な説明】

50

【図1】本発明に用いられるはんだボールバンプの製造プロセス例をその工程順に示す概略断面図。

(a)は、LSIのAl電極パッド上にはんだボールバンプの下地となるBLM(Ball Limiting Metal)膜がパターンニングされた状態、

(b)は、はんだ蒸着膜をリフトオフによってパターンニングするための厚膜レジストパターンが形成された状態、

(c)は、ウェハ全面にはんだ蒸着膜が成膜された状態、

(d)は、厚膜レジストパターンのリフトオフによって、不要なはんだ蒸着膜が除去された状態、

(e)は、ウェットバック工程の熱処理によってはんだが溶融し、ボールバンプが形成された状態、

をそれぞれ示す。

10

【図2】本願の発明を適用した、はんだボールバンプの製造プロセス例をその工程順に示す概略断面図。

(a)は、ウェットバック工程を経て、はんだボールバンプが形成された状態、

(b)は、はんだボールバンプの頂頭部に測定プローブを当てて電気特性検査を行っている様子、

(c)は、電気特性検査後にプローブ痕が形成された、はんだボールバンプの状態、

(d)は、バンプ頂頭部に本発明の研磨処理を加えることで、プローブ痕が除去され、表面が平滑化された、はんだボールバンプの状態、

をそれぞれ示す。

20

【図3】本願の発明を適用した、電気特性検査後のバンプ付きウェハの表面処理に用いるポリッシュ研磨装置の概略図。

【図4】バンプ形成チップをプリント配線基板にフリップチップ実装した後の状態を示す概略断面図。

【図5】本願の発明を適用したはんだバンプの表面処理に用いる平行平板型RFプラズマ処理装置の概略断面図。

【図6】本願の発明を適用したはんだバンプの表面処理に用いるトライオード型RFプラズマ処理装置の概略断面図。

【図7】通常用いられているはんだボールバンプの製造プロセス例を示す図。

30

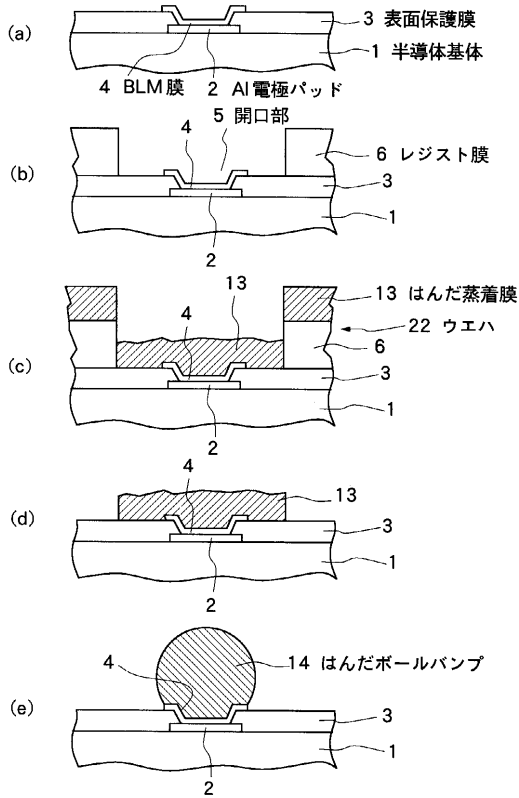
【符号の説明】

1・・・半導体基体(IC)、2・・・Al電極パッド、3・・・表面保護膜(ポリイミド膜)、4・・・BLM(Ball Limiting Metal)膜、5・・・開口部、6・・・(フォト)レジスト膜、13・・・はんだ蒸着膜、14A・・・頂頭部(頂部)、14・・・(はんだ突起電極)はんだボールバンプ、118・・・格子電極、20・・・プローブ、21・・・プローブ痕、22・・・被処理基板(ウェハ)、123・・・ウェハステージ(陰極板)、124・・・陽極板、125・・・結合コンデンサ、126・・・基板バイアス電源、127・・・放電プラズマ、128・・・プラズマ電源、134・・・プラズマ処理室、36・・・定盤、37・・・研磨溶剤、38・・・研磨布、39・・・ウェハキャリア、41・・・共晶はんだ、42・・・Cuランド、43・・・封止樹脂、44・・・

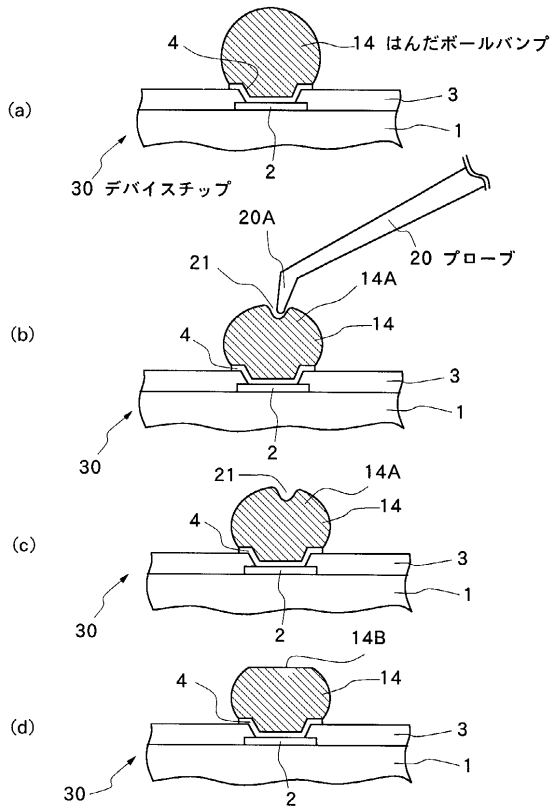
40

・溶剤レジスト、45・・・ガラスエポキシ基板、50・・・ポリッシング装置、60・・・RFプラズマ処理装置、70・・・RFプラズマ処理装置

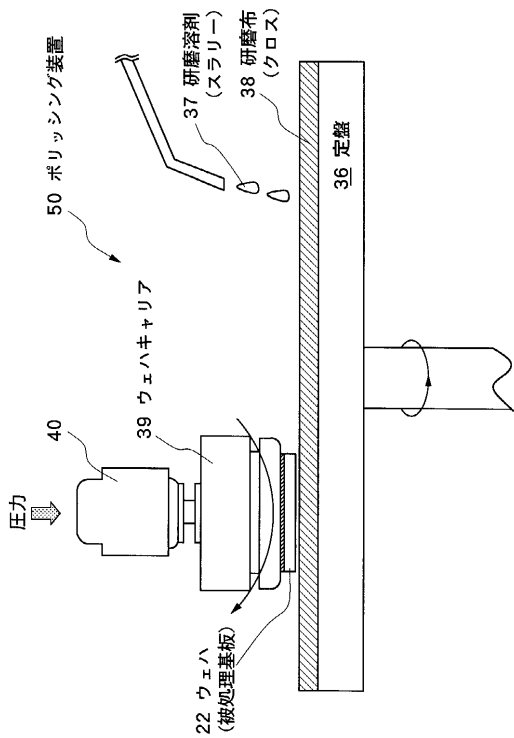
【 図 1 】



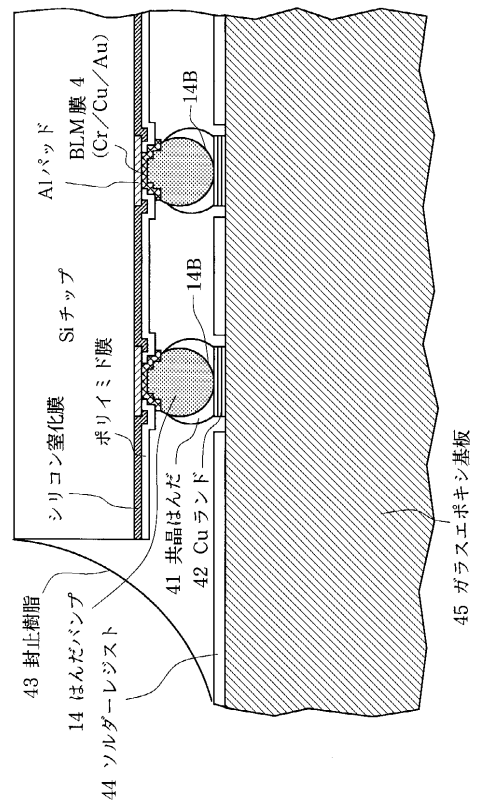
【 図 2 】



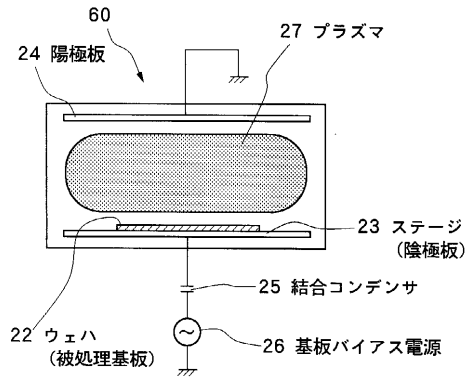
【 図 3 】



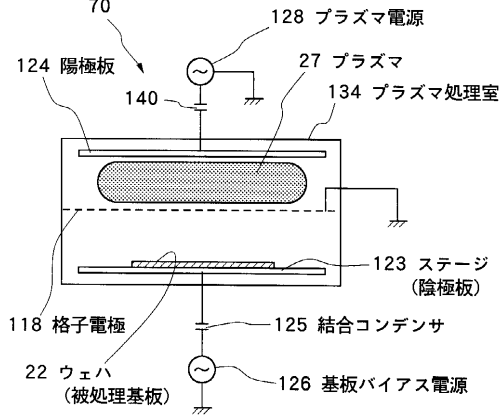
【 図 4 】



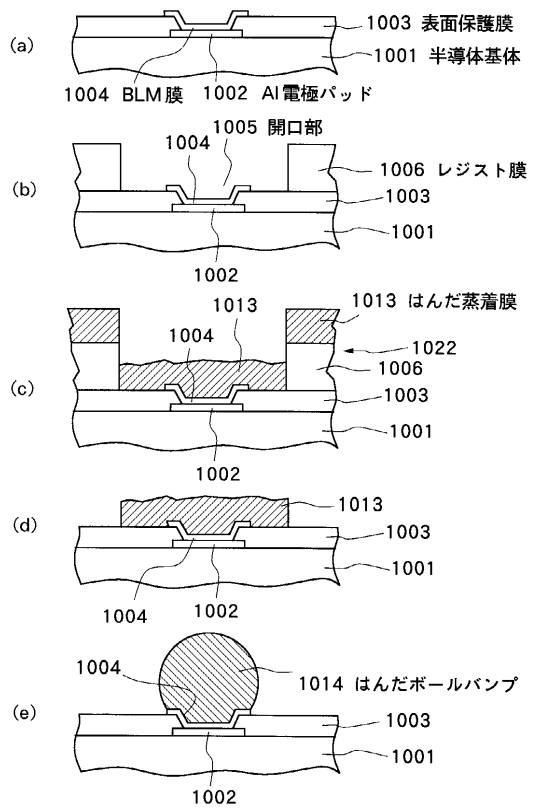
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平01-281756(JP,A)
特開昭63-308335(JP,A)
特開平08-213399(JP,A)
特開平07-297196(JP,A)
特開平10-224029(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60

H01L 21/66

H05K 3/34