

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4841800号
(P4841800)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl.

HO3F 3/217 (2006.01)

F 1

HO3F 3/217

請求項の数 9 (全 13 頁)

(21) 出願番号 特願2002-520407 (P2002-520407)
 (86) (22) 出願日 平成13年8月3日 (2001.8.3)
 (65) 公表番号 特表2004-507140 (P2004-507140A)
 (43) 公表日 平成16年3月4日 (2004.3.4)
 (86) 國際出願番号 PCT/US2001/024502
 (87) 國際公開番号 WO2002/015393
 (87) 國際公開日 平成14年2月21日 (2002.2.21)
 審査請求日 平成20年8月1日 (2008.8.1)
 (31) 優先権主張番号 09/638,465
 (32) 優先日 平成12年8月14日 (2000.8.14)
 (33) 優先権主張国 米国(US)

前置審査

(73) 特許権者 503059611
 アルリック、ジョン、ダブリュ。
 アメリカ合衆国 カリフォルニア、バレン
 シア、デルモンテ 24101、スワイ
 ート 421
 (74) 代理人 100066692
 弁理士 浅村 畏
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100094673
 弁理士 林 銀三
 (74) 代理人 100091339
 弁理士 清水 邦明

最終頁に続く

(54) 【発明の名称】デジタルD級オーディオ増幅器

(57) 【特許請求の範囲】

【請求項 1】

デジタル化されたオーディオ信号を受入れデジタル・アナログ変換器なしにスピーカのような負荷を駆動するオーディオ増幅器において、

(a) 複数のデジタル・オーディオ入力値の形式のデジタル化されたオーディオ信号を受取る手段と、

(b) 電気パルス波形を発生する第1の電気回路手段であって、

累算されたデジタル和を記憶するアキュムレータと、

連続するタイミング・パルスを発生するクロックと、

動作可能な時に前記タイミング・パルスに応答し、デジタル値を前記累算されたデジタル和に前記累算されたデジタル和が上位トリップ・レベルに達するまで繰返して加算する第1の手段と、

動作可能な時に前記タイミング・パルスに応答し、デジタル値を前記累算されたデジタル和から前記累算されたデジタル和が下位トリップ・レベルに達するまで繰返して減算する第2の手段と、

前記累算された和の前記上位トリップ・レベルへの到達に応答して前記第2の手段を動作可能にし且つ前記第1の手段を動作不能にし、前記累算された和の前記下位トリップ・レベルへの到達に応答して前記第1の手段を動作可能にし且つ前記第2の手段を動作不能にする手段と、

を含む前記第1の電気回路手段と、

10

20

(c) 前記デジタル化されたオーディオ信号に応じて前記波形のパルスをパルス幅変調して、変調波形内にオーディオ情報が含まれるようにするデジタル回路手段と、

(d) 前記変調波形に対して動作し前記デジタル化されたオーディオ信号のアナログ表示を発生する復調手段と、
を含む前記増幅器。

【請求項2】

前記第1の手段が動作可能である時は上位値を有し、前記第2の手段が動作可能である時は下位値を有する周期的電気波形を発生する双安定回路手段を含む請求項1記載の増幅器。

【請求項3】

前記クロック・パルスに応答して前記デジタル・オーディオ入力値を示す正または負の値をそれぞれ前記アキュムレータに加算し、前記波形がそれぞれの周期において前記第1および第2の値にある期間を変化させる第3の手段を含む請求項2記載の増幅器。

【請求項4】

上位レール電圧および下位レール電圧を確立する電源手段であって、前記波形の前記上位値および下位値は、それぞれレール電圧にほぼ比例している前記電源手段と、

前記レール電圧の大きさに応答して前記第1および第2の手段の動作可能な一方により前記累算されたデジタル和に適用されるデジタル値を調整し、波形の周期毎のクロック・パルスの数をレール電圧が変化しても実質的に一定に保つ手段と、
を含む請求項3記載の増幅器。

【請求項5】

上位レール電圧および下位レール電圧を確立する電源手段であって、前記波形の前記上位値および下位値は、それぞれレール電圧にほぼ比例している前記電源手段と、

前記レール電圧の大きさに応答して前記上位トリップ・レベルおよび下位トリップ・レベルを変化させ、波形の周期毎のクロック・パルスの数をレール電圧が変化しても実質的に一定に保つ手段と、
を含む請求項3記載の増幅器。

【請求項6】

前記復調手段は、前記波形におけるデューティ・サイクルの変化に応答して、スピーカのような負荷を駆動し対応して変化するアナログ信号レベルを発生する請求項3記載の増幅器。

【請求項7】

前記クロック・パルスに応答して前記デジタル・オーディオ入力値を示す正または負の値をそれぞれ前記アキュムレータに加算し、前記アキュムレータが近づくトリップ・レベルに到達するのに要する時間を変化させる第3の加算器手段を含む請求項1記載の増幅器。

【請求項8】

複数のデジタル・オーディオ入力値を受入れ、デジタル・アナログ変換なしに前記入力値を示す変調信号を発生するデジタル変調器において、

(a) (1) デジタル値を記憶するアキュムレータと、

(2) 前記記憶された値を上位トリップ・レベルと下位トリップ・レベルとの間で上方に、次に下方に周期的に増加させる手段と、

(3) 前記記憶された値が上方に増加している間は、第1のパルス・レベルを有し、前記記憶された値が下方に増加している間は、第2のパルス・レベルを有する電気波形を発生する手段と、

を含む実質的に方形波である波形を発生する手段と、

(b) (1) 加算器、

(2) レジスタ手段、

(3) 前記デジタル・オーディオ入力値をサンプリングする手段、

(4) 前記サンプリングされたオーディオ入力値を示す正および負のデジタル値を

10

20

30

40

50

前記アキュムレータに加算し、前記アキュムレータが近づいているトリップ・レベルに到達するのに要する時間を変化させ、前記受入れオーディオ値に応じて前記波形をパルス幅変調する手段、

を有するパルス幅変調手段と、
を含む前記変調器。

【請求項 9】

レジスタ手段と、

前記サンプリングされた入力値を前記レジスタにクロック入力する手段であって、前記加算手段が前記レジスタ手段に電気的に結合され前記デジタル入力値を受取る前記クロック入力手段と、

10

前記加算手段の出力を前記アキュムレータに結合する手段と、

前記加算手段に結合され、アドレス指定手段が前記サンプリングされた入力値と前記増幅器の出力との間の差を示す出力デジタル値を発生する帰還手段と、
を含む請求項 8 記載の変調器。

【発明の詳細な説明】

【0001】

本発明は、一般的には、D級電力増幅器に関し、特に、デジタル入力D級増幅器に関する。

【0002】

(発明の背景)

20

オーディオ増幅器は、初期のラジオ以来、A級構成およびA-B級構成を用いて製造されてきた。これらの増幅器は、最も簡単に実現され、真空管およびトランジスタを用いて製造されてきた。これらのA級およびA-B級増幅器は、簡単かつ容易に製造されるが、非効率的である。それらの出力段は、約40%の効率で動作し、熱を発生する。これは、入力電力100ワットにつき、それらが約40Wしか出力しないことを意味する。

【0003】

(しばしばスイッチング増幅器と呼ばれる)D級増幅器の概念は、数十年にわたって公知であり、D級増幅器は、1960年代から比較的に低い搬送周波数を容認できる制御システムにおいて使用されてきた。1970年代の中頃には、本願における共同発明者の一人が最初の商業的に成功したD級アナログ入力オーディオ増幅器を開発した。D級は、高効率、低発熱かつ最終的には改善された音質の利点を有する。欠点は、増大する複雑性およびRF放射であった。D級増幅器の部分を集積回路形式で実現し、その増幅器を薄板金の箱内に収納することにより複雑性およびRF放射は、それぞれ減少した。

30

【0004】

アナログ入力を有するD級増幅器は、多年にわたり製造されてきた。1990年代の終期には、実際にアナログ入力オーディオD級増幅器の活動の急上昇があった。エネルギーの使用が少なく、かつ、熱の発生が少ないことは、例えば、一般に5つまたはそれ以上のオーディオ・チャネルが使用されるマルチ・チャネル・ホームシアタ増幅器における重要な考慮点である。

【0005】

40

オーディオ信号源は、今やデジタル式のものに変化しつつある。レコードは、ほとんど完全にコンパクト・ディスク(以後「CD」と記す)およびデジタル・オーディオ・テープ(以後「DAT」と記す)に置き換えられており、ビデオ・テープは、デジタル・ビデオ・ディスク(以後「DVD」と記す)に置き換えられつつある。TVは、直接放映TVの出現によりデジタル式のものになりつつある。コンピュータ・オーディオは、本来デジタル式のものである。

【0006】

本発明は、従って、デジタル/アナログ変換なしにデジタル信号源(例えば、CD、DV D、DAT)の出力を受入れることができる増幅器に関する。CD、DVDおよびDATならびに将来のフォーマットを有する将来のメディアのデジタル出力を直接受入れること

50

ができるオーディオ増幅器は、デジタル・アナログ変換器を用いる必要を解消し、改善された音質を提供するので、極めて望ましい。

本発明のさらなる目的は、低コストのデジタル集積回路により実現できる好ましい設計を有する増幅器を提供することである。

【0007】

(発明の要約)

本発明のデジタルD級オーディオ増幅器は、デジタル・オーディオ入力を受入れ、D/A変換器を用いることなく、それらの入力を増幅する。簡単にいうと、デジタル・オーディオ入力は、処理されて、そのオーディオ入力の前のオーディオ入力との関係の誤差値が作られる。この誤差値は、搬送波信号をパルス幅変調するために用いられ、デジタル変調された搬送波は、低域フィルタされるので、増幅器出力は、スピーカを駆動できるアナログ電圧を含む。

本発明のこれらの特徴および他の特徴は、実施例の以下の説明から明らかとなり、図面は、その一部をなす。

【0008】

(実施例の説明)

図1には、本発明により構成されたデジタル・オーディオ増幅器の概略ブロック図が示されている。この増幅器は、デジタル変調システムを含み、この変調システムは、さらに、3つの主要ブロック、すなわち、パルス幅変調器100、電力スイッチング部200および出力低域フィルタ300を含む。この増幅器は、その入力118がデジタル信号源に結合されるように意図されており、その出力においては、入力118におけるデジタル・オーディオ値をスピーカまたは他の負荷を駆動できる復調されたアナログ出力信号310に変換する。

【0009】

このシステムは、出力低域フィルタ300から出発すれば、最も容易に理解できる。この低域フィルタへの入力は、(好ましくは500KHzの)高周波方形波であり、これはパルス幅変調されている。例えば、図2Aに示されているように、50%のデューティ・サイクルを有する方形波は、時間の1/2は、正となり、時間の1/2は、負となる。そのような入力の場合、フィルタ300の出力は、0ボルトの平均値およびこの低域フィルタを通過したなんらかの残存搬送波を有する。

【0010】

パルス幅変調がこの方形波入力を変化させて、図2Bに示されているように、それが1/2よりも長い時間の間、正に留まる(すなわち、デューティ・サイクルが増大する)ようになれば、低域フィルタへの入力電圧の時間平均は、正になり始めて、このフィルタの出力は、正方向に増大し、電源(またはレール)電圧により制限される。負の出力電圧は、図2Cに示されているような、負の平均出力電圧を与えるような対応するデューティ・サイクルにより得られる。

このフィルタの出力は、次の方程式に従って、方形波のデューティ・サイクルにより定められる。

【0011】

(数1)

$$e_o = V \left((t_1 - t_2) / (t_1 + t_2) \right)$$

ただし、

e_o = 出力電圧

V = レール電圧

t_1 = 方形波が正であるサイクル時間

t_2 = 方形波が負であるサイクル時間

レール電圧は、定数であると考えられるので、出力電圧は、次の方程式に従ってデューティ・サイクルに正比例する。

【0012】

10

20

30

40

50

【数2】

$e_o = k d$

ただし、

k = レール電圧の値

d = デューティ比

【0013】

図1に示されているフィルタ300のすぐ前には、電力スイッチング部200があり、これは、好ましくは2つの電力スイッチ、すなわち、MOSFET210、212を含む。1つのMOSFET210は、正レールVと低域フィルタ300への入力との間に接続されている。他のMOSFET212は、負レール-Vと低域フィルタ300への入力との間に接続されている。一時に1つのMOSFETのみが導通し、一方が導通している時は、他方は導通していない。実際には、「オーバーラップ」がありえないよう保証するためには、いくらかの「アンダーラップ」が設計に含まれていてもよい。換言すれば、2つのMOSFETが同時に伝導していないよう保証するために注意が必要である。その理由は、正レールと負レールとの間の抵抗が小さくなり、スイッチを損傷することがありうるからである。従って、この回路は、最悪の場合において、双方のMOSFETが伝導するのではなく、むしろ短時間の間、伝導しないように設計される。

【0014】

当業者は、両MOSFETからの出力が方形波であり、MOSFET210が導通している時は、方形波の正の部分がフィルタに供給され、MOSFET212が導通している時は、方形波の負の部分がフィルタに供給されることを認める。従って、方形波の振幅は、本質的に正レール電圧および負レール電圧の振幅である。MOSFET210は、その入力Qが正である時に導通する。MOSFET212は、その入力Qバーが負である時に導通する。これら2つのスイッチのそれぞれの導通時間は、すぐ前の変調器部100により制御され、これは、それによりフィルタに印加される方形波のデューティ・サイクルを変化させる。

【0015】

両MOSFETは、500KHzの好ましい搬送波速度で交互にターン・オンおよびターン・オフされる。これは、低域フィルタの帯域幅を十分に超えるので搬送波は、実質的に減衰されるが、オーディオ信号は、スピーカへの通過を許容される。500KHzの周波数は、高過ぎる周波数から起こりうる過度の加熱を避け、また低過ぎる周波数から起こりうるスピーカにおける可聴検出可能な信号を避けるために、便宜的に選択されたものである。

【0016】

変調器部100の目的は、増幅器へのデジタル・オーディオ入力118を変調器のデジタル入力のアナログ表示である増幅器出力電圧310を生じるパルス幅変調信号に変換することである。変調器部100は、アキュムレータ102を含み、その出力は、比較器104に結合している。アキュムレータ102は、2つの入力ノードを有する。アキュムレータ102の第1のノードは、マルチプレクサ110を経て2つのレジスタ106、108の選択された一方に接続される。アキュムレータの第2のノードは、加算器112に接続されている。以下に説明するように、アキュムレータは、その第1のノードに搬送信号を受け、その信号は、第2のノードを経てのオーディオ信号により変調される。

【0017】

オーディオ信号がないものと仮定し、増幅器がアイドルである時の変調器部の説明をする。簡単にいうと、比較器104の出力は、アキュムレータ102の出力が上位トリップ・レベルおよび下位トリップ・レベルに交互に達する時、状態QおよびQバーの間でトグルする。アキュムレータは、次々にカウントを累算し、それが比較器をトリップするカウントに達すると、アキュムレータは、逆方向のカウントを開始し、それが他方のトリップ・レベルに達するまで続け、このプロセスを繰返す。アイドル・モードにおいては、アキュムレータがそのカウントに達する速度は、レール電圧の値により決定され、図2Aに示さ

れている 50 % のデューティ・サイクルを有する方形波を発生する。

【0018】

アキュムレータは、それが上位トリップ・レベルに達するまでに 50 ステップをなしてクロック・アップされ、それが下位トリップ・レベルに達するまでに 50 ステップをなしてクロック・ダウンされる。好ましいクロック速度は、48 MHz である。上方への 50 クロックのそれぞれにレール電圧値を表示するアキュムレータの合計に対しデジタル値が加算される。それに応じて正レール値は、方形波 214 の正部分に分圧回路網 115 および A/D 変換器 116 を経てアキュムレータに帰還され、レジスタ 106 にデジタル値として記憶される。

【0019】

比較器が上位レベルにおいてトリップする時、その出力 Q バーは、MOSFET 212 を導通状態にし、一方、出力 Q は、MOSFET 210 を非導通状態にする。負レール電圧の値は、方形波 214 の負部分中に分圧回路網 115 および A/D 変換器を経て帰還され、レジスタ 108 にデジタル値として記憶される。アキュムレータは、比較器をトリップする時には、マルチプレクサ 110 をもトリップし、さらに第 1 のアキュムレータ入力ノードをレジスタ 106 からレジスタ 108 にスイッチする。それぞれのクロックパルスにより、アキュムレータは、累算された合計からレジスタ 108 の値を下位トリップレベルに達するまで減算し、下位トリップレベルに達すると、比較器およびマルチプレクサは、トリップされて再びプロセスを繰返す。

【0020】

この実施例においては、アキュムレータのレール電圧は、それぞれ公称 +80 ボルトおよび -80 ボルトであり、26,000 程度のデジタル値がその電圧値に対して便宜的に割当てられる。このデジタル値は、A/D 変換器がそのカウント範囲内において動作することを保証するために選択される。現在の場合は、変換器は、28,000 の値まで変換できるので、変換器のカウント範囲内で動作すべく 26,000 の値が選択されたのである。

【0021】

50 クロックの終了時には、レール電圧が公称値にあるものとして、カウントは、140 万になる。カウントは、トリップ値である。従って、アキュムレータは、140 万（すなわち、50 クロック × 26,000 カウント毎クロック）までカウント・アップし、その時点で、その値が比較器 104 をトリップし、MOSFET 210 をターンオフし、MOSFET 220 をターンオンして、方形波の負部分を発生させる。マルチプレクサは、レジスタ 108 に至るアキュムレータの入力ノードをスイッチし、アキュムレータは、それぞれのクロックパルスにより下位トリップ値に向かって減少し始める。それぞれのクロックパルスにより 26,000（程度）は、カウントがいずれの方向に行われるかにより、アキュムレータの合計に加算され、または合計から減算される。

【0022】

要約すると、アキュムレータ 102 は、トリップ・レベルにおいてカウント・アップした後にカウント・ダウンする。トリップ・レベルの値は、レール電圧が変化する時も一定値に留まり、50 クロックのカウントをスイッチ・ポイント間に維持するために加算され、減算される増分の大きさは、レール電圧の変化に比例して変化するようになっている。あるいは、トリップ・レベルがレール電圧の変化とともに変化し、増分が一定値に保たれるようにすることもできる。A/D 変換器 116 は、両 MOSFET が 500 KHz でスイッチされている期間中に出力をオーバ・サンプリングするので、レジスタ 120 には 32,000 サンプルが置かれる。

【0023】

変調器部に対する入力 118 へのデジタル・オーディオ信号の印加は、電力スイッチング部 200 の出力 214 にパルス幅変調された出力を発生させる。デジタル・オーディオ値 118 は、変調器部入力 118 に入力され、そこでオーバ・サンプリングされる。図示の実施例においては、オーバ・サンプリングは、44 KHz の速度で行われる。これは、オ

10

20

30

40

50

—ディオ・データが失われないことを保証するナイキスト速度よりも十分に高く、便宜上、アキュムレータ102のクロック速度と同じ速度である。S P D I F信号のような入力デジタル・オーディオ信号は、そのクロック周波数に位相同期し、ヘッダに基づくオーディオ情報を並列データ・ストリームにデコードすることにより受取られる。このP W Mシステムのクロックは、118におけるクロック速度に同期される。このデータ・ストリームは、次に音量制御の機能を行うデジタル・マルチブレクサに供給される。商業上の実施のためには必要であるが、受信手段および音量制御を実施するための特定の様式は、本発明にとって重要であるとは考えられず、当業者は、他の設計および実施を本発明の範囲から逸脱することなく使用できることを認識する。

【0024】

10

それぞれのオーディオ信号値は、レジスタ111に、次に加算器112にクロック入力され、増幅器出力信号310のデジタル化された値と比較される。出力信号310は、分圧器回路網119およびA / D変換器120を経て適宜に帰還され、レジスタ122に保持され、加算器の反転入力にクロック入力される。加算器112の出力は、デジタル誤差信号であり、帰還ループは、これをゼロに向けて駆動する。

【0025】

誤差信号は、アキュムレータに印加され、アキュムレータが保持している合計に値を加算し、または合計から値を減算する。その結果、アキュムレータは、アイドル・モードにある時よりも早く、または遅くトリップ値に達することになる。いずれの場合においても、その変化の結果、両M O S F E Tは、早く、または遅くスイッチされ、それに応じて方形波のパルス幅が変化する。デジタル入力値が変化すると、それに応じても変化し、方形波のパルス幅が変化する。このようにして、デジタル入力信号118は、500K H zの搬送波214をパルス幅変調する。

20

【0026】

電力スイッチング部の出力に得られるパルス幅変調は、方形波のデューティ・サイクルを変化させるために、その信号の平均電圧を変化させる。パルス幅変調された500K H zの方形波の搬送波は、低域フィルタ300によりフィルタされ、その搬送波を減衰させて変動するオーディオ信号のみを通過させ、増幅器が接続されているスピーカを駆動する。

【0027】

30

当業者は、増幅器に対する入力118が並列オーディオ・データであり、それに関連するフレーム同期およびクロックは、前に除去されており、それはフロント・エンドD / A変換を必要とする従来のデジタル・オーディオ増幅器において用いられてきた技術の従来の様式で処理できることを認識する。ここでの増幅器は、32K h zから96K h zまで、すなわち、システムク・ロック周波数の半分までの任意の速度の任意の通常のオーディオ・データを受入れる。フレーム同期信号は、このオーディオ・データをレジスタ111にクロック入力し、このデータを増幅器に印加する。増幅器は、安定性およびタイミングを考慮して、フレーム同期信号のN倍のクロック速度でフレーム同期信号に対し同期して動作する。このクロックは、フレーム同期信号に対し位相同期し、かつ変調器がパルス幅の補正を搬送周波数のわずかな百分率として行えるよう十分に大きい係数を乗算する。

【0028】

40

さらに、A / D変換器116、120のサンプリング速度は、増幅器のクロックに同期していることも認識される。A / D主サイクルは、A / D変換器の変換時間に依存する。1主A / Dサイクルは、E oを3回サンプリングするが、方形波V+、V-および出力電流は、1回サンプリングされる。E oおよび電源レールがオーディオ帯域幅の最大速度で変調されるものと仮定すると、A / D変換速度は、40K h zの最小サンプリング速度でナイキストを満足しなければならない。別の機構は、3つの個々のA / D変換器を用い、サンプリングされる電圧形式のそれぞれに対して1つずつ用いられ、マルチブレクサの制御のオーバヘッドおよび関連する波形の整定時間を除去する。

要約すると、変調誤差信号は、上述のように次の方程式により発生される。

【0029】

50

【数3】

$$= E_{in} + \text{方形波} + E_o$$

ただし、 E_{in} は、レジスタ111にクロック入力されるデジタル・オーディオ値である。

【0030】

和 $E_{in} + E_o$ は、レジスタ112に含まれ、レジスタ112は、データがサブ・サンプリングされる時にデータ入力をアキュムレータに対して調整するための1次保持を行う。方形波214は、A/D変換器116により順次サンプリングされた正および負のレール電圧のデジタル値により表される。これらの値は、それぞれレジスタ106、108に記憶される。マルチプレクサ110は、電力スイッチに対するデジタル制御を行うQ出力およびQバー出力により制御される。M1の出力は、出力電力スイッチに印加される方形波のデジタル表示である。Qがアクティブである時は、正レールが出力フィルタに印加され、マルチプレクサ110は、レジスタ106を選択する。Qバーがアクティブである時は、負レールが出力フィルタに印加され、マルチプレクサ110は、レジスタ108を選択する。

10

【0031】

パルス幅変調信号QおよびQバーは、変調誤差を累算することにより発生される。アキュムレータの出力は、デジタル比較器回路104に供給され、この回路の入力は、ヒステリシス（すなわち、上位トリップ・レベルと下位トリップ・レベルとの間の差）を含み、そのヒステリシスは、ゼロ・カウントに関して対称である。入力信号がなく出力電圧がないときは、アキュムレータは、出力低域フィルタの入力への方形波信号を積分して、比較器への入力におけるヒステリシスにより設定される限度を有する三角波を発生する。このヒステリシスは、事実上、好ましくは500KHzである変調周波数または搬送波に対し上限を設定する。これにより、入力電圧118は、適正な出力電圧310を得るために必要なデューティ・サイクルを形成するための正しい時刻において比較器がトリップするよう、アキュムレータのカウント速度を制御する。アキュムレータへの第3の入力は、増幅器の出力電圧310で、これは、出力電圧の誤差を補正するための帰還の形式のものである。

20

【0032】

比較器の出力は、電力スイッチ210、212へのQ信号およびQバー信号を発生する。比較器がアキュムレータの値が現在のヒステリシスを超えたことを示す信号を発生すると、駆動MOSFETは、動作が停止され、必要なオフ時間（アンダーラップ）が好ましくは強制的に置かれて、一時に1つのMOSFETのみがオン状態にあることが保証される。ヒステリシスのもう1つの値が選択され、もう1つのMOSFETが使用可能になると、方形波の逆符号の値がフィルタに印加される。比較器がアキュムレータの値がもう1つのヒステリシスを超えたことを示す信号を発生すると、このプロセスが繰返される。

30

【0033】

増幅器の入力段（図示せず）は、オフ・ザ・シェルフSDP1F入力プロセッサ集積回路を用いることができる。この入力段は、デジタル入力データ・ストリームに対する位相同期を行い、データ・サンプリング速度（~3MHz）でフレーム同期信号、1×クロックを発生する。このサンプリング・クロックは、次に位相同期ループにより乗算されて周波数を増し、デジタル増幅器の動作クロック周波数を発生する。

40

【0034】

本増幅器においても、デジタル音量制御が用いられる。増幅器の入力段は、入力段からの直列データを並列デジタル・ワードに変換する音量制御装置に含まれる回路に供給する。この並列ワードは、 V_{in} と呼ばれる音量制御回路へのデジタル入力である。音量制御装置は、次の方程式により便宜的に定められるデジタル乗算器である。

【0035】

【数4】

$$V_o = (V_{in} * \text{利得}) / (\text{スケール} \cdot \text{ファクタ})$$

【0036】

50

利得は、ROMルックアップ・テーブルとして装置化され、ステレオ・システムにおいて見出される典型的な非線形制御を提供する。スケール・ファクタは、増幅器の出力のための小数点を設定する。16ビットのオーディオ・システムにおいては、スケール・ファクタは、 2^{16} であり、24ビット・システムにおいては、スケール・ファクタは、 2^{24} である。代表的な機構として、このシステムは、増幅器のために32の音量ステップを提供する。

【0037】

ROMルックアップ・テーブルのアドレスは、並列デジタル出力を有するノブから得られ、またはデジタル・パルスを出力する音量増/減ボタンまたは音量ノブにより増加されるカウンタである。このルックアップ・テーブルは、0において V_o がゼロとなり、31において V_o が最大値（例えば、16ビット・システムにおいては16ビット、24ビット・システムにおいては24ビットなど）となるような指數関数により発生される。ROMルックアップの出力は、単調なもので、音量制御が増加すればROMアドレスも増加し、ひいては乗算器に対し、より大きい利得を選択する。

10

【0038】

図3に示されている新しい限流機構は、帰還制御システムの形式でデジタル増幅器に含まれる。オーディオ電力増幅器は、出力の短絡および低い負荷インピーダンスによる過度の電流から保護される必要がある。増幅器の利得をAとすると、正常な動作中には、デジタル入力信号は、出力が入力信号のA倍であるように指令する。

20

【0039】

増幅器の出力が偶然に短絡するか、または負荷インピーダンスが極めて低く、入力が高い出力電圧を指令すれば、増幅器の電力出力部は、過度の電流により損傷される。増幅器およびスピーカの部品を保護するためには、負荷電流を事前設定値に制限する。例えば、500ワットの増幅器においては、電流限度は、50アンペアに設定される。従って、ここで説明する新しい様のスイッチング・スキームは、前述のデジタル入力D級増幅器または任意の他のD級増幅器に適応する電流または電力制限を提供する。さらに、この電流保護システムは、主変調器と同じICに配置することができる。

【0040】

これを行うために、負荷電流を検出してデジタル化する。入力が過度な出力電流の指令を試みた時、この限流変調器は、電力出力部の制御を引き継ぐ。この限流PWM変調器は、出力に故障が存在していて入力が過度の電流を指令する限り、出力を定電流に駆動するためのゲート制御信号を発生する。さらに、最初の出力電流限度は、比較的高く設定され、時間の関数として減少される。例えば、それは50アンペアで開始され、100msの間、50アンペアに留まり、その後、次の1秒の間、直線的に減少し、次に2秒までは、さらに勾配を減じて一定の電流限度値、すなわち増幅器が無期限に安全に出力しうる電流を維持する。この時間に負荷インピーダンスがモニタされ、短絡が除去された時は、電流限度は、通常の50アンペアにリセットされる。

30

【0041】

あるいは、出力電流を制限するPWM信号は、主PWM変調器を無効にするためのデジタル化された出力電流を用いることにより得られる。しかし、このアプローチには実質的な欠点がある。主PWM変調器、すなわち、デジタル入力信号をPWM信号に変換する変調器は、可変出力周波数を有する。極めて高い電流において、これは、高いスイッチング損失を生じる。高い出力電流において、定周波数変調器は、遙かにより効率的であり、従って、より信頼性がある。この定走行周波数は、スイッチング損失を最小化するために十分に低く、かつ出力フィルタが負荷における搬送波電流を制限するために十分に高く選択される。換言すれば、入力が過度な出力電流を指令した時に、限流変調器は、出力電流が事前設定された電流限度レベル以下に低下するまで制御を続ける。

40

【0042】

主変調器がスイッチング周波数が電力要求の関数として変化する可変走行周波数変調器であれば、走行周波数は、低下し、出力低域フィルタのカットオフ周波数に近づく。これが

50

起こった時は、出力フィルタは、もはや出力スイッチ・トランジスタを過度な電流から保護することができず、その結果、出力トランジスタの故障が起こる。実際には、可変周波数変調器は、300から700KHzの無負荷走行周波数を有し、極めて高い出力電力の場合は、ゼロまで低下する。周波数がゼロまで低下した時は、出力フィルタのインダクタにおける電流は、無限大に近づき、出力スイッチトランジスタは、故障する。本発明は、増幅器が限流モードにスイッチした時に限流変調器が固定周波数で動作し、スイッチング損失、すなわち、1つのトランジスタがターン・オフし反対側のトランジスタがターン・オンする間の損失を最小化するような解決法を提供する。スイッチング周波数または遷移を半分にすると、スイッチング損失は、半分になる。これは、伝導損、すなわち、トランジスタがオン状態にある間の損失に対して効果をもたない。

10

【0043】

変調器が定周波数変調器であれば、正常電圧増幅モードにおいて最適であるスイッチング周波数は、限流モードにおいて最適ではない。電圧モードにおける最適周波数は、250KHzから700KHzの範囲にあるが、限流モードにおける最適周波数は、できるだけ低く、しかし出力フィルタのカットオフ周波数よりも約2オクターブ高い125KHzほどである。125KHzは、低域フィルタのカットオフ周波数よりも約1.5オクターブ高く、負荷が短絡した時にインダクタが効果的なインピーダンスを提供することを可能にする。

【0044】

この限流変調器の実施は、事実上、全てデジタル・ロジックにより行われる。低コストのデジタル・ロジックの存在により、それは実際的なものとなる。オーディオ入力信号は、デジタル形式のものである。全ての他の信号、すなわち、出力の電圧および電流、レール電圧および温度は、アナログ形式のものである。これらは適宜デジタル化され、デジタル・プロセッサに入力される。これは、それぞれの入力に対する1つのA-D変換器の使用またはアナログ・マルチブレクサおよび1つのA-D変換器の使用を含むいくつかの機構により行うことができる。8ビットの精度は、十分すぎるものである。設計は、好ましくは、算術機能および論理機能のような機能をゲート接続に変換するVHDLのような高レベル・コードによる。

20

【0045】

変調器が電力スイッチング部をデューティ・サイクル変調して定電流または定電力を供給するように変調器を形成することを含む方法を実施するためには、複数の構成が存在する。ここでは、定電流の方法が説明されている。定電力変調器は、次の方程式によりデジタル化された電流信号を方形化することにより実現される。

30

【0046】

【数5】

$$P = I^2 R$$

【0047】

図3には、本発明により構成された限流変調器の実施例が示されており、PWM信号を発生するためにデジタル比較器を用いている。この比較器への入力の1つは、増幅器の出力電流の低域通過されデジタル化された表示である。第2の入力は、アップ/ダウン・カウンタにより形成されたデジタル三角パルスであり、その三角パルスの周波数は、所望の搬送周波数（すなわち、500KHz）である。

40

【0048】

電流限度を設定するために、定数が三角パルスに加算され、比較器の出力に現れるPWM信号を変化させる。この比較器の出力は、主変調器からのPWM制御信号とAND演算され、限流モードにおいて限流変調器が過電流の存在する時に出力の制御を引き継ぐことを保証するようにする。アナログ検出部品における変化に適応するために、別の限流変調器が用いられ、その1つは、正電流のためのものであり、第2のものは、負電流のためのものである。これら2つのPWM信号は、次に過電圧信号および過温度信号とAND演算され、レール電圧が2つの事前設定レベルを超えていれば、または、そのレベルより低けれ

50

ば、または、ヒートシンクの温度が高くなり過ぎれば、PWM信号を禁止して増幅器をターン・オフする。

【0049】

A-D変換器のコストがかなりのものであれば、このシステムは、1つのA-D変換器のみを用いて実現することができる。さまざまな信号（出力、電流、方形波、レールおよび温度）は、増幅器および限流の性能を最適化するために、さまざまなシーケンスでサンプリングされる。

【0050】

出力電流は、低域フィルタされ、変調信号がスイッチング雑音により占有されないことを保証し、一方、レール電圧および温度のような変数は、低域フィルタされて、それらが電流および過電圧保護回路を偽トリガしないように保証する。 10

ANDゲートに対する3つの入力は、それぞれのスイッチがターン・オンすると、3つの入力が全てHIになるように構成されている。

【0051】

以上の説明は、当業者が本発明を実施することを可能にする詳細な内容を含むが、この説明は本来、例示のためのものであり、これらの教示を役立てる当業者にとっては、多くの改変および変形が明らかであることを認識すべきである。例えば、当業者にとっては、パルス密度変調および移相変調のような同等な変調技術は、公知であり、デジタル化されたオーディオ入力信号を用い、その信号を処理するためにD/A変換器を用いることなく、スピーカのような負荷を駆動するのに、ここで示したパルス幅変調技術の代わりに用いることができる。さらに、他のレール電圧および電力レベルも、他のサンプリング速度と同様に、本発明の範囲内にある。 20

従って、本発明は、添付の特許請求の範囲によってのみ定められるように意図されており、特許請求の範囲は、従来技術に照らして許される限り広く解釈されるように意図されている。

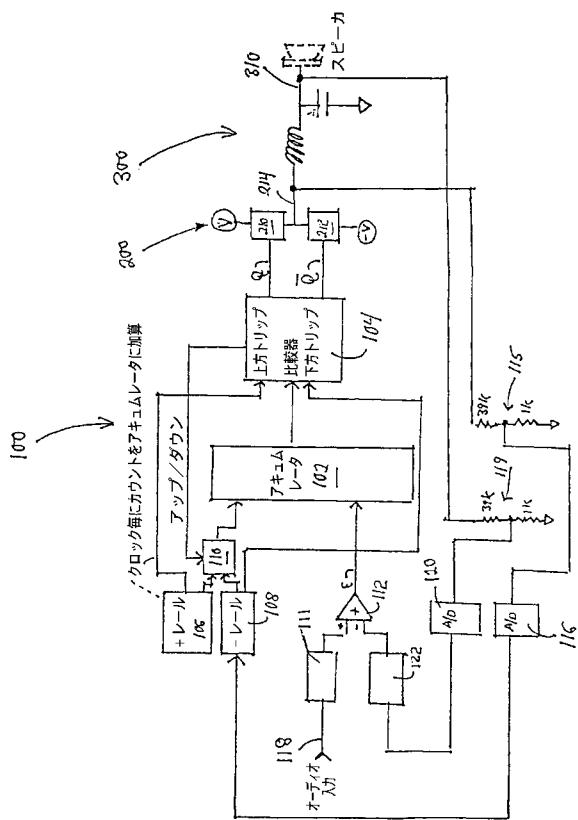
【図面の簡単な説明】

【図1】 本発明により構成されたデジタル入力増幅器の概略ブロック図である。

【図2】 AからCは、パルス幅変調の効果を示す方形波のグラフ表示である。

【図3】 本発明により構成されたデジタル入力増幅器における限流構造の概略ブロック図である。 30

【図1】



フロントページの続き

(72)発明者 アルリック、ジョン、ダブリュ .
アメリカ合衆国 カリフォルニア、バレンシア、デルモンテ 24101、スウェード 421

審査官 高橋 義昭

(56)参考文献 特開平06-303049 (JP, A)
特開昭58-157221 (JP, A)
特表2000-500625 (JP, A)
Bowhers W J et al, Design of an Integrated ATE Amplifier, 1994 IEEE AUTOTESTCON, 米国, IEEE, 1994年 9月20日, P745-748

(58)調査した分野(Int.Cl., DB名)
H03F 3/217