



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0065708
(43) 공개일자 2010년06월17일

(51) Int. Cl.

H03K 3/037 (2006.01) H03K 3/356 (2006.01)

(21) 출원번호 10-2008-0124181

(22) 출원일자 2008년12월08일

심사청구일자 2008년12월08일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

김진상

경기도 용인시 수지구 죽전1동 반도보라빌
104-803

오세문

서울특별시 강남구 일원1동 수서아파트 115-501

(뒷면에 계속)

(74) 대리인

서재승

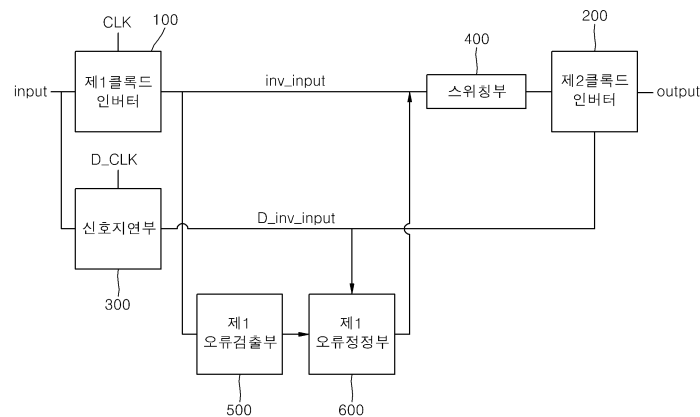
전체 청구항 수 : 총 11 항

(54) 나노 공정용 CMOS 플립플롭 회로

(57) 요약

본 발명은 나노 공정용 CMOS 플립플롭 회로에 관한 것으로, 제1 클록 신호가 인가되는 제1 클록드 인버터와, 제1 클록 신호의 반전 신호인 제2 클록 신호가 인가되는 제2 클록드 인버터와, 제1 클록 신호 보다 지연된 제3 클록 신호에 따라 작동하며, 제1 클록드 인버터의 입력 신호와 동일한 입력 신호가 인가 되는 신호 지연부 및 제2 클록드 인버터에 연결되어, 제1 클록드 인버터의 출력 신호와 신호 지연부의 출력 신호가 동일한 경우 제2 클록드 인버터를 작동시키는 스위칭부를 포함하며, 신호 지연부의 출력 단자는 제2 클록드 인버터의 입력 단자에 연결되며, 제1 클록드 인버터의 출력 단자는 스위칭부에 연결되는 나노 공정용 CMOS 플립플롭 회로가 제공된다.

대표도 - 도8



(72) 발명자

조영민

경기도 수원시 영통구 매탄2동 111-101 202호

조원경

경기도 수원시 영통구 영통동 살구골 성지아파트
713-1003

특허청구의 범위

청구항 1

제1 클록 신호가 인가되는 제1 클록드 인버터;

상기 제1 클록 신호의 반전 신호인 제2 클록 신호가 인가되는 제2 클록드 인버터;

상기 제1 클록 신호 보다 지연된 제3 클록 신호에 따라 작동하며, 상기 제1 클록드 인버터의 입력 신호와 동일한 입력 신호가 인가 되는 신호 지연부; 및

상기 제2 클록드 인버터에 연결되어, 상기 제1 클록드 인버터의 출력 신호와 상기 신호 지연부의 출력 신호가 동일한 경우 상기 제2 클록드 인버터를 작동시키는 스위칭부를 포함하며,

상기 신호 지연부의 출력 단자는 상기 제2 클록드 인버터의 입력 단자에 연결되며, 상기 제1 클록드 인버터의 출력 단자는 상기 스위칭부에 연결되는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 2

제1항에 있어서, 상기 나노 공정용 CMOS 플립플롭 회로는,

상기 제1 클록드 인버터의 입력 신호의 신호 지연 여부를 검출하기 위한 오류 검출부;

상기 오류 검출부의 오류 검출 신호에 따라 작동하며, 상기 오류 검출 신호가 인가되면 상기 제1 클록드 인버터의 출력 신호를 정정하는 오류 정정부를 더 포함하는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 3

제2항에 있어서,

상기 신호 지연부는 상기 제3 클록 신호가 인가되는 제3 클록드 인버터인 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 4

제2항 또는 제3항에 있어서,

상기 오류 검출부는 상기 제1 클록드 인버터의 입력 신호와 상기 제1 클록드 인버터의 출력 신호를 비교하여, 양 신호가 동일하면 상기 오류 검출 신호를 출력하며,

상기 오류 정정부는 상기 오류 검출 신호가 인가되면, 상기 제1 클록드 인버터의 출력 신호를 상기 신호 지연부의 출력 신호로 정정하는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 5

제4항에 있어서, 상기 오류 정정부는 상기 제1 클록 신호 발생 시점부터 상기 제2 클록 신호 발생 시점까지 작동하도록 설정되는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 6

제2항 또는 제3항에 있어서,

상기 오류 검출부는 상기 제1 클록드 인버터의 출력 신호와 상기 신호 지연부의 출력 신호를 비교하여,

양 신호가 상이하면 상기 오류 검출 신호를 출력하며,

상기 오류 정정부는 상기 오류 검출 신호가 인가되면, 상기 제1 클록드 인버터를 작동시켜 상기 제1 클록드 인버터의 출력 신호를 정정하는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 7

제2항에 있어서,

상기 제1 클록드 인버터는 전원과 접지 사이에 직렬로 접속되는 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터를 포함하며, 상기 제1 클록드 인버터의 입력 단자는 상기 제1 PMOS 트랜지스터와 상기 제2 NMOS 트랜지스터의 게이트에 접속되며, 상기 제1 클록드 인버터의 출력 단자는 상기 제2 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 사이에 접속되며,

상기 제2 클록드 인버터는 직렬로 접속되는 제3 PMOS 트랜지스터, 제4 PMOS 트랜지스터, 제3 NMOS 트랜지스터 및 제4 NMOS 트랜지스터를 포함하며,

상기 신호 지연부는 직렬 접속되는 제5 PMOS 트랜지스터와 제5 NMOS 트랜지스터를 포함하며, 상기 직렬 접속된 제5 PMOS 트랜지스터와 제5 NMOS 트랜지스터는 상기 제1 클록드 인버터의 상기 제2 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터와 병렬 접속되며, 상기 신호 지연부의 출력 단자는 상기 제5 PMOS 트랜지스터와 상기 제5 NMOS 트랜지스터 사이에 접속되고,

상기 스위칭부는 전원과 상기 제3 PMOS 트랜지스터 사이에 직렬 접속된 제6 PMOS 트랜지스터와, 접지와 상기 제4 NMOS 트랜지스터 사이에 직렬 접속된 제6 NMOS 트랜지스터를 포함하며,

상기 제1 클록드 인버터의 출력 단자는 상기 제6 PMOS 트랜지스터와 제6 NMOS 트랜지스터의 게이트에 각각 접속되고, 상기 신호 지연부의 출력 단자는 상기 제3 PMOS 트랜지스터와 제4 NMOS 트랜지스터의 게이트에 각각 접속되는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 8

제5항에 있어서,

상기 오류 검출부는 XOR 게이트를 포함하며, 상기 XOR 게이트의 제1 및 제2 입력 단자에는 상기 제1 클록드 인버터의 입력 신호와 상기 제1 클록드 인버터의 출력 신호가 각각 인가되는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 9

제8항에 있어서, 상기 오류 정정부는,

상기 XOR 게이트의 출력 신호에 따라 작동하는 제4 클록드 인버터; 및

상기 제4 클록드 인버터의 출력 단자와 상기 제1 클록드 인버터의 출력 단자 사이에 접속되어, 상기 오류 정정부의 작동 시간을 조절하는 오류 정정구간 설정회로를 포함하며, 상기 오류 정정구간 설정회로는 상기 제1 클록 신호는 하이이고, 상기 제3 클록 신호는 로우인 구간에 턴온되는 제1 상보형 스위치와 제2 상보형 스위치를 포함하며,

상기 제4 클록드 인버터의 입력 단자의 전단에는 인버터가 접속되며, 상기 신호 지연부의 출력 단자는 상기 인버터에 접속되어, 상기 제4 클록드 인버터의 입력 단자에는 상기 신호 지연부의 출력 신호의 반전 신호가 인가되는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 10

제6항에 있어서,

상기 오류 검출부는 XOR 게이트를 포함하며, 상기 XOR 게이트의 제1 및 제2 입력 단자에는 상기 제1 클록드 인버터의 출력 신호와 상기 신호 지연부의 출력 신호가 각각 인가되는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

청구항 11

제10항에 있어서,

상기 오류 정정부는 상기 제1 클록드 인버터에 병렬 접속되어, 상기 오류 검출 신호에 동기하여 상기 제1 클록드 인버터를 작동시키는 스위칭 소자를 포함하는 것을 특징으로 하는 나노 공정용 CMOS 플립플롭 회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 소프트 에러 방지 기능을 갖는 플립플롭 회로에 관한 것으로, 보다 상세하게는 클록드 CMOS 인버터 회로를 응용한 플립플롭 회로를 이용하여 트랜지스터 수준에서의 나노 공정의 특성변화로 인한 오류를 감지하여 정정하는 기능은 물론, 소프트 에러에 강인한 나노 공정용 CMOS 플립플롭 회로에 관한 것이다.

배경 기술

[0002] 공정 기술이 발달함에 따라 나노 공정을 이용한 기술에 대한 연구가 활발히 진행되고 있다. 나노 단위의 작은 소자는 대기 중의 입자에 의한 충돌로 인한 예기치 않은 데이터의 변화를 발생시킬 수 있다. 대기 중의 높은 에너지를 가진 입자가 트랜지스터 내의 민감한 노드에 충돌하게 되면 전자나 홀의 쌍들이 생성 되고 만약 이 충전된 입자들이 트랜지스터의 문턱전압보다 커지게 되면 의도하지 않은 값이 전달되어 오류가 발생할 수 있다. 이러한 일시적인 데이터의 오류를 SEU(Single Event Upset) 또는 소프트 에러(soft-error)라고 한다.

[0003] 이러한 데이터의 변화는 일시적이지만 데이터를 저장하는 플립플롭의 경우에는 일시적인 변화가 잘못된 데이터를 저장하게 되어 시스템 전체적인 오작동을 유발할 수도 있다.

[0004] 도 1은 일반적인 플립플롭 회로의 개략도이며, 도 2는 클록드 CMOS 인버터를 이용한 플립플롭 회로의 개략도이고, 도 3a 및 도 3b는 도 2에 도시된 플립플롭 회로에 발생하는 문제점을 도시한 도이다.

[0005] 도 1은 일반적인 플립플롭의 디자인으로써 인버터를 사용하여 데이터를 유지하며 클록의 동기화를 위해 서로 각각 반전된 타이밍의 클록에 동작하는 스위치를 사용한다. 대부분의 플립플롭의 오류는 클록 신호로 인해 회로가 열려있을 때 발생한다. 클록 신호에 의해 회로가 동작하고 있을 때에는 SEU가 발생되더라도 일시적인 오류가 발생하지만 곧 입력신호에 의해 원래의 값으로 돌아오게 된다.

[0006] 그러나, 도 1의 경우 어떤 한 노드에 SEU가 발생했을 때 플립플롭 내부 데이터가 일시적으로 변경되어 오류가 발생하는데 만약 클록 신호로 동작하는 스위치가 열려서 값이 피드백 회로만으로 저장되고 출력을 유지하는 상태가 된다면 인버터 두 개로 구성된 피드백 회로로 인해 일시적으로 생긴 오류가 피드백 되면서 저장되어 오류를 출력하게 된다.

[0007] 도 2 클록드(Clocked) CMOS 플립플롭은 도 1의 일반적인 플립플롭의 기능을 수행하지만 인버터를 이용한 피드백이 없으며 클록 입력을 받는 트랜지스터와 입력 신호를 받는 트랜지스터가 병렬로 입력을 동작하면서 하나의 큰 인버터의 역할을 한다. 입력 D의 값은 항상 '0' 과 '1' 의 값을 가지므로 PMOS와 NMOS 둘 중 하나는 항상 동작하게 되지만 클록 입력을 받는 트랜지스터는 스위치 역할을 하며 클록이 '0' 또는 '1' 일 때 한 상태에서만 동작하고 그 외에는 값을 전달하지 않고 스위치를 여는 역할을 한다. 그러므로 반전된 클록신호를 두 개의 클록드CMOS 인버터에 연결하면 일반적인 플립플롭과 같은 동작을 할 수 있다.

[0008] 한편, 나노 공정에서는 다양한 특성변화로 인하여 예기치 못한 오류가 발생할 수 있다. 예를 들면, 도 3a에서

와 같이 공급 전압이 낮아짐에 따라 신호가 지연되어 플립플롭의 입력 단의 setup-time 이전에 값이 도달하지 못해 의도하지 않은 값이 플립플롭에 저장되어 나타나는 오류, 도 3b와 같이 입력 노드에 SEU가 발생하여 일시적인 데이터의 변화가 발생하는데 이러한 짧은 데이터의 변화가 플립플롭이 값을 받아들이는 순간에 발생하여 잘못된 데이터를 저장하여 발생하는 오류, 도 1과 같이 회로 내의 어떤 노드에서 SEU가 발생했을 때 일시적으로 변한 값이 이 값을 저장하는 내부 회로에 영향을 미쳐 오류를 저장하여 출력하는 경우가 발생할 수 있다. 따라서, 이러한 문제점을 극복할 수 있는 나노공정용 CMOS 플립플롭 회로에 대한 연구가 절실한 실정이다.

발명의 내용

해결 하고자 하는 과제

[0009] 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명이 해결하고자 하는 과제는 SEU에 의한 오류 및 나노공정의 특성변화에 따른 신호 지연으로 인한 오류에 모두 강인한 나노공정용 CMOS 플립플롭 회로를 제공하기 위한 것이다.

[0010] 본 발명의 다른 목적은 신호가 지연되어 플립플롭의 입력단의 셋업 타임(setup-time) 이전에 값이 도달하지 못해 의도하지 않은 값이 플립플롭에 저장되어 나타나는 오류를 감지 및 정정할 수 있는 나노공정용 CMOS 플립플롭 회로를 제공하기 위한 것이다.

과제 해결수단

[0011] 본 발명의 예시적인 실시예에 따르면, 제1 클록 신호가 인가되는 제1 클록드 인버터; 상기 제1 클록 신호의 반전 신호인 제2 클록 신호가 인가되는 제2 클록드 인버터; 상기 제1 클록 신호 보다 지연된 제3 클록 신호에 따라 작동하며, 상기 제1 클록드 인버터의 입력 신호와 동일한 입력 신호가 인가 되는 신호 지연부; 및 상기 제2 클록드 인버터에 연결되어, 상기 제1 클록드 인버터의 출력 신호와 상기 신호 지연부의 출력 신호가 동일한 경우 상기 제2 클록드 인버터를 작동시키는 스위칭부를 포함하며, 상기 신호 지연부의 출력 단자는 상기 제2 클록드 인버터의 입력 단자에 연결되며, 상기 제1 클록드 인버터의 출력 단자는 상기 스위칭부에 연결되는 나노 공정용 CMOS 플립플롭 회로가 제공된다.

[0012] 상기 나노 공정용 CMOS 플립플롭 회로는 상기 제1 클록드 인버터의 입력 신호의 신호 지연 여부를 검출하기 위한 오류 검출부; 상기 오류 검출부의 오류 검출 신호에 따라 작동하며, 상기 오류 검출 신호가 인가되면 상기 제1 클록드 인버터의 출력 신호를 정정하는 오류 정정부를 더 포함한다.

[0013] 상기 신호 지연부는 상기 제3 클록 신호가 인가되는 제3 클록드 인버터인 것을 특징으로 한다.

[0014] 상기 오류 검출부는 상기 제1 클록드 인버터의 입력 신호와 상기 제1 클록드 인버터의 출력 신호를 비교하여, 양 신호가 동일하면 상기 오류 검출 신호를 출력하며, 상기 오류 정 정부는 상기 오류 검출 신호가 인가되면, 상기 제1 클록드 인버터의 출력 신호를 상기 신호 지연부의 출력 신호로 정정하는 것을 특징으로 한다.

[0015] 상기 오류 정 정부는 상기 제1 클록 신호 발생 시점부터 상기 제2 클록 신호 발생 시점까지 작동하도록 설정되는 것을 특징으로 한다.

[0016] 상기 오류 검출부는 상기 제1 클록드 인버터의 출력 신호와 상기 신호 지연부의 출력 신호를 비교하여, 양 신호가 상이하면 상기 오류 검출 신호를 출력하며, 상기 오류 정 정부는 상기 오류 검출 신호가 인가되면, 상기 제1 클록드 인버터를 작동시켜 상기 제1 클록드 인버터의 출력 신호를 정정하는 것을 특징으로 한다.

효과

[0017] 본 발명에 따르면, 나노공정의 특성변화에 따른 입력 신호 지연 오류뿐만 아니라 회로 내부 노드의 SEU에 의한 오류도 정정할 수 있는 폭넓은 효과를 얻을 수 있다.

[0018] 또한, 하드웨어의 설계에 필요한 트랜지스터의 개수를 줄임으로써 전력소비와 면적을 감소시킬 수 있는 효과도 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

[0020] 도 4는 본 발명의 일 실시예에 따른 나노 공정용 CMOS 플립플롭 회로의 개략적인 기능 블록도이며, 도 5는 도 4

에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이며, 도 6은 도 4에 도시된 나노 공정용 CMOS 플립플롭 회로의 변형된 회로도이고, 도 7은 회로 내부 노드에 오류 발생에 따른 시뮬레이션 결과를 도시한 도이다.

- [0021] 도 4 및 도 7을 참조하면, 본 발명의 일 실시예에 따른 나노 공정용 CMOS 플립플롭 회로는 제1 클록드 인버터(100), 제2 클록드 인버터(200), 신호 지연부(300) 및 스위칭부(400)를 포함한다.
- [0022] 제1 클록드 인버터(100)는 제1 클록 신호(CLK)에 따라 입력 신호(input)를 반전시켜 출력하도록 작동한다. 제2 클록드 인버터(200)에는 제1 클록 신호(CLK)의 반전 신호인 제2 클록 신호(/CLK)가 인가된다.
- [0023] 신호 지연부(300)는 제1 클록 신호(CLK)에 비하여 일정 시간 지연된 제3 클록 신호(D_CLK)에 따라 작동하며, 제1 클록드 인버터(100)의 입력 신호와 동일한 입력 신호가 신호 지연부(300)의 입력 단자에 인가되며, 인가된 입력 신호를 반전시켜 출력시킨다. 즉, 신호 지연부(300)는 제1 클록드 인버터(100)의 출력 신호(inv_input)보다 일정 시간 지연된 출력 신호(D_inv_input)를 출력한다. 스위칭부(400)는 제2 클록드 인버터(200)에 연결되어, 제1 클록드 인버터의 출력 신호(inv_input)와 신호 지연부의 출력 신호(D_inv_input)가 동일한 경우에만 제2 클록드 인버터(200)를 작동시키는 기능을 수행한다.
- [0024] 신호 지연부(300)의 출력 단자는 제2 클록드 인버터(200)의 입력 단자에 연결되어, 신호 지연부(300)의 출력 신호(D_inv_input)는 제2 클록드 인버터(200)의 입력 신호가 된다. 제1 클록드 인버터(100)의 출력 단자는 스위칭부(400)에 연결되어, 제1 클록드 인버터(100)의 출력 신호(inv_input)는 스위칭부(400)의 작동을 제어하는 제어 신호로서 기능을 수행한다.
- [0025] 제1클록드 인버터(100)와 신호 지연부(300)는 입력 신호를 서로 다른 시간의 클록 신호에 따라 출력 신호를 출력한다. 제1 클록드 인버터(100)의 출력 신호는 제2 클록드 인버터(200)에 연결된 스위칭부(400)로 인가되고, 신호 지연부(300)의 출력 신호는 제2 클록드 인버터(200)에 인가되어, 두 출력 신호가 동일할 경우에만 제2 클록드 인버터(200)의 출력 신호가 변경되게 작동된다. 따라서, 회로 내부의 어떤 노드에서 오류가 발생하더라도, 제1 클록드 인버터(100)와 신호 지연부(300)의 출력 단자의 두 노드의 값이 동일한 경우에만 제2 클록드 인버터(200)의 출력 신호를 변경할 수 있기 때문에, 출력 신호는 오류로부터 보호할 수 있게 된다.
- [0026] 도 7을 참조하면, 내부 노드 중 제1 클록드 인버터(100)의 출력 단자 노드(inv_input(에러_1))와 신호 지연부(300)의 출력 단자 노드(D_inv_input(에러_2)) 노드에 외부 회로를 이용하여 오류값을 삽입한 후, 회로의 오류 정정 기능을 확인한 결과이다. 본 실시예에 따른 나노 공정용 CMOS 플립플롭 회로는 두 노드 값이 동일하지 않으면 값은 변경되지 않고, 이전 값을 출력하기 때문에, 내부 노드에 오류가 발생하더라도 둘 중의 하나의 노드 값만 변경되는 경우에는 오류에 영향을 받지 않는다는 것을 확인할 수 있다.
- [0027]
- [0028] 도 5를 참조하여, 도 4에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도를 살펴본다.
- [0029] 제1 클록드 인버터(100)는 전원과 접지 사이에 직렬로 접속되는 제1 PMOS 트랜지스터(P₁), 제2 PMOS 트랜지스터(P₂), 제1 NMOS 트랜지스터(N₁) 및 제2 NMOS 트랜지스터(N₂)를 포함한다. 제1 클록드 인버터(100)의 입력 신호(input)가 인가되는 입력 단자는 제1 PMOS 트랜지스터(P₁)와 제2 NMOS 트랜지스터(N₂)의 게이트에 각각 접속되며, 제1 클록드 인버터의 출력 단자는 제2 PMOS 트랜지스터(P₂)와 제1 NMOS 트랜지스터(N₁) 사이에 접속된다. 제1 클록신호(CLK, /CLK)는 제2 PMOS 트랜지스터(P₂)와 제1 NMOS 트랜지스터(N₁)의 게이트에 인가된다.
- [0030] 제2 클록드 인버터(100)는 직렬로 접속되는 제3 PMOS 트랜지스터(P₃), 제4 PMOS 트랜지스터(P₄), 제3 NMOS 트랜지스터(N₃) 및 제4 NMOS 트랜지스터(N₄)를 포함한다. 제1 클록신호(CLK, /CLK)와 반전된 제2 클록신호(/CLK, CLK)는 제4 PMOS 트랜지스터(P₄)와 제3 NMOS 트랜지스터(N₃)의 게이트에 인가된다.
- [0031] 신호 지연부(300)는 직렬 접속되는 제5 PMOS 트랜지스터(P₅)와 제5 NMOS 트랜지스터(N₅)를 포함하며, 직렬 접속된 제5 PMOS 트랜지스터(P₅)와 제5 NMOS 트랜지스터(N₅)는 제1 클록드 인버터(100)의 제2 PMOS 트랜지스터(P₂)와 제1 NMOS 트랜지스터(N₁)와 병렬 접속된다. 신호 지연부(300)의 출력 단자는 제5 PMOS 트랜지스터(P₅)와 제5 NMOS(N₅) 트랜지스터 사이에 접속되며, 제3 클록신호(D_CLK, /D_CLK)는 제5 PMOS 트랜지스터(P₅)와

제5 NMOS(N_5) 트랜지스터의 게이트에 인가된다.

- [0032] 스위칭부(400)는 전원과 제3 PMOS 트랜지스터(P_3) 사이에 직렬 접속된 제6 PMOS 트랜지스터(P_6)와, 접지와 제4 NMOS 트랜지스터(N_4) 사이에 직렬 접속된 제6 NMOS 트랜지스터(N_6)를 포함한다.
- [0033] 제1 클록드 인버터(100)의 출력 단자는 제6 PMOS 트랜지스터(P_6)와 제6 NMOS 트랜지스터(N_6)의 게이트에 각각 접속된다. 또한, 신호 지연부(300)의 출력 단자는 제2 클록드 인버터(200)의 제3 PMOS 트랜지스터(P_3)와 제4 NMOS 트랜지스터(N_4)의 게이트에 각각 접속된다. 그 결과, 제1 클록드 인버터(100)의 출력 단자와 신호 지연부(300)의 출력 단자가 동일해야만 제2 클록드 인버터(200)가 작동되어 출력신호를 변경할 수 있게 된다.
- [0034] 도 6은 도 5의 변형된 회로도이다. 도 6에서는 신호 지연부를 별도의 클록드 인버터를 사용하여 구현한다는 점이 상이하며, 나머지 구성은 유사한 바 상이한 구성을 위주로 상술한다.
- [0035] 도 6에 도시된 나노 공정용 CMOS 플립플롭 회로는 제1 클록드 인버터(100), 제2 클록드 인버터(200), 신호 지연부로서 기능하는 제3 클록드 인버터(350) 및 스위칭부(400)를 포함한다.
- [0036] 제3 클록드 인버터(350)는 전원과 접지 사이에 직렬로 접속되는 제5 PMOS 트랜지스터(P_5), 제6 PMOS 트랜지스터(P_6), 제5 NMOS 트랜지스터(N_5) 및 제6 NMOS 트랜지스터(N_6)를 포함한다. 제1 클록드 인버터(100)의 입력 신호(input)와 동일한 입력 신호가 인가되는 입력 단자는 제5 PMOS 트랜지스터(P_5)와 제6 NMOS 트랜지스터(N_6)의 게이트에 각각 접속되며, 제3 클록드 인버터의 출력 단자는 제6 PMOS 트랜지스터(P_6)와 제5 NMOS 트랜지스터(N_5) 사이에 접속된다. 제3 클록신호(D_CLK, /D_CLK)는 제6 PMOS 트랜지스터(P_6)와 제5 NMOS 트랜지스터(N_5)의 게이트가 인가된다.
- [0037] 도 8은 본 발명의 다른 실시예에 따른 나노 공정용 CMOS 플립플롭 회로의 개략적인 기능 블록도이며, 도 9는 도 8에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이고, 도 10은 지연된 입력 신호에 의한 오류 발생에 따른 시뮬레이션 결과를 도시한 도이다.
- [0038] 도 8에 도시된 본 발명의 다른 실시예에 따른 나노 공정용 CMOS 플립플롭 회로는 제1 클록드 인버터(100), 제2 클록드 인버터(200), 신호 지연부(300), 스위칭부(400), 제1 오류 검출부(500) 및 제1 오류 정정부(600)를 포함한다.
- [0039] 제1 클록드 인버터(100)는 제1 클록 신호(CLK)에 따라 입력 신호(input)를 반전시켜 출력하도록 작동한다. 제2 클록드 인버터(200)에는 제1 클록 신호(CLK)의 반전 신호인 제2 클록 신호(/CLK)가 인가된다.
- [0040] 신호 지연부(300)는 제1 클록 신호(CLK)에 비하여 일정 시간 지연된 제3 클록 신호(D_CLK)에 따라 작동하며, 제1 클록드 인버터(100)의 입력 신호와 동일한 입력 신호가 신호 지연부(300)의 입력 단자에 인가되며, 인가된 입력 신호를 반전시켜 출력시킨다.
- [0041] 스위칭부(400)는 제2 클록드 인버터(200)에 연결되어, 제1 클록드 인버터의 출력 신호(inv_input)와 신호 지연부의 출력 신호(D_inv_input)가 동일한 경우에만 제2 클록드 인버터(200)를 작동시키는 기능을 수행한다.
- [0042] 신호 지연부(300)의 출력 단자는 제2 클록드 인버터(200)의 입력 단자에 연결되어, 신호 지연부(300)의 출력 신호(D_inv_input)는 제2 클록드 인버터(200)의 입력 신호가 된다. 제1 클록드 인버터(100)의 출력 단자는 스위칭부(400)에 연결되어, 제1 클록드 인버터(100)의 출력 신호(inv_input)는 스위칭부(400)의 작동을 제어하는 제어신호로서 기능을 수행한다.
- [0043] 제1 오류 검출부(500)는 제1 클록드 인버터(100)의 입력 신호(input)와 제1 클록드 인버터(100)의 출력 신호(inv_input)를 비교하여, 오류 검출 여부를 판단한다. 만약, 제1 클록드 인버터(100)의 입력 신호(input)와 제1 클록드 인버터(100)의 출력 신호(inv_input)가 동일하면, 오류가 발생한 것으로 판단하여 오류 검출 신호를 출력한다.

- [0044] 제1 오류 검출부(500)에서 출력된 오류 검출 신호가 제1 오류 정정부(600)에 인가되면, 제1 오류 정정부(600)는 제1 클럭드 인버터(100)의 출력 신호(inv_input)를 신호 지연부(300)의 출력 신호(D_inv_input)로 정정하는 기능을 수행한다. 이때, 제1 오류 정정부(600)는 일정한 구간 동안에 발생된 오류 검출 신호만을 이용하여, 그 구간 동안에서만 오류를 정정할 수 있도록 오류 정정 구간을 설정할 수 있다. 예를 들면, 제1 클럭 신호 발생 시점부터 제2 클럭 신호 발생 시점까지를 오류 정정 구간으로 설정하여, 이러한 오류 정정 구간에서만 제1 클럭드 인버터(100)의 출력 신호(inv_input)를 신호 지연부(300)의 출력 신호(D_inv_input)로 정정하도록 설정할 수 있다.
- [0045] 본 실시예에 따르면, 나노공정의 특성변화에 따른 신호 지연의 증가로 인하여, 입력 신호가 제1 클럭드 인버터의 세트업 타임(setup-time)에 도달하지 못하여 잘못된 값을 저장한 오류가 발생했을 경우, 제1 클럭드 인버터의 입력 신호와 출력 신호를 비교하여 오류 발생 여부를 검사하고, 오류 발생 시에는 일정 시간 지연된 클럭 신호에 의해서 출력된 신호 지연부의 출력 신호(D_inv_input)를 오류가 발생한 노드에 다시 전달하는 방식으로 오류를 정정하게 된다.
- [0046] 도 9는 도 8에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이다. 제1 클럭드 인버터(100), 제2 클럭드 인버터(200), 신호 지연부(300) 및 스위칭부(400)의 회로 구성은 도 5에 도시된 회로도와 유사하므로, 제1 오류 검출부(500) 및 제1 오류 정정부(600)의 회로 구성을 위주로 살펴본다.
- [0047] 제1 오류 검출부(500)는 XOR 게이트를 포함하며, XOR 게이트의 제1 및 제2 입력 단자에는 제1 클럭드 인버터(100)의 입력 신호(input)와 제1 클럭드 인버터의 출력 신호(inv_input)가 각각 인가된다. 따라서, 양 신호가 동일하면 오류가 발생한 것으로 판단하여, 오류 검출 신호 즉, 로우(low) 신호를 출력한다.
- [0048] 제1 오류 정정부(600)는 XOR 게이트에서 출력되는 오류 검출 신호(즉, 로우 신호)에 따라 작동하는 제4 클럭드 인버터(610) 및 제1 오류 정정부(600)의 작동 시간을 조절하는 오류 정정구간 설정회로(630)를 포함한다.
- [0049] 제4 클럭드 인버터(610)는 전원과 접지 사이에 직렬로 접속되는 제7 PMOS 트랜지스터(P_7), 제8 PMOS 트랜지스터(P_8), 제7 NMOS 트랜지스터(N_7) 및 제8 NMOS 트랜지스터(N_8)를 포함한다. XOR 게이트의 출력 신호 및 출력 신호의 반전 신호는 각각 제8 PMOS 트랜지스터(P_8)의 게이트 및 제7 NMOS 트랜지스터(N_7)의 게이트가 인가시킨다.
- [0050] 제4 클럭드 인버터(610)의 입력 단자의 전단에는 인버터(670)가 접속되며, 신호 지연부(300)의 출력 단자가 인버터(670)에 접속되어, 제4 클럭드 인버터(610)의 입력 단자에는 신호 지연부(300)의 출력 신호(D_inv_input)의 반전 신호가 인가된다.
- [0051] 제4 클럭드 인버터(610)의 출력 단자는 제1 클럭드 인버터(100)의 출력 단자에 접속되며, 오류 정정구간 설정회로(630)는 제4 클럭드 인버터(610)와 제1 클럭드 인버터(100)의 출력 단자 사이에 접속된다. 오류 정정구간 설정회로(630)는 제1 클럭 신호(CLK)는 하이이고, 제3 클럭 신호(D_CLK)는 로우인 구간에 턴온되도록 구성된 제1 상보형 스위치(P_9 , N_9)와 제2 상보형 스위치(P_{10} , N_{10})를 포함한다.
- [0052] 상기와 같은 회로 구성에 의해, 오류가 발생한 것으로 판단되면, 오류 정정구간 설정회로에 의해서 설정된 구간 동안 신호 지연부의 출력 신호(D_inv_input)를 오류가 발생한 노드 즉, 제1 클럭드 인버터의 출력 단자에 전달하는 방식으로 오류를 정정할 수 있게 된다.
- [0053] 도 10은 입력 신호가 나노공정의 특성변화에 따른 신호 지연에 의해 클럭의 setup-time에 안정적으로 들어오지 못한 경우에 발생할 수 있는 오류를 정정한 결과이다. 지연된 클럭 신호를 사용하지 않을 경우에는 도 10과 같이 입력값일때 '1'을 래치하지 못하고, 그 다음 클럭에서 값을 저장하게 되는 반면에, 본 발명의 실시예에 따르면 클럭의 추가 소비 없이 즉시 오류를 수정하여 원하는 값을 출력하는 것을 확인할 수 있다.
- [0054] 도 11은 본 발명의 또 다른 실시예에 따른 나노 공정용 CMOS 플립플롭 회로의 개략적인 기능 블록도이며, 도 12는 도 11에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이고, 도 13은 11에 도시된 나

노 공정용 CMOS 플립플롭 회로에 의해 오류가 정정되는 타이밍도이다.

[0055] 도 11 및 도 12를 참조하면, 본 발명의 또 다른 실시예에 따른 나노 공정용 CMOS 플립플롭 회로는 제1 클록드 인버터(100), 제2 클록드 인버터(200), 신호 지연부로서 기능하는 제3 클록드 인버터(300), 제1 스위칭부(900), 제1 스위칭 제어부(950), 제2 스위칭부(400), 제2 오류 검출부(700) 및 제2 오류 정정부(800)를 포함한다. 본 실시예의 제1 클록드 인버터(100), 제2 클록드 인버터(200), 신호 지연부(300) 및 제2 스위칭부(400)는 도 8의 실시예의 대응되는 구성요소와 기능과 유사한 바 이하에서는 상이한 구성을 위주로 살펴본다.

[0056] 제2 오류 검출부(700)는 제1 클록드 인버터(100)의 출력 신호와 제3 클록드 인버터(300)의 출력 신호를 비교하여, 양 신호가 상이하면 오류가 발생한 것으로 판단하여, 오류 검출 신호를 출력한다. 제2 오류 검출부(700)는 XOR 게이트를 포함하며, XOR 게이트의 제1 및 제2 입력 단자에는 제1 클록드 인버터(100)의 출력 신호와 제3 클록드 인버터(300)의 출력 신호가 각각 인가된다. 이때, 양 신호가 상이하면 오류가 발생한 것으로 판단하여, 오류 검출 신호(하이 신호)를 출력한다.

[0057] 제2 오류 정정부(800)는 직렬로 접속되는 제8 PMOS 트랜지스터(P_8), 제9 PMOS 트랜지스터(P_9), 제8 NMOS 트랜지스터(N_8) 및 제9 NMOS 트랜지스터(N_9)를 포함하며, 직렬 접속된 CMOS 트랜지스터들은 제1 클록드 인버터(100)에 병렬 접속된다. 제8 PMOS 트랜지스터(P_8)의 게이트 단자에는 XOR 게이트 출력 신호의 반전 신호가 인가되게 구성되며, 제9 NMOS 트랜지스터(N_9)의 게이트 단자에는 XOR 게이트 출력 신호가 인가된다. 또한, 제9 PMOS 트랜지스터(P_9) 및 제8 NMOS 트랜지스터(N_8)의 게이트 단자에는 제3 클록신호 및 제3 클록신호의 반전신호(D_CLK, $\overline{D_CLK}$)가 각각 인가되게 구성된다. 제2 오류 정정부(800)는 오류 검출 신호(즉, 하이 신호)가 인가되고, 제3 클록신호(D_CLK)가 로우 신호일 때에만 제1 클록드 인버터(100)를 작동시켜 제1 클록드 인버터의 출력 신호를 정정하게 된다.

[0058] 제1 스위칭 제어부(950)는 제1 클록드 인버터(100)의 입력 신호를 일정 시간 지연시켜 출력하는 기능을 수행한다. 제1 스위칭부(900)는 제1 클록드 인버터(200)에 연결되어, 제1 클록드 인버터(100)의 입력 신호와 제1 스위칭 제어부(950)의 출력신호가 동일한 경우에만 제1 클록드 인버터(100)를 작동시키는 기능을 수행한다.

[0059]

[0060] 이상에서 설명한 것은 본 발명에 따른 나노 공정용 CMOS 플립플롭 회로의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

도면의 간단한 설명

[0061] 도 1은 일반적인 플립플롭 회로의 개략도이다.

[0062] 도 2는 클록드 CMOS 인버터를 이용한 플립플롭 회로의 개략도이다.

[0063] 도 3a 및 도 3b는 도 2에 도시된 플립플롭 회로에 발생하는 문제점을 도시한 도이다.

[0064] 도 4는 본 발명의 일 실시예에 따른 나노 공정용 CMOS 플립플롭 회로의 개략적인 기능 블록도이다.

[0065] 도 5는 도 4에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이다.

[0066] 도 6은 도 4에 도시된 나노 공정용 CMOS 플립플롭 회로의 변형된 회로도이다.

[0067] 도 7은 회로 내부 노드에 오류 발생에 따른 시뮬레이션 결과를 도시한 도이다.

[0068] 도 8은 본 발명의 다른 실시예에 따른 나노 공정용 CMOS 플립플롭 회로의 개략적인 기능 블록도이다.

[0069] 도 9는 도 8에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이다.

[0070] 도 10은 지연된 입력 신호에 의한 오류 발생에 따른 시뮬레이션 결과를 도시한 도이다.

[0071] 도 11은 본 발명의 또 다른 실시예에 따른 나노 공정용 CMOS 플립플롭 회로의 개략적인 기능 블록도이다.

[0072] 도 12는 도 11에 도시된 나노 공정용 CMOS 플립플롭 회로의 개략적인 회로도이다.

[0073] 도 13은 11에 도시된 나노 공정용 CMOS 플립플롭 회로에 의해 오류가 정정되는 타이밍도이다.

[0074] *도면의 주요 부분에 대한 부호의 설명*

[0075] 100 : 제1 클록드 인버터 200 : 제2 클록드 인버터

[0076] 300 : 신호 지연부 400 : 스위칭부

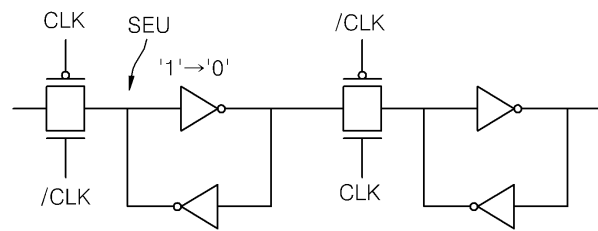
[0077] 500 : 제1 오류 검출부 600 : 제1 오류 정정부

[0078] 700 : 제2 오류 검출부 800 : 제2 오류 정정부

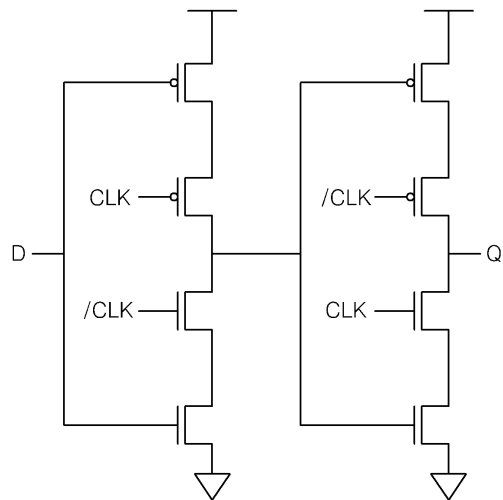
[0079]

도면

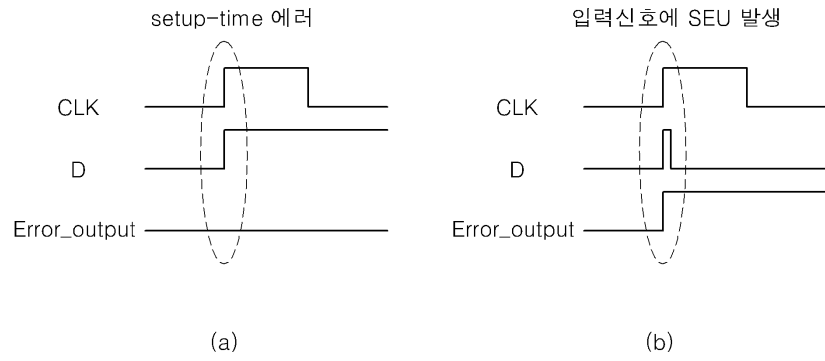
도면1



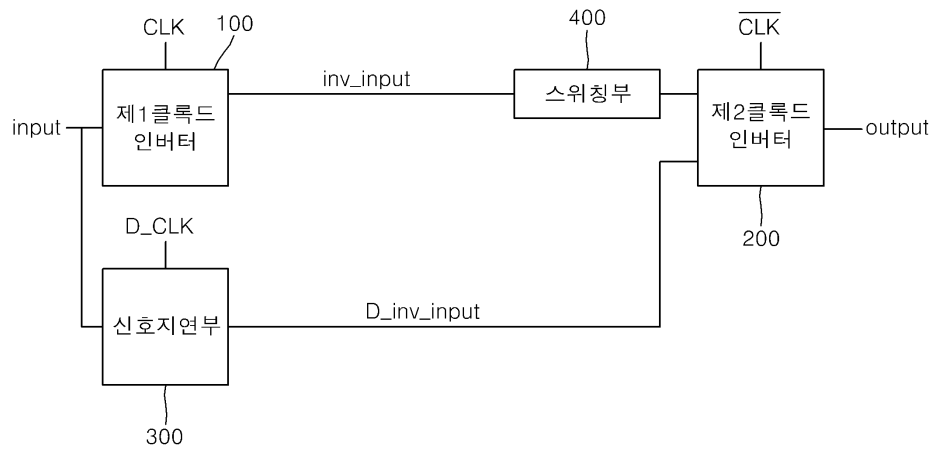
도면2



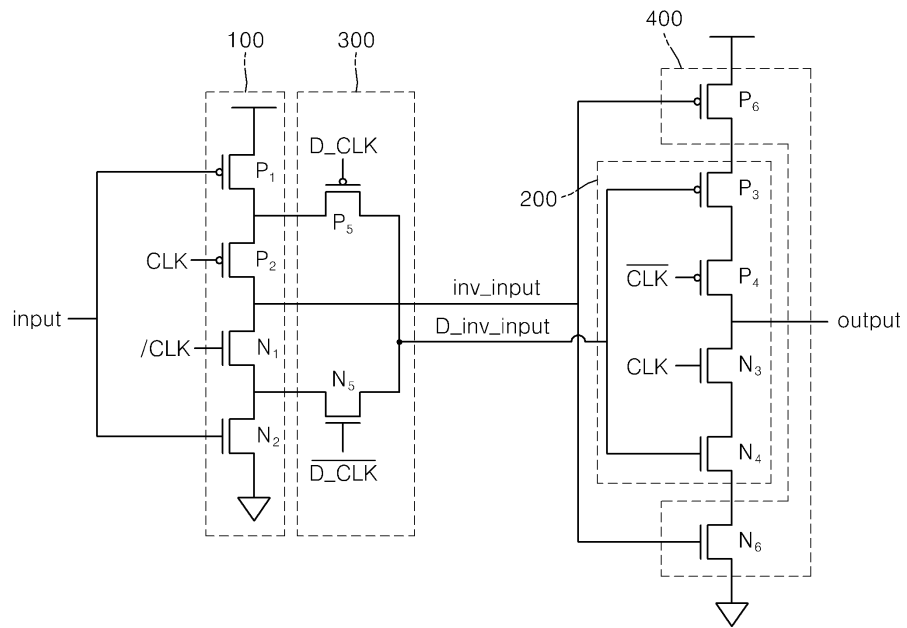
도면3



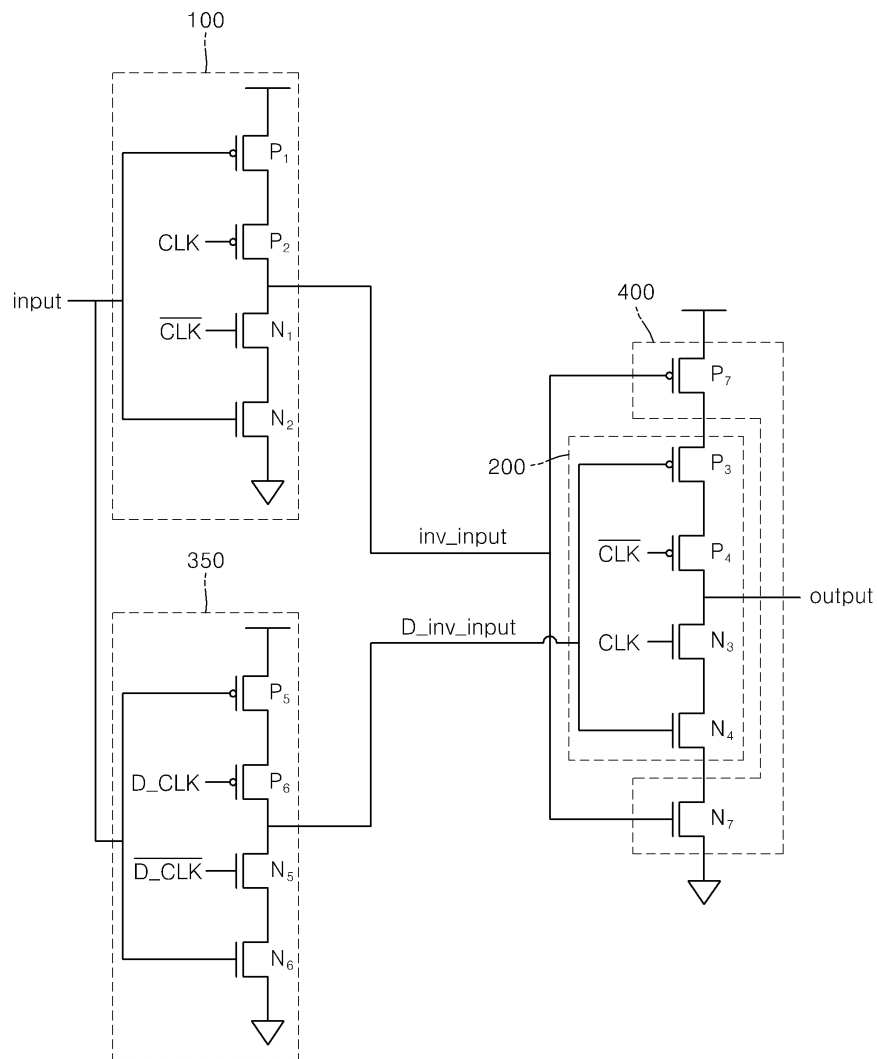
도면4



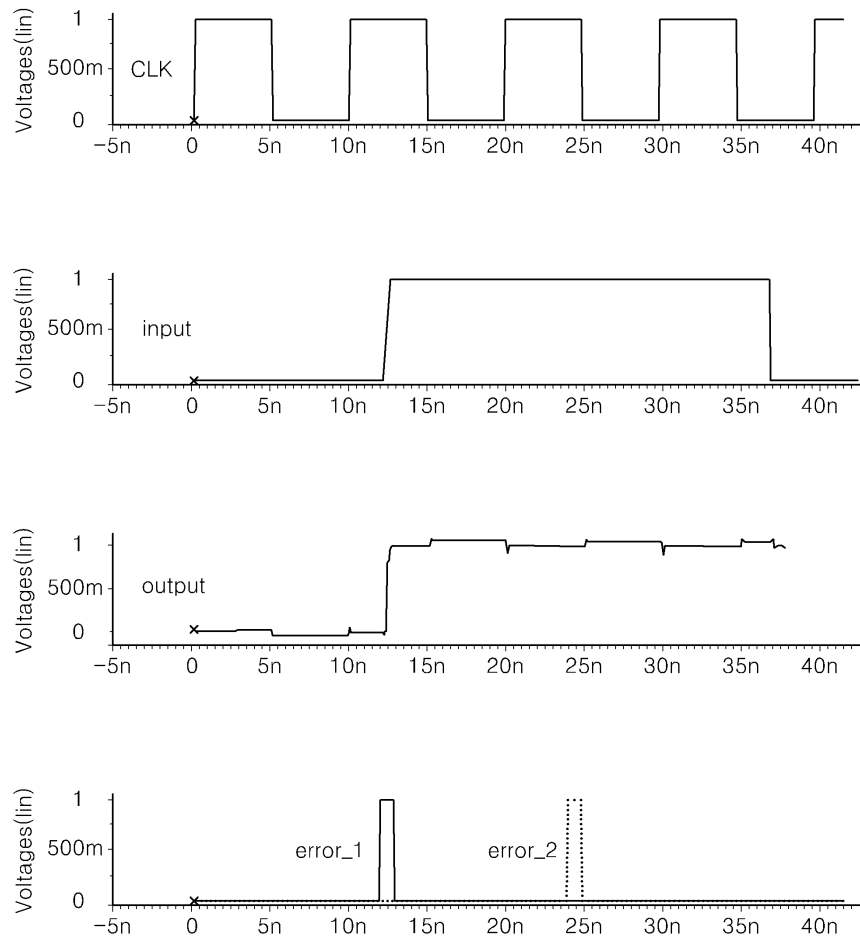
도면5



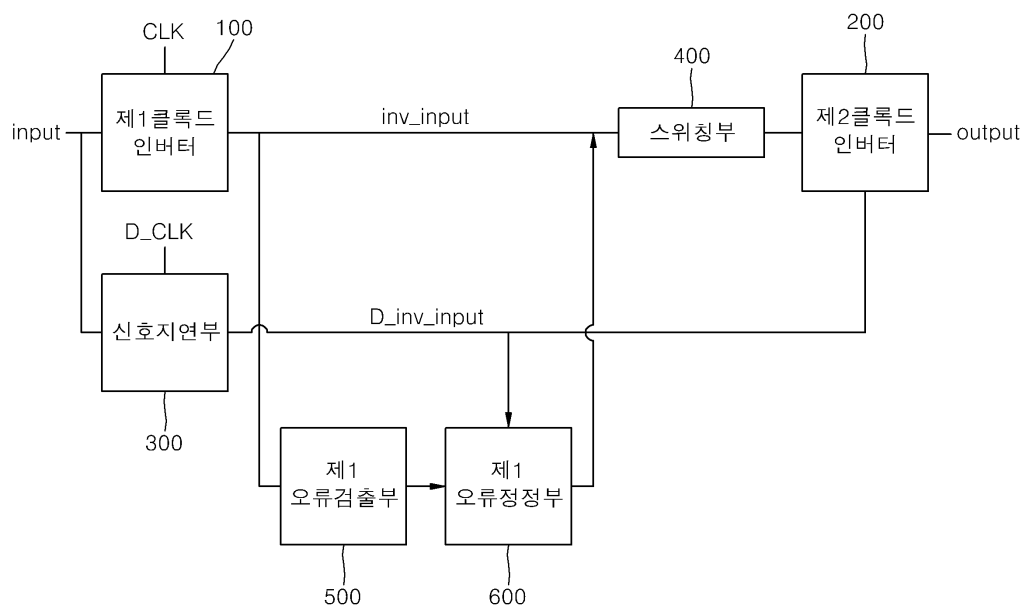
도면6



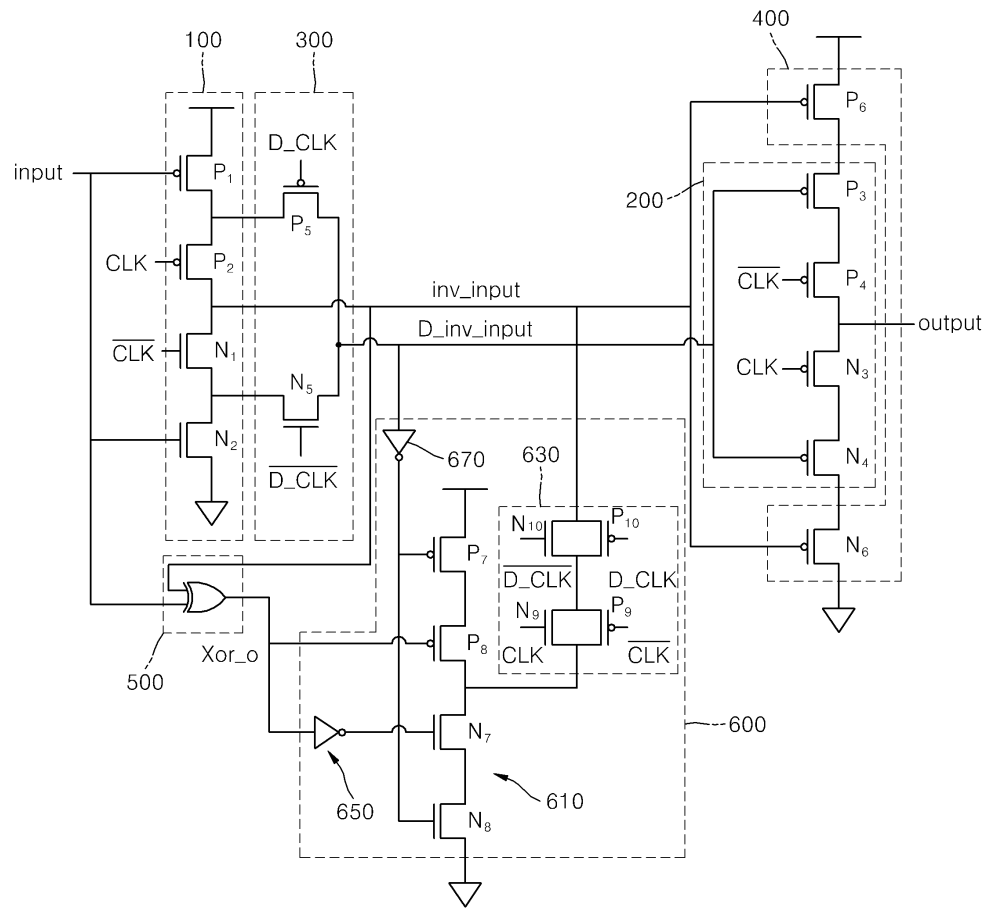
도면7



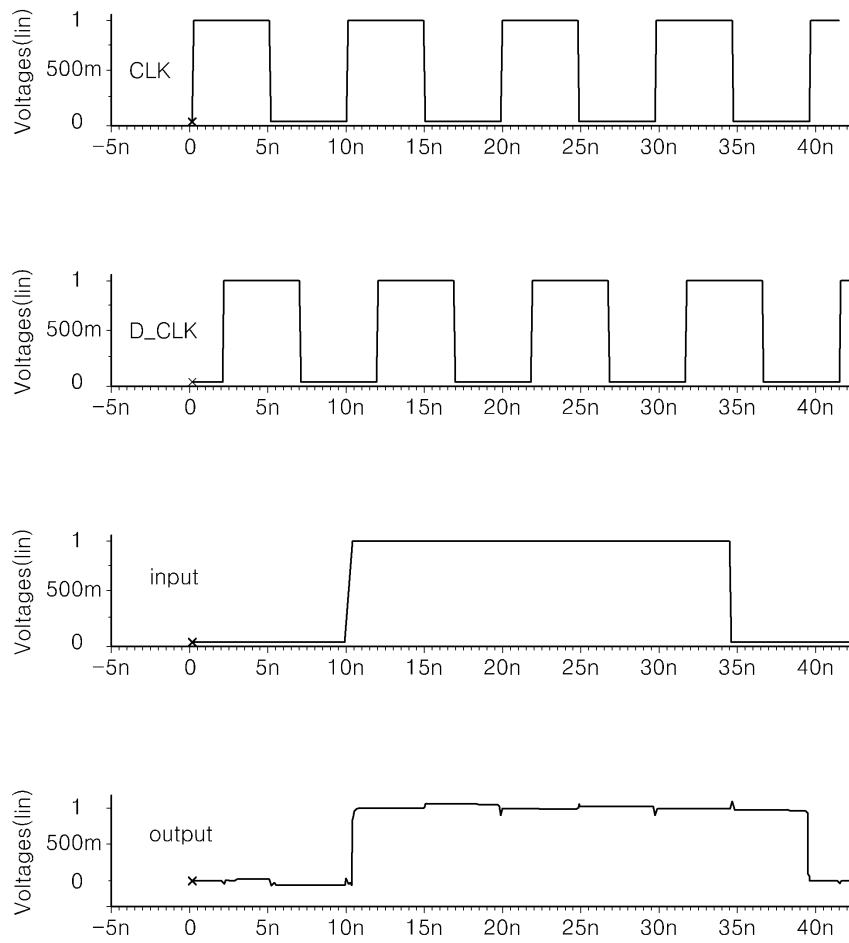
도면8



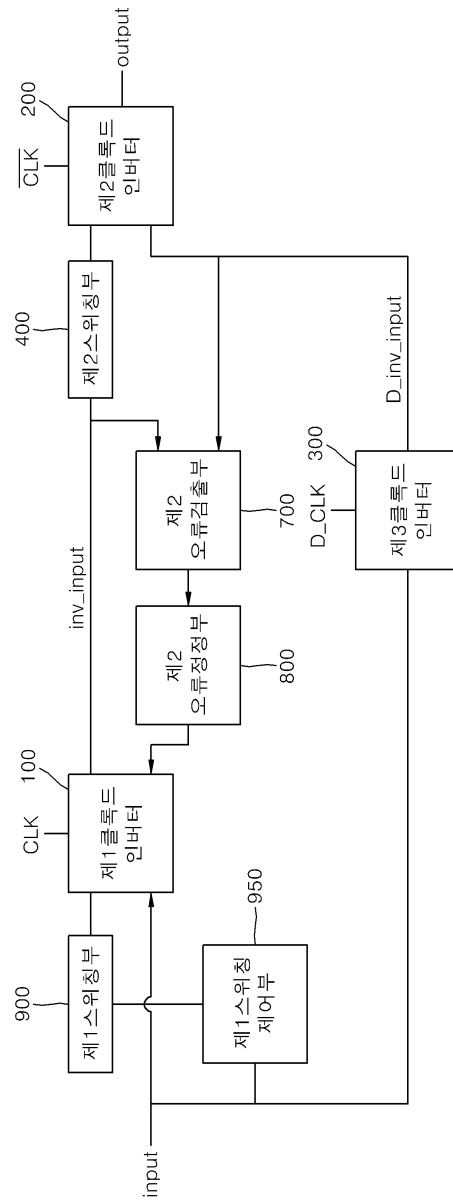
도면9



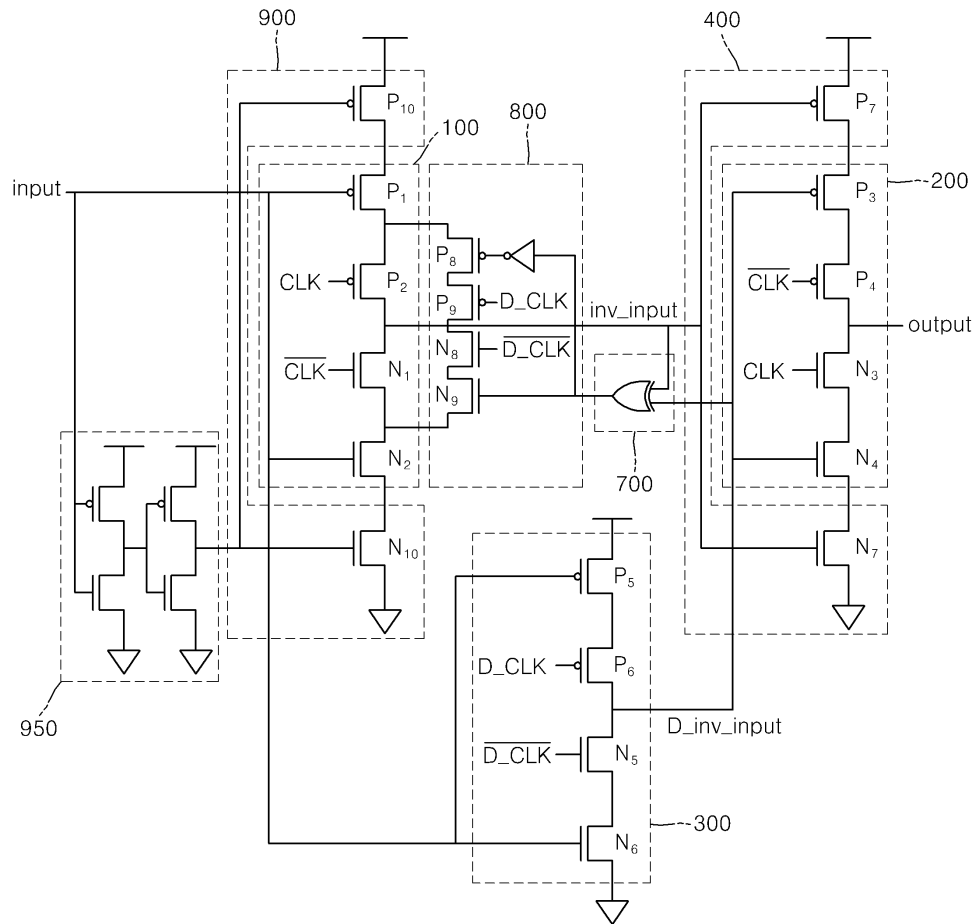
도면10



도면11



도면12



도면13

