

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7507158号
(P7507158)

(45)発行日 令和6年6月27日(2024.6.27)

(24)登録日 令和6年6月19日(2024.6.19)

(51)国際特許分類

F I

H 0 3 L 7/107(2006.01) H 0 3 L 7/107 1 5 0

請求項の数 18 (全9頁)

(21)出願番号	特願2021-536733(P2021-536733)	(73)特許権者	507107291
(86)(22)出願日	令和1年12月16日(2019.12.16)		テキサス インストルメンツ インコーポ
(65)公表番号	特表2022-516050(P2022-516050		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和4年2月24日(2022.2.24)		ー 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2019/066467		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2020/139593	(74)代理人	230129078
(87)国際公開日	令和2年7月2日(2020.7.2)		弁護士 佐藤 仁
審査請求日	令和4年12月10日(2022.12.10)	(73)特許権者	390020248
(31)優先権主張番号	16/231,568		日本テキサス・インストルメンツ合同会
(32)優先日	平成30年12月23日(2018.12.23)		社
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	東京都港区港南一丁目2番70号
			クリシュナスワミ ナガラジ
			アメリカ合衆国 7 5 0 2 5 テキサス州
			ブレイノ, ニュー カレッジ レーン 2
			最終頁に続く

(54)【発明の名称】 位相同期ループのためのループフィルタ

(57)【特許請求の範囲】

【請求項1】

回路であって、
基準クロックとフィードバッククロックとの間の位相誤差を示す電圧パルスを受け取り、
前記電圧パルスに基づいて電流パルスを生成するチャージポンプと、
前記チャージポンプに結合されるループフィルタであって、
供給電圧ノードに結合されるソースと、ドレインと、ゲートとを有する電流源デバイスと、
複数のキャパシタを含むバイナリ重み付けキャパシタアレイであって、前記複数のキャパシタの各々が前記供給電圧ノードに結合される第1の端子と第2の端子とを有し、前記複数のキャパシタの各々が他のキャパシタの各々に関するバイナリ重み付けである静電容量値を有する、前記バイナリ重み付けキャパシタアレイと、
複数の第1のスイッチであって、前記複数の第1のスイッチの各々が前記複数のキャパシタのそれぞれのキャパシタの第2の端子と前記チャージポンプとの間に結合され、前記複数の第1のスイッチの各々が幅と長さとを有し、前記複数の第1のスイッチの各々に関連する幅対長さの比が前記複数の第1のスイッチの他のスイッチの各々の前記幅対長さの比に関するバイナリ重み付けである、前記複数の第1のスイッチと、
複数の第2のスイッチであって、前記複数の第2のスイッチの各々が前記複数のキャパシタのそれぞれのキャパシタの第2の端子と前記電流源デバイスとの間に結合され、前記複数の第2のスイッチが前記複数の第1のスイッチのサイズよりも小さいサイズを有する

、前記複数の第2のスイッチと、
を含む、前記ループフィルタと、
前記電流源デバイスのドレインに結合される電流制御発振器であって、前記電流源デバイスからの電流に基づく周波数で出力クロックを生成する、前記電流制御発振器と、
を含む、回路。

【請求項2】

請求項1に記載の回路であって、

前記ループフィルタが、複数の第3のスイッチであって、前記複数の第3のスイッチの各々が前記複数のキャパシタの各キャパシタの第2の端子と接地ノードとの間に結合され、前記複数の第3のスイッチが前記複数の第1のスイッチのサイズよりも小さいサイズを有する、前記複数の第3のスイッチを更に含む、回路。

10

【請求項3】

請求項2に記載の回路であって、

前記バイナリ重み付けキャパシタアレイの各キャパシタに関連する前記第1、第2及び第3のスイッチのオン／オフ状態を制御する制御信号を生成する制御回路であって、各キャパシタについて、前記第1及び第2のスイッチがオンである間に前記第3のスイッチをオフに制御し、前記第1及び第2のスイッチがオフである間に前記第3のスイッチをオンに制御するように構成される、前記制御回路を更に含む、回路。

【請求項4】

請求項1に記載の回路であって、

前記複数の第2のスイッチの各々の幅対長さの比が、前記複数の第2のスイッチの他の第2のスイッチの各々の幅対長さの比に等しい、回路。

20

【請求項5】

請求項1に記載の回路であって、

前記ループフィルタが、前記供給電圧ノードに結合される第1のフィルタキャパシタと、前記第1のフィルタキャパシタと前記電流源デバイスとの間に結合される抵抗器とを含む第1のフィルタを更に含む、回路。

【請求項6】

請求項1に記載の回路であって、

前記複数の第1のスイッチと前記複数の第2のスイッチとのオン／オフ状態を制御する制御信号を生成する制御回路であって、前記複数の第1のスイッチの1より多い第1のスイッチを同時にオンに制御するように構成される、前記制御回路を更に含む、回路。

30

【請求項7】

回路であって、

チャージポンプ入力と、

供給電圧ノードに結合される第1のフィルタと、

複数のバイナリ重み付けキャパシタであって、前記複数のバイナリ重み付けキャパシタの各々が前記供給電圧ノードに結合される第1の端子と第2の端子とを有する、前記複数のバイナリ重み付けキャパシタと、

前記供給電圧ノードに結合される第1の端子と、第2の端子と、ゲートとを有する電流源デバイスと、

40

複数の第1のスイッチであって、前記複数の第1のスイッチの各々が、前記複数のバイナリ重み付けキャパシタのそれぞれのキャパシタの第2の端子と前記チャージポンプ入力との間に結合され、前記複数の第1のスイッチの各々が幅と長さとを有し、前記複数の第1のスイッチの各々に関連する幅対長さの比が前記複数の第1のスイッチの他のスイッチの幅対長さの比に関するバイナリ重み付けである、前記複数の第1のスイッチと、

複数の第2のスイッチであって、前記複数の第2のスイッチの各々が前記複数のバイナリ重み付けキャパシタのそれぞれのキャパシタの第2の端子と前記電流源デバイスのゲートとの間に結合され、前記複数の第2のスイッチが前記複数の第1のスイッチのサイズよりも小さいサイズを有する、前記複数の第2のスイッチと、

50

を含む、回路。

【請求項 8】

請求項 7 に記載の回路であって、

前記チャージポンプ入力に結合されるチャージポンプを更に含む、回路。

【請求項 9】

請求項 7 に記載の回路であって、

複数の第 3 のスイッチであって、前記複数の第 3 のスイッチの各々が前記複数のバイナリ重み付けキャパシタの各キャパシタの第 2 の端子と接地ノードとの間に結合され、前記複数の第 3 のスイッチが前記複数の第 1 のスイッチのサイズよりも小さいサイズを有する、前記複数の第 3 のスイッチを更に含む、回路。

10

【請求項 10】

請求項 9 に記載の回路であって、

前記バイナリ重み付けキャパシタアレイの各キャパシタに関連する前記第 1、第 2 及び第 3 のスイッチのオン／オフ状態を制御する制御信号を生成する制御回路であって、各キャパシタに対して、前記第 1 及び第 2 のスイッチがオンである間に前記第 3 のスイッチをオフに制御し、前記第 1 及び第 2 のスイッチがオフである間に前記第 3 のスイッチをオンに制御するように構成される、前記制御回路を更に含む、回路。

【請求項 11】

請求項 7 に記載の回路であって、

前記複数の第 2 のスイッチの各々の幅対長さの比が、前記複数の第 2 のスイッチの他の第 2 のスイッチの各々の幅対長さの比に等しい、回路。

20

【請求項 12】

請求項 7 に記載の回路であって、

前記第 1 のフィルタが、前記電流源デバイスに結合される抵抗器と、前記抵抗器と前記供給電圧ノードとの間に結合される第 1 のフィルタキャパシタとを含む、回路。

【請求項 13】

請求項 7 に記載の回路であって、

前記複数の第 1 のスイッチの各々が、前記複数のバイナリ重み付けキャパシタのそれぞれのキャパシタを前記チャージポンプ入力に直接に結合する、回路。

【請求項 14】

30

回路であって、

ループフィルタであって、

チャージポンプ入力と、

電流源デバイスと、

供給電圧ノードと前記電流源デバイスとの間に結合される第 1 のフィルタと、

前記第 1 のフィルタに結合されるキャパシタアレイであって、複数のキャパシタを含む、前記キャパシタアレイと、

複数の第 1 のスイッチであって、前記複数の第 1 のスイッチの各々が前記複数のキャパシタのそれぞれのキャパシタと前記チャージポンプ入力との間に結合される、前記複数の第 1 のスイッチと、

40

複数の第 2 のスイッチであって、前記複数の第 2 のスイッチの各々が前記複数のキャパシタのそれぞれのキャパシタと前記電流源デバイスとの間に結合される、前記複数の第 2 のスイッチと、

複数の第 3 のスイッチであって、前記複数の第 3 のスイッチの各々が前記複数のキャパシタのそれぞれのキャパシタと接地ノードとの間に結合され、前記複数の第 3 のスイッチが前記複数の第 1 のスイッチのサイズよりも小さいサイズを有する、前記複数の第 3 のスイッチと、

前記電流源デバイスに結合される電流制御発振器であって、前記電流源デバイスからの電流に基づく周波数で出力クロックを生成する、前記電流制御発振器と、

を含む、前記ループフィルタを含む、回路。

50

【請求項 15】

請求項 14 に記載の回路であって、

前記キャパシタアレイがバイナリ重み付けキャパシタアレイを含む、回路。

【請求項 16】

請求項 14 に記載の回路であって、

前記キャパシタアレイの各キャパシタに関連する前記第 1、第 2 及び第 3 のスイッチのオン／オフ状態を制御する制御信号を生成する制御回路であって、各キャパシタについて、前記第 1 及び第 2 のスイッチがオンである間に前記第 3 のスイッチをオフに制御し、前記第 1 及び第 2 のスイッチがオフである間に前記第 3 のスイッチをオンに制御するように構成される、前記制御回路を更に含む、回路。

10

【請求項 17】

請求項 14 に記載の回路であって、

前記チャージポンプ入力に結合されるチャージポンプを更に含む、回路。

【請求項 18】

請求項 14 に記載の回路であって、

前記複数の第 2 のスイッチの各々が前記電流源デバイスの制御入力に結合され、前記複数の第 1 のスイッチと前記複数の第 3 のスイッチとの何れも前記制御入力に接続されない、回路。

【発明の詳細な説明】

【技術分野】

20

【0001】

位相同期ループ（PLL）の多くは、チャージポンプ又は他のタイプの回路によって生成された信号をフィルタするループフィルタを含んでいる。ループフィルタの出力は、例えば、電流制御された発振器に電流を供給する電流源デバイスを制御するために使用することができる。

【発明の概要】

【0002】

一例において、或る回路が、第 1 のフィルタと、複数のバイナリ重み付けコンデンサと、電流源デバイスとを含む。この回路は第 1 の複数のスイッチも含む。第 1 の複数のスイッチの各々は、複数のバイナリ重み付けコンデンサの別個のコンデンサに接続されている。第 1 の複数のスイッチは共に接続されており、第 1 の複数のスイッチは第 1 のフィルタには接続されていない。第 2 の複数のスイッチも含まれ、第 2 の複数のスイッチの各々は、複数のバイナリ重み付けコンデンサの別個のコンデンサに、第 1 のフィルタに、及び電流源デバイスの制御入力に接続される。第 1 の複数のスイッチは制御入力には接続されていない。この回路は位相同期ループの一部として使用することができる。

30

【0003】

種々の例の詳細な説明のため、ここで、添付の図面を参照する。

【図面の簡単な説明】

【0004】

【図 1】一例におけるアナログ位相同期ループを図示する。

40

【0005】

【図 2】記載されるアナログ位相同期ループの種々の信号の波形を図示する。

【0006】

【図 3】アナログ位相同期ループで使用可能なチャージポンプ回路を図示する。

【0007】

【図 4】アナログ位相同期ループで使用可能なループフィルタの例を示す。

【発明を実施するための形態】

【0008】

アナログ PLL（APLL）について記載する。記載される APLL は、他の構成要素の中でもとりわけ、チャージポンプ、ループフィルタ、及び電流制御発振器を含む。幾つ

50

かの例において、ループフィルタの出力は、電流制御発振器に電流を供給する電流源デバイスを制御するために用いられる。実際には、電流源デバイスへの制御入力上に寄生容量が存在する。寄生容量は電力供給上のノイズを生じさせて、電流源デバイスへのループフィルタの信号、ひいては電流制御発振器への電流に影響を与え得る。本明細書で記載されるループフィルタは、この問題に対処するアーキテクチャを有する。

【0009】

図1はAPLL100の例を示す。例示のAPLL100は、位相及び周波数検出器102、チャージポンプ104、ループフィルタ110、電流制御発振器(ICO)116、及び周波数分周器118を含む。ICO116からの出力信号は、出力クロック(OUTCLK)117である。基準クロック(REFCLK)101が、位相及び周波数検出器102の入力に供給される。幾つかの例において、位相及び周波数検出器102は、REFCLK101とOUTCLK117との間の周波数及び／又は位相差(誤差)に基づいて誤差信号103を生成する。図1の例では、OUTCLK117の周波数はREFCLK101の周波数より大きい。周波数分周器118は、OUTCLK117の周波数を分周して、REFCLK101とほぼ同じ周波数のフィードバッククロック(FBCLK)119を生成する。ここでのFBCLK119に対する参照は、周波数分周器(例えば、周波数分周器118)からの出力信号だけでなく、OUTCLK117の周波数がREFCLK101と同じ周波数である実装におけるICO116からの出力クロックに対する参照も含まれる。

【0010】

APLL100は、REFCLK101の位相に合致するように、OUTCLK117の周波数及び位相を調整する。図2はREFCLK101及びFBCLK119の例を示す。ここで、FBCLK119の立ち上がり及び立ち下がりエッジは、REFCLK101のエッジに位相整合されている。FBCLK119は、REFCLK101に「同期」されていると言われる。従って、OUTCLK117も、同期された状態でREFCLK101に位相整合されるが、OUTCLK117の周波数は、REFCLK101のものと同じであっても又はそれよりも大きくてもよい。

【0011】

幾つかの例において、誤差信号103は、一連のUPパルスと一連のDOWNパルスを含む。図2はUPパルス及びDOWNパルスの例も示す。位相及び周波数検出器102は、FBCLK119のエッジがREFCLK101の対応するエッジに遅延することに対応して、UPパルスの幅W1を、DOWNパルスの幅W2より幅広になるように生成する。位相及び周波数検出器102は、逆に、FBCLK119のエッジがREFCLK101の対応するエッジに先行することに対応して、UPパルスの幅W1を、DOWNパルスの幅W2より狭くなるように生成する。

【0012】

図3はチャージポンプ104の例を提供する。この例において、チャージポンプ104は、選択可能スイッチSWAを介して電流デバイスI2に結合された電流源デバイスI1を含む。スイッチSWBがI2を接地に選択的に結合する。誤差信号103のDOWNパルス302がSWAのオン及びオフ状態を制御し、UPパルス312がSWBのオン及びオフ状態を制御する。SWAがアクティブDOWNパルス302によって閉じられると、SWAを介してループフィルタ110に電流が流れる。アクティブUPパルス302によってSWBが閉じられると、ループフィルタ110からSWBを介して接地に電流が流れる。そのため、チャージポンプ信号105は、誤差信号103のUP及びDOWNパルスに基づく一連の正及び負の電流パルスを含む。

【0013】

図4はループフィルタ110の一例を示す。図示されたループフィルタ110は、第1のフィルタ402、コンデンサアレイ410、制御回路420、及び電流源デバイスM1を含む。この例における第1のフィルタ402は、抵抗器R1に直列に接続されたコンデンサC1(フィルタコンデンサとも呼ばれる)を含む。コンデンサC1は供給電圧ノード

10

20

30

40

50

(VDD)に接続し、抵抗器R1がM1の制御入力に接続する。この例では、M1はp型金属酸化物半導体電界効果トランジスタ(PFET)であり、そのため、抵抗器R1はM1のゲートに接続する。他の実装において、M1は、n型金属酸化物半導体電界効果トランジスタ(NFET)として、p型又はn型バイポーラ接合トランジスタとして、あるいは別のタイプのトランジスタとして実装され得る。R1とM1への制御入力との間の信号線はVFILTと標示され、ループフィルタ110からのフィルタされた出力電圧を表し、これは、M1の動作状態、及びそのため、IC0116への電流の大きさを制御するために用いられる。

【0014】

コンデンサアレイ410は、複数のコンデンサC2、C3、…、Cnを含む。他の実装においてコンデンサはバイナリ重み付けされる必要はないが、幾つかの例において、コンデンサアレイ410はバイナリ重み付けコンデンサアレイとして実装され、これにより、広範囲の入力基準周波数にわたってPLLが動作することが可能となる。そのため、コンデンサC2、C3、…、Cnは、バイナリ重み付けされた異なった静電容量値を有する。例えば、コンデンサC2、C3、…、Cnの静電容量値の重み付けは、16C、8C、4C等であり得る。コンデンサC2は16Cであってもよく、コンデンサC3は8Cであってもよく、これはコンデンサC2の静電容量値がコンデンサC3の2倍であることを意味する。幾つかの実装において、コンデンサC1もまた、広い周波数範囲にわたる動作性を促進するために、構成可能なコンデンサアレイ(コンデンサアレイ410に類似)として実装される。

【0015】

図4のループフィルタ110は、複数の第1のスイッチSW1と、複数の第2のスイッチSW2と、複数の第3のスイッチSW3とを含む。各コンデンサC2、C3、Cnは、図示のように、第1、第2、及び第3のスイッチSW1～SW3のセットに接続する。第1のスイッチSW1の各々は、チャージポンプ104と同様に他の第1のスイッチSW1の各々に接続する。チャージポンプ104からの電流は、スイッチSW1を介してそれぞれのコンデンサC2、C3、…、Cnに流れ、コンデンサC2、C3、…、Cnからの電流は、それぞれのスイッチSW1を介してチャージポンプ104に流れる。第2のスイッチSW2の各々は、他の第2のスイッチSW2の各々に、及びループフィルタ402に(例えば、抵抗器R1に)に、及びM1の制御入力に接続する。第3のスイッチSW3の各々は、他の第3のスイッチSW3の各々に接続し、図示のように接地ノードに接続するか、又は漏れ電流を低減するために別の固定電圧ノードに接続する。

【0016】

ノード425はチャージポンプ104及び第1のスイッチSW1に接続するが、第1のフィルタ402又はM1の制御入力には接続しない。代わりに、M1の制御入力は、第2のスイッチSW2及び第1のフィルタ402に接続される。このように、チャージポンプ104はM1に接続されない。

【0017】

幾つかの例において、第1のスイッチSW1は、それらの対応するコンデンサC2、C3、…、Cnのようにバイナリ重み付けされる。各スイッチSW1のチャンネル長(L)に対するチャンネル幅(W)の比は、バイナリ重み付けされる。例えば、C2に接続されたSW1は、C3(例えば、 $8 \times W/L$)のものの2倍の W/L 比(例えば、 $16 \times W/L$)を有し、以下同様である。スイッチS2とS3の W/L 比は、バイナリ重み付けする必要はなく、スイッチSW1より小さくすることができる。スイッチSW2の W/L 比は全て同じであってもよく、スイッチSW3の W/L 比も全て同じであってもよいが、スイッチSW2の W/L 比と異なっても(又は同じであっても)よい。

【0018】

実際には、スイッチは、ISO116に電源ノイズを注入する接地への寄生容量をつくる。図4を参照すると、接地に対する如何なる寄生容量もない場合、電圧供給上の如何なるノイズも、コンデンサC2、C3、…、Cnを介してM1のゲートに直接結合されるこ

10

20

30

40

50

とになる。従って、M1のゲートで見られる電源ノイズは0になる。ただし、VFILT又はM1のゲートのいずれかから接地への寄生容量がある場合、C2、C3、…、Cnと寄生容量との間に電位分割が存在し、その結果、M1のゲート・ソース間電圧上のゼロではない電源ノイズ成分となる。寄生容量のサイズはスイッチのサイズに正比例する。

【0019】

記載される例の利点は、以下の理由のために、スイッチのサイズ(W/L)を小さくできることである。金属酸化物半導体スイッチのW/Lを減少させる直接的な結果は、その抵抗が増加することである。記載されるアーキテクチャは、より高いスイッチ抵抗が許容され得るという利点を有する。この利点を説明するために、図4における3セットのスイッチを別々に考える。スイッチSW1は、一般に高出力抵抗を有するチャージポンプ104にC2、C3、…、Cnを接続する。従って、スイッチSW1の抵抗は、性能に大きな影響を与えることなく、比較的大きくすることができる。スイッチSW2は、値が比較的大きい抵抗器R1を含むフィルタ402にC2、C3、…、Cnを接続する。そのため、SW2の抵抗は比較的大きくすることができる。スイッチSW3は、C2、C3、…、Cnが使用されないとき、それらをダミーノードに接続するために用いられる。従って、SW3の抵抗は、全ての実用的な目的には重要ではなく、SW3を任意に小さくすることができる。スイッチSW3を比較的小さくすることにより、M1のゲートでの寄生容量を小さくすることができる。M1のゲート・ソース電圧への電源ノイズの注入は低減され、これにより、発振器周波数に対する電源ノイズの影響が最小化される。制御回路420は、コントローラ、有限ステートマシン、又は、スイッチSW1～SW3のオン及びオフ状態を制御する制御信号をアサートし得る他のタイプのハードウェアデバイスとして実装され得る。制御回路420は、バイナリ重み付けコンデンサC2、C3、…、Cnのどれがループフィルタ110の動作に含まれるべきかを特定する構成(CONFIG)を受け取る。構成情報は、制御回路420内のレジスタに格納され得る。コンデンサC2、C3、…、Cnの種々の組み合わせが、構成情報に基づいて制御回路420によってアクティブにされ得る。アクティブにされるべき所与のコンデンサC2、C3、…、Cnに対して、制御回路420は制御信号をアサートして、それらの特定のコンデンサについて対応するSW1及びSW2スイッチをオンにし(閉めて)、それらの同じコンデンサについてスイッチSW3をオフにする(開く)。他の全てのコンデンサがループフィルタの動作の一部として起動されないように、制御回路420は、対応するSW1及びSW2スイッチをオフにし、それらのコンデンサのためにスイッチSW3をオンにするように、制御信号をアサートする。

【0020】

M1からの電流は、IC0116に流れ、M1からの電流の関数である周波数でOUTCLK117を生成する。OUTCLK117の周波数及び位相は、FBCCLK119とREFCLK101との間の周波数及び位相同期を維持するように、反復的に調整される。

【0021】

本明細書では、「結合する」という用語は、間接的又は直接的な有線又は無線接続のいずれかを意味する。従って、第1のデバイスが第2のデバイスに結合する場合、その接続は、直接的接続を介するものか、又は、他のデバイス及び接続を介した間接的接続を介するものであり得る。「～に基づく」という記載は、「少なくとも部分的に～に基づく」ことを意味する。従って、XがYに基づく場合、Xは、Y及び任意の数の他の要因の関数であり得る。

【0022】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

10

20

30

40

50

フロントページの続き

216

(72)発明者 ウェイ フー

アメリカ合衆国 75023 テキサス州 プレイノ, ララミー ドライブ 6709

審査官 福田 正悟

(56)参考文献 特開平09-326689 (JP, A)

特開2010-278491 (JP, A)

特開2013-223066 (JP, A)

米国特許第09490824 (US, B1)

(58)調査した分野 (Int.Cl., DB名)

H03L 7/107