

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成24年8月2日(2012.8.2)

【公表番号】特表2009-508215(P2009-508215A)
 【公表日】平成21年2月26日(2009.2.26)
 【年通号数】公開・登録公報2009-008
 【出願番号】特願2008-530073(P2008-530073)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 13/16 (2006.01)

【F I】

G 0 6 F 12/00 5 7 1 A

G 0 6 F 13/16 5 2 0 C

【誤訳訂正書】

【提出日】平成24年6月11日(2012.6.11)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

メモリコントローラ(102)に第1のメモリアクセス要求をディスパッチするステップと、

前記第1のメモリアクセス要求によって表されるメモリアクセスオペレーションの完了を予測したことに応答して、前記メモリコントローラ(102)に提供されるべく利用可能な複数のメモリアクセス要求から第2のメモリアクセス要求を選択するステップと、

前記メモリコントローラ(102)に前記第2のメモリアクセス要求をディスパッチするステップと、を有する方法。

【請求項2】

前記メモリアクセスオペレーションの前記完了の予測は、メモリ(104)と前記メモリコントローラ(102)との間の信号伝達によって表される請求項1に記載の方法。

【請求項3】

前記第1のメモリアクセス要求は、リードアクセス要求またはライトアクセス要求のいずれか一方であって、

前記リードアクセス要求の場合、前記信号伝達には、要求されたデータが前記メモリ(104)と前記メモリコントローラ(102)とを接続するバス線上で利用可能であることを示す信号が含まれており、

前記ライトアクセス要求の場合、前記信号伝達には、書込データが前記メモリコントローラ(102)から前記メモリ(104)に提供されていることを示す信号が含まれている、請求項2に記載の方法。

【請求項4】

前記メモリアクセスオペレーションの前記完了の予測は、前記メモリアクセスオペレーションが実際に完了する前の所定の期間によって表される請求項2に記載の方法。

【請求項5】

前記複数のメモリアクセス要求から前記第2のメモリアクセス要求を選択することには、前記複数のメモリアクセス要求の優先順位に基づいて前記第2のメモリアクセス要求を選択することが含まれる請求項1に記載の方法。

【請求項 6】

前記第 2 のメモリアクセス要求を選択するステップは、前記完了が予測されたことに
答して、前記メモリコントローラ(102)からバスインタフェースユニット(106)
に信号(134)を提供するステップを有し、前記バスインタフェースユニット(106)
は、前記信号(134)を受け取ったことに応答して、複数のメモリアクセス要求から
前記第 2 のメモリアクセス要求を選択する請求項 1 に記載の方法。

【請求項 7】

メモリ(104)に結合され、メモリアクセス要求を処理するためのメモリコントロー
ラ(102)と、

前記メモリコントローラ(102)に結合されたバスインタフェースユニット(106)
)と、を有し、前記バスインタフェースユニット(106)は、

1つ以上のメモリアクセス要求を記憶するためのバッファ(132)と、

メモリアクセス要求を受け取るために前記バッファに結合された第 1 の入力、および前
記メモリコントローラ(102)から信号(134)を受け取る第 2 の入力を有するアー
ビタ(130)と、を有し、前記アービタ(130)は、前記信号(134)に応答して
、前記メモリコントローラ(102)にディスパッチするために第 2 のメモリアクセス要
求を選択し、

前記メモリコントローラ(102)は、前記メモリコントローラ(102)に既にディス
パッチされている第 1 のメモリアクセス要求によって表されるメモリアクセスオペレー
ションの完了が予測されたことに応答して、前記信号(134)を提供するシステム(1
00)。

【請求項 8】

前記第 1 のメモリアクセス要求は、リードアクセス要求またはライトアクセス要求のい
ずれか一方であって、

前記リードアクセス要求の場合、前記信号(134)は、要求されたデータが前記メモ
リ(104)と前記メモリコントローラ(102)とを接続するバス線上で利用可能であ
ることが示されたことに応答して提供され、

前記ライトアクセス要求の場合、前記信号(134)は、前記メモリコントローラ(1
02)によって前記メモリ(104)に書込データが提供されていることが示されたこと
に応答して提供される、請求項 7 に記載のシステム。

【請求項 9】

前記メモリアクセスオペレーションの前記完了の予測は、前記メモリアクセスオペレー
ションが実際に完了する前の所定の期間によって表される請求項 7 に記載のシステム。

【請求項 10】

前記アービタ(130)は、前記 1 つ以上のメモリアクセス要求に関連する優先度に基づ
いて、前記第 2 のメモリアクセス要求を選択する請求項 7 に記載のシステム。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0003

【訂正方法】変更

【訂正の内容】

【0003】

しかし、従来の方法では、メモリコントローラが次のメモリアクセス要求をバッファま
たは処理できるようになった直後に、メモリコントローラにメモリアクセス要求をディス
パッチする。このため、メモリコントローラが、次のメモリアクセス要求を受け取れるよ
うになった後に、優先度の高い特定のメモリアクセス要求が選択可能となると、この優先
度の高いメモリアクセス要求が、最も効率的な方法で処理されるとは限らなくなる。例を
挙げると、メモリコントローラにおける次の要求を受け取るという能力に起因して、優先
度の低いメモリアクセス要求がディスパッチされた直後に優先度の高いメモリアクセス要
求を受け取った場合には、メモリコントローラが、次のメモリアクセス要求を再び受け取

れるようになるまで、優先度の高いメモリアクセス要求の処理が遅れることがある。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0006

【訂正方法】変更

【訂正の内容】

【0006】

本開示の一態様によれば、メモリアクセス要求の遅延アービトレーションのための方法は、メモリコントローラに第1のメモリアクセス要求をディスパッチするステップと、前記第1のメモリアクセス要求によって表されるメモリアクセスオペレーションの完了を予測したことに応答して、前記メモリコントローラに第2のメモリアクセス要求をディスパッチするステップと、を有する。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0012

【訂正方法】変更

【訂正の内容】

【0012】

スケジュールマネージャ128が、選択されたメモリアクセス要求の処理を開始すると、メモリコントローラ102は、処理されようとしている、選択されたメモリアクセス要求がなくなって空になったキューのエントリ122, 124の1つから、あるいはセクタ126を介して直接BIU106から、別のメモリアクセス要求を受け取れるようになる。しかし、一実施形態では、スケジュールマネージャ128は、メモリコントローラ102が、BIU106から次のメモリアクセス要求を受け取ることができるようになった直後に、ディスパッチする次のメモリアクセス要求をアービタ130に選択させるのではなく、メモリ104を使用して現在処理されているメモリアクセスオペレーションの完了に近づくまで(すなわち、メモリアクセスオペレーションの完了が予測されるまで)、次のメモリアクセス要求をアービタ130に合図するのを遅らせる。

スケジュールマネージャ128は、現在のメモリアクセスオペレーションの完了が近いと判定すると、dispatch_req信号134をアサートして、メモリコントローラ102に次のメモリアクセス要求をディスパッチするように、アービタ130に合図する。アービタ130は、信号134に**応答**して、優先度やタイムスタンプ等の1つ以上の特徴に基づいてキュー132からメモリアクセス要求を選択して、一時的にバッファしてから処理するために、選択されたメモリアクセス要求をメモリコントローラ102にディスパッチする。このため、図1の処理システム100は、従来のシステムが実施しているように、メモリコントローラ102にメモリアクセス要求の空きができると直ちに、メモリアクセス要求をディスパッチするようにアービタ130に指示する代わりに、遅延させたアービトレーション法を実装している。これにより、メモリコントローラにディスパッチされる次のメモリアクセス要求が、メモリアクセス要求を選択すべきほぼ直前の時点まで選択されない。この結果、メモリコントローラ102が、メモリアクセス要求を受け取り可能となった最初の時点の後に、BIU106が受け取る優先度の高いメモリアクセス要求が、アービタ130によって選択されて、メモリコントローラ102にディスパッチされるようになり、システム100の効率が向上する。

【誤訳訂正 5】

【訂正対象書類名】明細書

【訂正対象項目名】0013

【訂正方法】変更

【訂正の内容】

【0013】

スケジュールマネージャ128は、さまざまな方法を使用して、メモリアクセス要求を

ディスパッチするようにアービタ130に合図するために、メモリアクセスオペレーションの完了が予測されることを判定することができる。一実施形態では、メモリアクセスオペレーションの完了の予測は、メモリ104とメモリコントローラ102との間の信号伝達によって行うことができる。例えば、リードアクセスオペレーション中に、メモリ104は、次のクロックサイクル中にデータがラッチされるように、メモリコントローラ102とメモリ104との間を接続しているバス線において、要求されたデータが利用可能であることを示す信号を、メモリコントローラ102に提供しうる。したがって、この例では、メモリコントローラ102は、メモリ104からこの信号を受けると `dispatch_req` 信号134をアサートして、次のメモリアクセス要求のディスパッチを開始するようにアービタ130に合図しうる。別例では、メモリアクセスオペレーションにはライトアクセスオペレーションが含まれており、信号伝達には、メモリコントローラへのまたはメモリへの信号であって、メモリコントローラ102とメモリ104との間を接続しているバスに書込データが出力中であることを示す信号が含まれる。メモリ104は、これに応答して、次のサイクル中にこのデータをラッチしうる。この例では、スケジュールマネージャ128が、メモリ104に、あるいはメモリ104からメモリコントローラ102に提供される、書込データが利用可能であるという信号がアサートされると、信号134をアサートすることができる。

別の実施形態では、メモリコントローラ102によって処理されたメモリアクセスオペレーションの一部またはその全てが、所定の期間行われ得る。例えば、メモリコントローラ102は、特定のタイプのリードアクセスオペレーションが、決まったクロックサイクルを要することを認識していてもよい。したがって、このようなリードアクセスオペレーションの完了の予測は、メモリアクセスオペレーションの実際の完了が予測される前の所定の期間で表すことができる。例えば、メモリアクセスオペレーションが8クロックサイクルを要することがわかっている場合、このメモリアクセスオペレーションの完了の予測は、例えば、7番目のクロックサイクルで発生し、この時点で、スケジュールマネージャ128は、`dispatch_req` 信号134をアサートして、メモリコントローラ102に次のメモリアクセス要求をディスパッチするように、アービタ130に合図しうる。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0014

【訂正方法】変更

【訂正の内容】

【0014】

図2を参照すると、本開示の少なくとも1つの実施形態による、遅延させたメモリアクセス要求をメモリコントローラにディスパッチするための例示的な方法200が示されている。この方法200はブロック202から開始し、メモリコントローラ102が、BIU106から受け取った選択されたメモリアクセス要求によって表される、メモリ104へのメモリアクセスオペレーションを開始する。ブロック204において、スケジュールマネージャ128はこのメモリアクセスオペレーションをモニタして、スケジュールマネージャ128が、現在のメモリアクセスオペレーションの予測された完了時点が識別されたことに応答して、ブロック206において、スケジュールマネージャ128は、`dispatch_req` 信号134をアサートするか、あるいは別の方法によって、BIU106から次のメモリアクセス要求のディスパッチを開始するように、アービタ130に合図する。ブロック208において、アービタ130は、アサートされた`dispatch_req` 信号134を受け取る。これに応答して、ブロック210において、アービタ130は、メモリコントローラ102にディスパッチするために、キュー132からメモリアクセス要求を選択する。上記のように、アービタ130は、例えば、BIU106でメモリアクセス要求を受け取った優先度順などさまざまな特徴に基づいて次のメモリアクセス要求を選択しうる。ブロック212において、アービタ130は、選択したメモリアク

セス要求をメモリコントローラ102にディスパッチする。ブロック214において、ディスパッチされたメモリアクセス要求が、メモリコントローラ102で受信され、このメモリアクセス要求キュー120にバッファされるか、あるいは、即時に処理するために、セレクタ126を使用してスケジュールマネージャ128に直接提供される。このセレクタは、スケジュールマネージャ128またはメモリコントローラ102の他の部品によって制御されうる。

【誤訳訂正7】

【訂正対象書類名】明細書

【訂正対象項目名】0018

【訂正方法】変更

【訂正の内容】

【0018】

これに対して、図2の方法200の例示的な実装を示すディスパッチシーケンス306は、メモリコントローラ102でメモリアクセス要求のアービトレーションと選択を可能なほど最後の時点まで（メモリコントローラ102によって実行されているメモリアクセスオペレーションの完了の予測によって示すことができる）遅らせることによって、メモリアクセス要求のより有効なアービトレーションを実現することができる。例を挙げると、スケジュールマネージャ128は、時点A'において、現在処理中のメモリアクセスオペレーションの完了が近いと判定する。これに応答して、スケジュールマネージャ128は、dispatch_req信号134をアサートし、これをアービタ130が受け取る。信号134がアサートされると、アービタ130は、キュー130内のその時点で利用可能なメモリアクセス要求（すなわち、メモリアクセス要求R6とR0）から選択する。この場合、メモリアクセス要求R0はメモリアクセス要求R6よりも優先度が高いため、アービタ130によって、メモリコントローラ102にディスパッチするために選択される。シーケンス306は、時点Aまで進み、この時点で、メモリコントローラ102は、現在のメモリアクセスオペレーションを完了するが、従来の方法と異なり、メモリコントローラ102が、別のメモリアクセス要求を受け取れるようになっても、スケジュールマネージャ128が、次のメモリアクセス要求を合図しない。その代わりに、スケジュールマネージャ128は、時点B'で、次のメモリアクセスオペレーションの完了が予測されるまで待機し、その時点で、信号134をアサートする。時点B'で信号134がアサートされると、アービタは、メモリコントローラ102にディスパッチする次のメモリアクセス要求を選択する。シーケンス302に示すように、メモリコントローラ102が、次のメモリアクセス要求を受け取れるように最初になった時点Aと、メモリコントローラ102で現在のメモリアクセスオペレーションの完了が近い時点Bとの間に遅れがあるため、BIU106が優先度の高いメモリアクセス要求R3を受け取ることが可能となる。したがって、時点B'で信号134がアサートされると、アービタ130は、キュー132でメモリアクセス要求R3を利用可能であり、これが、キュー132で優先度が最も高い要求であるため、アービタ130は、時点B'の後に、メモリコントローラ102にディスパッチするためにメモリアクセス要求R3を選択する。同様に、時点Cでメモリコントローラ102によって実行されているメモリアクセスオペレーションの完了が近くなると、スケジュールマネージャ128は信号134をアサートし、これに対して、アービタ130はメモリコントローラ102にディスパッチするためにメモリアクセス要求R1を選択する。