

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年11月22日(2012.11.22)

【公開番号】特開2010-161397(P2010-161397A)

【公開日】平成22年7月22日(2010.7.22)

【年通号数】公開・登録公報2010-029

【出願番号】特願2010-45361(P2010-45361)

【国際特許分類】

H 01 L	21/225	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/265	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	21/283	(2006.01)

【F I】

H 01 L	21/225	Q
H 01 L	29/78	3 0 1 S
H 01 L	21/225	D
H 01 L	21/265	Y
H 01 L	29/58	G
H 01 L	21/283	C
H 01 L	29/78	3 0 1 P

【手続補正書】

【提出日】平成24年10月5日(2012.10.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイスの一体部分として超浅接合部を半導体基板に形成するプロセスであって

、
 (a) 誘電体層を前記基板上に堆積させる工程と、
 (b) ホウ素クラスタで前記誘電体層をドーピングする工程と、
 (c) 熱処理を与えて、前記熱処理による注入イオンを前記基板の中に拡散させて浅い接合部を形成するようにする工程と、
 を含む方法。

【請求項2】

半導体デバイスの一体部分として超浅接合部を半導体基板に形成するプロセスであって

、
 (a) 誘電体層を前記基板上に堆積させる工程と、
 (b) 前記誘電体層を同じ種類のドーパントの一連のイオン注入によりドーピングする工程と、
 (c) 熱処理を与えて、前記熱処理による注入イオンを前記基板の中に拡散させて浅い接合部を形成するようにする工程と、
 を含む方法。

【請求項3】

半導体デバイスの一体部分として超浅接合部を半導体基板に形成するプロセスであって、
(a) 誘電体層を前記基板上に堆積させる工程と、
(b) 前記誘電体層を、ホウ素注入とその後に続く水素注入によりドーピングする工程と、
(c) 熱処理を与えて、前記熱処理による注入イオンを前記基板の中に拡散させて浅い接合部を形成するようとする工程と、
を含む方法。

【請求項4】

前記半導体基板がシリコンである請求項1に記載のプロセス。

【請求項5】

前記工程(b)が、二酸化ケイ素の層を堆積させることを含む請求項1に記載のプロセス。

【請求項6】

基板を有し、ウェル及び対向するトレンチ隔離部分が形成され、この上に第1の誘電体層が形成された金属酸化物半導体デバイスの、ゲート電極を形成する方法であって、

- (a) 第1のゲート電極層を前記第1の誘電体層に堆積させる工程と、
- (b) ドーパントで前記第1のゲート電極層をドーピングして、ドーピングされた第1のゲート電極層を形成する工程と、
- (c) 第2のゲート電極層を前記ドーピングされた第1のゲート電極層の頂部の上に堆積させる工程と、
- (d) イオン注入により前記ドーパントで前記第2のゲート電極層をドーピングする工程と、
- (e) この構造体を熱処理して、ドーパント材料を活性化する工程と、
を含み、

前記第1の層の厚さは、前記第2の層の厚さよりも薄く、前記第1の層は、浅いイオン注入によって注入がなされ、前記注入のエネルギー及び前記熱処理が選択されて、前記ゲート電極/誘電体のできるだけ近くにドーパントイオンを配置することを特徴とする方法。

【請求項7】

前記第1のゲート電極層を堆積させる工程が、アモルファスシリコンを堆積させることを含む請求項6に記載の方法。

【請求項8】

前記第1のゲート電極層を堆積させる工程が、ポリシリコンを堆積させることを含む請求項6に記載の方法。

【請求項9】

前記第2のゲート電極層を堆積させる工程が、アモルファスシリコンを堆積させることを含む請求項6に記載の方法。

【請求項10】

前記第2のゲート電極層を堆積させる工程が、ポリシリコンを堆積させることを含む請求項6に記載の方法。

【請求項11】

前記第1のゲート電極層をドーピングする工程が、該第1のゲート電極層をホウ素によりドーピングすることを含む請求項6に記載の方法。

【請求項12】

前記第1のゲート電極をドーピングする工程が、前記第1のゲート電極層をデカボランによりドーピングすることを含む請求項6に記載の方法。

【請求項13】

前記第2のゲート電極層をドーピングする工程が、該第2のゲート電極層をホウ素によ

りドーピングすることを含む請求項 6 に記載の方法。

【請求項 14】

前記第 2 のゲート電極をドーピングする工程が、前記第 2 のゲート電極層をデカボランによりドーピングすることを含む請求項 6 に記載の方法。

【請求項 15】

基板を有する金属酸化物半導体 (MOS) デバイスを形成する方法であって、
(a) ウェル及び対向するトレンチ隔離部分を前記第 1 の基板に形成する工程と、
(b) その上に第 1 の誘電体層を堆積させる工程と、
(c) 第 1 のゲート電極層を前記第 1 の誘電体層の上に堆積させる工程と、
(d) イオン注入により前記ドーパントで前記第 1 のゲート電極層をドーピングして、
ドーピングされた第 1 のゲート電極層を形成する工程と、
(e) 第 2 のゲート電極層を前記ドーピングされた第 1 のゲート電極層の上に堆積させる工程と、
(f) 前記ドーピングされた第 1 のゲート電極層と前記第 2 のゲート電極層との組み合
わせからゲートスタックを形成する工程と、
(g) 第 1 のフォトレジストをパターン形成して、前記第 1 の誘電体層上の、前記トレン
チ隔離部分に隣接するドレイン延長部領域を露出させる工程と、
(h) イオン注入により前記ドーパントで前記ゲート電極層の露出部分と前記第 1 の誘
電体層の露出部分とをドーピングして、ドレイン延長部を前記ウェル内の前記トレンチ隔
離部分と前記ゲートスタックとの間に形成する工程と、
(i) 前記第 1 のフォトレジストを除去し、第 2 のフォトレジストをパターン形成して、
前記ゲートスタックの両側に隣接するスペーサを形成し、ドレイン及びソース領域を定
める前記第 1 の誘電体層の部分を露出させる工程と、
(j) 前記第 1 の誘電体層の前記露出部分をドーピングする工程と、
(k) 前記第 2 のフォトレジスト層を除去する工程と、
(l) 注入ドーパントを拡散させるために熱処理を与えて、前記注入ドーパントが、前
記第 1 の誘電体層から外に、前記ウェルの中に拡散するようにして、前記ウェル内にソ
ース及びドレイン領域を形成する工程と、
を含み、

前記第 1 の層は、浅いイオン注入によって注入がなされ、前記注入のエネルギー及び前
記熱処理が選択されて、前記ゲート電極 / 誘電体のできるだけ近くにドーパントイオンを
配置することを特徴とする方法。

【請求項 16】

前記第 1 のゲート電極層をドーピングする工程が、該第 1 のゲート電極層をホウ素によ
りドーピングすることを含む請求項 15 に記載の方法。

【請求項 17】

前記第 1 のゲート電極層をドーピングする工程が、該第 1 のゲート電極層をホウ素クラ
スタ注入によりドーピングすることを含む請求項 15 に記載の方法。

【請求項 18】

前記第 1 のゲート電極層をドーピングする工程が、該第 1 のゲート電極層を分子注入に
よりドーピングすることを含む請求項 15 に記載の方法。

【請求項 19】

前記ドレイン及びソース領域をドーピングする工程が、該ドレイン及びソース領域をホ
ウ素によりドーピングすることを含む請求項 15 に記載の方法。

【請求項 20】

前記ドレイン及びソース領域をドーピングする工程が、該ドレイン及びソース領域をホ
ウ素クラスタによりドーピングすることを含む請求項 15 に記載の方法。

【請求項 21】

基板を有する金属酸化物半導体 (MOS) デバイスを形成する方法であって、
(a) ウェル及び対向するトレンチ隔離部分を前記基板に形成する工程と、

- (b) その上に第 1 の誘電体層を堆積させる工程と、
(c) 第 1 のゲート電極層を前記第 1 の誘電体層の上に堆積させる工程と、
(d) 前記第 1 のゲート電極層から初期ゲートスタックを形成して、前記第 1 の誘電体層の露出部分を残すようにする工程と、
(e) イオン注入により第 1 の種類のドーパントで前記第 1 のゲート電極層と前記第 1 の誘電体層の前記露出表面とをドーピングする工程と、
(f) 前記第 1 の誘電体層とは異なる第 2 のゲート誘電体層を該第 1 の誘電体層の前記露出表面の上に堆積させる工程と、
(g) 第 2 のゲート電極堆積層を、前記初期ゲートスタック及び前記第 2 の誘電体層の上部に堆積させる工程と、
(h) 前記第 2 のゲート電極の堆積から最終的なゲートスタックを形成する工程と、
(i) 第 1 のフォトレジストをパターン形成して、前記最終的なゲートスタック及びドレイン延長部領域を露出させる工程と、
(j) 前記最終的なゲートスタック及び前記ドレイン延長部領域をイオン注入により前記第 1 の種類のドーパントでドーピングする工程と、
(k) 前記第 1 のフォトレジストを除去する工程と、
(l) 第 2 のフォトレジストをパターン形成して、前記最終的なゲートスタックに隣接する側壁スペーサを形成し、前記ドレイン及びソース領域を露出させる工程と、
(m) 前記ドレイン及びソース領域及び前記最終的なゲート電極スタックをドーピングして、ドレイン及びソース層を前記ウェルに形成する工程と、
(n) 前記第 2 のフォトレジスト層を除去する工程と、
(o) 熱処理を与えて、前記ドーピング工程により注入された材料を活性化させる工程と、
を含み、

前記第 1 の層は、浅いイオン注入によって注入がなされ、前記注入のエネルギー及び前記熱処理が選択されて、前記ゲート電極 / 誘電体のできるだけ近くにドーパントイオンを配置することを特徴とする方法。

【請求項 2 2】

前記工程 (f) が、或る種を前記第 1 の誘電体層の中に注入することを含む請求項 2 1 に記載のプロセス。

【請求項 2 3】

前記工程 (f) が、前記第 1 の誘電体層の化学処理を含む請求項 2 1 に記載のプロセス。

【請求項 2 4】

前記工程 (f) が、前記第 1 の誘電体層の除去と、該第 1 の誘電体材料とは異なる第 2 の誘電体材料の再生を含む請求項 2 1 に記載のプロセス。

【請求項 2 5】

前記第 1 及び第 2 のゲート電極層が合わさると、通常のゲート電極層の厚さになる請求項 6 に記載のプロセス。