

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8238 (2006.01)

H01L 27/092 (2006.01)



[12] 发明专利说明书

专利号 ZL 03147048.3

[45] 授权公告日 2007 年 7 月 18 日

[11] 授权公告号 CN 1327511C

[22] 申请日 2003.8.29 [21] 申请号 03147048.3

[30] 优先权

[32] 2002.8.28 [33] JP [31] 248540/02

[73] 专利权人 精工电子有限公司

地址 日本千叶县千叶市

[72] 发明人 小山内润

[56] 参考文献

CN1156902A 1997.8.13

JP10-50860A 1998.2.20

US6258646B1 2001.7.10

US5563093A 1996.10.8

US4045259A 1977.8.30

审查员 商纪楠

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 叶恺东

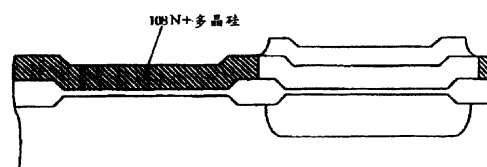
权利要求书 1 页 说明书 5 页 附图 2 页

[54] 发明名称

半导体器件的制造方法

[57] 摘要

本发明的目的是提供一种廉价、元件特性稳定的双栅 CMOS 半导体器件的制造方法。本发明通过双栅 CMOS 半导体器件的制造方法中，在构成栅电极的多晶硅中以绝缘膜为掩膜，利用多晶硅淀积方法选择形成 N 型区域后，除去绝缘膜、在整个表面上离子注入 P 型杂质。



- 1.一种半导体器件的制造方法，其特征在于该方法包括：
在半导体衬底上形成元件分离区域和栅绝缘膜的工序，
然后在上述元件分离区域和上述栅绝缘膜上形成构成栅电极的多晶硅膜的工序，
在上述多晶硅膜上形成绝缘膜的工序，
然后为了在成为 PMOS 区域之外的区域上开窗口，对上述绝缘膜构图的工序，
在扩散炉内、在 N 型杂质气氛中热处理，使得上述多晶硅膜的上述绝缘膜窗口区域成为 N 型的工序，
去除上述已构图的绝缘膜的工序，
利用离子注入方法，在上述多晶硅膜的整个表面上引入 P 型杂质的工序。
- 2.根据权利要求 1 所述的半导体器件的制造方法，在上述多晶硅膜引入 P 型杂质后，在上述多晶硅膜上形成选自硅化钨、硅化钼和硅化钛之一的高熔点金属硅化物层。
- 3.根据权利要求 1 所述的半导体器件的制造方法，上述多晶硅膜的厚度是 50nm~400nm。
- 4.根据权利要求 1 所述的半导体器件的制造方法，上述绝缘膜的膜厚度为 100nm 以上。
- 5.根据权利要求 1 所述的半导体器件的制造方法，上述 N 型多晶硅中的杂质浓度为 $1 \times 10^{20}/\text{cm}^3$ 以上。
- 6.根据权利要求 1 所述的半导体器件的制造方法，上述离子注入的 P 型杂质离子的剂量为 $1 \times 10^{15}/\text{cm}^2$ 以上。

半导体器件的制造方法

技术领域

本发明涉及能够低电压动作、低功耗的具有双栅结构的 CMOS 半导体器件的制造方法。

背景技术

为了能使半导体器件在低电压下动作，构成 CMOS 的 NMOS 和 PMOS 都必须是表面沟道元件。下面，对获得这种结构的现有双栅 CMOS 半导体器件制造方法加以说明，制造过程的结构如图 8 所示。形成方法包括：以 P 型半导体衬底 201 上形成的场绝缘膜 203 为边界局部形成 N 阱区 202。在 P 型半导体衬底 201 和 N 阱区 202 上形成栅绝缘膜 204。然后，在其上形成多晶硅膜。为了在多晶硅膜上对作为 PMOS 的区域开口，利用已构图的抗蚀剂作为掩膜，离子注入硼形成 P 型多晶硅膜区域 207，接着，为了在作为 NMOS 的区域开口，利用已构图的抗蚀剂作为掩膜，离子注入磷形成 N 型多晶硅膜区域 206（例如，参照专利文献 1）。预先在多晶硅膜的整个区域上离子注入硼形成 P 型多晶硅区域后，为了在作为 NMOS 的区域开口，利用已构图的抗蚀剂作为掩膜，离子注入磷，通过反掺杂，使 P 型多晶硅区域成为 N 型多晶硅区域 206，得到图 8 的结构（例如参照专利文献 1）。

专利文献 1 特开平 6-310666（第 6 页，图 3-（A））

上述现有的制造方法中，利用各自掩膜来制造 P 型多晶硅膜区域和 N 型多晶硅膜区域的方法的工序多，存在制造成本增加的问题。预先在多晶硅的整个区域上形成 P 型多晶硅区域之后、通过反掺杂使 P 型多晶硅区域成为 N 型多晶硅区域的制造方法对工序数目有利，但存在栅电极必须为低阻抗的问题和工序中各杂质少量偏差引起的例如产生栅电极的空乏化等元件特性的较大降低的问题。

发明内容

本发明的目的在于提供一种掩蔽工序少、廉价、元件特性稳定的制造方法。为了解决上述问题，本发明采用以下手段。

(1) 提供一种半导体器件的制造方法，其特征在于，该方法包括：在半导体衬底上形成元件分离区域和栅绝缘膜的工序，然后在上述元件分离区域和上述栅绝缘膜上形成构成栅电极的多晶硅膜的工序，在上述多晶硅膜上形成绝缘膜的工序，然后为了在成为PMOS区域后以外的区域上开窗口，对上述绝缘膜构图的工序，在扩散炉内、在N型杂质气氛中热处理、使得上述多晶硅膜的上述绝缘膜窗口区域成为N型的工序，去除上述已构图的绝缘膜的工序，利用离子注入方法，在上述多晶硅膜的整个表面上引入P型杂质的工序。

(2) 提供一种半导体器件的制造方法，其特征在于，在上述多晶硅膜引入P型杂质后，在上述多晶硅上形成选自硅化钨、硅化钼或硅化钛之一的高熔点金属硅化物。

(3) 提供一种半导体器件的制造方法，其特征在于，上述多晶硅膜的厚度是50nm~400nm。

(4) 提供一种半导体器件的制造方法，其特征在于，上述绝缘膜的膜厚度为100nm以上。

(5) 提供一种半导体器件的制造方法，其特征在于，上述N型多晶硅膜中的杂质浓度为 $1 \times 10^{20}/\text{cm}^3$ 以上。

(6) 提供一种半导体器件的制造方法，其特征在于，上述离子注入的P型杂质离子的剂量为 $1 \times 10^{15}/\text{cm}^2$ 以上。

附图说明

图1示出本实施例的半导体器件制造方法模式的剖面图。

图2示出本实施例的半导体器件制造方法模式的剖面图。

图3示出本实施例的半导体器件制造方法模式的剖面图。

图4示出本实施例的半导体器件制造方法模式的剖面图。

图5示出本实施例的半导体器件制造方法模式的剖面图。

图6示出本实施例的半导体器件制造方法模式的剖面图。

图7示出本实施例的半导体器件制造方法模式的剖面图。

图8示出现有的半导体器件制造方法模式的剖面图。

符号说明：

101、201 P型半导体衬底

102、202 N阱 103、203 场绝缘膜

104、204 栅绝缘膜
105、205 多晶硅
106 绝缘膜
107 光刻胶膜
108、206 N+多晶硅
109、207 P+多晶硅
110 高熔点金属硅化物
111 N+扩散
112 P+扩散
具体实施方式
实施例

下面用图示说明对本发明的半导体器件的制造方法的实施例。

如图 1 所示，按现有方法在 P 型半导体衬底上 101 形成 N 阱 102 之后，按所谓的 LOCOS 方法在元件分离区域形成场绝缘膜 103，此后、例如在电气炉中通过热氧化形成栅绝缘膜 104 后，覆盖多晶硅 105。

在本实施例中，如图所示采用 N 阱结构的 P 型半导体衬底，但在采用 P 阱方式的 N 型半导体衬底的场合，也可以得到与本发明的相同效果。此外，图中示出了双阱结构，但在 P 阱和 N 阱两侧形成的双阱结构可以获得本发明的相同效果。

此外，为了控制没有图示出的栅绝缘膜 104 形成前后的 MOS 的阈值电压，也存在利用离子注入方法向沟道部分引入杂质的情况。这时，在 NMOS 区域阈值电压减少的场合，例如进行硼等受主杂质的引入，同样在 PMOS 区域阈值电压减少的场合，例如进行砷等施主杂质的引入。

多晶硅是按常规低压化学气相淀积方法（Chemical Vapor Deposition，此后表述为 CVD）通过硅烷气体分解在氧化膜上形成膜。膜厚根据栅电极结构，当栅电极为多晶硅单层时，膜厚为 300nm~400nm，在多晶硅上设有高熔点金属硅化物即硅酸盐栅电极的场合下，膜厚为 50nm~250nm。

其次，如图 2 所示，利用 CVD 法在多晶硅膜上形成 100nm 以上的例如 NSG（Nondoped Silicate Glass，非掺杂硅酸盐玻璃）等的绝缘膜 106。因为在后述利用多晶硅淀积将 N 型杂质引入多晶硅中的工序中、必须有一定膜厚的掩膜，

在必须厚膜の場合加工精度和腐蚀时需要花费时间，因而这种膜厚通常采用200nm左右的膜厚。

本CVD工序在400°C左右的低温场合下，从掩膜特性的观点出发，绝缘膜必须致密化，接着对绝缘膜成膜进行900°C左右、约30分钟的退火工序。在成膜温度比较高的HTO（High Temp Oxide，高温氧化物）场合下就不需要退火工序。

而且，本工序中，作为膜的材质，氧化硅膜在掩蔽性和加工性方面是有效的，但只要是在加工绝缘膜时对其下的多晶硅具有较大的选择比、而且在后续的多晶硅淀积工序具有掩蔽性的材质都可以适用。

其次，为了利用光刻方法随后在PMOS区域以外的部分开口，构图光刻胶107、以该光刻胶为掩蔽蚀刻绝缘膜106，得到图3所示的结构。在绝缘膜106为氧化硅膜の場合，利用常规的氢氟酸来进行湿法蚀刻。湿法蚀刻对其下的多晶硅具有非常大的选择比，而且比干法蚀刻更能有效地防止等离子体对元件的损伤。

其次，在去除光刻胶107之后，在扩散炉中N型杂质的气氛下进行热处理，利用多晶硅淀积方法将杂质引入，使设置有绝缘膜106的区域之外的多晶硅成为N+多晶硅，由此得到如图4所示的结构。仅在暴露出多晶硅的部分引入杂质，而在覆盖有绝缘膜的区域则没有引入。这种掺杂可以采用一般的磷多晶硅淀积方法。

多晶硅淀积方法与离子注入方法相比具有更经济的廉价装置，并且也非常容易导入 $1 \times 10^{20}/\text{cm}^3$ 以上的高浓度杂质，即比离子注入方法的低阻抗化更加有利。此外，在本工序中杂质为充分扩散，在双栅结构时能避开栅电极空乏化（耗尽）的问题。

其次，如图5所示，绝缘膜在氢氟酸溶液中湿法腐蚀去除后，按离子注入方法将硼和 BF_2 等P型杂质向多晶硅的整个表面导入并热处理，随后，在形成的PMOS区域上使多晶硅成为P+多晶硅区域109。此时，杂质剂量为 $1 \times 10^{16}/\text{cm}^2$ 以上，进行热处理的条件是后续工序的热处理条件：在电炉中进行800°C~850°C、30分钟左右的热处理，如果为RTA（Rapid Thermal Annealing，快速热退火），为900°C~1050°C的温度、15秒~1分钟左右。

为了在预先导入N型杂质的多晶硅区域中利用多晶硅淀积方法导入非常高

浓度的杂质，利用离子注入导入大约 $10^{15}/\text{cm}^2$ 的 P 型杂质，使导电类型逆转，而且电阻值也能维持低电阻。

栅电极为 P 型的场合下，如果进行过度的热处理，沟道中的硼就会突然增加，就存在 PMOS 的阈值变化的问题，相反，如果热处理不充分，就存在因栅电极空乏化，元件特性劣化的问题，此外，在双栅结构中，必须考虑 NMOS 的 N 型栅电极形成的最佳化来进行元件制造设计，有制造条件的极端限制的问题，而在本制造方法中，由于 NMOS 的 N 型栅电极结构在前工序形成，在独立于本工序之外，因而可以设定形成 P 型栅电极的热处理和剂量等的制造条件，就能避免双栅结构中诸多问题。

其次，如图 6 所示，采用溅射方法在多晶硅上形成高熔点硅化物 110。硅化物材料为例如硅化钨或硅化钼或硅化钛等、膜厚为 100nm~250nm。

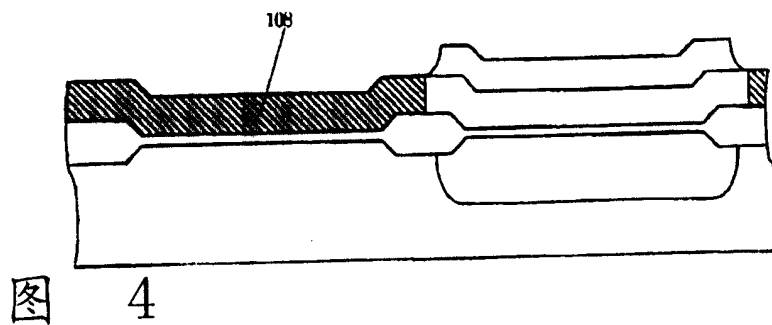
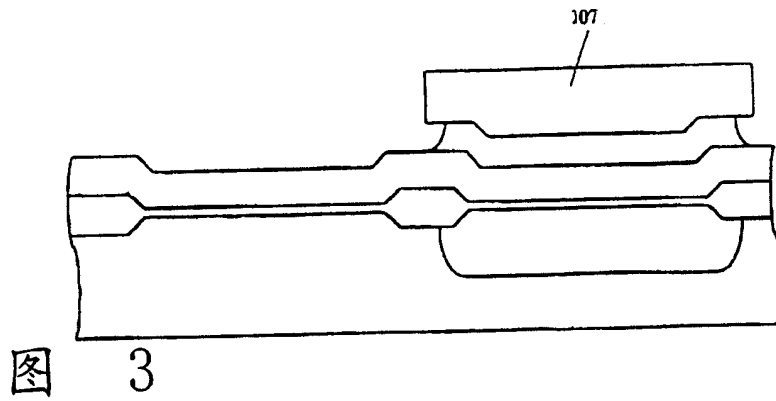
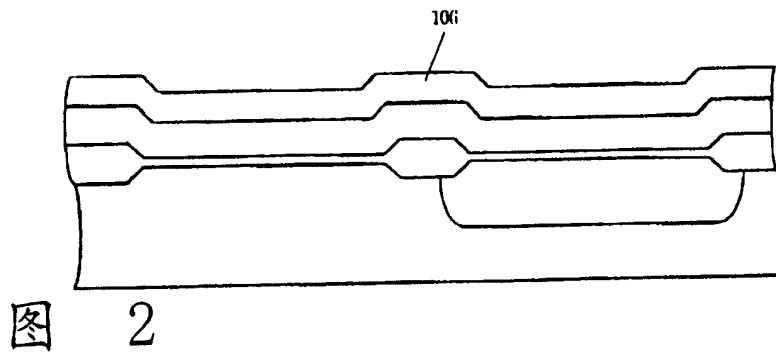
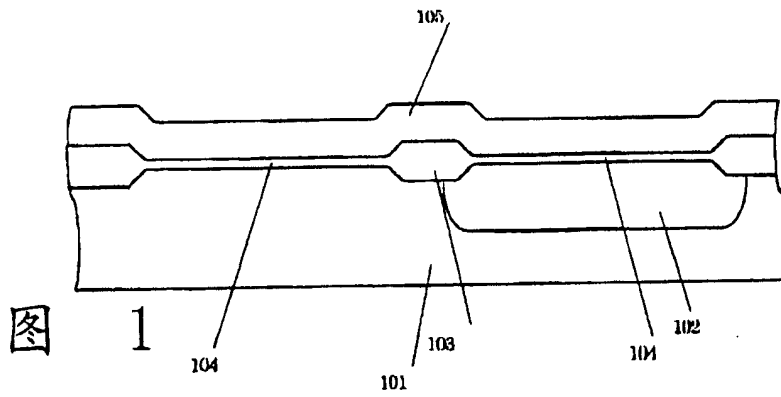
本工序中，要使栅电极低电阻化，在 P 型多晶硅和 N 型多晶硅之间形成不插入金属布线而能直接结合的层，特别是在这些问题不明显的制造中就不需用多晶硅单层构成栅电极也可以。

其次，与常规的 CMOS 工序一样，在同时形成 NMOS 和 PMOS 栅电极之后，利用离子注入方法，形成作为 NMOS 的源漏的 N+ 扩散 111 和作为 PMOS 的源漏的 P+ 扩散 112，得到如图 7 所示的结构。

本实施例展示了一般的单漏结构，本实施例能够适用于具有热载流子耐性的 LDD (Lightly Doped Drain, 低掺杂漏区) 结构和 DDD (Double Diffused Drain, 双扩散漏区) 结构以及掩膜偏置结构等具有低浓度漏区的结构、并能得到相同的效果。

本实施例展示了预先形成 N 型多晶硅区域、然后形成 P 型多晶硅区域的制造方法，此后本实施例展示的工序可选择先形成 P 型多晶硅区域、随后形成 N 型多晶硅区域。但是，P 型多晶硅区域过多地受到热处理的场合下，硼在沟道中的突然增加会造成阈值的变化。

如上所述，本发明通过双栅 CMOS 半导体器件的制造方法中，在构成栅电极的多晶硅中以绝缘膜为掩膜，利用多晶硅淀积方法选择形成 N 型区域后，除去绝缘膜、在整个表面上离子注入 P 型杂质，提供一种双栅半导体器件的制造方法和廉价且元件性能稳定的半导体器件。



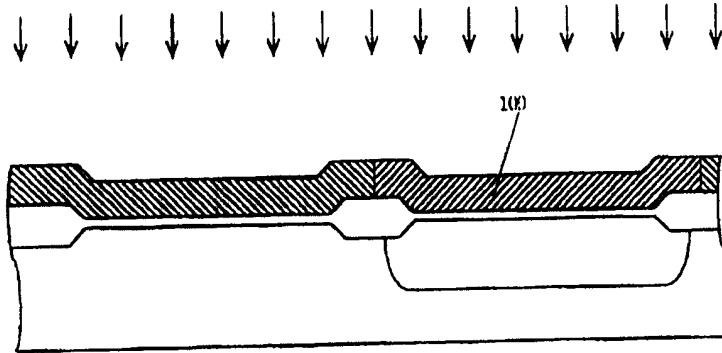


图 5

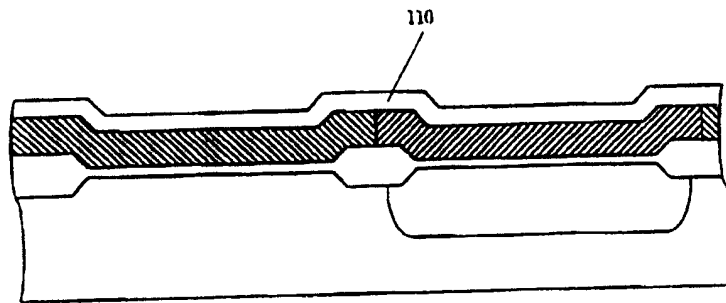


图 6

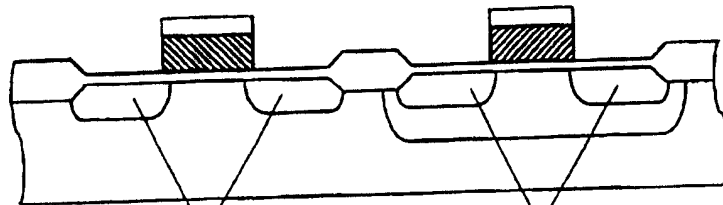


图 7

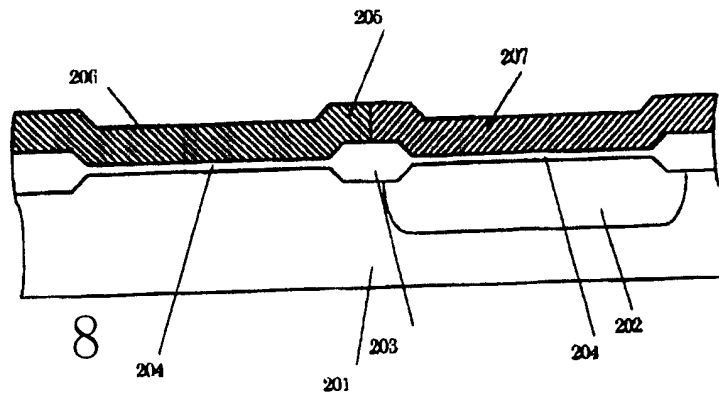


图 8