



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I497719 B

(45) 公告日：中華民國 104 (2015) 年 08 月 21 日

(21) 申請案號：101120749

(22) 申請日：中華民國 101 (2012) 年 06 月 08 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

(71) 申請人：帥群微電子股份有限公司 (中華民國) SUPER GROUP SEMICONDUCTOR CO., LTD.
(TW)

新北市汐止區工建路 366 號 6 樓

(72) 發明人：許修文 HSU, HSIU WEN (TW)

(74) 代理人：莊志強

(56) 參考文獻：

TW 201131662

TW 201137982

TW 201207950

US 2007/0173021A1

審查人員：董柏昌

申請專利範圍項數：10 項 圖式數：4 共 24 頁

(54) 名稱

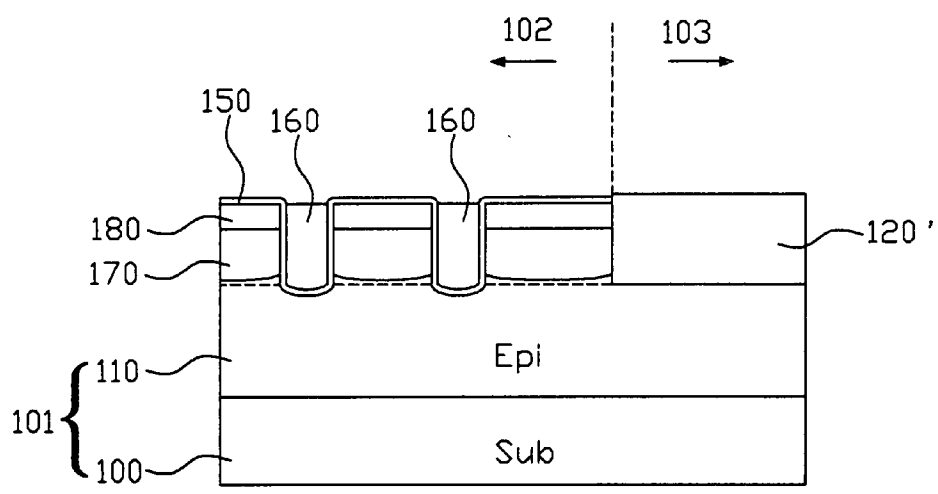
溝槽式功率半導體結構之製造方法

METHOD OF MANUFACTURING TRENCH POWER SEMICONDUCTOR STRUCTURE

(57) 摘要

本發明實施例提供一種溝槽式功率半導體結構之製造方法，包括下列步驟：先提供一基材並形成一介電圖案層於基材上，以定義出一主動區與一終端區，上述主動區之部份基材與終端區之基材被介電圖案層所覆蓋；然後，以選擇性磊晶之方式，成長一第一磊晶層於未被介電圖案層所覆蓋的基材上；隨後，移除主動區上之介電圖案層，以形成一閘極溝槽於基材上；形成一閘極介電層於閘極溝槽內與第一磊晶層上且形成一閘極結構於閘極溝槽內；最後，利用終端區上之介電圖案層為遮罩，形成本體區於第一磊晶層內或其上，並形成一源極區於本體區之上部份。

A method of manufacturing a trench power semiconductor structure is provided. The method comprising the steps of providing a base, forming a dielectric pattern layer on the base to define an active region and a terminal region, wherein a portion of the base in the active region and the base in the terminal region is covered by the dielectric pattern layer, selectively forming a first epitaxial layer on the base without being covered by the dielectric pattern layer, removing the dielectric pattern layer on the active region to form a gate trench on the base, forming a gate dielectric layer on the first epitaxial layer and on the inter surface of the gate trench, forming the gate structure in the gate trench, utilizing the dielectric pattern layer to forming a body on or in the first epitaxial layer and forming a source on the upper portion of the body.



- 100 . . . 基板
- 101 . . . 基材
- 102 . . . 主動區
- 103 . . . 終端區
- 110 . . . 磊晶層
- 150 . . . 閘極介電層
- 160 . . . 閘極結構
- 170 . . . 本體區
- 180 . . . 源極區
- 120' . . . 介電圖案層

第1G圖

(此處由本局於收
文時黏貼條碼)

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101120749

※ 申請日：101.6.08

※IPC 分類：H01L 29/78 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/336 (2006.01)

溝槽式功率半導體結構之製造方法 / METHOD OF
MANUFACTURING TRENCH POWER
SEMICONDUCTOR STRUCTURE

二、中文發明摘要：

本發明實施例提供一種溝槽式功率半導體結構之製造方法，包括下列步驟：先提供一基材並形成一介電圖案層於基材上，以定義出一主動區與一終端區，上述主動區之部份基材與終端區之基材被介電圖案層所覆蓋；然後，以選擇性磊晶之方式，成長一第一磊晶層於未被介電圖案層所覆蓋的基材上；隨後，移除主動區上之介電圖案層，以形成一閘極溝槽於基材上；形成一閘極介電層於閘極溝槽內與第一磊晶層上且形成一閘極結構於閘極溝槽內；最後，利用終端區上之介電圖案層為遮罩，形成一本體區於第一磊晶層內或其上，並形成一源極區於本體區之上部份。

三、英文發明摘要：

A method of manufacturing a trench power semiconductor structure is provided. The method comprising the steps of providing a base, forming a dielectric pattern layer on the base to define an active region and a terminal region, wherein a portion of the base in the active region and the base

in the terminal region is covered by the dielectric pattern layer, selectively forming a first epitaxial layer on the base without being covered by the dielectric pattern layer, removing the dielectric pattern layer on the active region to form a gate trench on the base, forming a gate dielectric layer on the first epitaxial layer and on the inter surface of the gate trench, forming the gate structure in the gate trench, utilizing the dielectric pattern layer to forming a body on or in the first epitaxial layer and forming a source on the upper portion of the body.

四、指定代表圖：

(一)本案指定代表圖為：第 1G 圖。

(二)本代表圖之元件符號簡單說明：

基板 100

基材 101

主動區 102

終端區 103

磊晶層 110

閘極介電層 150

閘極結構 160

本體區 170

源極區 180

介電圖案層 120'

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明有關於一種功率半導體結構之製造方法，且特別是關於一種溝槽式功率半導體結構之製造方法。

【先前技術】

隨著節能的需求逐漸高漲，需要更高的能源轉換效率。這些日趨嚴格的設計規範要求，對於電源轉換器設計者是一個嚴厲的挑戰。為了因應此需求，功率元件在高效能轉換器中所扮演的角色愈趨重要。其中，功率金氧半場效電晶體(Power MOSFET)已是目前被廣泛應用於各種電源轉換器的半導體元件之一。

傳統之平面式金氧半場效電晶體中，電流走向是沿著平行於基材表面的走向，而溝渠式金氧半場效電晶體元件，則是將閘極設置於溝槽內，並改變金氧半場效電晶體元件之通道位置，使得金氧半場效電晶體元件之電流走向垂直於基材。藉此，可以縮小元件的尺寸，提高元件之積極度，而有利於降低製作成本。傳統之溝渠式金氧半場效電晶體元件的製作，至少需要用到六道光罩製程(微影製程)，其中，源極區與本體區的製作，就需要使用到兩道光罩製程。於元件開發的初期，光罩的製作即是一筆巨額的費用，再加上於溝渠式金氧半場效電晶體元件的製作時，光罩製程的耗時與製程誤差，往往造成製作成本的增加。

於目前越來越注重價格競爭優勢的半導體市場，爰是，尋找一個簡單的製作方法，改善製程的複雜度，提升價格的競爭優勢又不會降低元件的效能，是本技術領域一個重要的課題。

【發明內容】

有鑑於此，本發明提供的一種溝槽式功率半導體結構之製造方法，藉由先形成介電圖案層於主動區與終端區上，然後

，利用選擇性磊晶之方式，成長第一磊晶層於未被介電層覆蓋的基材上，接著移除主動區上的介電圖案層，並只留下終端區上的介電層圖案層為遮罩，進行本體區與源極區之製程，如此，即可減少一道光罩的製程，進而降低製作光罩的高額成本，並能避免光罩對準過程中，所造成的製程誤差。

根據本發明之製程方法製作溝槽式功率半導體，從基材至保護層的製程，只需要五道光罩即可完成，如此亦可以降低整體的製作成本，進一步提升價格的競爭優勢。

本發明實施例提供一種溝槽式功率半導體結構之製造方法，包括下列步驟：首先，提供一基材；然後，形成一介電圖案層於基材上，以定義出一主動區與一終端區，其中，主動區之部份基材與終端區之基材被介電圖案層所覆蓋；接下來，以選擇性磊晶之方式，成長一第一磊晶層於未被介電圖案層所覆蓋的基材上；隨後，移除主動區上之介電圖案層，以形成一閘極溝槽於基材上；接著，形成一閘極介電層於閘極溝槽內與第一磊晶層上並且形成一閘極結構於閘極溝槽內；最後，利用終端區上之介電圖案層為遮罩，形成一本體區於第一磊晶層內或第一磊晶層上，並且形成一源極區於本體區之上部份。

在本發明其中一個實施例中，上述功率半導體結構之製造方法更包括在形成該閘極介電層於該閘極溝槽內之步驟前，先蝕刻閘極溝槽底部之步驟。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，在蝕刻閘極溝槽之底部之步驟後，且在形成閘極介電層於閘極溝槽內之步驟前，更包括：形成一犧牲氧化層於閘極溝槽內該基材上之步驟。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，本體區係以離子植入之方式形成於第一磊晶層內。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，本體區係以磊晶之方式形成於第一磊晶層上。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，源極區係以離子植入之方式形成於本體區之上部份。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，第一磊晶層的厚度大於閘極介電層的厚度。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，本體區與源極區之形成步驟，係完成於閘極介電層之形成步驟之後。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，介電圖案層包括一底部介電結構、一隔絕結構與一遮蔽結構。

在本發明其中一個實施例中，上述功率半導體結構之製造方法中，第一磊晶層的厚度大於底部介電結構的厚度。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，但是此等說明與所附圖式僅係用來說明本發明，而非對本發明的權利範圍作任何的限制。

【實施方式】

〔第一實施例〕

請參照第 1A 圖至第 1G 圖，第 1A 圖至第 1G 圖繪示本發明第一實施例之溝槽式功率半導體結構之製造方法。如第 1A 圖所示，首先提供一基材 101，此基材 101 包含一基板 100 與一磊晶層 110。然後，形成一介電層 120 於基材 101 上，介電層 120 係以沉積方式形成於基材 101 上，但本發明不以此為限

，亦可以氧化的方式成長於基材上。接下來，進行微影蝕刻製程以製作一介電圖案層 120' 於基材 101 上，且定義出一主動區 102 與一終端區 103 於基材 101 上，如第 1B 圖所示，位於主動區 102 之磊晶層 110，只有部份被介電圖案層 120' 所覆蓋，位於終端區 103 之磊晶層 110，則全部被介電圖案層 120' 所覆蓋。

於此實施例中，磊晶層 110 可是透過磊晶成長方式形成於基板 100 上方。基板 100 可為矽基板(silicon substrate)，且基板的種類與其摻雜物之導電型並無一定之限制。磊晶層 110 亦可以被省略，即基材係為基板，且後續製程直接形成於基板上。

接下來，如第 1C 圖所示，以選擇性磊晶的方式，成長一第一磊晶層 130 於基材 101 上，且第一磊晶層 130 僅成長於主動區 102 中未被介電圖案層 120' 所覆蓋之磊晶層 110 上。本實施例中，第一磊晶層 130 與基材 101 的導電型相同。第一磊晶層 130 的厚度低於介電圖案層 120' 的厚度，此外，第一磊晶層 130 的厚度亦可等於介電圖案層 120' 的厚度(未圖示)。

然後，如第 1D 圖所示，進行微影蝕刻製程將主動區 102 上的介電圖案層 120' 移除，以形成一閘極溝槽 140 於基材 101 上。為了後續成長閘極介電層的製程中，使閘極介電層的厚度均勻，接下來，如第 1E 圖所示，進行蝕刻溝槽底部的製程，以將閘極溝槽 140 底部圓角化，然後形成犧牲氧化層(未圖式)來修復磊晶層表面，再將犧牲氧化層移除。於本實施例中，第 1E 圖所示之步驟亦可以省略，直接進行後續製程。

隨後，如第 1F 圖所示，形成一閘極介電層 150 於第一磊晶層 130 上與閘極溝槽 140 內。上述閘極介電層 150 可透過熱氧化的方式，形成氧化矽於未被介電圖案層 120' 覆蓋的第一磊晶

層 130 上與閘極溝槽 140 的內側表面。另外，閘極介電層 150 也可以透過化學氣相沉積的方式，形成於第一磊晶層 130 上、閘極溝槽 140 內與介電圖案層 120' 上。於實務上，閘極介電層 150 可由二氧化矽(silicon dioxide)或高介電值的材料所構成。

最後，如第 1G 圖所示，先沉積複晶矽於基材 101 上，再施以回蝕刻的方式形成一閘極結構 160 於閘極溝槽 140 內。然後，利用該終端區上之介電圖案層 120' 與閘極結構 160 為遮罩，形成一本體區 170 於第一磊晶層 130 內。隨後，形成一源極區 180 於本體區 170 的上部份。本實施例中，本體區 170 與源極區 180 的形成方式，是以離子植入的方式形成於第一磊晶層 130 中。

[第二實施例]

另外，係可根據上述介電圖案層 120' 的結構變化，形成底部介電結構於閘極溝槽的下方，以更進一步獲得較低之閘極-汲極電容(Cgd)。實施方式請參照圖第 2A 圖至第 2E 圖，第 2A 圖至第 2E 圖繪示本發明第二實施例之溝槽式功率半導體結構之製造方法。

如第 2A 圖所示，首先，形成磊晶層 110 於基板 100 上，然後，形成介電層於基材 100 上，介電層包含一底部介電層 220、一隔絕層 221 與一遮蔽層 222。上述隔絕層 221 可選用氮化矽(SiN)材料，但本發明不以此為限，只要隔絕層 221 的材料選用與底部介電層 220 與遮蔽層 222 相異即可，且底部介電層 220 與遮蔽層 222 可選用氧化物材料，但本發明不以此為限，只要底部介電層 220 具有高介電值，而遮蔽層 222 材料與隔絕層 221 材料相異即可。

接下來，如第 2B 圖所示，進行微影蝕刻製程以製作介電圖

案層於磊晶層110上，上述的介電圖案層包含一底部介電結構220'、一隔絕結構221'與一遮蔽結構222'。隨後，如第2C圖所示，以選擇性磊晶的方式，成長一第一磊晶層230於未被介電圖案層所覆蓋之磊晶層110上。

然後，如第2D圖所示，進行微影製程後，利用選擇性蝕刻的製程，先將主動區102內的遮蔽結構222'移除，隨後，再利用另一選擇性蝕刻的製程，將隔絕結構221'移除，僅保留底部介電結構220'於磊晶層110上，以形成一閘極溝槽240於底部介電結構220'上。

最後，如第2E圖所示，形成一閘極介電層250於第一磊晶層230上與閘極溝槽240內。接下來，形成一閘極結構260於閘極溝槽240內。然後，利用該終端區103上之介電圖案層與閘極結構260為遮罩，形成一本體區270於第一磊晶層230內，且本體區270的深度必須小於閘極溝槽240的深度。隨後，形成一源極區280於本體區270的上部份。本實施例中，位於終端區103內的介電圖案層，係包含底部介電結構220'、隔絕結構221'與遮蔽結構222'。

[第三實施例]

接著，請參照第3A圖至第3C圖，繪示本發明第三實施例之溝槽式功率半導體結構之製造方法。不同於前揭本發明的第一實施例，形成源極區與本體區的步驟，係在於閘極介電層形成之後，本實施例係完成於閘極介電層形成之前。如第3A圖所示，係緊接於第一實施例之第1C圖中，第一磊晶層130完成後，利用主動區102與終端區103內的介電圖案層120'為遮罩，並以離子植入的方式，形成一本體區370於第一磊晶層

130 內，隨後，形成一源極區 380 於本體區 370 的上部份。

接下來，如第 3B 圖所示，移除介電圖案層 120'，並形成一閘極溝槽 340 於磊晶層 110 上方，隨後，施以閘極溝槽 340 底部圓角化的製程。最後，如第 3C 圖所示，形成一閘極介電層 350 於第一磊晶層 130 上與閘極溝槽 340 內。然後，形成一閘極結構 360 於閘極溝槽 340 內。

[第四實施例]

第 4A 圖繪示本發明第四實施例之溝槽式功率半導體結構之製造方法。不同於前揭本發明的第一實施例中，本體區 170 與源極區 180 係以離子植入的方式形成，本實施例之本體區 471 與源極區 481 係以磊晶之方式形成。

如第 4A 圖所示，係緊接於第一實施例之第 1B 圖中，介電圖案層 120' 完成後，以介電圖案層 120' 為遮罩，並以選擇性磊晶成長技術，先形成與基材 101 相同導電型的一第一磊晶層 431 於主動區內的磊晶層 110 上。接下來，以選擇性磊晶成長技術，形成本體區 471 於第一磊晶層 431 上，本體區 471 的導電型相異於第一磊晶層 431。

最後，形成一源極區 481 於本體區 471 的上部份。上述源極區 481 的形成方式，可以用離子植入的方式形成於本體區 471 內，亦可以用選擇性磊晶成長的方式，形成於本體區 471 上。上述第一磊晶層 431 的厚度必須大於後續步驟中，形成的閘極介電層的厚度。

[第五實施例]

第 4B 圖繪示本發明第五實施例之溝槽式功率半導體結構

之製造方法。不同於前揭本發明的第二實施例中，本體區 270 與源極區 280 係以離子植入的方式形成，本實施例之本體區 472 與源極區 482 係以磊晶之方式形成。

如第 4B 圖所示，係緊接於第一實施例之第 2B 圖中，介電圖案層完成後，以介電圖案層為遮罩，並以選擇性磊晶成長技術，先形成與基材 101 相同導電型的一第一磊晶層 432 於主動區內的磊晶層 110 上。值得注意的是，第一磊晶層 432 的厚度必須大於底部介電結構 220'。

接下來，以選擇性磊晶成長技術，形成一本體區 472 於第一磊晶層 432 上，本體區 472 的導電型相異於第一磊晶層 432。最後，形成一源極區 482 於本體區 472 的上部份。

綜上所述，本發明實施例提供一溝槽式功率半導體結構之製造方法，可利用主動區與終端區上的介電圖案層，並搭配選擇性磊晶之製程，成長第一磊晶層於未被介電層覆蓋的基材上，如此，進行本體區與源極區之製程，

即可減少一道光罩的製程，進而減化溝槽式功率半導體的製程。

以上所述僅為本發明之實施例，其並非用以侷限本發明之專利範圍。

【圖式簡單說明】

第 1A 圖至第 1G 圖是本發明第一實施例之溝槽式功率半導體結構之製造方法。

第 2A 圖至第 2E 圖是本發明第二實施例之溝槽式功率半導體結構之製造方法。

第 3A 圖至第 3C 圖是本發明第三實施例之溝槽式功率半導體結構之製造方法。

第 4A 圖是本發明第四實施例之溝槽式功率半導體結構之製造方法。

第 4B 圖是本發明第五實施例之溝槽式功率半導體結構之製造方法。

【主要元件符號說明】

基板 100

基材 101

主動區 102

終端區 103

磊晶層 110

介電層 120

介電圖案層 120'

第一磊晶層 130,230,431,432

閘極溝槽 140,240,340

閘極介電層 150,250,350

閘極結構 160,260,360

本體區 170, 270, 370 ,471,472

源極區 180, 280, 380,481,482

底部介電層 220

隔絕層 221

遮蔽層 222

底部介電結構 220'

隔絕結構 221'

遮蔽結構 222'

七、申請專利範圍：

1. 一種溝槽式功率半導體結構之製造方法，包括：

提供一基材；

形成一介電圖案層於基材上，以定義出一主動區與一終端區，其中該主動區之部份基材與該終端區之基材被該介電圖案層所覆蓋；

以選擇性磊晶之方式，成長一第一磊晶層於未被該介電圖案層所覆蓋之該基材上；

移除該主動區上之該介電圖案層，以形成至少一閘極溝槽於該基材上；

形成一閘極介電層於該閘極溝槽內與該第一磊晶層上；

形成一閘極結構於該閘極溝槽內；

利用該終端區上之該介電圖案層為遮罩，形成一本體區於該第一磊晶層內或該第一磊晶層上；以及

形成一源極區於該本體區之上部份。

2. 如申請專利範圍第 1 項所述的溝槽式功率半導體結構之製造方法，其中，在形成該閘極介電層於該閘極溝槽內之步驟前，更包括：蝕刻該閘極溝槽之底部之步驟。

3. 如申請專利範圍第 2 項所述的溝槽式功率半導體結構之製造方法，其中，在蝕刻該閘極溝槽之底部之步驟後，且在形成該閘極介電層於該閘極溝槽內之步驟前，更包括：形成一犧牲氧化層於該閘極溝槽內與該基材上之步驟。

4. 如申請專利範圍第 1 項所述的溝槽式功率半導體結構之製造方法，其中，該本體區係以離子植入之方式形成於該第一磊晶層內。

5. 如申請專利範圍第 1 項所述的溝槽式功率半導體結構之

製造方法，其中，該本體區係以磊晶之方式形成於該第一磊晶層上。

6. 如申請專利範圍第4項或第5項所述的溝槽式功率半導體結構之製造方法，其中，該源極區係以離子植入之方式形成於該本體區之上部份。

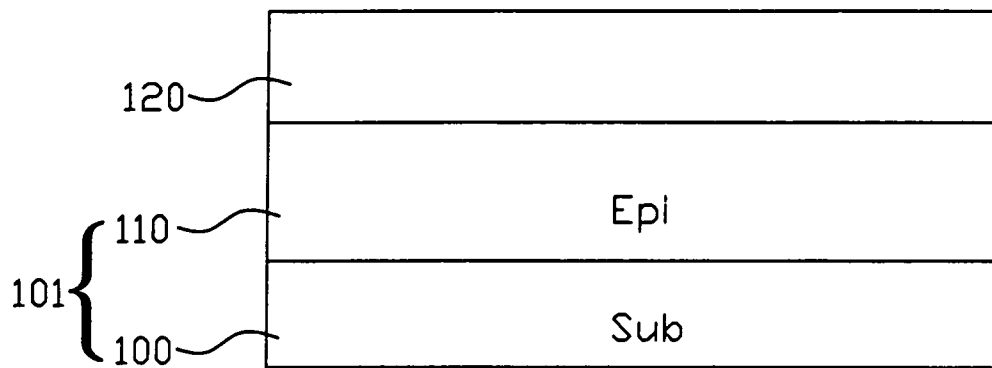
7. 如申請專利範圍第1項所述的溝槽式功率半導體結構之製造方法，其中，該第一磊晶層的厚度大於該閘極介電層的厚度。

8. 如申請專利範圍第1項所述的溝槽式功率半導體結構之製造方法，其中，該本體區與該源極區之形成步驟，係完成於該閘極介電層之形成步驟之後。

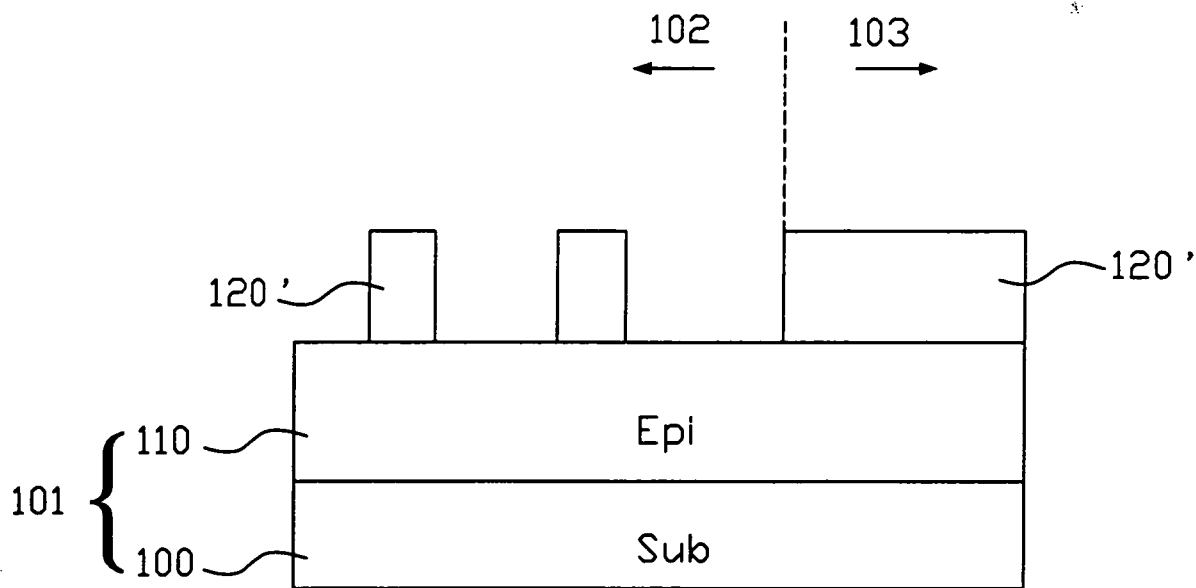
9. 如申請專利範圍第1項所述的溝槽式功率半導體結構之製造方法，其中，該介電圖案層包括一底部介電結構、一隔絕結構與一遮蔽結構。

10. 如申請專利範圍第9項所述的溝槽式功率半導體結構之製造方法，其中，該第一磊晶層的厚度大於該底部介電結構的厚度。

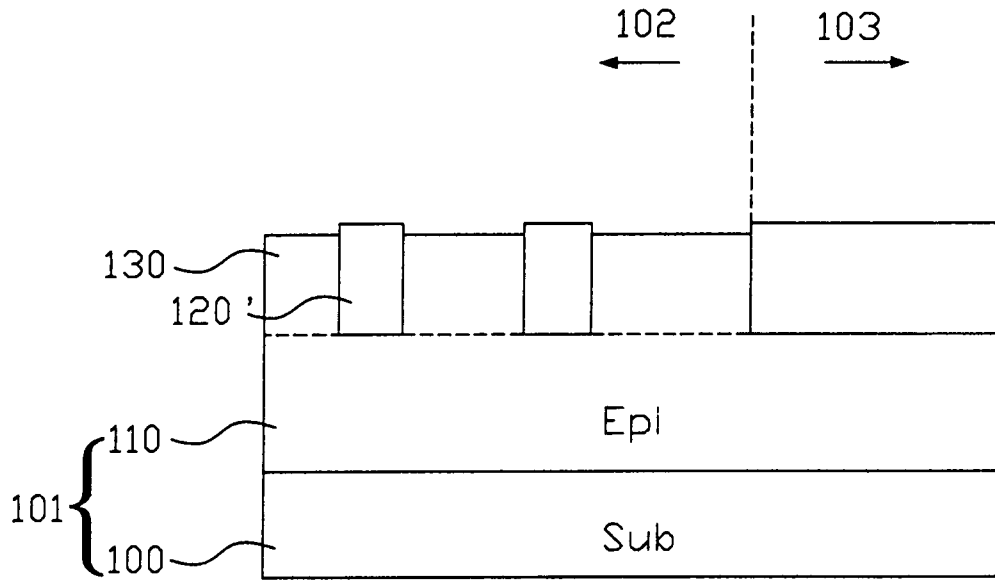
八、圖式：



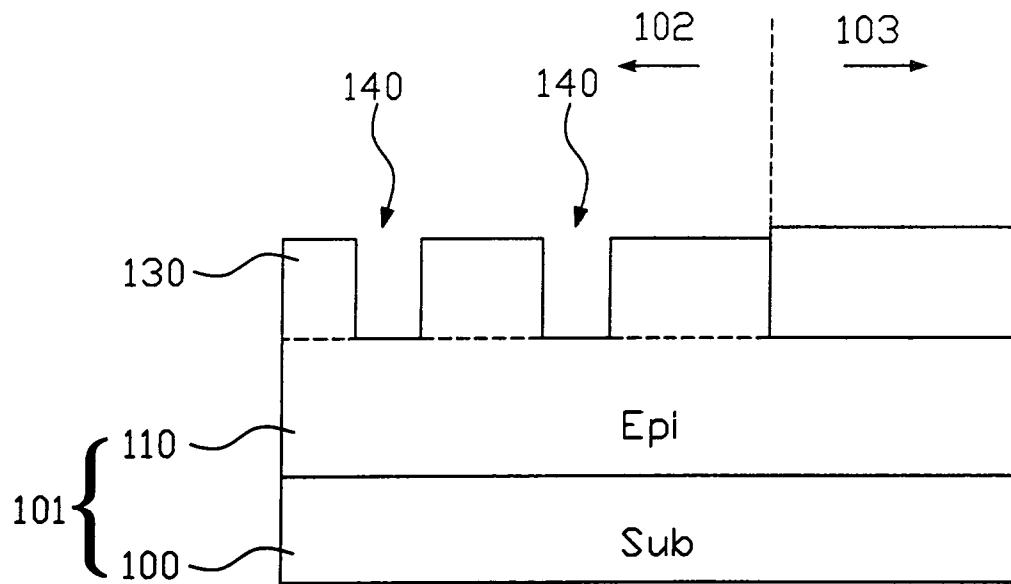
第1A圖



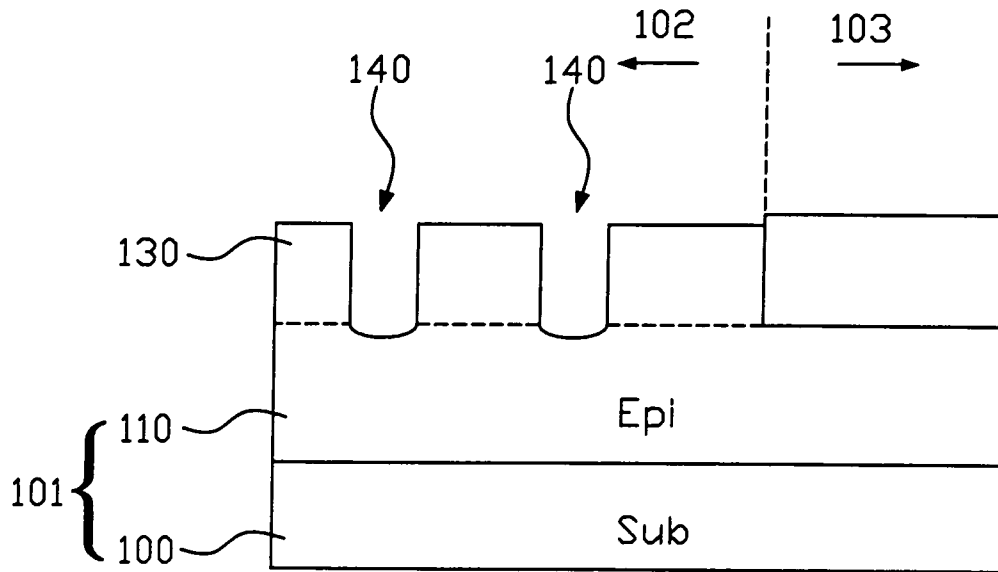
第1B圖



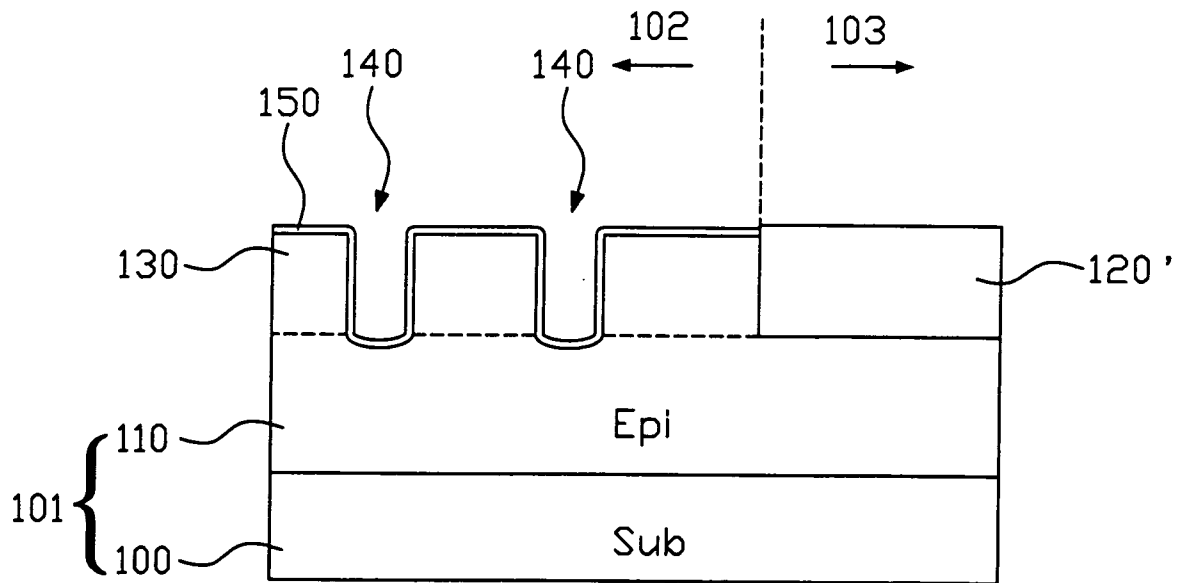
第1C圖



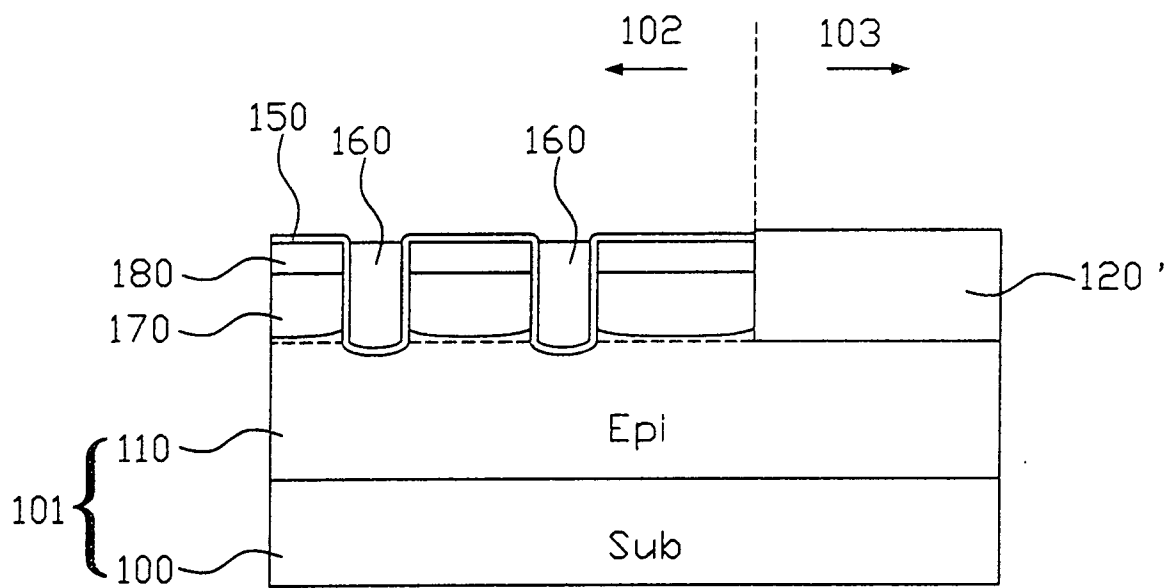
第1D圖



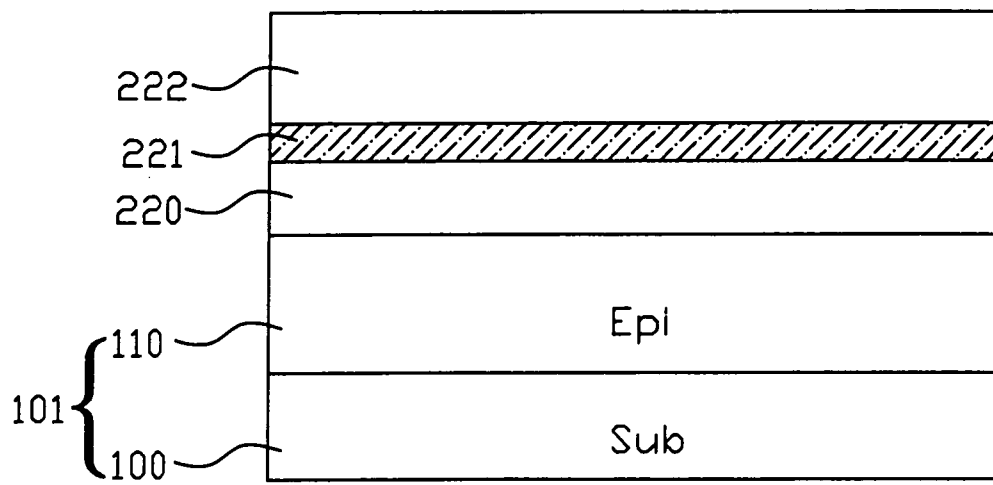
第1E圖



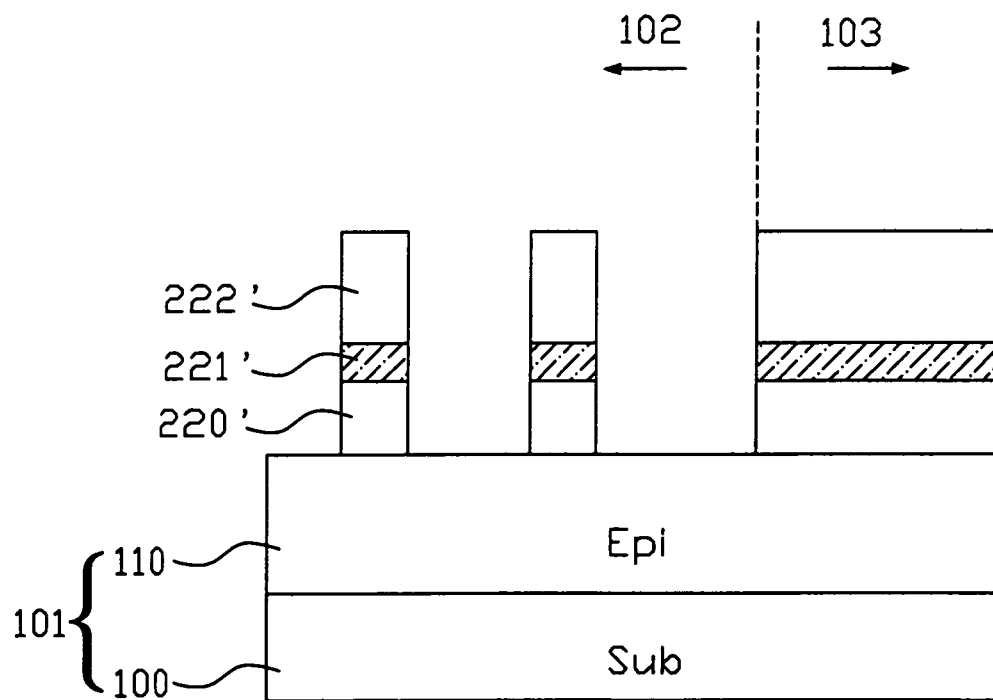
第1F圖



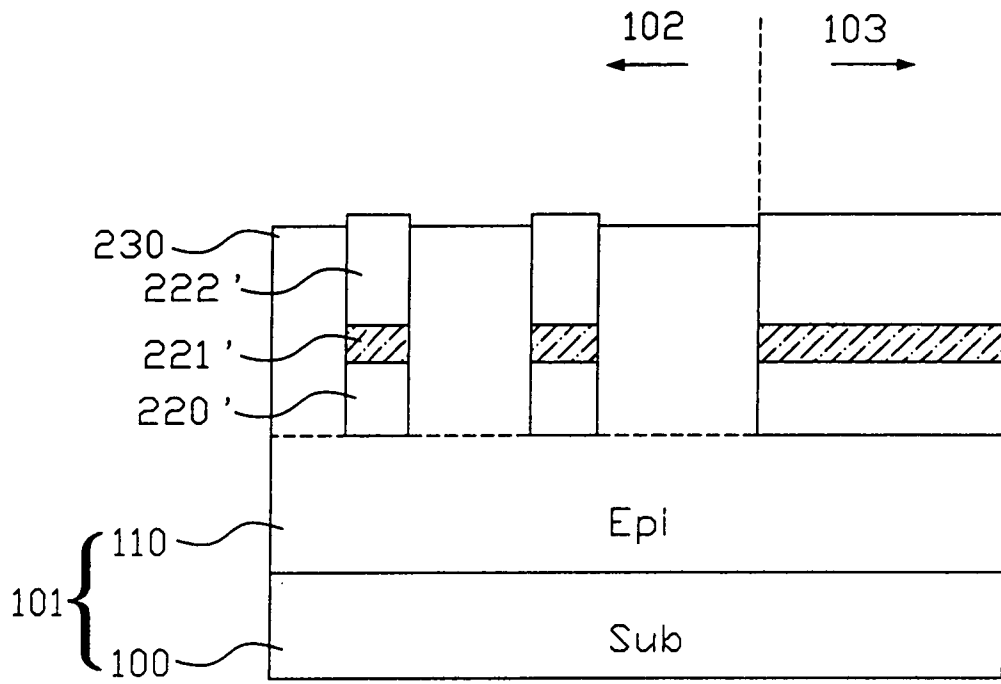
第1G圖



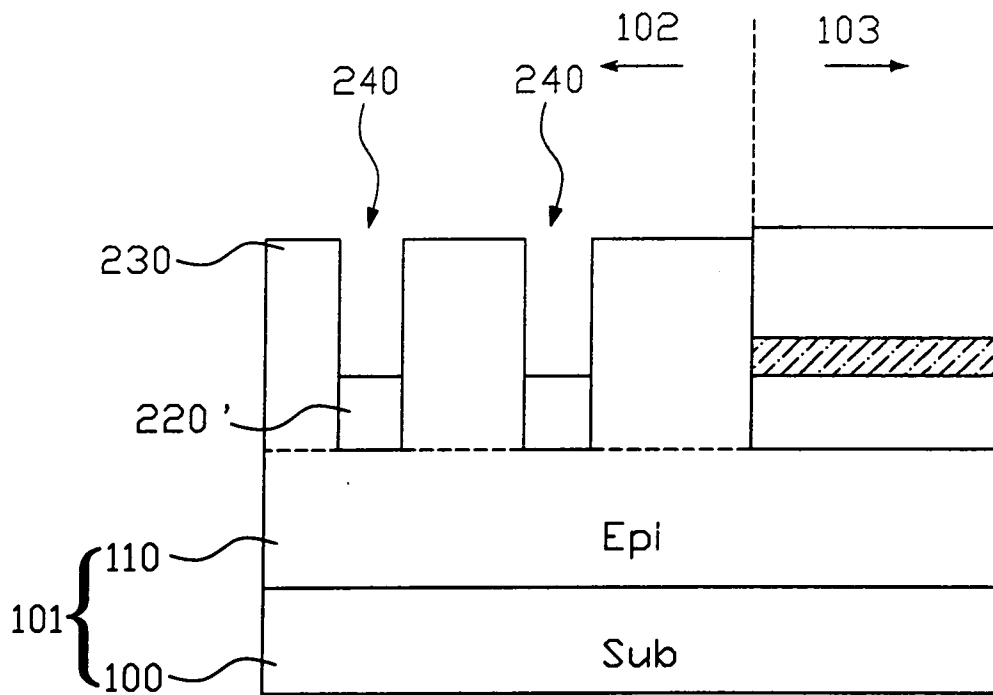
第2A圖



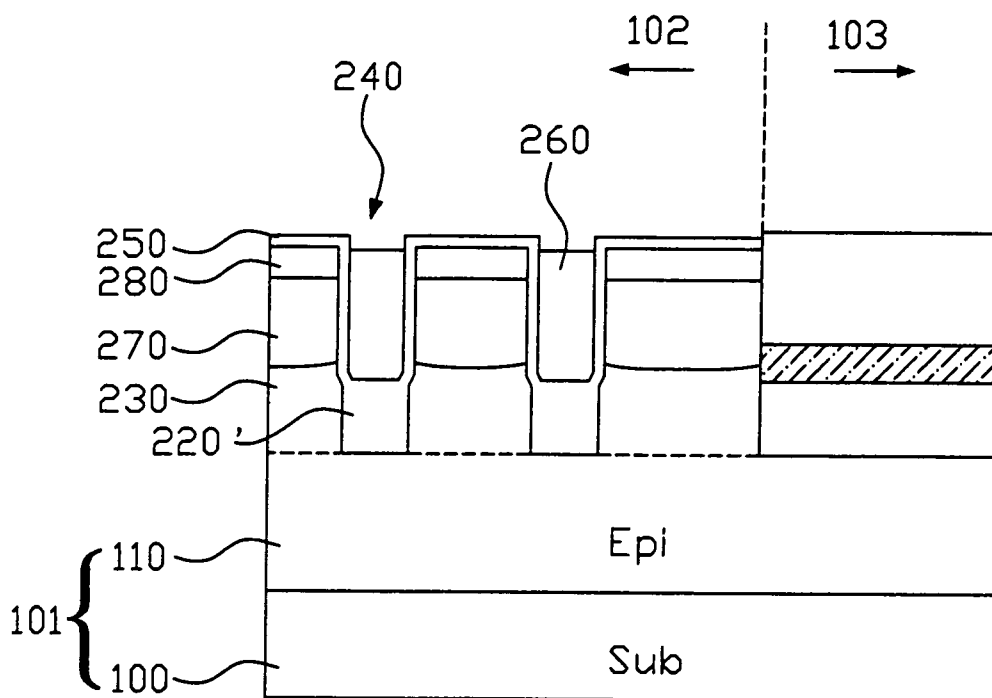
第2B圖



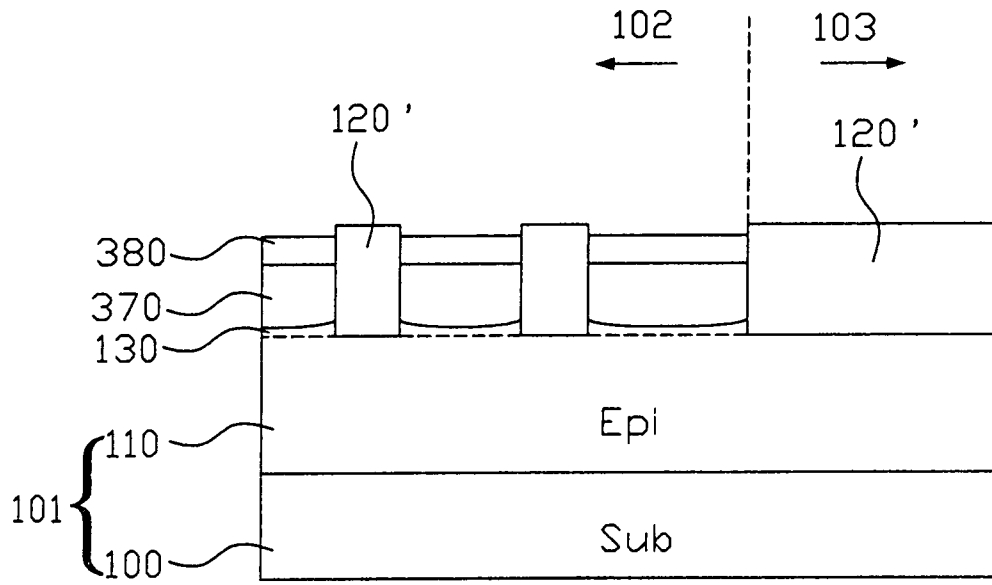
第2C圖



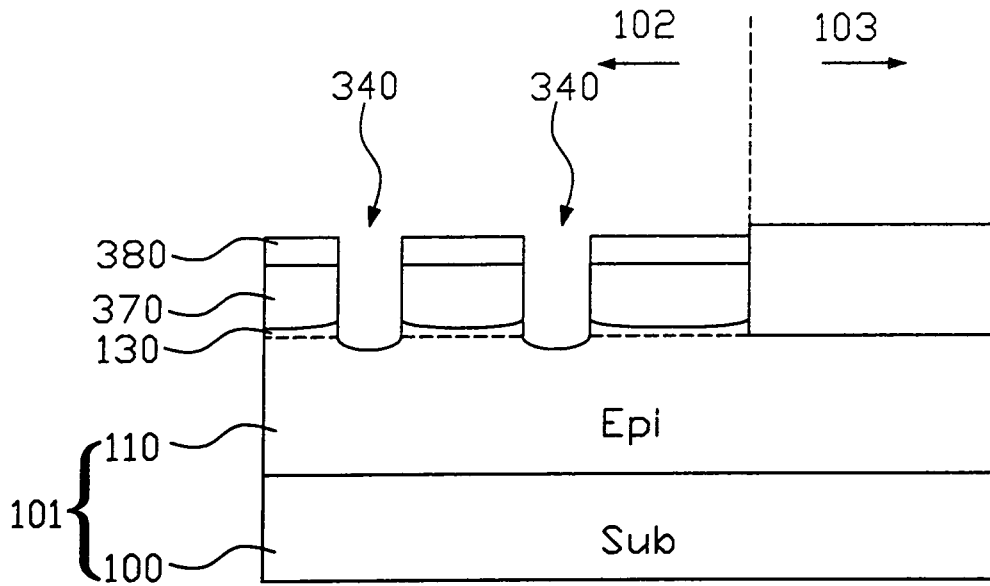
第2D圖



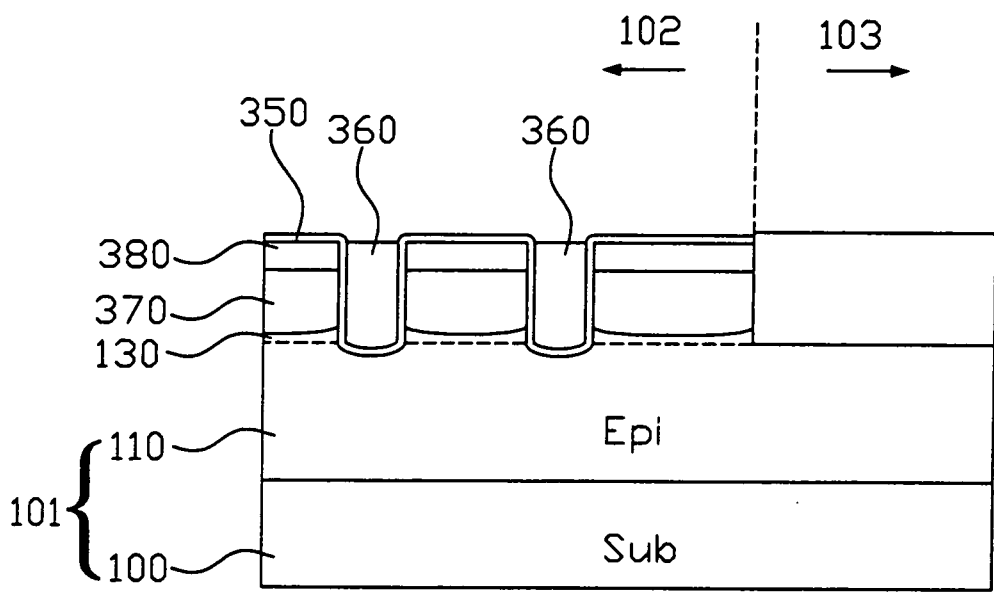
第2E圖



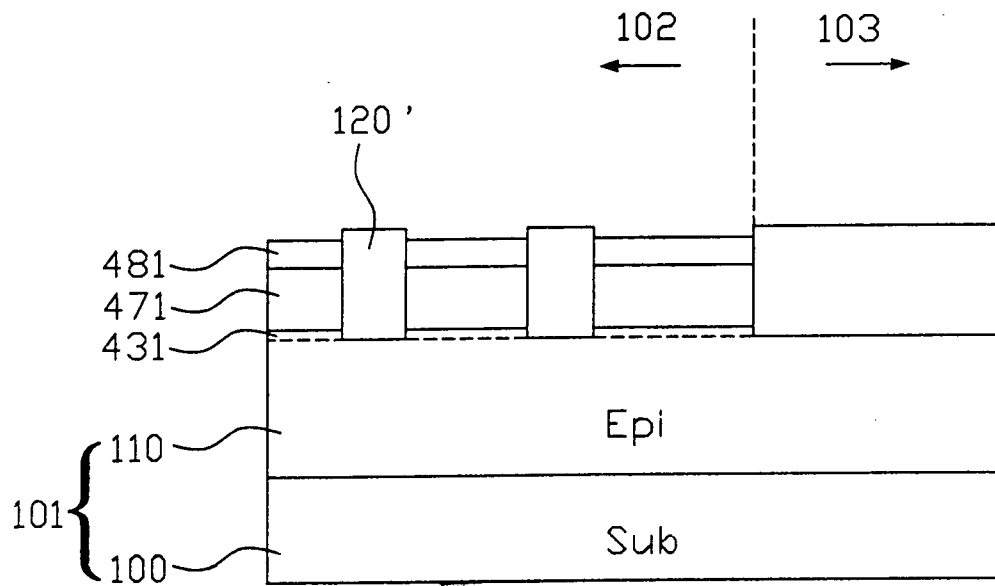
第3A圖



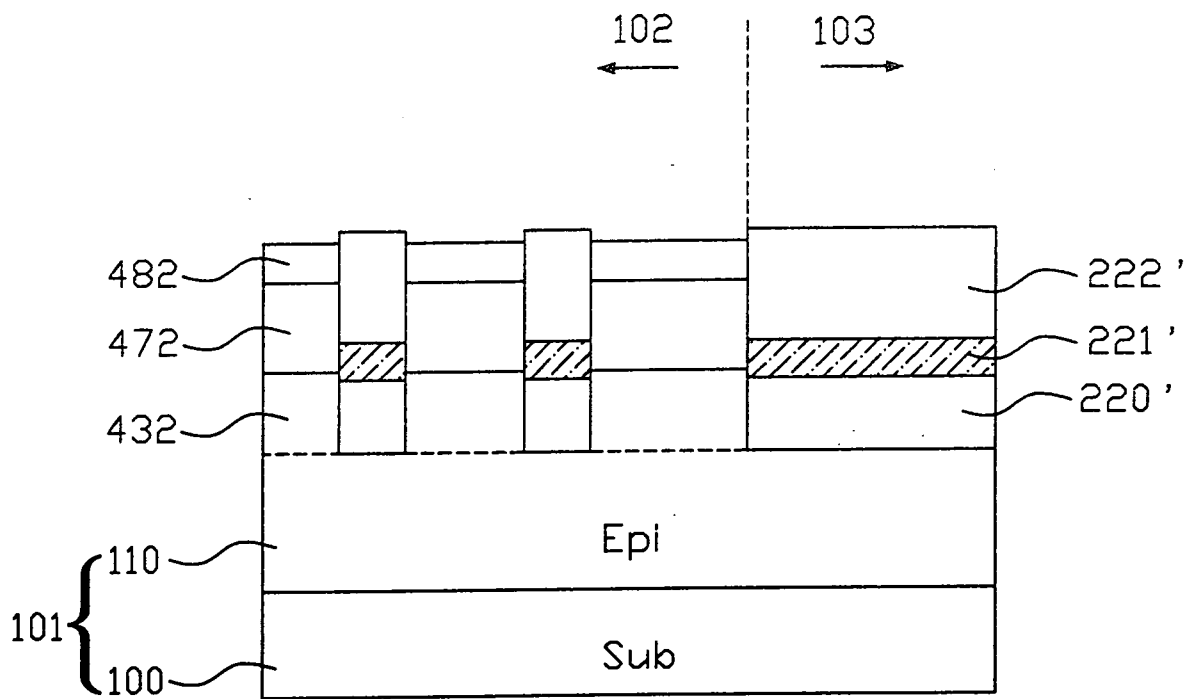
第3B圖



第3C圖



第4A圖



第4B圖