202343714

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202343714 A

(43)公開日： 中華民國 112 (2023) 年 11 月 01 日

(21)申請案號：112106994 (22)申請日： 中華民國 112 (2023) 年 02 月 24 日

(51)Int. Cl.： *H01L23/48 (2006.01)* *H01L23/488 (2006.01)*
H01L23/50 (2006.01) *H01L21/768 (2006.01)*

(30)優先權：2022/02/24 美國 63/313,639
2023/02/23 美國 18/173,690

(71)申請人：美商艾德亞半導體接合科技有限公司 (美國) ADEIA SEMICONDUCTOR BONDING TECHNOLOGIES INC. (US)
美國

(72)發明人：烏佐 賽普里恩 艾米卡 UZOH, CYPRIAN EMEKA (US)；卡特卡 拉杰詡 KATKAR, RAJESH (IN)；沃克曼 湯瑪斯 WORKMAN, THOMAS (US)；方騰二世 蓋烏斯 吉爾曼 FOUNTAIN, JR., GAIUS GILLMAN (US)；高 桂蓮 GAO, GUILIAN (US)；提爾 傑瑞米 阿弗烈德 THEIL, JEREMY ALFRED (US)；古發拉 加百列 Z GUEVARA, GABRIEL Z. (US)；房 炅模 BANG, KYONG-MO (US)；麥卡雷米 蘿拉 威爾 MIRKARIMI, LAURA WILLS (US)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：71 項 圖式數：5 共 53 頁

(54)名稱

接合結構

(57)摘要

本發明提供一種接合結構，其可包括：一載體，其包括一第一導電觸點及一第二導電觸點；一第一單體化元件，其包括在無一黏著劑之情況下直接接合至該第一導電觸點之一第三導電觸點；及一第二單體化元件，其包括在無一黏著劑之情況下直接接合至該第二導電觸點之一第四導電觸點，其中該第一導電觸點及該第二導電觸點間隔開不超過 250 微米之一觸點間距。

A bonded structure can include a carrier including a first conductive contact and a second conductive contact, a first singulated element including a third conductive contact directly bonded to the first conductive contact without an adhesive, and a second singulated element including a fourth conductive contact directly bonded to the second conductive contact without an adhesive, wherein the first and second conductive contacts are spaced apart by a contact spacing of no more than 250 microns.

指定代表圖：

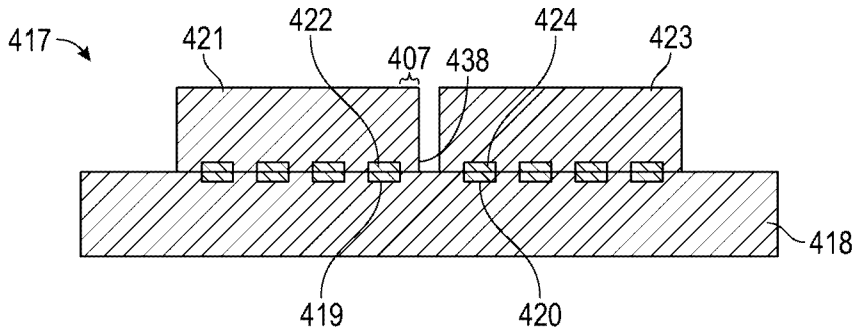


圖4A

符號簡單說明：

407:邊緣排除距離

417:接合結構

418:載體

419:第一導電觸點

420:第二導電觸點

421:第一單體化元件/晶粒

422:第三導電觸點

423:第二單體化元件/晶粒

424:第四導電觸點

438:外邊緣

【發明摘要】

【中文發明名稱】　接合結構

【英文發明名稱】　BONDED STRUCTURES

【中文】

本發明提供一種接合結構，其可包括：一載體，其包括一第一導電觸點及一第二導電觸點；一第一單體化元件，其包括在無一黏著劑之情況下直接接合至該第一導電觸點之一第三導電觸點；及一第二單體化元件，其包括在無一黏著劑之情況下直接接合至該第二導電觸點之一第四導電觸點，其中該第一導電觸點及該第二導電觸點間隔開不超過250微米之一觸點間距。

【英文】

A bonded structure can include a carrier including a first conductive contact and a second conductive contact, a first singulated element including a third conductive contact directly bonded to the first conductive contact without an adhesive, and a second singulated element including a fourth conductive contact directly bonded to the second conductive contact without an adhesive, wherein the first and second conductive contacts are spaced apart by a contact spacing of no more than 250 microns.

【指定代表圖】　圖4A

【代表圖之符號簡單說明】

407:邊緣排除距離

417:接合結構

418:載體

419:第一導電觸點

420:第二導電觸點

421:第一單體化元件/晶粒

422:第三導電觸點

423:第二單體化元件/晶粒

424:第四導電觸點

438:外邊緣

【特徵化學式】

無

【發明說明書】

【中文發明名稱】　接合結構

【英文發明名稱】　BONDED STRUCTURES

【技術領域】

【0001】　該領域關於接合結構，且特定言之，關於具有增加之電路系統及觸點之面積效率的接合結構。

相關申請案之交叉參考

【0002】　本申請案主張2022年2月24日申請之標題為「接合結構（BONDED STRUCTURES）」的美國臨時專利申請案第63/313,639號之優先權，該專利申請案之內容特此以全文引用之方式併入。

【先前技術】

【0003】　諸如半導體晶圓或積體裝置晶粒之半導體元件可經堆疊且在無黏著劑之情況下彼此直接接合。舉例而言，非導電（介電質或半導體）表面可製造得極為光滑且經處理以在室溫下及在不施加超出接觸之壓力的情況下增強直接共價接合。在一些混合直接接合結構中，元件之非導電場區可彼此直接接合，且對應導電接觸結構可彼此直接接合。

【發明內容】

【0004】　本發明之一態樣為一種接合結構，其包含：載體，其包括第一導電觸點及第二導電觸點；第一單體化元件，其包括在無黏著劑之情況下直接接合至該第一導電觸點之第三導電觸點；及第二單體化元件，其包括在無黏著劑之情況下直接接合至該第二導電觸點之第四導電觸點，其中該第一導電觸點及該第

二導電觸點間隔開不超過250微米之觸點間距。

【0005】 本發明之另一態樣為一種接合結構，其包含：載體，其包括第一導電觸點及第二導電觸點；第一單體化元件，其包括在無黏著劑之情況下直接接合至該第一導電觸點之第三導電觸點；及第二單體化元件，其包括在無黏著劑之情況下直接接合至該第二導電觸點之第四導電觸點，其中該第一單體化元件及該第二單體化元件間隔開不超過50微米之元件間距。

【0006】 本發明之另一態樣為一種接合結構，其包含：載體，其包括第一導電觸點及第二導電觸點；第一單體化元件，其包括在無黏著劑之情況下直接接合至該第一導電觸點之第三導電觸點；及第二單體化元件，其包括在無黏著劑之情況下直接接合至該第二導電觸點之第四導電觸點，其中該第一導電觸點及該第二導電觸點間隔開觸點間距，該觸點間距是該第一單體化元件及該第二單體化元件中之至少一者之厚度的約0.4倍與8倍之間。

【0007】 本發明之另一態樣為一種接合結構，其包含：載體；第一元件，其在無黏著劑之情況下直接接合至該載體，該第一元件包括切口區；及第二單體化元件，其在無黏著劑之情況下直接接合至該載體，該第二單體化元件至少部分地橫向安置於該第一元件之該切口區內。

【0008】 本發明之另一態樣為一種接合結構，其包含：第一單體化元件，其包含第一導電觸點；及載體，其包含第二導電觸點，該第一導電觸點與該第二導電觸點在無中介黏著劑之情況下彼此直接接合，該第一導電觸點與該第一單體化元件之外邊緣間隔開不超過200微米之邊緣排除距離，該第一導電觸點包含電連接至該第一單體化元件之電路系統的電主動觸點。

【0009】 本發明之另一態樣為一種接合結構，其包含：第一單體化元件，其具有以一間距隔開之第一複數個導電觸點，該第一複數個導電觸點包括最靠近該第一單體化元件之外側邊緣的至少一個外導電觸點，該至少一個外導電觸

點與該外側邊緣隔開一邊緣排除距離且包含電連接至該第一單體化元件之電路系統的電主動觸點；及載體，其包含在無中介黏著劑之情況下直接接合至該第一複數個導電觸點的第二複數個導電觸點，其中該邊緣排除距離與該間距之比值在約10:1與50:1之間。

【0010】 本發明之另一態樣為一種接合結構，其包含：第一單體化元件，其具有一最大橫向寬度且包括第一複數個導電觸點，該第一複數個導電觸點包括最靠近該第一單體化元件之外側邊緣的至少一個外導電觸點，該至少一個外導電觸點與該外側邊緣隔開一邊緣排除距離且包含電連接至該第一單體化元件之電路系統的電主動觸點；及載體，其包含在無中介黏著劑之情況下直接接合至該第一複數個導電觸點的第二複數個導電觸點，其中該最大橫向寬度與該邊緣排除距離之一比值在約10:1與100:1之間。

【0011】 本發明之另一態樣為一種接合結構，其包含：載體，其具有包括第一非導電區及第一複數個導電觸點之第一接合表面；及單體化裝置晶粒，其具有包括第二非導電區及第二複數個導電觸點之第二接合表面，該第二非導電區在無黏著劑之情況下直接接合至該載體之該第一非導電區，且該第二複數個導電觸點在無黏著劑之情況下直接接合至該第一複數個導電觸點，其中該單體化裝置晶粒包括相對於該第二接合表面非平行延伸之經蝕刻外側邊緣，且該第二複數個導電觸點包括最靠近該外側邊緣之至少五個外導電觸點，該至少五個外導電觸點包含電連接至該單體化裝置晶粒之電路系統的電主動觸點。

【0012】 本發明之另一態樣為一種積體裝置晶粒，其包含：主動電路系統；接合表面，其經組態以用於直接混合接合至另一元件；外邊緣，其相對於該接合表面非平行地延伸；及第一導電觸點，其與該外邊緣間隔開不超過100微米之一邊緣排除距離，該第一導電觸點包含電連接至該主動電路系統之電主動觸點。

【0013】 本發明之另一態樣為一種用於接合晶粒之方法，其包含：使第一

元件平坦化，其中該第一元件包含第一複數個導電觸點；使第二元件平坦化，其中該第二元件包含第二複數個導電觸點；及將該第一元件及該第二元件接合至載體，其中該第一元件之該第一複數個導電觸點中之第一最外部導電觸點與該第二複數個導電觸點中之第二最外導電觸點間隔開不超過250微米之觸點間距。

【0014】 本發明之另一態樣為一種用於產生接合結構之方法，其包含：將第一元件及第二元件單體化，其中該第一元件及該第二元件中之各者包含不超過100微米之邊緣排除距離；及將該第一單體化元件及該第二單體化元件接合至載體，其中該第一單體化元件與該第二單體化元件之間的該距離不超過10微米。

【0015】 本發明之另一態樣為一種接合結構，其包含：第一單體化元件，其包含第一導電觸點；及載體，其包含第二接觸襯墊，該第一導電觸點及該第二導電觸點在無中介黏著劑之情況下彼此直接接合，該第一導電觸點與該第一單體化元件之外邊緣間隔開不超過200微米之邊緣排除距離，該第一導電觸點包含電連接至該第一單體化元件之電路系統的電主動觸點；其中該第一單體化元件及該載體中之至少一者封裝於積體裝置封裝中。

【圖式簡單說明】

【0016】

[圖1A]展示用於將晶圓單體化之習知方法。

[圖1B]至[圖1D]展示根據習知方法改變具有邊緣排除之晶粒的大小。

[圖2A]至[圖2H]展示根據各種具體實例之用於形成具有減少之邊緣排除區帶之晶粒的方法。

[圖3]說明可採用減小之邊緣排除距離的單體化元件之範例性具體實例。

[圖4A]至[圖4K]展示接合結構之各種具體實例。

[圖5A]至[圖5B]說明根據一些具體實例之用於在無中介黏著劑之情況下形

成直接混合接合結構的製程。

【實施方式】

【0017】 多年來，將愈來愈多的功能整合於晶片上以形成系統晶片（systems-on-chip；SoC）已成為趨勢。最近，趨勢為將電路系統解聚成若干晶片且在封裝製程中重新組裝該等晶片。此解聚之優點包括能夠對不同晶片或小晶片使用不同技術，此對於電路中之一些可能更便宜，且與極大SoC晶片相比，從晶圓產生更多晶片或小晶片，從而在給定污染程度下獲得更高產率。

【0018】 如圖1A中所展示，基板101（例如，晶圓）設置於切割框架102上，且單體化成在鋸切道104處劃分之複數個單體化元件103。用於裝置製造及組裝之習知技術對整個系統中之電路系統之密度進行限制，特別是在功能經解聚至多個元件中且藉由封裝聚集之情況下。舉例而言，諸如銅柱或焊球105之堆疊元件之間的豎直連接需要襯墊之間的某一最小間距，或藉由重佈線層（redistribution layer；RDL）擴展觸點。此最小間距歸因於裝置周邊處之習知排除區帶而在橫向鄰近裝置之邊緣處加劇，部分原因是使用鋸切從晶圓單體化晶片。舉例而言，利用習知排除區帶使晶粒之主動區及/或襯墊與鋸切道間隔開，以便減少或最小化在切割或單體化製程期間可能出現的損壞。具有有限對準準確度之取放及/或接合工具亦可對總成中之裝置之密度進行限制。向靠近晶粒邊緣之裝置賦予的子結構損壞可降低裝置良率。圍繞晶片之周邊的習知排除區帶表示主動電路系統之損失的實際面積。若任何互連件或接觸襯墊設置於排除區帶中，則其典型地為電非主動或「虛設(dummy)」接觸襯墊。因此，電主動襯墊（例如，電連接至晶粒中之電路系統，諸如電連接至信號線、電源線或接地之襯墊）藉由排除區帶與晶粒邊緣向內隔開。

【0019】 圖1B至1D展示各種大小之單體化元件。各單體化元件103可包含

如結合圖1A所描述之基板101及焊球105。如圖1B至圖1D中所展示，電主動接合襯墊可與晶粒邊緣106間隔開邊緣排除距離107，其表示晶粒之未使用實際面積。邊緣排除距離107（及邊緣排除區域）隨著晶粒大小減小而顯著增加，使得對於較小晶粒（例如，最大寬度小於4mm、小於3mm或小於2mm之晶粒），邊緣排除距離佔據晶粒之相對較大比例。因此，增加之排除距離107減小晶粒中之裝置的有用面積。對於晶粒經焊料接合至載體之結構，歸因於用於防止將在更細間距下發生的焊料橋接之鄰近襯墊之間的較大間距，排除距離107相當大。大的邊緣排除區帶降低給定晶粒之功能襯墊（輸入/輸出或I/O）計數的設計靈活性，且亦增加系統中之元件（諸如被動組件、晶片或小晶片）當中之電連接的距離，從而導致晶片或小晶片之效能降級。藉助於範例，使用用於將晶粒單體化之傳統方法，典型邊緣排除大致為200 μm。在一個範例中，具有200 μm之邊緣排除距離的8mm × 12mm晶粒使得約8.2%之晶粒面積未經使用。在另一範例中，具有200 μm之邊緣排除距離的4mm × 4mm晶粒使得約19%之晶粒面積未經使用。在另一範例中，具有200 μm之邊緣排除距離的1mm × 1mm晶粒使得約64%之晶粒面積未經使用。因此，仍繼續需要減少較小晶粒中之排除區域以增加晶粒設計靈活性，晶片或小晶片之部分經設計以用於主動或被動電路系統且獲得更高功能I/O計數。

【0020】 圖2A至圖2H說明根據各種具體實例之用於形成經組態以用於直接混合接合之單體化元件的範例製程。如圖2A中所展示，基板201（例如，晶圓）可包括塊狀部分208及塊狀部分208上方之接合層209。接合層209可包含具有至少部分地嵌入之導電接觸特徵之介電材料。接合層209可包括複數個非導電區210及至少部分地嵌入於接合層209中之複數個導電觸點211。有利地，當經組態以用於直接混合接合時，觸點211可以顯著小於用於焊料接合之間距的間距212提供。基板201可在圖2A中平坦化。在一些具體實例中，基板經由化學機械研磨（chemical mechanical polishing；CMP）平坦化。在圖2B中，保護層213（諸如光

阻）可設置於基板201上方。在一些具體實例中，平坦化表面214可具有在周圍的非導電場區210下方凹陷少量（例如，小於20 nm、小於10 nm或甚至小於5 nm）之導電觸點211。保護層213可經圖案化以包括圖2C中之保護層中的凹部215，且基板201可轉移至圖2D中之切割框架202。在圖2E中，基板201可單體化成複數個單體化元件203。在所說明之具體實例中，使用蝕刻製程，例如反應離子蝕刻（reactive ion etching；RIE）或電漿切割製程將基板201單體化。有利地，與鋸切單體化（saw singulation）相比，所說明之具體實例的RIE單體化製程會引起對晶粒之邊緣的損壞的減少，此可減小邊緣處之缺陷且允許較小排除距離207。在一些具體實例中，RIE單體化可導致小於40 μm、小於20 μm、小於15 μm或小於10 μm之邊緣排除距離207。在圖2F中，可移除保護層213，且在圖2G中，可諸如藉由灰化（例如，以從保護層移除殘渣）、清潔及/或表面活化處理（例如，氮電漿處理）來處理接合表面214。在圖2H中，單體化晶粒203可經清潔、沖洗、乾燥及製備以用於直接接合至諸如載體之另一元件。在一些具體實例中，圖2C之圖案化基板201可藉由乾式蝕刻（例如，RIE）、濕式蝕刻劑與精細切割刀片之組合來單體化。舉例而言，可應用RIE以移除抗蝕劑罩幕中之間隙下方之區中的介電材料。在乾式蝕刻之後，可採用合適的濕式蝕刻劑來移除經暴露導電材料。其餘基板（例如塊狀半導體材料）可藉由精細切割刀片、雷射切割或藉由乾式蝕刻來切割以完成單體化。

【0021】 在一些具體實例中，可進一步處理單體化晶粒之側面。在一些具體實例中，單體化晶粒之側邊緣可具有經蝕刻表面（例如，不具有來自鋸切單體化之毛刺或碎屑的表面）。經蝕刻表面可包括指示蝕刻製程（例如，RIE或濕式蝕刻製程）之圖案。在一些具體實例中，側壁可略微錐形化。舉例而言，側壁可相對於水平面具有在85°與90°之間的角度。在一些具體實例中，側壁為實質上豎直的。限制側壁之錐度可為有益的，以便允許單體化晶粒靠得更近。

【0022】 圖3說明可採用減小之邊緣排除距離且使晶粒能夠緊靠在一起置放之單體化元件的範例性具體實例。如圖3中所見，單體化元件303可具有由複數個非導電區310環繞之複數個導電觸點311。在一些具體實例中，複數個導電觸點311可包含導電材料。在一些具體實例中，導電材料可包含銀、金、銦、鎳或銅或其各種合金。在另一具體實例中，導電材料為銅。單體化元件303可包含邊緣排除距離307、間距312及寬度316。減小之邊緣排除距離307可與任何晶粒大小一起使用且對任何晶片大小均具有優點。對於具有特定功能之相對較小晶粒（例如，最大寬度小於8 mm、小於6 mm、小於4 mm、小於3 mm、小於2 mm之晶粒），諸如小晶片或離散裝置（例如，被動元件），獲得特別顯著之優點。圖3說明與例如圖1A至圖1D之較大排除區帶相比，較小邊緣排除區帶如何為較小晶粒提供特定相稱優點。舉例而言，本文中之方法及系統可導致約50 μm之邊緣排除距離。在一個範例中，4mm × 4mm晶粒可使用本文中所描述之方法及系統而具有50 μm之邊緣排除距離，此使得僅約4.9%之晶粒面積未經使用。在另一範例中，本文中所描述之方法及系統可導致約10 μm之邊緣排除距離。在一個具體實例中，1mm × 1mm晶粒可使用本文中所描述之方法及系統而具有10 μm之邊緣排除距離，此導致僅約4%之晶粒面積未經使用。在另一具體實例中，本文中所描述之方法及系統可導致約5 μm之邊緣排除距離。在一個範例中，0.4mm × 0.4mm晶粒可使用本文中所描述之方法及系統而具有5 μm之邊緣排除距離，此導致僅約5%之晶粒面積未經使用。在一些具體實例中，邊緣排除之寬度小於10 μm、小於5 μm或小於3 μm。在一些具體實例中，邊緣排除可在0.5 μm至100 μm之範圍內、在0.5 μm至50 μm之範圍內、在0.5 μm至20 μm之範圍內、在0.5 μm至10 μm之範圍內、在1 μm至10 μm之範圍內或在2 μm至10 μm之範圍內。與習知結構相比，藉由混合直接接合技術（且其中晶粒藉由RIE單體化）實現的減小之間距312有助於減少邊緣排除區307。此外，如圖4A至圖4K中所展示，減少之邊緣排除區307可允許

組件緊靠彼此直接接合且間隔開極小間隙。有利地，緊靠在一起提供晶粒可允許有效晶粒縫合，其中緊密隔開的晶粒經由載體電連接，具有減小之延遲及低電損耗。在一些具體實例中，邊緣排除距離與間距之比值在10與50之間。在一些具體實例中，邊緣排除距離與間距之比值小於50、小於15、小於10、小於5或小於2。在一些具體實例中，邊緣排除307之寬度與鄰近於晶粒之邊緣的鄰近導電特徵311之間距相當或小於該間距。

【0023】 圖4A至圖4H展示接合結構之各種具體實例。如圖4A中所見，接合結構417可包括載體418，其包括第一導電觸點419及第二導電觸點420。在一些具體實例中，載體418可為基板（例如，晶圓、封裝、平板或包含重佈線層之暫時基板）或晶粒。在一些具體實例中，載體418可包含接合層409（如圖4K中所見）。接合層可包含具有至少部分地嵌入之導電接觸特徵之介電材料。在一些具體實例中，第一導電觸點419及第二導電觸點420可電連接（如在圖4K中所見）。接合結構417可包括第一單體化元件421，其包括在無黏著劑之情況下直接接合至第一導電觸點419之第三導電觸點422。接合結構亦可包括第二單體化元件423，其包括在無黏著劑之情況下直接接合至第二導電觸點420之第四導電觸點424。在一些具體實例中，接合元件421或423（或兩者）可包含單體化封裝。單體化封裝可包含至少部分地嵌入於包封材料中之一或多個晶粒。在一些具體實例中，導電觸點由導電材料製成。在一些具體實例中，導電材料包含金、銀、鋦、銅或鎳或其各種合金。在一些具體實例中，導電材料為銅。第一單體化元件421之外邊緣438與第三導電觸點422之間的邊緣排除距離407可小於100 μm，例如不超過50 μm或不超過10 μm（例如，在1 μm至100 μm之範圍內）。在一些具體實例中，第一及第二單體化元件包含大小為10 mm × 10 mm或更小之晶粒。

【0024】 如圖4B中所見，第一單體化元件421可包含厚度427及橫向寬度428。在一些具體實例中，第一單體化元件421具有不超過約8 mm、不超過約6

mm、不超過約4 mm、不超過約3 mm或不超過約2 mm之最大橫向寬度428。第二單體化元件423可包含厚度429及寬度430。在一些具體實例中，第二單體化元件423具有不超過約8 mm、不超過約6 mm、不超過約4 mm、不超過約3 mm或不超過約2 mm之最大橫向寬度430。第一導電觸點419及第二導電觸點420可間隔開不超過250微米之觸點間距425。在各種具體實例中，觸點間距425不超過200微米、不超過100微米、不超過50微米、不超過10微米、不超過5微米或不超過2微米。舉例而言，在各種具體實例中，觸點間距425可在1微米至250微米之範圍內，或在1微米至100微米之範圍內，或在1微米至20微米之範圍內。在一些具體實例中，觸點間距425在第一單體化元件421之厚度427的0.4倍與8倍之間。在一些具體實例中，觸點間距425不超過第一單體化元件421之厚度427。在一些具體實例中，觸點間距425在第二單體化元件423之厚度429的0.4倍與8倍之間。在一些具體實例中，觸點間距425不超過第二單體化元件423之厚度429。在一些具體實例中，第一單體化元件421及第二單體化元件423可間隔開約5 μm（微米）至約60 μm，例如小於約25 μm之元件間距426。在一些具體實例中，元件間距426可不超過60 μm、不超過20 μm、不超過10 μm、不超過9 μm、不超過8 μm或不超過5 μm。在一些具體實例中，元件間距426可在1 μm至25 μm之範圍內、在1 μm至15 μm之範圍內、在1 μm至10 μm之範圍內、在1 μm至8 μm之範圍內或在1 μm至5 μm之範圍內。在一些具體實例中，第一單體化元件421之最大橫向寬度428與邊緣排除距離407之比值在100與10之間，或小於50、小於10或小於5或小於2。在一些具體實例中，第二單體化元件423之最大橫向寬度430與邊緣排除距離407之比值在100與10之間，或小於50、小於10或小於5或小於2。在一些具體實例中，元件間距426可與邊緣排除距離407相當或小於該邊緣排除距離。

【0025】 如圖4C中所見，第一單體化元件421之寬度428可長於第二單體化元件423之寬度430。如圖4D中所見，第一單體化元件421之厚度427可長於第

二單體化元件423之厚度429。在各種具體實例中，如圖4B中所展示，觸點間距425可不超過第一單體化元件421及第二單體化元件423中之至少一者之厚度（427或429）的八倍，或可不超過第一單體化元件421及第二單體化元件423中之至少一者之厚度（427或429）的兩倍，或可不超過第一單體化元件421及第二單體化元件423中之至少一者之厚度（427或429），或可不超過第一單體化元件421及第二單體化元件423中之至少一者之厚度（427或429）的0.4倍，或可不超過穿過元件之厚度的基板穿孔（through substrate via；TSV）之高度。

【0026】 在所說明之具體實例中，第三導電觸點422可包含電連接至第一單體化元件421之電路系統的電主動觸點。舉例而言，第三導電觸點422可連接至信號線、電源線或電接地。在本文中所描述之任一具體實例中，導電觸點中之任一者均可連接至信號線、電源線或電接地。在各種具體實例中，第一單體化元件421及第二單體化元件423中之至少一者包含具有主動電路系統之積體裝置晶粒。在各種具體實例中，晶粒上之橫向最外襯墊可包含與虛設襯墊相對的連接至信號、電源或接地的主動襯墊。在一些具體實例中，如圖4E中所展示，例如，第一單體化元件421包含具有主動電路系統之積體裝置晶粒，且第二單體化元件423包含被動組件432。如本文中所解釋，第一及第二單體化元件中之至少一者使用用於清潔晶粒邊緣及使晶粒邊緣尖銳之反應離子蝕刻（RIE）技術來全部或部分地單體化。

【0027】 如所提及，元件（晶粒、電組件）之間且更特定言之鄰近元件之主動觸點之間的更近間距的優點可適用於任何大小之元件。在一些具體實例中，相對較小元件（小晶片、組件裝置）緊密地橫向間隔開且接合至共同載體，其中上覆元件中之至少一者具有不超過約8 mm、不超過約6 mm、不超過約4 mm、不超過約3 mm或不超過約2 mm之最大橫向寬度，但本文中所教示之原理及優點決不限於此類小元件。在各種具體實例中，第一單體化元件421之外邊緣438與第三

導電觸點422之間的邊緣排除距離407可小於100 μm，例如不超過50 μm或不超過10 μm（例如，在1 μm至100 μm之範圍內）。在一些具體實例中，最大橫向寬度與邊緣排除距離之比值在10與100之間。在一些具體實例中，最大橫向寬度與邊緣排除距離之比值可小於100、小於50、小於25、小於10、小於5或小於2。

【0028】 在一些具體實例中，如圖4F之俯視平面圖中所展示，接合結構417可包括載體418及在無黏著劑之情況下直接接合至載體418的第一元件433。如圖4F中所展示，第一元件433可包括切口區434。第二單體化元件423可在無黏著劑之情況下直接接合至載體418。第二單體化元件423可至少部分地橫向安置於第一元件433之切口區434內。切口區434之使用可實現具有不同形狀且緊密接近鄰近晶粒之較小晶粒、小晶片或組件（例如，被動組件，諸如電感器、電容器、電阻器）的接合。在一些具體實例中，第三單體化元件（圖中未示）可在無黏著劑之情況下直接接合至載體418，其中第二單體化元件423安置於第一元件433與第三單體化元件（圖中未示）之間。

【0029】 在一些具體實例中，如圖4G中所展示，第三單體化元件435可直接接合至第二單體化元件423。在一些具體實例中，第三單體化元件435在無黏著劑之情況下直接接合至第二單體化元件423。導電通孔或TSV 431可延伸穿過第二單體化元件423以連接至第三單體化元件435。在圖4G中，鄰近元件之最靠近主動晶粒之間的觸點間距425可不超過導電通孔431之長度（或高度）的約四倍（4×）。在其他具體實例中，觸點間距425可小於導電通孔431之長度的約2×或小於約1×。如將理解，導電穿孔（TSV）431之長度典型地約等於元件之厚度429。在一些具體實例中，通孔431可包含熱通孔、被動通孔或元件，且通孔（TSV）431之長度可小於元件之厚度429。

【0030】 在一些具體實例中，如圖4H中所見，第三單體化元件435可直接接合至第一單體化元件421及第二單體化元件423。在一些具體實例中，第三單體

化元件435在無黏著劑之情況下直接接合至第一單體化元件421及第二單體化元件423。在一些具體實例中，第三單體化元件435可包含單體化封裝。單體化封裝可包含至少部分地嵌入於包封材料中之一或多個嵌入式晶粒。在一些具體實例中，第三單體化元件435可包含具有重佈線層之單體化被動元件。重佈線層之平面表面可經製備以用於混合接合。在一些具體實例中，第三單體化元件435可包含具有重佈線層之單體化介電元件。導電通孔431可延伸穿過第一單體化元件421及第二單體化元件423以連接至第三單體化元件435。第三單體化元件435有效地充當連接第一單體化元件421及第二單體化元件423（及/或連接至底層載體418）之橋。在一些具體實例中，在第三單體化元件435接合至第一單體化元件421及第二單體化元件423（如圖4H中所見）之前或在第三單體化元件435接合至第二單體化元件423（如圖4G中所見）之前，介電材料層439（如下文結合圖4I及圖4J所描述）可沈積於第一單體化元件421、第二單體化元件423及載體418上。在一些具體實例中，介電材料層439可在第三單體化元件435與其接合至之元件之間形成接合層409。在一些具體實例中，接合層409可包含具有至少部分地嵌入之導電接觸特徵（諸如觸點419、420）之介電材料。

【0031】 在一些具體實例中，如圖4I至圖4J-2中所見，介電層439可沈積於接合結構417上方。如圖4I中所見，介電材料439之保形塗層沈積於接合結構417上。在一些具體實例中，介電層439可覆蓋載體418、第一單體化元件421及第二單體化元件423。另外，介電層439可置放於接合結構417上方，使得少量440之介電材料439安置於第一單體化元件421與第二單體化元件423之間的間隙441內。在一些具體實例中，如圖4I中所見，少量440之介電質439僅延伸至間隙441中一小段距離。在一些具體實例中，如圖4J中所見，介電層439可沈積於接合結構417上，使得第一單體化元件421與第二單體化元件423之間的間隙441用介電層439完全填充（或大部分填充）。在一些具體實例中，如圖4J-2中所見，介電層439可

沈積於載體418上，使得載體418上之介電層439具有約單體化元件中之一者之厚度的厚度。在所說明之具體實例中，介電層439經說明為在單體化元件421、423上方延伸。在其他具體實例中，介電層439可經平坦化（例如，使用CMP製程），使得介電層439之頂部與元件421、423實質上齊平。在圖4I至圖4J-2之具體實例中，介電層439可經製備以用於混合接合，且額外元件可直接接合至介電層439。在一些具體實例中，導電觸點可形成於介電層439中，且上表面可經製備以用於直接混合接合。一或多個額外元件可直接混合接合至包括介電層439之混合接合層。因此，在各種具體實例中，元件421、423（諸如圖4J-2中所展示之彼等元件）可形成於經重建元件或晶圓中，且額外元件可直接接合至經重建元件或晶圓。介電層439可包含無機介電材料（諸如氧化矽、氮化矽、氧碳氮化矽等）以保護晶粒及/或載體。在其他具體實例中，介電層439可包含有機介電材料（諸如模製材料）。在各種具體實例中，介電層439可包含多層。

【0032】 在一些具體實例中，如圖4K中所見，載體418可包含接合層409。在一些具體實例中，接合層409可包含具有至少部分地嵌入之導電接觸特徵（諸如觸點419、420）之介電材料。儘管未單獨展示，但晶粒421、423亦可包括觸點422、424至少部分地嵌入於其中之非導電或介電質接合層。在一些具體實例中，第一導電觸點419及第二導電觸點420可經由連接器442電連接，諸如至少部分嵌入(例如，完全嵌入)於接合層409中之導電跡線。在一些具體實例中，連接器442可類似於如上文結合其他具體實例所描述之導電穿孔（TSV）而組態。

【0033】 本文中所描述之任一具體實例可併有本文中所描述之任一其他具體實例的特徵。舉例而言，如圖4A中所見之具體實例可進一步包含如圖4K中所見之連接器442。

【0034】 在具體實例中，接合結構可包括：第一單體化元件，其包含第一導電觸點；及載體，其包含第二導電觸點。第一導電觸點與第二導電觸點可在無

中介黏著劑之情況下彼此直接接合。第一導電觸點可與第一單體化元件之外邊緣間隔開不超過100 μm之邊緣排除距離。第一導電觸點可包含電連接至第一單體化元件之電路系統的電主動觸點。在各種具體實例中，邊緣排除距離可不超過50 μm或不超過10 μm。舉例而言，邊緣排除距離可在1 μm至100 μm之範圍內。

【0035】 在具體實例中，接合結構可包括具有以一間距隔開之第一複數個導電觸點的第一單體化元件。第一複數個導電觸點可包括最靠近第一單體化元件之外側邊緣的至少一個外導電觸點。至少一個外導電觸點可與外側邊緣間隔開邊緣排除距離，且可包含電連接至第一單體化元件之電路系統的電主動觸點。接合結構可包括載體，其包含在無中介黏著劑之情況下直接接合至第一複數個導電觸點的第二複數個導電觸點。

【0036】 在一些具體實例中，邊緣排除距離與至少一個元件之接觸襯墊之間的間距之比值可小於15:1。在一些具體實例中，邊緣排除距離與鄰近於排除區帶之襯墊群組之間距的比值可小於10:1、小於5:1或小於2:1。在一些具體實例中，第一單體化元件之最大橫向寬度與邊緣排除距離之比值可大於15:1、大於10:1、大於5:1或大於2:1。

【0037】 在各種具體實例中，接合結構可包括：載體，其具有包括第一非導電區及第一複數個導電觸點之第一接合表面；及單體化裝置晶粒，其具有包括第二非導電區及第二複數個導電觸點之第二接合表面。第二非導電區可在無黏著劑之情況下直接接合至載體之第一非導電區，且第二複數個導電觸點可在無黏著劑之情況下直接接合至第一複數個導電觸點。單體化裝置晶粒可包括相對於第二接合表面非平行延伸之經蝕刻外側邊緣，且第二複數個導電觸點可包括最靠近外側邊緣之至少一個外導電觸點。至少一個外導電觸點可包含電連接至單體化裝置晶粒之電路系統的電主動觸點。

【0038】 在一些具體實例中，積體裝置晶粒可包括：主動電路系統；接合

表面，其經組態以用於直接混合接合至另一元件；及外邊緣，其相對於接合表面非平行地延伸。第一導電觸點可與外邊緣間隔開不超過100 μm之邊緣排除距離。第一導電觸點可包含電連接至主動電路系統之電主動觸點。在一些具體實例中，邊緣排除距離不超過50 μm。在一些具體實例中，第一導電觸點電連接至信號線、電源線或電接地。在一些具體實例中，一或多個虛設襯墊可安置於晶粒之第一主動導電觸點與外邊緣之間的排除區帶中。在一些配置中，虛設襯墊可具有比第一主動導電觸點更小的最大橫向尺寸。

【0039】 在以上具體實例中之任一者中，單體化元件中之任一者可包括相對於單體化晶粒之接合表面非平行地延伸之經蝕刻外側。在一些具體實例中，經蝕刻外側垂直於單體化晶粒之接合表面延伸。在一些具體實例中，經蝕刻外側相對於單體化晶粒之接合表面以85°至90º之角度延伸。

【0040】 在各種具體實例中，接合結構可包括：載體，其包括第一導電觸點及第二導電觸點；第一單體化元件，其包括在無黏著劑之情況下直接接合至第一導電觸點之第三導電觸點；及第二單體化元件，其包括在無黏著劑之情況下直接接合至第二導電觸點之第四導電觸點。在一些具體實例中，第一及第二導電觸點間隔開不超過250微米之觸點間距。

【0041】 在一些具體實例中，第一及第二單體化元件間隔開不超過10微米之元件間距。在一些具體實例中，第一及第二導電觸點間隔開觸點間距，該觸點間距在第一及第二單體化元件中之至少一者之厚度的約0.4倍與8倍之間。在一些具體實例中，接合結構可包括直接混合接合之載體以及第一及第二單體化元件。在另一具體實例中，觸點間距小於第一及第二單體化元件中之至少一者之厚度的約2倍。在一個具體實例中，第一及第二單體化元件包括在無黏著劑之情況下直接接合至載體之對應非導電區的各別非導電區。在一些具體實例中，觸點間距不超過200微米。在一些具體實例中，觸點間距不超過100微米。在一些具體實例

中，觸點間距不超過50微米。在一些具體實例中，觸點間距不超過10微米。在一些具體實例中，觸點間距不超過5微米。

【0042】 在一些具體實例中，觸點間距不超過2微米。在一些具體實例中，觸點間距在1微米至250微米之範圍內。在一些具體實例中，觸點間距在1微米至100微米之範圍內。在一些具體實例中，觸點間距在1微米至20微米之範圍內。在一些具體實例中，元件間距不超過20微米。在一些具體實例中，元件間距不超過10微米。在一些具體實例中，觸點間距不超過第一及第二單體化元件中之至少一者的厚度。

【0043】 在各種具體實例中，接合結構可包括：載體，其包括第一導電觸點及第二導電觸點；第一單體化元件，其包括在無黏著劑之情況下直接接合至第一導電觸點之第三導電觸點；及第二單體化元件，其包括在無黏著劑之情況下直接接合至第二導電觸點之第四導電觸點。在一些具體實例中，第三導電觸點包含電連接至第一單體化元件之電路系統的電主動觸點。在一些具體實例中，第三導電觸點連接至信號線、電源線或電接地。在一些具體實例中，第一及第二單體化元件中之至少一者包含具有主動電路系統之積體裝置晶粒。在一些具體實例中，第一單體化元件包含具有主動電路系統之積體裝置晶粒，且第二單體化元件包含被動組件。在一些具體實例中，第一及第二單體化元件中之至少一者藉由反應離子蝕刻（RIE）製程來單體化。在一些具體實例中，第一單體化元件及第二單體化元件中之至少一者之最大橫向寬度不超過4 mm。在一些具體實例中，第一及第二單體化元件中之至少一者的最大橫向寬度不超過2 mm。在一些具體實例中，第一單體化元件之外邊緣與第三導電觸點之間的邊緣排除距離小於100微米。在一些具體實例中，邊緣排除距離不超過50微米。在一些具體實例中，邊緣排除距離不超過10微米。在一些具體實例中，邊緣排除距離在1微米至100微米之範圍內。

【0044】 在各種具體實例中，接合結構可包括：載體；第一元件，其在無黏著劑之情況下直接接合至載體，第一元件包括切口區；及第二單體化元件，其在無黏著劑之情況下直接接合至載體，第二單體化元件至少部分地橫向安置於第一元件之切口區內。在一些具體實例中，接合結構進一步包含在無黏著劑之情況下直接接合至載體之第三單體化元件，第二單體化元件安置於第一元件與第三單體化元件之間。在一些具體實例中，第三元件直接接合至第二單體化元件。在一些具體實例中，接合結構包含穿過第二單體化元件以連接至第三元件之導電通孔。在一些具體實例中，觸點間距不超過導電通孔之長度。

【0045】 在各種具體實例中，接合結構可包括：第一單體化元件，其包含第一導電觸點；及載體，其包含第二接觸襯墊。在一些具體實例中，第一導電觸點及第二導電觸點在無中介黏著劑之情況下彼此直接接合。第一導電觸點可與第一單體化元件之外邊緣間隔開不超過200微米之邊緣排除距離。在一些具體實例中，第一導電觸點包含電連接至第一單體化元件之電路系統的電主動觸點。在一些具體實例中，邊緣排除距離在約10微米與100微米之間。

【0046】 在各種具體實例中，接合結構可包括具有以一間距隔開之第一複數個導電觸點的第一單體化元件。第一複數個導電觸點可包括最靠近第一單體化元件之外側邊緣的至少一個外導電觸點。在一些具體實例中，至少一個外導電觸點與外側邊緣間隔開邊緣排除距離且包含電連接至第一單體化元件之電路系統及載體的電主動觸點，該載體包含在無中介黏著劑之情況下直接接合至第一複數個導電觸點的第二複數個導電觸點。在一些具體實例中，邊緣排除距離與間距之比值在約10:1與50:1之間。在一些具體實例中，邊緣排除距離與間距之比值小於約15:1。

【0047】 在另一具體實例中，接合結構可包括第一單體化元件，其具有最大橫向寬度且包括第一複數個導電觸點。在一些具體實例中，第一複數個導電觸

點包括最靠近第一單體化元件之外側邊緣的至少一個外導電觸點。在一些具體實例中，至少一個外導電觸點與外側邊緣隔開邊緣排除距離且包含電連接至第一單體化元件之電路系統的電主動觸點。在一些具體實例中，接合結構可包括載體，其包含在無中介黏著劑之情況下直接接合至第一複數個導電觸點的第二複數個導電觸點。在一些具體實例中，最大橫向寬度與邊緣排除距離之比值在約10:1與100:1之間。在一些具體實例中，最大橫向寬度與排除距離之比值小於約50:1。

【0048】 在另一具體實例中，接合結構可包括載體，其具有包括第一非導電區及第一複數個導電觸點之第一接合表面。在一些具體實例中，接合結構包括單體化裝置晶粒，其具有包括第二非導電區及第二複數個導電觸點之第二接合表面。在一些具體實例中，第二非導電區在無黏著劑之情況下直接接合至載體之第一非導電區，且第二複數個導電觸點在無黏著劑之情況下直接接合至第一複數個導電觸點。在一些具體實例中，單體化裝置晶粒包括相對於第二接合表面非平行延伸之經蝕刻外側邊緣，且第二複數個導電觸點包括最靠近外側邊緣之至少五個外導電觸點，至少五個外導電觸點包含電連接至單體化裝置晶粒之電路系統的電主動觸點。在一些具體實例中，邊緣排除距離不超過50微米。在一些具體實例中，邊緣排除距離不超過10微米。在一些具體實例中，其中邊緣排除距離在1微米至100微米之範圍內。在一些具體實例中，邊緣排除距離與間距之比值小於10。在一些具體實例中，邊緣排除距離與間距之比值小於5。在一些具體實例中，邊緣排除距離與間距之比值小於2。在一些具體實例中，最大橫向寬度與邊緣排除距離之比值小於10。在一些具體實例中，最大橫向寬度與邊緣排除距離之比值小於5。在一些具體實例中，最大橫向寬度與邊緣排除距離之比值小於2。在一些具體實例中，至少一個外導電觸點電連接至信號線、電源線或電接地。

【0049】 在各種具體實例中，積體裝置晶粒可包括：主動電路系統；接合

表面，其經組態以用於直接混合接合至另一元件；外邊緣，其相對於接合表面非平行地延伸；及第一導電觸點，其與外邊緣間隔開不超過100微米之邊緣排除距離。在一些具體實例中，第一導電觸點包含電連接至主動電路系統之電主動觸點。在一些具體實例中，邊緣排除距離不超過50微米。在一些具體實例中，第一導電觸點電連接至信號線、電源線或電接地。積體包含安置於晶粒之第一導電觸點與外邊緣之間的虛設非主動觸點。

【0050】 在各種具體實例中，積體裝置晶粒可包括：主動電路系統；接合表面，其經組態以用於直接混合接合至另一元件；外邊緣，其相對於接合表面非平行地延伸；及第一導電觸點，其與外邊緣間隔開不超過100微米之邊緣排除距離。在一些具體實例中，第一導電觸點包含電連接至主動電路系統之電主動觸點。在一些具體實例中，邊緣排除距離不超過50微米。在一些具體實例中，第一導電觸點電連接至信號線、電源線或電接地。積體包含安置於晶粒之第一導電觸點與外邊緣之間的虛設非主動觸點。

【0051】 在各種具體實例中，用於將晶粒單體化之方法包括：使基板平坦化，其中基板包含複數個導電觸點；將保護層塗覆於基板上；將基板上之保護層圖案化；將基板轉移至切割框架；及經由蝕刻製程將基板單體化成複數個單體化元件。在一些具體實例中，蝕刻製程包含乾式蝕刻製程、濕式蝕刻製程或精細切割刀片。在一些具體實例中，乾式蝕刻製程為反應離子蝕刻。在一些具體實例中，將基板單體化經由蝕刻製程之組合來實現。

【0052】 在各種具體實例中，用於將晶粒單體化之方法可進一步包含：從基板移除保護層；用處理方法處理基板；及製備用於直接接合至另一元件之基板。在一些具體實例中，處理方法包含灰化、表面活化或氮電漿處理。在一些具體實例中，製備用於直接接合之基板進一步包含對基板進行清潔、沖洗及乾燥。

【0053】 在各種具體實例中，用於產生接合結構之方法可包括：將第一及

第二元件單體化，其中第一及第二元件包含不超過100微米之邊緣排除距離；及將第一及第二單體化元件接合至載體，其中第一單體化元件與第二單體化元件之間的距離不超過10微米。在一些具體實例中，將第一及第二單體化元件接合至載體包含在不使用黏著劑之情況下將第一及第二單體化元件直接接合至載體。在一些具體實例中，將第一及第二元件單體化包含使用反應離子蝕刻將第一及第二元件單體化。

【0054】 所屬技術領域中具有通常知識者應瞭解，可在不限制之情況下藉由美國臨時申請案第63/313,639號中所提供之額外揭示內容通知以上參考具體實例之特徵，該申請案之全部內容以全文引用之方式且出於所有目的併入本文中。

直接接合方法及直接接合結構之範例

【0055】 本文中所揭示之各種具體實例關於兩個或更多個元件可在無中介黏著劑之情況下彼此直接接合的直接接合結構。圖5A及圖5B示意性地說明根據一些具體實例之用於在無中介黏著劑之情況下形成直接混合接合結構的方法。在圖5A及圖5B中，接合結構517包含兩個元件543及544，其可在無中介黏著劑之情況下在接合界面545處彼此直接接合。兩個或更多個微電子元件543及544（諸如半導體元件，包括例如積體裝置晶粒、晶圓、被動裝置、諸如電源開關之個別主動裝置等）可堆疊於彼此上或彼此接合以形成接合結構517。第一元件543之導電特徵546a（例如，接觸襯墊、跡線、穿過基板電極之通孔的經暴露末端，或通孔）可電連接至第二元件544之對應導電特徵546b。任何合適數目個元件可堆疊於接合結構517中。舉例而言，第三元件（圖中未示）可堆疊於第二元件544上，第四元件（圖中未示）可堆疊於第三元件上等。另外或替代地，一或多個額外元件（圖中未示）可沿著第一元件543鄰近於彼此橫向地堆疊。在一些具體實例中，橫向堆疊之額外元件可小於第二元件。在一些具體實例中，橫向堆疊之額

外元件可比第二元件小兩倍。

【0056】 在一些具體實例中，元件543及544在無黏著劑之情況下彼此直接結合。在各種具體實例中，包括非導電或介電材料之非導電場區可充當第一元件543之第一接合層509a，該第一接合層可在無黏著劑之情況下直接接合至對應非導電場區，該對應非導電場區包括充當第二元件104之第二接合層509b的非導電或介電材料。非導電接合層509a及509b可安置於裝置部分548a及548b之各別正面547a及547b上，該等裝置部分為諸如元件543、544之半導體（例如，矽）部分或此等半導體部分上方之後段製程（back-end-of-line；BEOL）互連層。主動裝置及/或電路系統可經圖案化及/或以其他方式安置於裝置部分548a及548b中或上。主動裝置及/或電路系統可安置於裝置部分548a及548b之正面547a及547b處或附近，及/或裝置部分548a及548b之相對背面549a及549b處或附近。接合層可設置於元件之正面及/或背面上。非導電材料可稱為第一元件543之非導電接合區或接合層509a。在一些具體實例中，第一元件543之非導電接合層509a可使用介電質-介電質接合技術直接接合至第二元件544之對應非導電接合層509b。舉例而言，可使用至少在美國專利第9,564,414號、第9,391,143號及第10,434,749號中所揭示之直接接合技術在無黏著劑之情況下形成非導電接合或介電質-介電質接合，該等專利中之各者之全部內容以全文引用之方式且出於所有目的併入本文中。應瞭解，在各種具體實例中，接合層509a及/或509b可包含非導電材料，諸如介電材料（諸如氧化矽）或未摻雜半導體材料（諸如未摻雜矽）。用於直接接合之合適的介電質接合表面或材料包括但不限於包括矽之無機介電質，諸如氧化矽或氮氧化矽，或可包括碳，諸如碳化矽、氧碳氮化矽、低K介電材料、SICOH介電質、碳氮化矽或類金剛石碳或包含金剛石表面之材料。儘管包括碳，但此類含碳陶瓷材料可被視為無機的。在一些具體實例中，介電材料不包含諸如環氧樹脂、樹脂或模製材料之聚合物材料。

【0057】 在一些具體實例中，裝置部分548a及548b可具有界定非均質結構之顯著不同的熱膨脹係數（coefficient of thermal expansion；CTE）。裝置部分548a與548b之間的CTE差且特定言之裝置部分548a、548b之塊狀半導體（典型地，單晶部分）之間的CTE差可大於5 ppm或大於10 ppm。舉例而言，裝置部分548a及548b之間的CTE差可在5 ppm至100 ppm、5 ppm至40 ppm、10 ppm至100 ppm或10 ppm至40 ppm之範圍內。在一些具體實例中，裝置部分548a及548b中之一者可包含適用於光學壓電或熱電應用之光電單晶材料，包括鈣鈦礦材料，且裝置部分548a、548b中之另一者包含更習知的基板材料。舉例而言，裝置部分548a、548b中之一者包含鉭酸鋰（$LiTaO_3$）或鈮酸鋰（$LiNbO_3$），且裝置部分548a、548b中之另一者包含矽（Si）、石英、熔融矽石玻璃、藍寶石或玻璃。在其他具體實例中，裝置部分548a及548b中之一者包含第III-V族單半導體材料，諸如砷化鎵（GaAs）或氮化鎵（GaN），且裝置部分548a及548b中之另一者可包含非第III-V族半導體材料，諸如矽（Si），或可包含具有類似CTE之其他材料，諸如石英、熔融矽石玻璃、藍寶石或玻璃。

【0058】 在各種具體實例中，可在無中介黏著劑之情況下形成直接混合接合。舉例而言，非導電接合表面550a及550b可經研磨至高平滑度。非導電接合表面550a及550b可使用例如化學機械研磨（CMP）來研磨。經研磨接合表面550a及550b之粗糙度可小於30 Å rms。舉例而言，接合表面550a及550b之粗糙度可在約0.1 Å rms至15 Å rms、0.5 Å rms至10 Å rms或1 Å rms至5 Å rms之範圍內。接合表面550a及550b可經清潔且暴露於電漿及/或蝕刻劑以活化表面550a及550b。在一些具體實例中，表面550a及550b可在活化之後或在活化期間（例如，在電漿及/或蝕刻製程期間）用物質終止。在不受理論限制之情況下，在一些具體實例中，可執行活化製程以破壞接合表面550a及550b處之化學鍵，且終止製程可在接合表面550a及550b處提供在直接接合期間改良接合能量之額外化學物質。在一些

具體實例中，活化及終止提供於同一步驟中，例如，用以活化且終止表面550a及550b之電漿。在其他具體實例中，接合表面550a及550b可在單獨處理中終止，以提供用於直接接合之額外物質。在各種具體實例中，終止物質可包含氮。舉例而言，在一些具體實例中，接合表面550a、550b可暴露於含氮電漿。此外，在一些具體實例中，接合表面550a及550b可暴露於氟。舉例而言，在第一元件543與第二元件544之間的接合界面545處或附近可存在一或多個氟峰值。因此，在直接接合結構517中，兩個非導電材料（例如，接合層509a及509b）之間的接合界面545可包含在接合界面545處具有較高氮含量及/或氟峰值之極平滑界面。活化及/或終止處理之額外範例可見於美國專利第9,564,414號、第9,391,143號及第10,434,749號中，該等專利中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。經研磨接合表面550a及550b之粗糙度可能在活化製程之後稍微較粗糙（例如，約1 Å rms至30 Å rms、3 Å rms至20 Å rms或可能更粗糙）。

【0059】 在各種具體實例中，第一元件543之導電特徵546a亦可在無黏著劑之情況下（例如，在無介入於導電特徵546a與546b之間的焊料或其他導電黏著劑之情況下）直接接合至第二元件544之對應導電特徵546b。舉例而言，直接混合接合技術可用於提供沿著接合界面545導體-導體直接接合，該接合界面包括如上文所描述製備的共價直接接合之非導電-非導電（例如，介電質-介電質）表面。在各種具體實例中，可使用至少在美國專利第9,716,033號及第9,852,988號中所揭示之直接混合接合技術來形成導體-導體（例如，導電特徵546a至導電特徵546b）直接接合及介電質-介電質混合接合，該等專利中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。在本文中所描述之直接混合接合具體實例中，導電特徵設置於非導電接合層內，且導電特徵及非導電特徵兩者經製備以用於直接接合，諸如藉由上文所描述之平坦化、活化及/或終止處理。因此，經製備以用於直接混合接合之接合表面包括導電特徵及非導電特徵兩者。

【0060】 舉例而言，非導電（例如，介電質）接合表面550a、550b（例如，無機介電質表面）可在無如上文所解釋之中介黏著劑之情況下製備且彼此直接接合。導電接觸特徵（例如，可至少部分地由接合層509a、509b內之非導電介電場區環繞的導電特徵546a及546b）亦可在無中介黏著劑之情況下彼此直接接合。在各種具體實例中，導電特徵546a、546b可包含至少部分地嵌入於非導電場區中之離散襯墊或跡線。在一些具體實例中，導電接觸特徵可包含基板穿孔（例如，矽穿孔（through silicon via；TSV））之經暴露接觸表面。在一些具體實例中，各別導電特徵546a及546b可凹陷於介電場區或非導電接合層509a及509b之外部（例如，上部）表面（非導電接合表面550a及550b）下方，例如凹陷小於30 nm、小於20 nm、小於15 nm或小於10 nm，例如凹陷於2 nm至20 nm之範圍內或4 nm至10 nm之範圍內。凹部可在安置導電特徵546a、546b之空腔的中間或中心處或附近，且另外或替代地，可沿著其中安置有導電特徵546a、546b之空腔的側面延伸或安置。在各種具體實例中，在直接接合之前，相對元件中之凹部可經設定大小以使得相對接觸襯墊之間的總間隙小於15 nm或小於10 nm。在一些具體實例中，非導電接合層509a及509b可在室溫下在無黏著劑之情況下彼此直接接合，且隨後可使接合結構517退火。在退火之後，導電特徵546a及546b可膨脹且彼此接觸以形成金屬-金屬直接接合。有利地，使用可購自San Jose, CA之Adeia之技術的直接接合互連或DBI®可使得能夠跨越直接接合界面545連接高密度導電特徵546a及546b（例如，規則陣列之小或精細間距）。在一些具體實例中，諸如嵌入於接合元件中之一者之接合表面中的導電跡線之導電特徵546a及546b之間距可小於100微米或小於10微米或甚至小於2微米。對於一些應用，導電特徵546a及546b之間距與接合襯墊之尺寸中之一者（例如，直徑）的比值小於20、或小於10、或小於5、或小於3且有時理想地小於2。在其他應用中，嵌入於結合元件中之一者之結合表面中的導電跡線之寬度可在0.3微米至20微米之間的範圍內，例如，

在0.3微米至3微米之範圍內。在各種具體實例中，導電特徵546a及546b及/或跡線可包含銅或銅合金，但其他金屬可為合適的。舉例而言，本文中所揭示之導電特徵，諸如導電特徵546a及546b，可包含細粒金屬（例如細粒銅）。

【0061】 因此，在直接接合製程中，第一元件543可在無中介黏著劑之情況下直接接合至第二元件544。在一些配置中，第一元件543可包含單體化元件，諸如單體化積體裝置晶粒。在其他配置中，第一元件543可包含載體或基板（例如，晶圓），該載體或基板包括在單體化時形成複數個積體裝置晶粒之複數個（例如，數十、數百或更多個）裝置區。類似地，第二元件544可包含單體化元件，諸如單體化積體裝置晶粒。在其他配置中，第二元件104可包含載體或基板（例如，晶圓）。本文中所揭示之具體實例可因此應用於晶圓-晶圓（wafer-to-wafer；W2W）、晶粒-晶粒（die-to-die；D2D）或晶粒-晶圓（die-to-wafer；D2W）接合製程。在W2W製程中，兩個或更多個晶圓可彼此直接接合（例如，直接混合接合）且使用合適之單體化製程進行單體化。在單體化之後，單體化結構之側邊緣（例如，兩個接合元件之側邊緣）可實質上齊平且可包括指示用於接合結構之通用單體化製程之標記（例如，若使用鋸切單體化製程，則為鋸切標記）。

【0062】 如本文中所解釋，第一元件543及第二元件544可在無黏著劑之情況下彼此直接接合，此不同於沈積製程且產生與沈積相比結構上不同的界面。在一個應用中，接合結構中之第一元件543之寬度類似於第二元件544之寬度。在一些其他具體實例中，接合結構517中之第一元件543之寬度不同於第二元件544之寬度。類似地，接合結構中之較大元件之寬度或面積可比較小元件之寬度或面積大至少10%。第一元件543及第二元件544可因此包含非沈積元件。此外，不同於沈積層，直接接合結構517可包括沿著接合界面545之缺陷區，其中存在奈米尺度空隙（奈米空隙）。奈米孔可歸因於接合表面550a及550b之活化(例如，暴露於電漿)而形成。如上文所解釋，接合界面545可包括來自活化及/或最後化學處理製

程之材料的濃度。舉例而言，在利用氮電漿進行活化之具體實例中，氮峰值可形成於接合界面545處。氮峰值可以可使用次級離子質譜分析（secondary ion mass spectroscopy；SIMS）技術進行偵測。在各種具體實例中，例如，氮終止處理（例如，使接合表面暴露於含氮電漿）可用NH2分子替換水解（OH終止）表面之OH基團，從而得到氮終止表面。在利用氧電漿進行活化之具體實例中，氧峰值可形成於接合界面545處。在一些具體實例中，接合界面545可包含氮氧化矽、氮碳氧化矽或碳氮化矽。如本文中所解釋，直接接合可包含共價接合，其強於凡得瓦力（van Der Waals）接合。接合層509a及509b亦可包含經平坦化至高平滑度之經研磨表面。

【0063】 在各種具體實例中，導電特徵546a及546b之間的金屬-金屬接合件可經結合以使得金屬晶粒跨越接合界面545生長至彼此中。在一些具體實例中，金屬為或包括銅，其可具有沿著111晶體平面定向之晶粒以用於改良跨越接合界面545之銅擴散。在一些具體實例中，導電特徵546a及546b可包括奈米孿晶銅晶粒結構，其可輔助在退火期間合併導電特徵。接合界面545可實質上完全延伸至接合導電特徵546a及546b之至少一部分，使得在接合導電特徵546a及546b處或附近之非導電接合層509a及509b之間實質上不存在間隙。在一些具體實例中，障壁層可設置於導電特徵546a及546b（例如，其可包括銅）下方及/或橫向環繞該等導電特徵。然而，在其他具體實例中，在導電特徵546a及546b下方可不存在障壁層，例如，如美國專利第11,195,748號中所描述，該專利以全文引用之方式且出於所有目的併入本文中。

【0064】 有利地，本文中所描述之混合接合技術之使用可實現鄰近導電特徵546a及546b之間的極精細間距，及/或小襯墊大小。舉例而言，在各種具體實例中，鄰近導電特徵546a（或546b）之間的間距p（亦即，來自邊緣-邊緣或中心-中心之距離，如圖5A中所展示）可在0.5微米至50微米之範圍內、在0.75微米至

25微米之範圍內、在1微米至25微米之範圍內、在1微米至10微米之範圍內或在1微米至5微米之範圍內。另外，主要橫向尺寸（例如，襯墊直徑）亦可較小，例如，在0.25微米至30微米之範圍內、在0.25微米至5微米之範圍內或在0.5微米至5微米之範圍內。

【0065】 如上文所描述，非導電接合層509a、509b可在無黏著劑之情況下彼此直接接合，且隨後可使接合結構517退火。在退火之後，導電特徵546a、546b可膨脹且彼此接觸，以形成金屬-金屬直接接合。在一些具體實例中，導電特徵546a、546b之材料可在退火製程期間相互擴散。

【0066】 除非上下文另外明確地要求，否則在整個說明書及申請專利範圍中，詞語「包含（comprise/comprising）」、「包括（include/including）」及類似者應以包括性含義解釋，而非排他性或窮盡性含義解釋；亦即以「包含但不限於」之含義來解釋。如本文中通常所使用之詞語「耦接」是指可直接連接抑或藉助於一或多個中間元件連接之兩個或更多個元件。同樣，如本文中通常所使用之詞語「連接」指代可直接連接抑或藉助於一或多個中間元件連接之兩個或更多個元件。另外，當用於本申請案中時，詞語「本文中」、「上文」、「下文」及類似意義之詞語應指本申請案整體而非本申請案之任何特定部分。此外，如本文中所使用，當第一元件描述為「在」第二元件「上」或「上方」時，第一元件可直接在第二元件上或上方，使得第一元件及第二元件直接接觸，或第一元件可間接在第二元件上或上方，使得一或多個元件在第一元件與第二元件之間介入。在上下文准許之情況下，上文實施方式中使用單數或複數數目之詞語亦可分別包括複數或單數數目。涉及兩個或更多個項目清單之詞語「或」，該詞語涵蓋所有以下該詞語之解釋：清單中之項目中之任一者、清單中之所有項目及清單中之項目之任何組合。

【0067】 此外，除非另外特定地陳述，或使用時以其他方式在上下文內理

解，否則本文中所使用之條件性語言（諸如，「能」、「可」、「可能」、「可以」、「例如」、「舉例而言」、「諸如」及類似者）大體上意欲表達某些具體實例包括而其他具體實例不包括某些特徵、元件及/或狀態。因此，此類條件性語言大體上並不意欲暗示特徵、元件及/或狀態以任何方式為一或多個具體實例所需的。

【0068】 雖然已描述某些具體實例，但此等具體實例已僅藉助於範例呈現，且並不意欲限制本揭示之範圍。實際上，可以多種其他形式體現本文中所描述之新穎設備、方法及系統；此外，在不脫離本揭示之精神的情況下，可對本文中所描述之方法及系統的形式進行各種省略、取代及改變。舉例而言，儘管按一給定配置呈現區塊，但替代具體實例可用不同組件及/或電路拓樸執行類似功能性，且一些區塊可被刪除、移動、添加、再分、組合及/或修改。此等區塊中之各者可以多種不同方式實施。上文所描述的各種具體實例之元件及動作的任何合適之組合可經組合以提供其他具體實例。隨附申請專利範圍及其等效物意欲涵蓋將屬於本揭示之範圍及精神內的此類形式或修改。

【符號說明】

【0069】

101:基板

102:切割框架

103:單體化元件

104:鋸切道

105:焊球

106:晶粒邊緣

107:邊緣排除距離

202:切割框架

203:單體化元件

207:排除距離

208:塊狀部分

209:接合層

210:非導電區

211:導電觸點

212:間距

213:保護層

214:平坦化表面/接合表面

215:凹部

303:單體化元件

307:邊緣排除距離

310:非導電區

311:導電觸點

312:間距

316:寬度

407:邊緣排除距離

409:接合層

417:接合結構

418:載體

419:第一導電觸點

420:第二導電觸點

421:第一單體化元件/晶粒

422:第三導電觸點

423:第二單體化元件/晶粒

424:第四導電觸點

425:觸點間距

426:元件間距

427:厚度

428:橫向寬度

429:厚度

430:寬度

431:導電通孔/TSV

432:被動組件

433:第一元件

434:切口區

435:第三單體化元件

438:外邊緣

439:介電材料層

440:介電材料

441:間隙

442:連接器

509a:第一接合層

509b:第二接合層

517:接合結構

543:第一元件

544:第二元件

545:接合界面

546a:導電特徵

546b:導電特徵

547a:正面

547b:正面

548a:裝置部分

548b:裝置部分

549a:背面

549b:背面

550a:接合表面

550b:接合表面

p:間距

【發明申請專利範圍】

【請求項1】一種接合結構，其包含：

載體，其包括第一導電觸點及第二導電觸點；

第一單體化元件，其包括在無黏著劑之情況下直接接合至該第一導電觸點之第三導電觸點；及

第二單體化元件，其包括在無黏著劑之情況下直接接合至該第二導電觸點之第四導電觸點，

其中該第一導電觸點及該第二導電觸點間隔開不超過250微米之觸點間距。

【請求項2】一種接合結構，其包含：

載體，其包括第一導電觸點及第二導電觸點；

第一單體化元件，其包括在無黏著劑之情況下直接接合至該第一導電觸點之第三導電觸點；及

第二單體化元件，其包括在無黏著劑之情況下直接接合至該第二導電觸點之第四導電觸點，

其中該第一單體化元件及該第二單體化元件間隔開不超過50微米之元件間距。

【請求項3】一種接合結構，其包含：

載體，其包括第一導電觸點及第二導電觸點；

第一單體化元件，其包括在無黏著劑之情況下直接接合至該第一導電觸點之第三導電觸點；及

第二單體化元件，其包括在無黏著劑之情況下直接接合至該第二導電觸點之第四導電觸點，

其中該第一導電觸點及該第二導電觸點間隔開觸點間距，該觸點間距是該第一單體化元件及該第二單體化元件中之至少一者之厚度的約0.4倍與8倍之間。

【請求項4】如請求項1至3中任一項之接合結構，其中該第一單體化元件及該第二單體化元件間隔開不超過10微米之元件間距。

【請求項5】如請求項1至3中任一項之接合結構，其中該載體與該第一單體化元件及該第二單體化元件直接混合接合。

【請求項6】如請求項3之接合結構，其中該觸點間距小於該第一單體化元件及該第二單體化元件中之至少一者之該厚度的約2倍。

【請求項7】如請求項1至3中任一項之接合結構，其中該第一單體化元件及該第二單體化元件包括在無黏著劑之情況下直接接合至該載體之對應非導電區的各別非導電區。

【請求項8】如請求項1至3中任一項之接合結構，其中該觸點間距不超過200微米。

【請求項9】如請求項1至3中任一項之接合結構，其中該觸點間距不超過100微米。

【請求項10】如請求項1至3中任一項之接合結構，其中該觸點間距不超過50微米。

【請求項11】如請求項1至3中任一項之接合結構，其中該觸點間距不超過10微米。

【請求項12】如請求項1至3中任一項之接合結構，其中該觸點間距不超過5微米。

【請求項13】如請求項1至3中任一項之接合結構，其中該觸點間距不超過2微米。

【請求項14】如請求項1至3中任一項之接合結構，其中該觸點間距在1微米至250微米之範圍內。

【請求項15】如請求項1至3中任一項之接合結構，其中該觸點間距在1微米

至100微米之範圍內。

【請求項16】如請求項1至3中任一項之接合結構，其中該觸點間距在1微米至20微米之範圍內。

【請求項17】如請求項1至3中任一項之接合結構，其中該元件間距不超過20微米。

【請求項18】如請求項1至3中任一項之接合結構，其中該元件間距不超過10微米。

【請求項19】如請求項6之接合結構，其中該觸點間距不超過該第一單體化元件及該第二單體化元件中之至少一者之該厚度。

【請求項20】如請求項1至3中任一項之接合結構，其中該第三導電觸點包含電連接至該第一單體化元件之電路系統的電主動觸點。

【請求項21】如請求項20之接合結構，其中該第三導電觸點連接至信號線、電源線或電接地。

【請求項22】如請求項1至3中任一項之接合結構，其中該第一單體化元件及該第二單體化元件中之至少一者包含具有主動電路系統之積體裝置晶粒。

【請求項23】如請求項22之接合結構，其中該第一單體化元件包含具有主動電路系統之一積體裝置晶粒，且該第二單體化元件包含被動組件。

【請求項24】如請求項1至3中任一項之接合結構，其中該第一單體化元件及該第二單體化元件中之至少一者藉由反應離子蝕刻（RIE）製程來單體化。

【請求項25】如請求項1至3中任一項之接合結構，其中該第一單體化元件及該第二單體化元件中之至少一者之最大橫向寬度不超過4 mm。

【請求項26】如請求項1至3中任一項之接合結構，其中該第一單體化元件及該第二單體化元件中之至少一者之最大橫向寬度不超過2 mm。

【請求項27】如請求項1至3中任一項之接合結構，其中該第一單體化元件之

外邊緣與該第三導電觸點之間的邊緣排除距離小於100微米。

【請求項28】如請求項27之接合結構，其中該邊緣排除距離不超過50微米。

【請求項29】如請求項28之接合結構，其中該邊緣排除距離不超過10微米。

【請求項30】如請求項27之接合結構，其中該邊緣排除距離在1微米至100微米之範圍內。

【請求項31】如請求項1至3中任一項之接合結構，其中該第二單體化元件包含至少一個導電基板穿孔（TSV）。

【請求項32】一種接合結構，其包含：

載體；

第一元件，其在無黏著劑之情況下直接接合至該載體，該第一元件包括切口區；及

第二單體化元件，其在無黏著劑之情況下直接接合至該載體，該第二單體化元件至少部分地橫向安置於該第一元件之該切口區內。

【請求項33】如請求項32之接合結構，其進一步包含在無黏著劑之情況下直接接合至該載體之第三單體化元件，該第二單體化元件安置於該第一元件與該第三單體化元件之間。

【請求項34】如請求項1至3及32中任一項之接合結構，其進一步包含直接接合至該第二單體化元件之第三元件。

【請求項35】如請求項34之接合結構，其進一步包含穿過該第二單體化元件以連接至該第三元件之導電通孔。

【請求項36】如請求項35之接合結構，其中該觸點間距不超過該導電通孔之長度。

【請求項37】一種接合結構，其包含：

第一單體化元件，其包含第一導電觸點；及

載體，其包含第二導電觸點，該第一導電觸點與該第二導電觸點在無中介黏著劑之情況下彼此直接接合，該第一導電觸點與該第一單體化元件之外邊緣間隔開不超過200微米之邊緣排除距離，該第一導電觸點包含電連接至該第一單體化元件之電路系統的電主動觸點。

【請求項38】如請求項37之接合結構，其中該邊緣排除距離在約10微米與100微米之間。

【請求項39】一種接合結構，其包含：

第一單體化元件，其具有以一間距隔開之第一複數個導電觸點，該第一複數個導電觸點包括最靠近該第一單體化元件之外側邊緣的至少一個外導電觸點，該至少一個外導電觸點與該外側邊緣隔開一邊緣排除距離且包含電連接至該第一單體化元件之電路系統的電主動觸點；及

載體，其包含在無中介黏著劑之情況下直接接合至該第一複數個導電觸點的第二複數個導電觸點，

其中該邊緣排除距離與該間距之比值在約10:1與50:1之間。

【請求項40】如請求項39之接合結構，其中該邊緣排除距離與該間距之該比值小於約15:1。

【請求項41】一種接合結構，其包含：

第一單體化元件，其具有一最大橫向寬度且包括第一複數個導電觸點，該第一複數個導電觸點包括最靠近該第一單體化元件之外側邊緣的至少一個外導電觸點，該至少一個外導電觸點與該外側邊緣隔開一邊緣排除距離且包含電連接至該第一單體化元件之電路系統的電主動觸點；及

載體，其包含在無中介黏著劑之情況下直接接合至該第一複數個導電觸點的第二複數個導電觸點，

其中該最大橫向寬度與該邊緣排除距離之一比值在約10:1與100:1之間。

【請求項42】如請求項41之接合結構，其中該最大橫向寬度與該排除距離之該比值小於約50:1。

【請求項43】一種接合結構，其包含：

載體，其具有包括第一非導電區及第一複數個導電觸點之第一接合表面；及

單體化裝置晶粒，其具有包括第二非導電區及第二複數個導電觸點之第二接合表面，該第二非導電區在無黏著劑之情況下直接接合至該載體之該第一非導電區，且該第二複數個導電觸點在無黏著劑之情況下直接接合至該第一複數個導電觸點，

其中該單體化裝置晶粒包括相對於該第二接合表面非平行延伸之經蝕刻外側邊緣，且該第二複數個導電觸點包括最靠近該外側邊緣之至少五個外導電觸點，該至少五個外導電觸點包含電連接至該單體化裝置晶粒之電路系統的電主動觸點。

【請求項44】如請求項37至43中任一項之接合結構，其中該邊緣排除距離不超過50微米。

【請求項45】如請求項44之接合結構，其中該邊緣排除距離不超過10微米。

【請求項46】如請求項37至43中任一項之接合結構，其中該邊緣排除距離在1微米至100微米之範圍內。

【請求項47】如請求項37至43中任一項之接合結構，其中該邊緣排除距離與該間距之該比值小於10。

【請求項48】如請求項47之接合結構，其中該邊緣排除距離與該間距之該比值小於5。

【請求項49】如請求項48之接合結構，其中該邊緣排除距離與該間距之該比值小於2。

【請求項50】如請求項37至43中任一項之接合結構，其中該最大橫向寬度與

該邊緣排除距離之該比值小於10。

【請求項51】如請求項50之接合結構，其中該最大橫向寬度與該邊緣排除距離之該比值小於5。

【請求項52】如請求項51之接合結構，其中該最大橫向寬度與該邊緣排除距離之該比值小於2。

【請求項53】如請求項37至43中任一項之接合結構，其中該至少一個外導電觸點電連接至信號線、電源線或電接地。

【請求項54】一種積體裝置晶粒，其包含：

主動電路系統；

接合表面，其經組態以用於直接混合接合至另一元件；

外邊緣，其相對於該接合表面非平行地延伸；及

第一導電觸點，其與該外邊緣間隔開不超過100微米之一邊緣排除距離，該第一導電觸點包含電連接至該主動電路系統之電主動觸點。

【請求項55】如請求項54之積體裝置晶粒，其中該邊緣排除距離不超過50微米。

【請求項56】如請求項54或55之積體裝置晶粒，其中該第一導電觸點電連接至信號線、電源線或電接地。

【請求項57】如請求項54之積體裝置晶粒，其進一步包含安置於該晶粒之該第一導電觸點與該外邊緣之間的虛設非主動觸點。

【請求項58】一種用於接合晶粒之方法，其包含：

使第一元件平坦化，其中該第一元件包含第一複數個導電觸點；

使第二元件平坦化，其中該第二元件包含第二複數個導電觸點；及

將該第一元件及該第二元件接合至載體，其中該第一元件之該第一複數個導電觸點中之第一最外部導電觸點與該第二複數個導電觸點中之第二最外導電

觸點間隔開不超過250微米之觸點間距。

【請求項59】如請求項58之方法，其進一步包含：

將保護層塗覆於該第一元件上；

將該第一元件上之該保護層圖案化；及

將該第一元件轉移至切割框架。

【請求項60】如請求項59之方法，其進一步包含經由蝕刻製程將該第一元件單體化成複數個單體化元件。

【請求項61】如請求項60之方法，其中該蝕刻製程包含一干式蝕刻製程及一濕式蝕刻製程中之至少一者。

【請求項62】如請求項60之方法，其中該乾式蝕刻製程為反應離子蝕刻（RIE）製程。

【請求項63】如請求項60之方法，其中將該第一元件單體化經由濕式蝕刻製程與乾式蝕刻製程之組合來實現。

【請求項64】如請求項60之方法，其進一步包含：

從該第一元件移除該保護層；

使用一處理方法來處理該第一元件；及

製備該第一元件以用於直接接合至另一元件。

【請求項65】如請求項64之方法，其中該處理方法包含表面活化。

【請求項66】如請求項64之方法，其中製備用於直接接合之該第一元件進一步包含對基板進行清潔、沖洗及乾燥。

【請求項67】一種用於產生接合結構之方法，其包含：

將第一元件及第二元件單體化，其中該第一元件及該第二元件中之各者包含不超過100微米之邊緣排除距離；及

將該第一單體化元件及該第二單體化元件接合至載體，其中該第一單體化

元件與該第二單體化元件之間的該距離不超過10微米。

【請求項68】如請求項67之方法，其中將該第一單體化元件及該第二單體化元件接合至載體包含在不使用黏著劑之情況下將該第一單體化元件及該第二單體化元件直接接合至該載體。

【請求項69】如請求項67之方法，其中將第一元件及第二元件單體化包含使用反應離子蝕刻將該第一元件及該第二元件單體化。

【請求項70】一種接合結構，其包含：

第一單體化元件，其包含第一導電觸點；及

載體，其包含第二接觸襯墊，該第一導電觸點及該第二導電觸點在無中介黏著劑之情況下彼此直接接合，該第一導電觸點與該第一單體化元件之外邊緣間隔開不超過200微米之邊緣排除距離，該第一導電觸點包含電連接至該第一單體化元件之電路系統的電主動觸點；其中該第一單體化元件及該載體中之至少一者封裝於積體裝置封裝中。

【請求項71】如請求項70之接合結構，其中該積體裝置封裝包含至少部分地嵌入於包封材料中之一或多個晶粒。

圖(發明圖式)

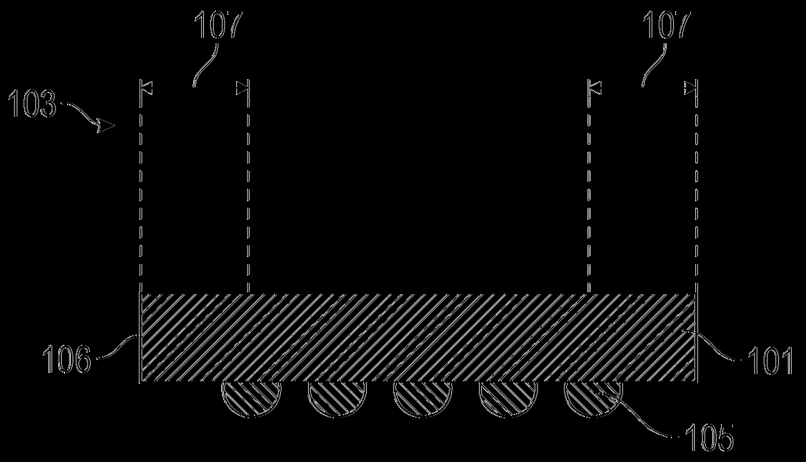


圖1C

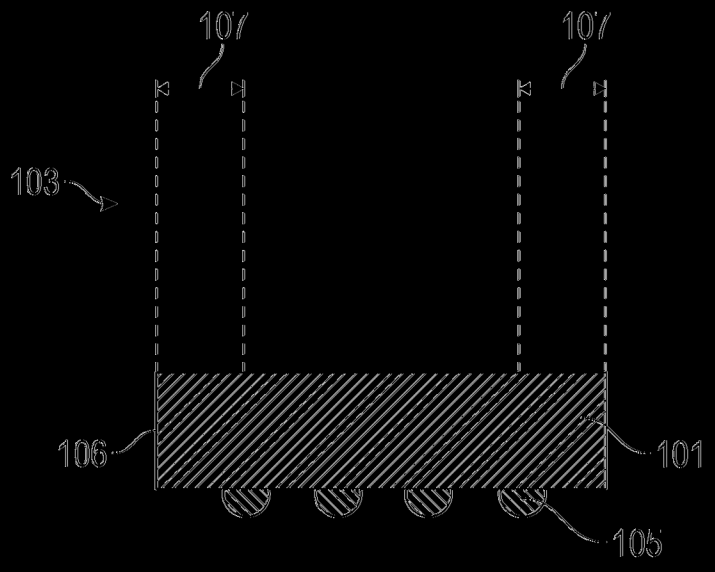


圖1D

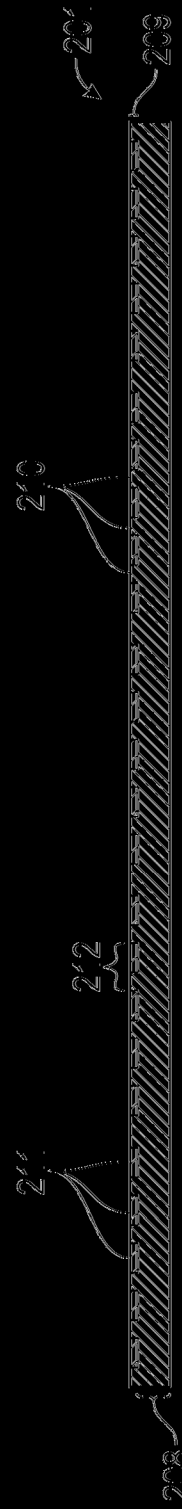


圖2A

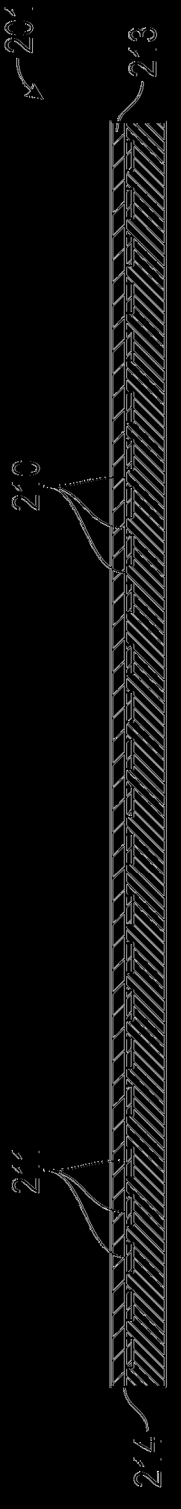


圖2B

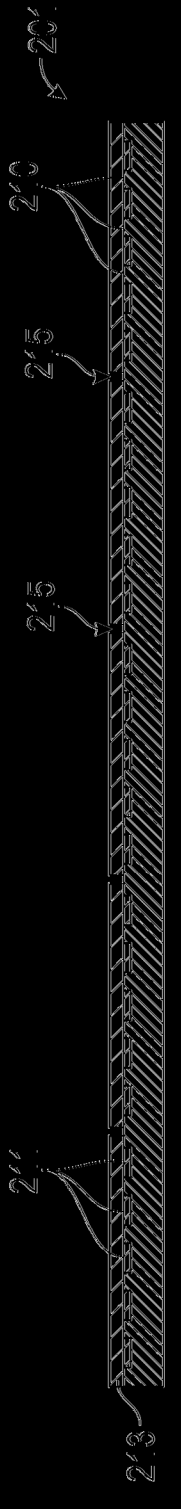


圖2C

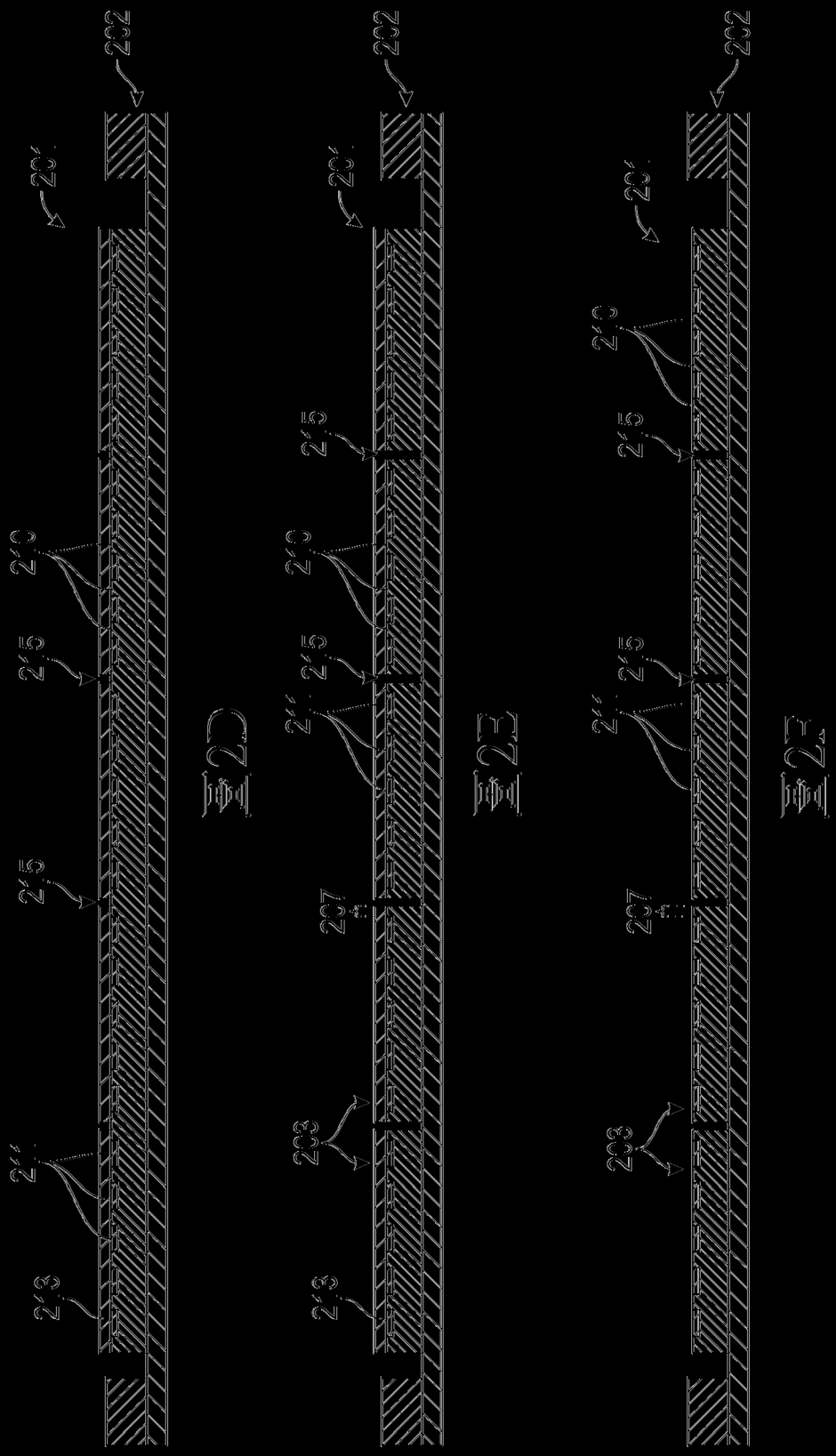

22
23'
2'
2'3
2'5
2'1
2'3
2'5
2'7
23
2'2
22
23'
2'
2'3
2'5
2'1
2'3
2'5
2'7
23
2'2
22
23'
2'
2'3
2'5
2'1
2'3
2'5
2'7
23
2'2

圖2D 圖2E 圖2F

圖2C

圖2E

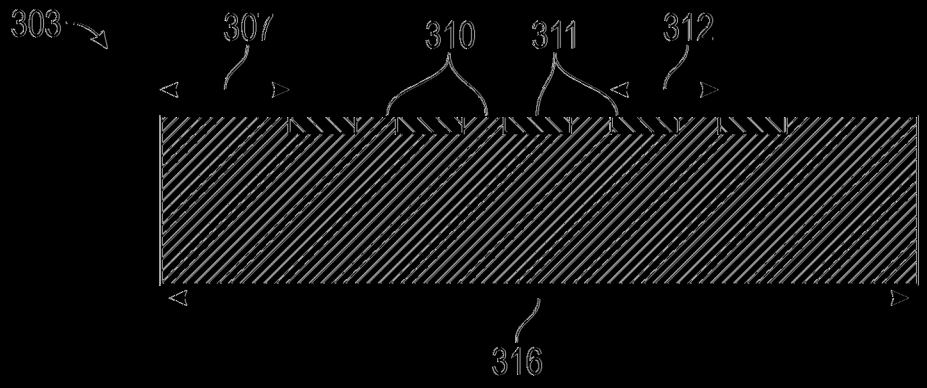

303
307
310
311
312
316

圖3

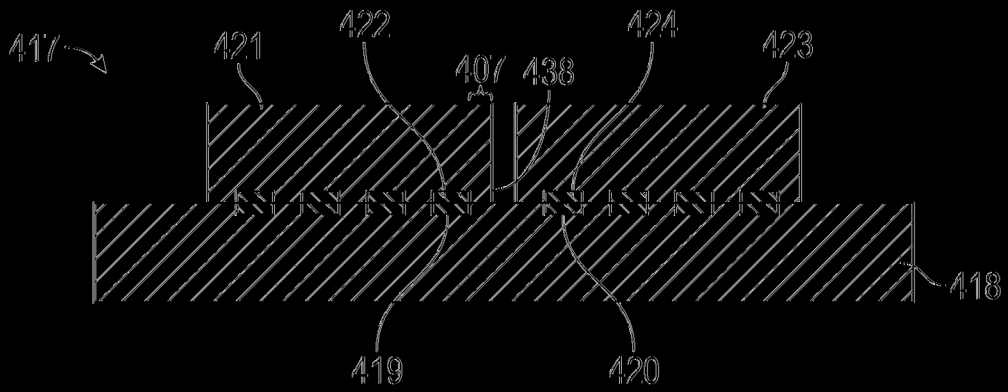

417
421
422
407
438
424
423
418
419
420

圖4A

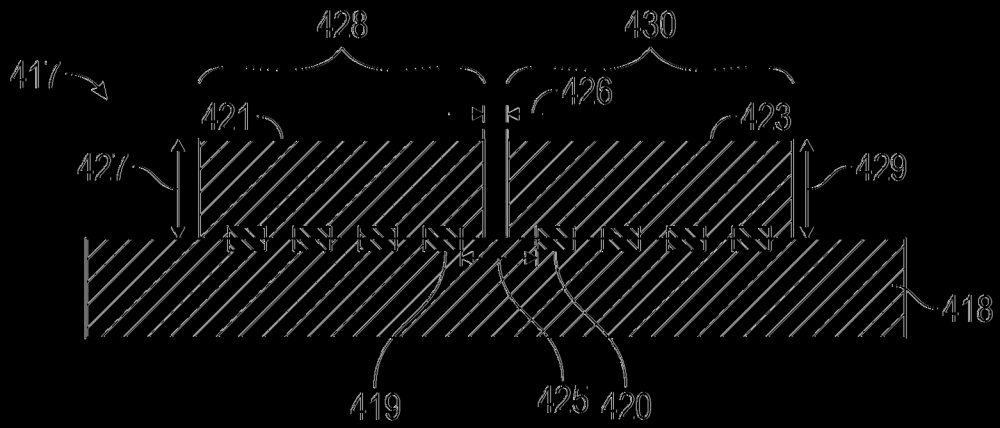

428
430
417
426
421
423
427
429
418
419
425
420

圖4B

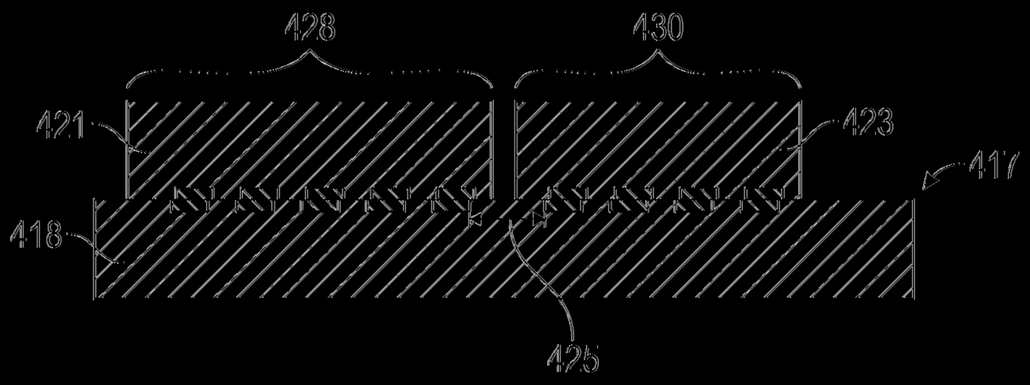

428
430
421
423
417
418
425

圖4C

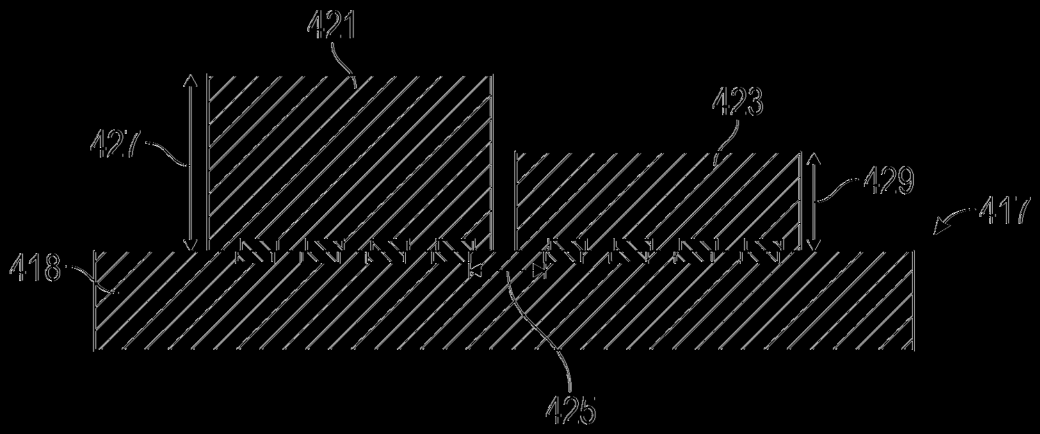

421
423
427
429
417
418
425

圖4D

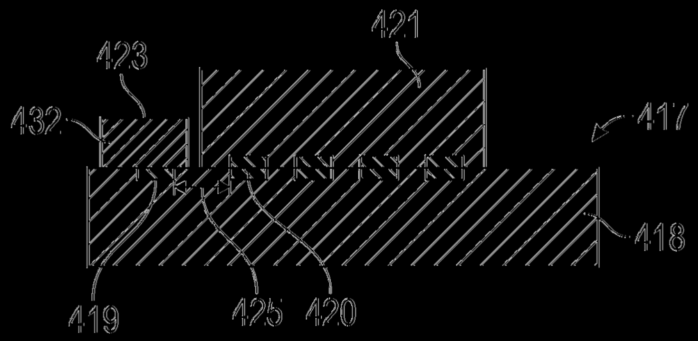

421
423
432
417
418
419
425
420

圖4E

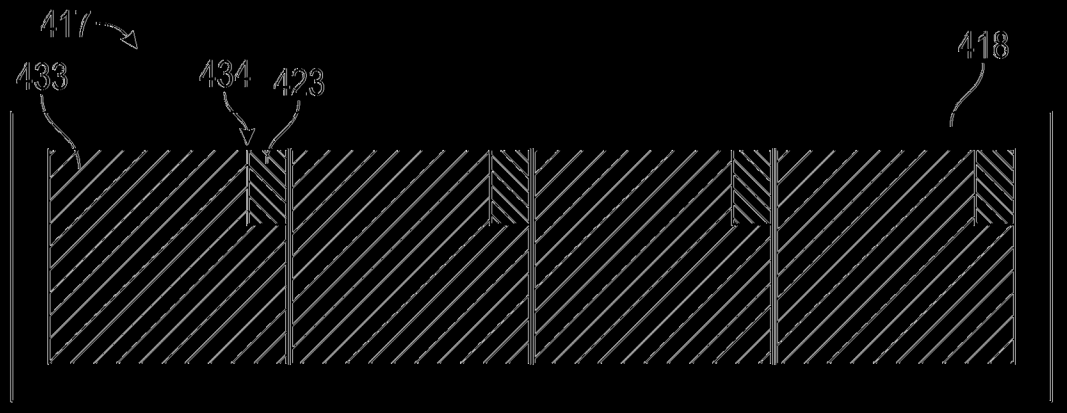

417
433
434
423
418

圖4F

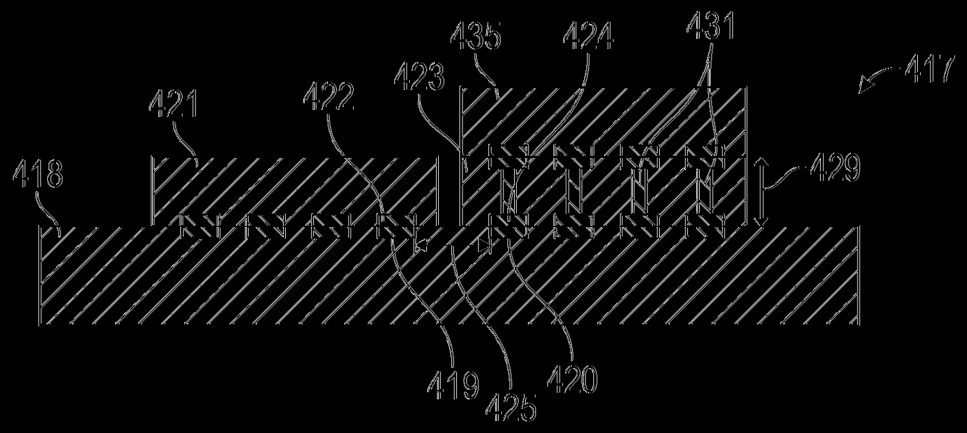

435
424
431
423
417
421
422
418
429
419
425
420

圖4G

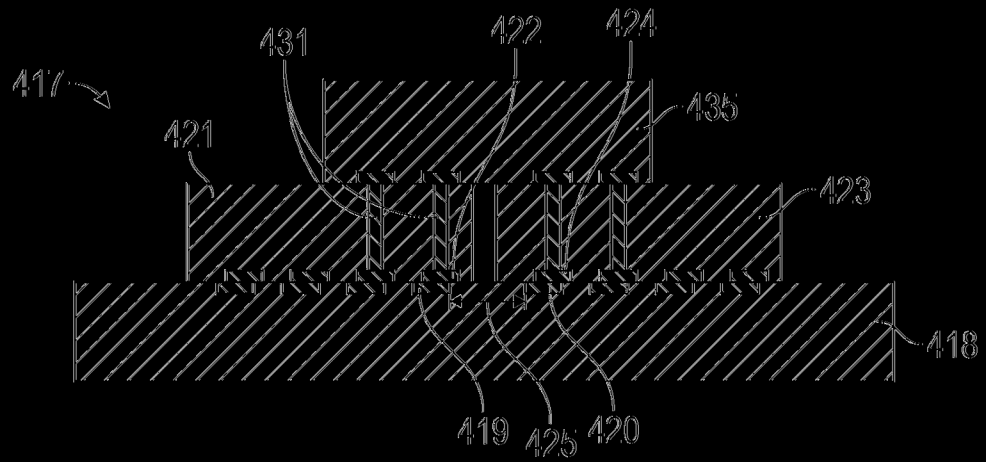

431
422
424
417
435
421
423
418
419
425
420

圖4H

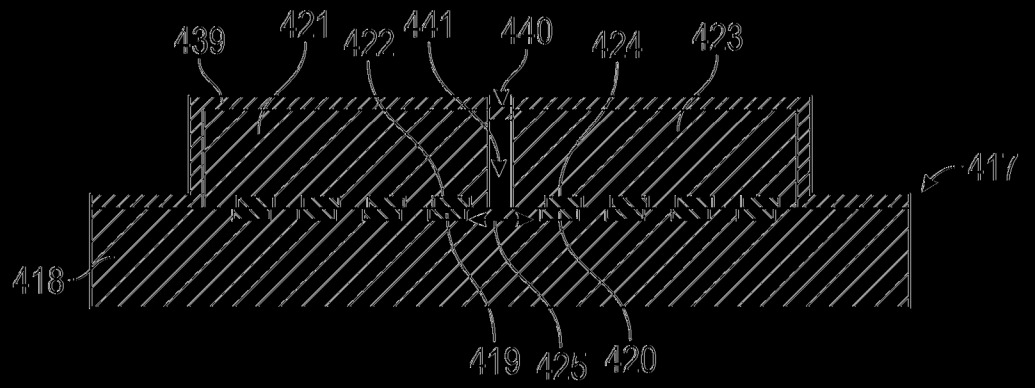

439
421
422
441
440
424
423
417
418
419
425
420

圖4I

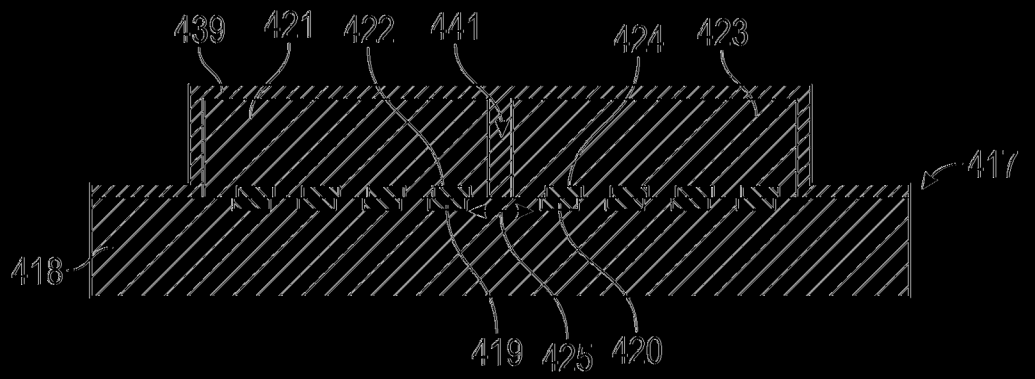

439
421
422
441
424
423
417
418
419
425
420

圖4J

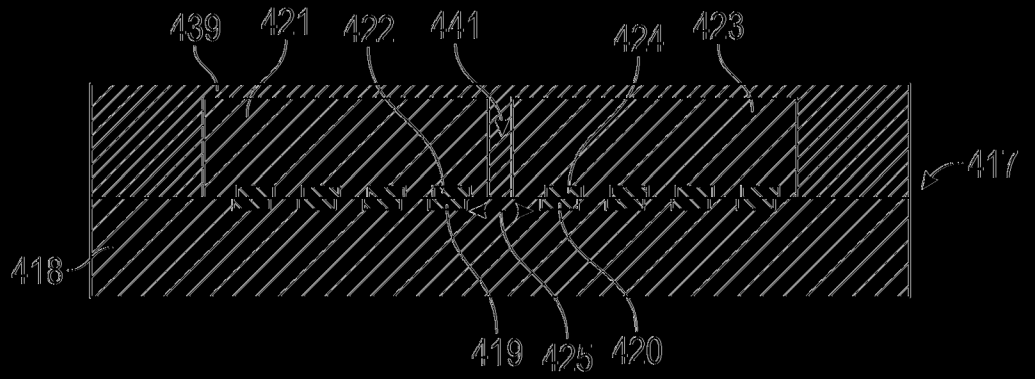

439
421
422
441
424
423
417
418
419
425
420

圖4J-2

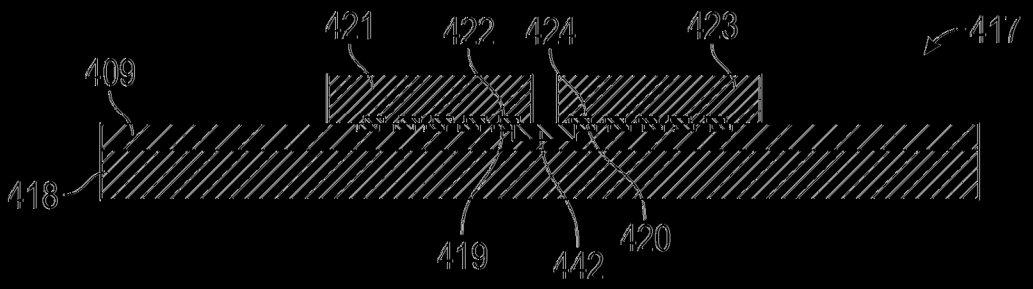

421
422
424
423
417
409
418
419
442
420

圖4K

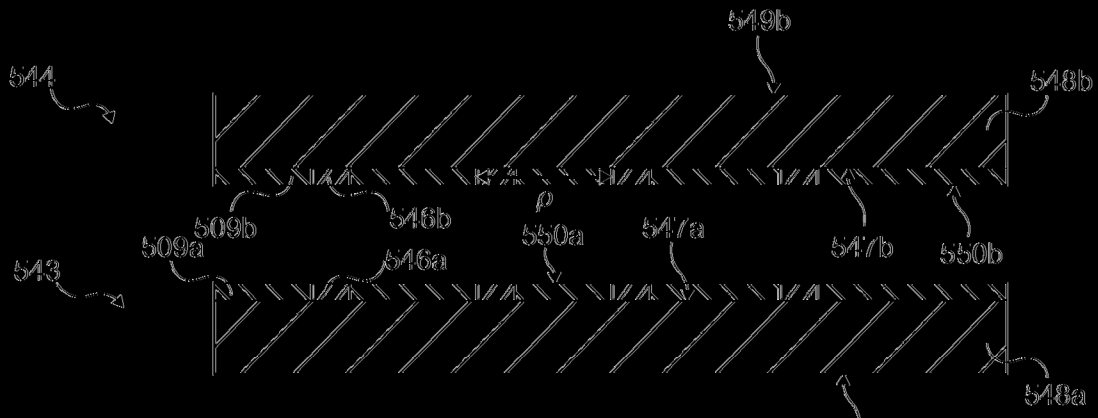

549b
544
548b
509b
546b
509a
546a
550a
547a
547b
550b
543
548a
549a

圖5A

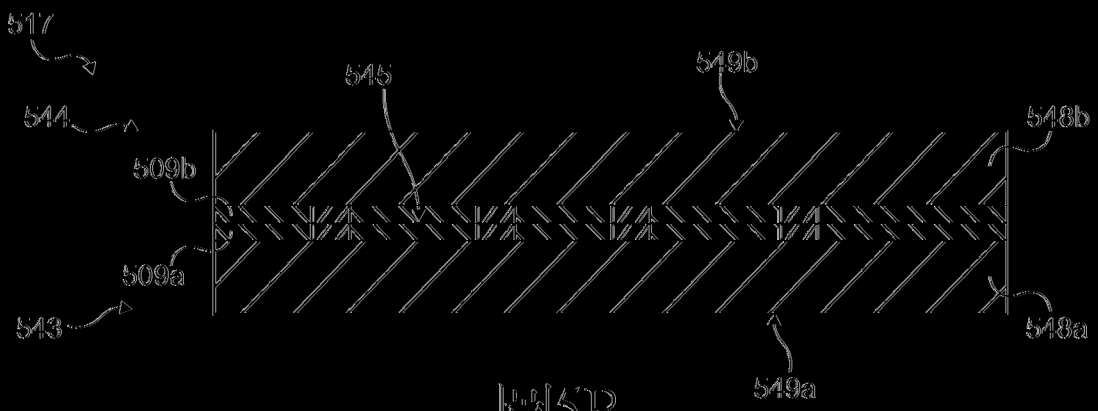

517
545
549b
544
548b
509b
509a
543
548a
549a

圖5B