



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월24일  
(11) 등록번호 10-2760882  
(24) 등록일자 2025년01월22일

(51) 국제특허분류(Int. Cl.)  
H01L 23/00 (2006.01) H01L 23/15 (2006.01)  
H01L 23/498 (2006.01) H05K 1/11 (2006.01)  
(52) CPC특허분류  
H01L 24/14 (2013.01)  
H01L 23/15 (2013.01)  
(21) 출원번호 10-2018-7021672  
(22) 출원일자(국제) 2016년12월21일  
심사청구일자 2021년11월30일  
(85) 번역문제출일자 2018년07월26일  
(65) 공개번호 10-2018-0108625  
(43) 공개일자 2018년10월04일  
(86) 국제출원번호 PCT/US2016/068033  
(87) 국제공개번호 WO 2017/136061  
국제공개일자 2017년08월10일  
(30) 우선권주장  
62/289,636 2016년02월01일 미국(US)  
15/077,869 2016년03월22일 미국(US)  
(56) 선행기술조사문헌  
W02012144370 A1\*  
US20050136641 A1\*  
US20120202561 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
김, 대익 다니엘  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
벨레즈, 마리오 프란시스코  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(뒷면에 계속)  
(74) 대리인  
특허법인(유)남아이피그룹, 특허법인 남앤남

전체 청구항 수 : 총 18 항

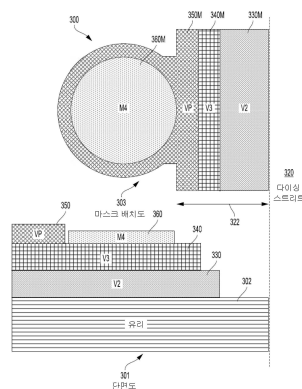
심사관 : 백중현

(54) 발명의 명칭 개방-패시베이션 볼 그리드 어레이 패드들

(57) 요약

도전성 범프 어셈블리는 패시브 기판을 포함할 수 있다. 도전성 범프 어셈블리는 또한 패시브 기판에 의해 지지되고 제1 패시베이션 층 개구에 의해 둘러싸인 도전성 범프 패드를 포함할 수 있다. 도전성 범프 어셈블리는 패시브 기판 상에 제2 패시베이션 층 개구를 더 포함할 수 있다. 제2 패시베이션 층 개구는 패시브 기판의 에지 근처에서 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 병합될 수 있다. 도전성 범프 어셈블리는 또한 도전성 범프 패드 상에 도전성 범프를 포함할 수 있다.

대표도 - 도3a



(52) CPC특허분류

*H01L 23/3171* (2013.01)  
*H01L 23/3192* (2013.01)  
*H01L 23/49816* (2013.01)  
*H01L 24/06* (2013.01)  
*H01L 24/11* (2013.01)  
*H05K 1/111* (2013.01)  
*H01L 2224/1148* (2013.01)  
*H01L 2224/1405* (2013.01)  
*H01L 2224/14104* (2013.01)

(72) 발명자

**윤, 창한 호비**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

**주오, 쟁지에**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

**버디, 데이비드 프란시스**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

**김, 종해**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

**무다카테, 니란잔 수닐**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

## 명세서

### 청구범위

#### 청구항 1

RF(radio frequency) 필터에 통합되는 도전성 범프 어셈블리(conductive bump assembly)로서,

유리 기판;

상기 유리 기판의 표면 상의 제3 패시베이션 층(passivation layer);

제1 패시베이션 층의 개구에 의해 둘러싸인 도전성 범프 패드(conductive bump pad);

상기 제3 패시베이션 층 상에 있고, 상기 제1 패시베이션 층 및 상기 도전성 범프 패드를 지지하는 제2 패시베이션 층 — 상기 제2 패시베이션 층은, 제1 패시베이션 층 블록이 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 제거되어 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 상기 제2 패시베이션 층의 표면을 노출시키도록, 상기 제3 패시베이션 층의 개구를 통해 상기 유리 기판의 표면을 노출시키고 상기 제1 패시베이션 층의 개구와 병합되는 개구를 가짐 —; 및

상기 도전성 범프 패드 상의 도전성 범프를 포함하는,

도전성 범프 어셈블리.

#### 청구항 2

제1 항에 있어서,

상기 도전성 범프 패드는 NSMD(non-solder mask defined) 패드를 포함하는,

도전성 범프 어셈블리.

#### 청구항 3

제1 항에 있어서,

상기 도전성 범프 패드와 상기 유리 기판의 에지 사이의 거리는 42.5 미크론인,

도전성 범프 어셈블리.

#### 청구항 4

제1 항에 있어서,

상기 유리 기판의 에지 근처는 다이싱 스트리트(dicing street)의 부분을 포함하는,

도전성 범프 어셈블리.

#### 청구항 5

제1 항에 있어서,

상기 도전성 범프 어셈블리는 BGA(ball grid array) 어셈블리를 포함하는,

도전성 범프 어셈블리.

#### 청구항 6

제1 항에 있어서,

상기 도전성 범프는 땀납 볼(solder ball)을 포함하는,

도전성 범프 어셈블리.

#### 청구항 7

제1 항에 있어서,

상기 RF 필터는 다이플렉서(diplexer), 트리플렉서(triplexer), 저역 통과 필터 및/또는 노치 필터(notch filter)를 포함하는,

도전성 범프 어셈블리.

#### 청구항 8

제1 항에 있어서,

상기 RF 필터는 RF(radio frequency) 프런트 엔드 모듈의 PCB(printed circuit board) 상에서 어셈블링되는,

도전성 범프 어셈블리.

#### 청구항 9

제1 항에 있어서,

상기 도전성 범프 어셈블리는 RF(radio frequency) 프런트 엔드 모듈에 통합되고, 상기 RF 프런트 엔드 모듈은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰 및 휴대용 컴퓨터 중 적어도 하나에 통합되는,

도전성 범프 어셈블리.

#### 청구항 10

RF(radio frequency) 필터에 통합되는 도전성 범프 어셈블리로서,

유리 기판;

상기 유리 기판의 표면 상의 제3 패시베이션 층;

제1 패시베이션 층의 개구에 의해 둘러싸인 도전성 범프 패드;

상기 제3 패시베이션 층 상에 있고, 상기 제1 패시베이션 층 및 상기 도전성 범프 패드를 지지하는 제2 패시베이션 층 - 상기 제2 패시베이션 층은, 제1 패시베이션 층 블록이 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 제거되어 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 상기 제2 패시베이션 층의 표면을 노출시키도록, 상기 제3 패시베이션 층의 개구를 통해 상기 유리 기판의 표면을 노출시키고 상기 제1 패시베이션 층의 개구와 병합되는 개구를 가짐 -; 및

상기 도전성 범프 패드 상의 어셈블링하기 위한 수단을 포함하는,

도전성 범프 어셈블리.

#### 청구항 11

제10 항에 있어서,

상기 도전성 범프 패드는 NSMD(non-solder mask defined) 패드를 포함하는,

도전성 범프 어셈블리.

#### 청구항 12

제10 항에 있어서,

상기 도전성 범프 패드와 상기 유리 기판의 에지 사이의 거리는 42.5 미크론인,

도전성 범프 어셈블리.

#### 청구항 13

제10 항에 있어서,  
상기 유리 기관의 에지 근처는 다이싱 스트리트의 부분을 포함하는,  
도전성 범프 어셈블리.

#### 청구항 14

제10 항에 있어서,  
상기 도전성 범프 어셈블리는 BGA(ball grid array) 어셈블리를 포함하는,  
도전성 범프 어셈블리.

#### 청구항 15

제10 항에 있어서,  
어셈블링 수단은 뎀납 볼을 포함하는,  
도전성 범프 어셈블리.

#### 청구항 16

제10 항에 있어서,  
상기 RF 필터는 다이플렉서, 트리플렉서, 저역 통과 필터 및/또는 노치 필터를 포함하는,  
도전성 범프 어셈블리.

#### 청구항 17

제10 항에 있어서,  
상기 RF 필터는 RF(radio frequency) 프론트 엔드 모듈의 PCB(printed circuit board) 상에서 어셈블링되는,  
도전성 범프 어셈블리.

#### 청구항 18

제10 항에 있어서,  
상기 도전성 범프 어셈블리는 RF(radio frequency) 프론트 엔드 모듈에 통합되고, 상기 RF 프론트 엔드 모듈은  
음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal  
digital assistant), 고정 위치 데이터 유닛, 모바일 폰 및 휴대용 컴퓨터 중 적어도 하나에 통합되는,  
도전성 범프 어셈블리.

#### 청구항 19

삭제

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

삭제

#### 청구항 24

삭제

#### 청구항 25

삭제

#### 청구항 26

삭제

### 발명의 설명

#### 기술 분야

[0001] 본 출원은, "OPEN-PASSIVATION BALL GRID ARRAY PADS"란 명칭으로 2016년 2월 1일로 출원된 미국 가특허 출원 제62/289,636호에 대한 이점을 35 U.S.C. § 119(e) 하에서 주장하며, 상기 가출원의 개시내용은 그 전체가 본원에 인용에 의해 명백히 포함된다.

[0002] 본 개시내용은 일반적으로 집적 회로(IC)들에 관한 것이다. 보다 구체적으로, 본 개시내용은 개방-패시베이션 볼 그리드 어레이 패드들(open-passivation ball grid array pads)에 관한 것이다.

#### 배경 기술

[0003] 집적 회로(IC: integrated circuit)들의 반도체 제조를 위한 프로세스 흐름은 전처리 라인(FEOL: front-end-of-line), 중간 라인(MOL: middle-of-line) 및 후처리 라인(BEOL: back-end-of-line) 프로세스들을 포함할 수 있다. 전처리 라인 프로세스는 웨이퍼 준비, 절연, 웰(well) 형성, 게이트 패터닝, 스페이서, 확장 부 및 소스/드레인 주입, 실리사이드 형성 및 듀얼 스트레스 라이너 형성을 포함할 수 있다. 중간 라인 프로세스는 게이트 접촉부 형성을 포함할 수 있다. 중간 라인 층들은 반도체 디바이스 트랜지스터들이나 다른 액티브 디바이스들의 인근 이내의 중간 라인 접촉부들, 비아들 또는 다른 층들을 포함할 수 있지만, 이에 한정되는 것은 아니다. 후처리 라인 프로세스는 전처리 라인 프로세스 및 중간 라인 프로세스 동안 생성된 반도체 디바이스들을 상호연결하기 위한 일련의 웨이퍼 처리 단계들을 포함할 수 있다.

[0004] 현대 반도체 칩 제품들의 성공적인 제조는 사용되는 물질들과 프로세스들 간의 상호작용(interplay)을 수반한다. 특히, 후처리 라인 프로세스에서 반도체 제조를 위한 도전성 물질 도금의 형성은 프로세스 흐름 중 점점 더 어려워지는 부분이다. 이는 작은 피처 크기를 유지하는 측면에서 특히 그러하다. 작은 피처 크기를 유지하는 것과 동일한 난제가 또한 POG(passive on glass) 기술에 적용되고, 여기서 고성능 컴포넌트들, 이를테면, 인덕터들 및 커패시터들은 매우 낮은 손실을 또한 가질 수 있는 고절연성 기판 상에 형성된다.

[0005] POG(passive on glass) 디바이스들은 다른 기술들, 이를테면, 모바일 라디오 주파수(RF) 칩 설계들(예컨대, 모바일 RF 트랜시버들)의 제조에 일반적으로 사용되는 다중층 세라믹 칩들 또는 표면 실장 기술에 비해 다양한 이점들을 갖는 고성능 인덕터 및 커패시터 컴포넌트들을 수반한다. 모바일 RF 트랜시버의 설계 복잡성은 비용 및 전력 소비 고려사항들로 인해 딥 서브-마이크론(deep sub-micron) 프로세스 노드로의 마이그레이션(migration)에 의해 복잡해진다. 간격 고려사항들은 또한 모바일 RF 트랜시버 설계 딥 서브-마이크론 프로세스 노드에 영향을 준다. 예컨대, 모바일 RF 트랜시버들의 제조는, 낭비되는 공간을 차지하고 비용 증가를 수반하는, 다이 영역 경계에서의 더미 영역을 포함할 수 있다.

#### 발명의 내용

[0006] 도전성 범프 어셈블리는 패시브 기판을 포함할 수 있다. 도전성 범프 어셈블리는 또한, 패시브 기판에 의해 지지되고 제1 패시베이션 층 개구에 의해 둘러싸인 도전성 범프 패드를 포함할 수 있다. 도전성 범프 어셈블리는 패시브 기판 상에 제2 패시베이션 층 개구를 더 포함할 수 있다. 제2 패시베이션 층 개구는 패시브 기판의 에지 근처에서 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 병합될 수 있다. 도전성 범프 어셈블리는 또한 도전성 범프 패드 상에 도전성 범프를 포함할 수 있다.

[0007] 도전성 범프 어셈블리를 제조하기 위한 방법은 도전성 범프 어셈블리를 지지하는 패시브 기판의 에지에서 도전성 범프 패드를 제조하는 단계를 포함할 수 있다. 방법은 또한 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 제2 패시베이션 층 개구를 병합하는 단계를 포함할 수 있다. 제2 패시베이션 층 개구는 패시브 기판의 에지 근처에서 도전성 범프 패드를 둘러쌀 수 있다. 방법은 도전성 범프 패드 상에 도전성 물질을 증착하는 단계를 더 포함할 수 있다.

[0008] 도전성 범프 어셈블리는 패시브 기판을 포함할 수 있다. 도전성 범프 어셈블리는 또한, 패시브 기판에 의해 지지되고 제1 패시베이션 층 개구에 의해 둘러싸인 도전성 범프 패드를 포함할 수 있다. 도전성 범프 어셈블리는 패시브 기판 상에 제2 패시베이션 층 개구를 더 포함할 수 있다. 제2 패시베이션 층 개구는 패시브 기판의 에지 근처에서 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 병합될 수 있다. 도전성 범프 어셈블리는 또한 도전성 범프 패드 상에서 어셈블링하기 위한 수단을 포함할 수 있다.

[0009] 이는 다음의 상세한 설명이 더 잘 이해될 수 있도록 본 개시내용의 특징들 및 기술적 이점들을 상당히 광범위하게 요약하였다. 아래에서는 본 개시내용의 추가 특징들 및 이점들이 설명될 것이다. 본 개시내용은 본 개시내용의 동일한 목적들을 수행하기 위해 다른 구조물들을 변형 또는 설계하기 위한 기초로 용이하게 활용될 수 있다고 당업자들에 의해 인식되어야 한다. 이러한 대응한 구성들이 첨부된 청구항들에 제시된 본 개시내용의 교시들을 벗어나지 않는다고 당업자들에 의해 또한 인식되어야 한다. 그 구조물 및 동작 방법 둘 다에 관해, 본 개시내용의 특징들로 여겨지는 신규한 특징들은 추가 목적들 및 이점들과 함께, 첨부 도면들과 관련하여 고려될 때 다음의 설명으로부터 더 잘 이해될 것이다. 그러나 도면들 각각은 예시 및 설명의 목적으로만 제공되며, 본 개시내용의 한정들의 정의로서 의도되는 것은 아니라고 명백히 이해되어야 한다.

### 도면의 간단한 설명

[0010] 본 개시내용의 보다 완벽한 이해를 위해, 이제 첨부 도면들과 함께 제시되는 다음의 설명에 대해 참조가 이루어진다.

[0011] 도 1은 본 개시내용의 양상의 반도체 웨이퍼의 사시도를 예시한다.

[0012] 도 2a는 웨이퍼 상의 POG(passive on glass) 디바이스들의 제조 후의 웨이퍼의 유리 다이를 예시한다.

[0013] 도 2b는 도 2a의 유리 다이의 코너의 확대도를 제공한다.

[0014] 도 3a는 본 개시내용의 양상에 따른 개방-패시베이션 도전성 패드를 포함하는 도전성 범프 어셈블리의 마스크 배치도 및 단면도를 도시한다.

[0015] 도 3b는 도 2a 및 2b에 도시된 유리 다이의 도전성 범프 어셈블리의 마스크 배치도 및 단면도를 도시한다.

[0016] 도 4a는 본 개시내용의 양상에 따른 개방-패시베이션 도전성 범프 패드를 포함하는 도전성 범프 어셈블리의 단면도를 도시한다.

[0017] 도 4b는 또한 도 3b에 도시된 도전성 범프 어셈블리의 단면도를 예시한다.

[0018] 도 5는 본 개시내용의 양상들에 따른 개방-패시베이션 도전성 범프 패드를 포함하는 도전성 범프 어셈블리를 구성하는 방법을 예시하는 프로세스 흐름도이다.

[0019] 도 6은 본 개시내용의 양상에 따라 다이플렉서를 사용하는 RF(radio frequency) 프론트 엔드(RFFE) 모듈의 개략도이다.

[0020] 도 7은 본 개시내용의 양상들에 따라 캐리어 어그리게이션을 제공하기 위해 칩셋에 대해 다이플렉서들을 사용하는 WiFi 모듈 및 RF(radio frequency) 프론트 엔드(RFFE) 모듈의 개략도이다.

[0021] 도 8은 본 개시내용의 구성이 유리하게 이용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록도이다.

[0022] 도 9는 일 구성에 따른 반도체 컴포넌트의 회로, 배치(layout), 및 로직 설계를 위해 사용되는 설계 워크스테이션을 예시하는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0011] [0023] 첨부된 도면들과 관련하여 아래에 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명된 개념들이 실시될 수 있는 유일한 구성들을 표현하도록 의도되진 않는다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하려는 목적을 위한 특정한 세부사항들을 포함한다. 그러나, 이들 개념들이 이들 특정한 세부사항들 없이도 실시될 수도 있다는 것이 당업자들에게는 명백할 것이다. 일부 경우들에서, 잘 알려진 구조들 및 컴포넌트들은 그러한 개념들을 불명료하게 하는 것을 방지하기 위해 블록도 형태로 도시된다. 본원에서 설명된 바와 같은, "및/또는"이란 용어의 사용은 "포괄적 논리합(inclusive OR)"을 표현하도록 의도되고, "또는"이란 용어의 사용은 "배타적 논리합(exclusive OR)"을 표현하도록 의도된다.
- [0012] [0024] 현대 반도체 칩 제품들의 성공적인 제조는 사용된 물질들과 프로세스들 간의 상호작용을 수반한다. 특히, BEOL(back-end-of-line) 프로세스들에서 반도체 제조를 위한 도전성 물질 도금의 형성은 프로세스 흐름 중 점점 더 어려워지는 부분이다. 이는 작은 피처 크기를 유지하는 측면에서 특히 그러하다. 작은 피처 크기를 유지하는 것과 동일한 난제는 또한 POG(passive on glass) 기술에 적용되고, 여기서 고성능 컴포넌트들, 이를테면, 인덕터들 및 커패시터들은 매우 낮은 손실을 또한 가질 수 있는 고절연성 기판 상에 형성된다.
- [0013] [0025] POG(passive on glass) 디바이스들은 다른 기술들, 이를테면, 모바일 라디오 주파수(RF) 칩 설계들(예컨대, 모바일 RF 트랜시버들)의 제조에 일반적으로 사용되는 다중층 세라믹 칩들 또는 표면 실장 기술에 비해 다양한 이점들을 갖는 고성능 인덕터 및 커패시터 컴포넌트들을 수반한다. 모바일 RF 트랜시버의 설계 복잡성은 비용 및 전력 소비 고려사항들로 인해 딥 서브-마이크론(deep sub-micron) 프로세스 노드로의 마이그레이션에 의해 복잡해진다. 간격 고려사항들은 또한 모바일 RF 트랜시버 설계 딥 서브-마이크론 프로세스 노드에 영향을 준다. 예컨대, 모바일 RF 트랜시버들의 제조는, 낭비되는 공간을 차지하고 비용 증가를 수반하는, 다이 영역 경계에서의 더미 영역을 포함할 수 있다.
- [0014] [0026] 본 개시내용의 다양한 양상들은 개방-패시베이션 볼 그리드 어레이 패드들을 위한 기술들을 제공한다. 개방-패시베이션 볼 그리드 어레이 패드들의 반도체 제조를 위한 프로세스 흐름은 FEOL(front-end-of-line) 프로세스들, MOL(middle-of-line) 프로세스들 및 BEOL(back-end-of-line) 프로세스들을 포함할 수 있다. "층"이라는 용어는 필름을 포함하며 달리 언급되지 않는 한 수직 또는 수평 두께를 나타내는 것으로 해석되지 않는다는 것이 이해될 것이다. 본원에서 설명된 바와 같은, "기판"이라는 용어는 다이싱된 웨이퍼의 기판을 지칭할 수 있거나 또는 다이싱되지 않은 웨이퍼의 기판을 지칭할 수 있다. 유사하게, 칩 및 다이라는 용어들은 (이러한 상호교환이 논리에 어긋나지 않는다면) 상호 교환 가능하게 사용될 수 있다.
- [0015] [0027] 본원에 설명된 바와 같이, 후처리 라인 상호연결 층은 집적 회로의 전처리 라인 액티브 디바이스들을 전기적으로 커플링하기 위한 도전성 상호연결 층들(예컨대, 금속 1(M1), 금속 2(M2), 금속 3(M3), 금속 4(M4) 등)을 지칭할 수 있다. 후처리 라인 상호연결 층들은, 예컨대, M1을 집적 회로의 산화물 확산(OD) 층에 연결하기 위해 중간 라인 상호연결 층들에 전기적으로 커플링할 수 있다. 후처리 라인 제1 비아(V2)는 M2를 M3 또는 후처리 라인 상호연결 층들 중 다른 것들에 연결할 수 있다.
- [0016] [0028] 본 개시내용의 다양한 양상들은 비용 감소를 제공하기 위해 다이 영역 경계에서 더미 영역을 감소시키기 위한 기술들을 제공한다. 일반적으로, 일단 웨이퍼 상의 집적 회로들의 제조가 완료되면, 웨이퍼는 다이싱 라인들(예컨대, 다이싱 스트리트(dicing street))을 따라 분할된다. 다이싱 라인들은 웨이퍼가 쪼개지거나 조각들로 분리될 곳을 표시한다. 다이싱 라인들은 웨이퍼 상에 제조된 다양한 집적 회로들의 윤곽을 규정할 수 있다. 일단 다이싱 라인이 정해지면, 웨이퍼는 조각들로 소잉(saw)되거나 그렇지 않다면 분리되어 다이를 형성할 수 있다. 이러한 프로세스 다음에, 다이 영역 경계는 다이싱 톱날(Kerf) 및 최종 패시베이션 층(VP) 간격에 의해 생성된 그루브에 따라 비-기능적 경계 영역을 포함할 수 있다. 이러한 예에서, 비-기능적 경계 영역의 폭은 물리적 다이 영역의 상당한 퍼센티지일 수 있는 더미 영역을 발생시킨다.
- [0017] [0029] 본 개시내용의 일 양상에서, 개방-패시베이션 볼 그리드 어레이 패드들을 포함하는 도전성 범프 어셈블리는 다이 영역 경계에서 더미 영역의 감소를 가능하게 한다. 도전성 범프 어셈블리는 패시브 기판에 의해 지지되고 제1 패시베이션 층 개구에 의해 둘러싸인 도전성 범프 패드를 포함할 수 있다. 도전성 범프 어셈블리는 또한 패시브 기판 상에 있고, 패시브 기판의 에지 근처에서 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 병합되는 제2 패시베이션 층 개구를 포함할 수 있다. 이러한 어레이먼트에서, 도전성 범프 패드와 다이싱 스트리트 간의 제1 패시베이션 층 블록은 도전성 범프 어셈블리를 지지하는 패시브 기판의 에지에서 제거된다. 일단 제거되면, 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구는 패시브 기판의 에지에서 다이싱 스트리트 근처에서, 도전성 범프 패드를 둘러싸는 제2 패시베이션 층 개구와 병합된다.
- [0018] [0030] 도 1은 본 개시내용의 한 양상의 웨이퍼의 사시도를 예시한다. 웨이퍼(100)는 반도체 웨이퍼일 수 있



거나, 웨이퍼(100)의 표면 상에 하나 또는 그 초과 물질층들을 갖는 기판 물질일 수 있다. 웨이퍼(100)는 복합 물질, 이물테면 갈륨 비소(GaAs) 또는 갈륨 질화물(GaN), 3원 물질, 이물테면 인듐 갈륨 비소(InGaAs), 4원 물질들, 실리콘, 석영, 유리 또는 기판 물질이 될 수 있는 임의의 물질일 수 있다. 물질들 중 다수는 사실상 결정질일 수 있지만, 다결정질 또는 비정질 물질들이 또한 웨이퍼(100)에 사용될 수 있다. 예컨대, 기판에 대한 다양한 옵션들은 유리 기판, 반도체 기판, 코어 라미네이트 기판(core laminate substrate), 코어리스(coreless) 기판, PCB(printed circuit board) 기판, 또는 다른 유사한 기판들을 포함한다.

[0019] [0031] 웨이퍼(100) 또는 웨이퍼(100)에 결합된 층들에는 웨이퍼(100) 내의 또는 상의 상이한 타입들의 전자 디바이스들의 형성을 가능하게 하는 물질들이 공급될 수 있다. 또한, 웨이퍼(100)는 웨이퍼(100)의 결정 배향을 나타내는 배향(102)을 가질 수 있다. 배향(102)은 도 1에 도시된 바와 같이 웨이퍼(100)의 평평한 예지일 수 있거나, 웨이퍼(100)의 결정 배향을 예시하기 위한 노치 또는 다른 표시일 수 있다. 배향(102)은, 반도체 웨이퍼를 가정하면, 웨이퍼(100) 내의 결정 격자의 평면들에 대한 밀러 지수(Miller index)들을 나타낼 수 있다.

[0020] [0032] 일단 웨이퍼(100)가 원하는 대로 처리되었다면, 웨이퍼(100)는 다이싱 라인들(104)을 따라 분할된다. 예컨대, 일단 웨이퍼(100) 상의 집적 회로의 제조가 완료되면, 웨이퍼(100)는, 본원에서 "다이싱 스트리트들"로 지칭될 수 있는 다이싱 라인들(104)을 따라 분할된다. 다이싱 라인들(104)은 웨이퍼(100)가 쪼개지거나 조각들로 분리될 곳을 표시한다. 다이싱 라인들(104)은 웨이퍼(100) 상에 제조된 다양한 집적 회로들의 윤곽을 규정할 수 있다.

[0021] [0033] 일단 다이싱 라인들(104)이 규정되면, 웨이퍼(100)는 다이(106)를 형성하도록 조각들로 소잉되거나 아니면 분리될 수 있다. 다이(106) 각각은 많은 디바이스들을 갖는 집적 회로일 수 있거나 단일 전자 디바이스일 수 있다. 칩 또는 반도체 칩으로도 또한 지칭될 수 있는 다이(106)의 물리적 크기는 적어도 부분적으로는, 웨이퍼(100)를 특정 크기들로 분리하는 능력뿐만 아니라, 다이(106)가 포함하도록 설계된 개개의 디바이스들의 수에도 좌우된다.

[0022] [0034] 일단 웨이퍼(100)가 하나 또는 그 초과 다이(106)로 분리되었다면, 다이(106)는 다이(106) 상에 제조된 디바이스들 및/또는 집적 회로들에 대한 액세스를 가능하게 하도록 패키징으로 장착될 수 있다. 패키징은 단일 인라인 패키징, 듀얼 인라인 패키징, 마더보드 패키징, 플립 칩 패키징, 인듐 도트/범프 패키징, 또는 다이(106)에 대한 액세스를 제공하는 다른 타입들의 디바이스들을 포함할 수 있다. 다이(106)는 또한 다이(106)를 개별 패키지로 장착하지 않고 배선 접착, 프로브들 또는 다른 접속들을 통해 직접 액세스될 수 있다.

[0023] [0035] 인덕터들뿐만 아니라 다른 패시브 디바이스들, 이물테면, 커패시터들이 다이 상에 형성될 수 있다. 이들 컴포넌트들은 필터, 다이플렉서, 트리플렉서, 저대역 통과 필터 및/또는 노치 필터, 또는, 예컨대, 도 6 및 7에 도시된 바와 같이, POG(passive on glass) 기술을 사용하여 RF(radio frequency) 프론트 엔드 모듈들을 형성하는 데 유용한 다른 유사한 패시브 회로 엘리먼트들을 형성하는 데 사용될 수 있다.

[0024] [0036] 도 2a는 웨이퍼(201) 상의 POG(passive on glass) 디바이스들의 제조 후의 웨이퍼(201)의 유리 다이(200)(도 2b)를 예시한다. POG(passive on glass) 디바이스들은 다른 기술, 이물테면, 모바일 라디오 주파수(RF) 칩 설계들(예컨대, 모바일 RF 트랜시버들)의 제조에 일반적으로 사용되는 다중층 세라믹 칩들 또는 표면 실장 기술에 비해 다양한 이점들을 갖는 고성능 인덕터 및 커패시터 컴포넌트들을 수반한다. 이러한 어레이먼트에서, 유리 다이(200)는 BGA(ball grid array) 어셈블리의 배치를 가능하게 하는 패시베이션 개구들(210)(210-1, 210-2, 210-3, 210-4 및 210-5)을 포함한다. 이러한 예에서, 다이싱 라인들을 따른 다이싱 전의 유리 다이가 도시되어서, 유리 다이가 다이싱 스트리트(220)에 의해 둘러싸여 있다. 다이싱 스트리트(220)는, 웨이퍼(201)가 쪼개지거나 조각들로 분리될 곳을 표시하는 다이싱 라인들로 구성된다. 일단 다이싱 스트리트(220)가 규정되면, 웨이퍼(201)는 유리 다이(200)를 형성하도록 조각들로 소잉되거나 그렇지 않다면 분리될 수 있다. 불행하게도, 패시베이션 개구들(210)의 어레이먼트는, 도 2b에 추가로 도시된 바와 같이, 유리 다이(200)의 다이 영역 경계에서 더미 영역을 발생시킨다.

[0025] [0037] 도 2b는 도 2a의 유리 다이(200)의 코너의 확대도를 제공한다. POG(passive on glass) 디바이스들의 제조는 유리 다이(200)를 둘러싸는 비-기능적 경계 영역(222)으로 인해 비용이 든다. 예컨대, 유리 다이(200)의 물리적 다이 크기가  $2.25 \text{ mm}^2$ 라고 가정하면, 다이 영역 경계는 다이싱 톱날(Kerf) 및 최종 패시베이션 층(VP) 간격(212)에 의해 생성된 그루브(예컨대, 다이싱 스트리트(220)의 부분)에 따라 비-기능적 경계 영역을 포함할 수 있다. 이러한 예에서, 비-기능적 경계 영역(222)의 폭은  $0.78 \text{ mm}^2$ 이며, 이는 유리 다이(200)의 물리적

다이 영역의 거의 35 %인 더미 영역을 발생시킨다. 이러한 어레이먼트에서, 유리 다이의 에지에서의 다이싱 스트리트(220)와 패시베이션 개구 간의 거리는 거의 85 미크론이다.

[0026] [0038] 도 3a는 본 개시내용의 양상에 따른 개방-패시베이션 도전성 범프 패드를 포함하는 도전성 범프 어셈블리의 마스크 배치도(303)(330M, 340M, 350M, 360M) 및 단면도(301)를 도시한다. 개방-패시베이션 도전성 범프 패드는 SMT(surface mount technology)를 사용하여 RF 프론트 엔드 모듈에서 POG(passive on glass) 디바이스의 어셈블리를 가능하게 한다. SMT 어셈블리 프로세스는 웨이퍼(예컨대, PCB(printed circuit board)) 상에 스크린 인쇄 솔더 페이스트를 포함할 수 있다. 솔더 페이스트 인쇄 다음에, 컴포넌트들이 웨이퍼 상의 배치된다. 일단 컴포넌트들의 배치가 완료되면, 솔더 리플로우(solder reflow)가 수행되고, 다음에 플럭스가 제거된다. 또한, SMT 어셈블리 프로세스는 일반적으로 표면 실장 패키지들을 위한 2 개의 타입들의 랜드 패턴들을 포함한다. 제1 타입의 랜드 패턴들은 NSMD(non-solder mask defined) 패턴들이다. 이들 패턴들은 일반적으로 금속 패드들보다 넓은 마스크 개구를 갖는다. 제2 타입의 랜드 패턴들은 SMD(solder mask defined) 패턴들이다. 이들 패턴들은 금속 패드들과 비교하여 감소된 솔더 마스크 개구를 갖는다.

[0027] [0039] 도 3a의 단면도(301)에 도시된 바와 같이, 도전성 범프 어셈블리(300)는 다수의 패시베이션(예컨대, 유전체) 층들 및 도전성 범프 패드(360)를 지지하는 유리 기판(302)을 포함한다. 단면도(301)에 도시된 도전성 범프 어셈블리(300)는 도 2b에 도시된 도 2a의 유리 다이(200)의 코너의 분해도와 유사할 수 있다. 그러나, 이러한 어레이먼트에서, 도전성 범프 패드(360)는 도 2b에 도시된 VP 간격(212)을 제거함으로써 다이싱 스트리트(320)에 병합된다. 결과적으로, 배치도(303)에 도시된 비-기능적 경계 영역(322)은 도 2b에 도시된 비-기능적 경계 영역(222)에 대해 감소된다.

[0028] [0040] 단면도(301)에 도시된 바와 같이, 제1 패시베이션 층(350)(VP)은 제3 패시베이션 층(330)(V2)에 의해 지지되는 제2 패시베이션 층(340)(V3)에 의해 지지된다. 마스크 배치도(303)에 도시된 바와 같이, 제2 패시베이션 층(340)(V3)의 제2 패시베이션 층 개구는, 도전성 범프 패드(360)를 둘러싸는 병합된 제1 패시베이션 층 개구 및 제2 패시베이션 층 개구를 형성하기 위해, 제1 패시베이션 층(350) 및 제2 패시베이션 층(340)을 마스크킹함으로써, 다이싱 스트리트(320) 근처에서 도전성 범프 패드(360)를 둘러싸는 제1 패시베이션 층(350)(VP)의 제1 패시베이션 층 개구와 병합된다. 도전성 범프 패드(360)는 제2 패시베이션 층(340) 상에 BEOL(back-end-of-line) 상호연결 층(예컨대, 금속 4(M4))을 증착함으로써 형성될 수 있다. 도전성 범프 패드(360)는 NSMD(non-solder mask defined) 패턴일 수 있다. 3 개의 패시베이션 층들로 도시되지만, 도전성 범프 어셈블리는 이러한 어레이먼트로 제한되지 않고, 웨이퍼 제조의 상이한 단계들 동안에 증착되는 다수의 패시베이션 층들을 포함하는 임의의 어레이먼트를 포함할 수 있다. 패시베이션 층들은 폴리이미드 또는 다른 유사한 유전체 물질로 구성될 수 있다.

[0029] [0041] 도 3b는 도 2a 및 2b에 도시된 유리 다이(200)의 도전성 범프 어셈블리의 마스크 배치도(373)(330M, 340M, 350M, 360M) 및 단면도(371)를 도시한다. 도 3b의 단면도(371)에 도시된 바와 같이, 도전성 범프 어셈블리(370)는 다수의 패시베이션(예컨대, 유전체) 층들 및 도전성 범프 패드(360)를 지지하는 유리 기판(302)을 포함한다. 단면도(301)에 도시된 도전성 범프 어셈블리(300)는 도 2b에 도시된 도 2a의 유리 다이(200)의 코너의 분해도를 추가로 예시한다. 이러한 어레이먼트에서, 도전성 범프 패드(360)는 배치도(373)에 도시된 VP 간격(212)(예컨대, 42.5 미크론)에 따라 제1 패시베이션 층(350)의 VP 블록(352)에 의해 다이싱 스트리트(320)로부터 오프셋된다.

[0030] [0042] 단면도(371)에 도시된 바와 같이, VP 블록(352)은 도전성 범프 패드(360)와 다이싱 스트리트(320) 사이에 배열되고, 이는 배치도(373)에 도시된 비-기능적 경계 영역(222)에 기여한다. 특히, VP 블록(352)은, 배치도(373)에 도시된 VP 간격(212)에 의해 측정된, 유리 다이(200)의 주변(perimeter)에서 더미 영역에 기여한다. 결과적으로, 도 3b에 도시된 비-기능적 경계 영역(222)(예컨대, 85 미크론)은 도 3a에 도시된 비-기능적 경계 영역(322)(예컨대, 42.5 미크론)에 비해 더 크다. 본 개시내용의 양상들에서, 비-기능적 경계 영역(322)은, 도 3a에 도시된 바와 같이, VP 블록(352)을 제거하고 도전성 범프 패드(360)와 다이싱 스트리트(320)를 병합함으로써 VP 간격(212)의 폭에 따라 감소된다.

[0031] [0043] 도 4a는 본 개시내용의 양상에 따른 개방-패시베이션 도전성 범프 패드를 포함하는 도전성 범프 어셈블리의 단면도를 도시한다. 대표적으로, 도전성 범프 어셈블리(400)는 패시베이션(예컨대, 유전체) 층들 및 도전성 범프 패드(460)를 지지하는 유리 기판(402)을 또한 포함한다. 도전성 범프 어셈블리(400)는 도 3a에 도시된 도전성 범프 어셈블리(300)와 유사할 수 있다. 그러나, 이러한 어레이먼트에서, 도전성 범프(462)는 도전성 범프 어셈블리(400)를 완성하기 위해 도전성 범프 패드(460) 상에 제조된다.

- [0032] [0044] 도전성 범프 어셈블리(400)는 제3 패시베이션 층(430)(V2)에 의해 지지되는 제2 패시베이션 층(440)(V3)에 의해 지지되는 제1 패시베이션 층(450)(VP)을 포함한다. 이러한 어레이먼트에서, 제2 패시베이션 층(440)(V3)의 제2 패시베이션 층 개구는 또한 도전성 범프 패드(460)를 둘러싸는 제1 패시베이션 층(450)(VP)의 제1 패시베이션 층 개구와 병합된다. 이러한 프로세스는 도전성 범프 패드(460)의 위치를 다이싱 스트리트(320)(도 3a)에 더 가깝게 푸시함으로써 도전성 범프 어셈블리(400)에 감소된 풋프린트(예컨대,  $1.5 \times 1.5 \text{ mm}^2$ )를 제공한다. 도전성 범프 어셈블리(400)의 감소된 풋프린트는, 도 4b에 도시된 바와 같이, VP 블록(452)을 제거함으로써 상당한 측면 감소(예컨대, 85 마이크론)를 포함한다.
- [0033] [0045] 도 4b는 또한 도 3b에 도시된 도전성 범프 어셈블리의 단면도를 예시한다. 도전성 범프 어셈블리(470)는 도 3b에 도시된 도전성 범프 어셈블리(370)와 유사하여, 유리 기판(402) 상에서 제3 패시베이션 층(430)(V2)에 의해 지지되는 제2 패시베이션 층(440)(V3)에 의해 지지되는 제1 패시베이션 층(450)(VP)을 포함할 수 있다. 그러나, 이러한 어레이먼트에서, 도전성 범프(462)는 도전성 범프 어셈블리(470)를 완성하기 위해 도전성 범프 패드(460) 상에 제조된다.
- [0034] [0046] 이러한 어레이먼트에서, 도전성 범프 패드(460)는 제1 패시베이션 층(450)의 VP 블록(452)에 의해 다이싱 스트리트(320)(도 3b)로부터 오프셋된다. VP 블록(452)에 의해 소비되는 공간은 도 4a에 도시된 도전성 범프 어셈블리(400)의 감소된 풋프린트(예컨대,  $1.5 \times 1.5 \text{ mm}^2$ )에 비해 증가된 풋프린트(예컨대  $1.6 \times 1.6 \text{ mm}^2$ )를 도전성 범프 어셈블리(470)에 제공한다. 도전성 범프 어셈블리(400)의 감소된 풋프린트는, 도 4b에 도시된 바와 같이, VP 블록(452)을 제거함으로써 실질적인 크기 감소(예컨대, 11 %)를 포함한다. VP 블록(452)의 제거는 또한 도전성 범프 어셈블리(470)의 VP 대 VP 간격 규칙을 회피함으로써 도전성 범프 어셈블리(400)의 제조를 가능하게 한다.
- [0035] [0047] 도 5는 본 개시내용의 양상에 따른 개방-패시베이션 도전성 범프 패드를 포함하는 도전성 범프 어셈블리를 구성하는 방법(500)을 예시하는 프로세스 흐름도이다. 블록(502)에서, 도전성 범프 패드는 도전성 범프 어셈블리를 지지하는 패시브 기판의 에지에서 제조된다. 예컨대, 도 3a에 도시된 바와 같이, 도전성 범프 패드(360)는 유리 기판(302)의 에지에서 다이싱 스트리트(320) 근처에서 제2 패시베이션 층(340) 상에 BEOL(back-end-of-line) 도전성 상호연결 층(예컨대, 금속 4(M4))을 증착함으로써 형성될 수 있다. 이러한 어레이먼트에서, 도전성 범프 패드(360)의 위치는 도 3b에 도시된 VP 블록(352)을 제거함으로써 다이싱 스트리트(320)로 푸시된다.
- [0036] [0048] 도 5를 다시 참조하면, 블록(504)에서, 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구는 패시브 기판의 에지 근처에서, 도전성 범프 패드를 둘러싸는 제2 패시베이션 층 개구와 병합된다. 예로서, 도 3a의 배치도(303)에 도시된 바와 같이, 제2 패시베이션 층(340)(V3)의 제2 패시베이션 층 개구는, 도전성 범프 패드(360)를 둘러싸는 병합된 제1 패시베이션 층 개구 및 제2 패시베이션 층 개구를 형성하기 위해, 제1 패시베이션 층(350) 및 제2 패시베이션 층(340)을 마스크함으로써, 다이싱 스트리트(320) 근처에서 도전성 범프 패드(360)를 둘러싸는 제1 패시베이션 층(350)(VP)의 제1 패시베이션 층 개구와 병합된다. 도 5의 블록(506)에서, 도전성 물질이 도전성 범프 패드 상에 증착된다.
- [0037] [0049] 도 4a에 도시된 바와 같이, 도전성 범프(462)는 도전성 범프 어셈블리(400)를 완성하기 위해 도전성 범프 패드(460) 상에 제조된다. 이러한 어레이먼트에서, 도전성 범프(462)는, 땀납 볼(solder ball)로서 도전성 범프(462)를 형성하기 위해, 도전성 범프 패드(460) 상의 도전성 범프 패드 상에 땀납 물질을 증착함으로써 제조된다. 이러한 프로세스는 NSMD(non-solder mask defined) 프로세스를 사용하여 제2 패시베이션 층(440) 상에 랜딩 패턴을 먼저 규정함으로써 수행될 수 있다.
- [0038] [0050] 본 개시내용의 추가의 양상에 따라, 개방-패시베이션 도전성 범프 패드를 포함하는 도전성 범프 어셈블리가 설명된다. 도전성 범프 어셈블리는, 패시브 기판 상에 있고, 패시브 기판의 에지 근처에서 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 병합되는 제2 패시베이션 층 개구를 포함할 수 있다. 도전성 범프 어셈블리는 또한 도전성 범프 패드 상에서 어셈블링하기 위한 수단을 포함한다. 어셈블링 수단은 도 4a에 도시된 도전성 범프(462)일 수 있다. 다른 양상에서, 상술된 수단은 상술된 수단에 의해 인용된 기능들을 수행하도록 구성된 임의의 층, 모듈 또는 임의의 장치일 수 있다.
- [0039] [0051] 본 개시내용의 다양한 양상들은, RF 프론트 엔드 및 캐리어 어그리게이션 애플리케이션들에서 저가, 고성능의 RF 디바이스 기술 플랫폼을 가능하게 하기 위해, 다이 영역 경계에서 더미 영역을 감소시키기 위한 기술들을 제공한다. 일반적으로, 일단 웨이퍼 상의 집적 회로들의 제조가 완료되면, 웨이퍼는 다이싱 라인들(예컨

대, 다이싱 스트리트들)을 따라 분할된다. 다이싱 라인들은 웨이퍼가 쪼개지거나 조각들로 분리될 곳을 표시한다. 다이싱 라인들은 웨이퍼 상에 제조된 다양한 집적 회로들의 윤곽을 정할 수 있다. 일단 다이싱 라인이 정해지면, 웨이퍼는 조각들로 소잉되거나 그렇지 않다면 분리되어 다이를 형성할 수 있다. 이러한 프로세스 다음에, 다이 영역 경계는 다이싱 톱날(Kerf) 및 최종 패시베이션 층(VP) 간격에 의해 생성된 그루브에 따라 비-기능적 경계 영역을 포함할 수 있다. 이러한 예에서, 비-기능적 경계 영역의 폭은 물리적 다이 영역의 상당한 퍼센티지일 수 있는 더미 영역을 발생시킨다.

[0040] [0052] 본 개시내용의 일 양상에서, 개방-패시베이션 볼 그리드 어레이 패드들을 포함하는 도전성 범프 어셈블리는 다이 영역 경계에서 더미 영역의 감소를 가능하게 한다. 도전성 범프 어셈블리는, 패시브 기관에 의해 지지되고 제1 패시베이션 층 개구에 의해 둘러싸인 도전성 범프 패드를 포함할 수 있다. 도전성 범프 어셈블리는 또한, 패시브 기관 상에 있고, 패시브 기관의 에지 근처에서 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구와 병합되는 제2 패시베이션 층 개구를 포함할 수 있다. 이러한 어레이먼트에서, 도전성 범프 패드와 다이싱 스트리트 간의 제1 패시베이션 층 블록은 도전성 범프 어셈블리를 지지하는 패시브 기관의 에지에서 제거된다. 일단 제거되면, 도전성 범프 패드를 둘러싸는 제1 패시베이션 층 개구는 패시브 기관의 에지에서 다이싱 스트리트 근처에서, 도전성 범프 패드를 둘러싸는 제2 패시베이션 층 개구와 병합된다.

[0041] [0053] 도 6은 본 개시내용의 양상에 따라 개방-패시베이션 볼 그리드 어레이 패드들을 포함하는 POG(passive on glass) 디바이스를 사용하는 RF(radio frequency) 프론트 엔드(RFFE) 모듈(600)의 개략도이다. RF 프론트 엔드 모듈(600)은 전력 증폭기들(602), 듀플렉서/필터들(604) 및 RF(radio frequency) 스위치 모듈(606)을 포함한다. 전력 증폭기들(602)은 송신을 위해 신호(들)를 소정의 전력 레벨로 증폭한다. 듀플렉서/필터들(604)은 주파수, 삽입 손실, 거절 또는 다른 유사한 파라미터들을 포함하는 다양한 상이한 파라미터들에 따라 입력/출력 신호들을 필터링한다. 또한, RF 스위치 모듈(606)은 RF 프론트 엔드 모듈(600)의 잔여부로 전달하기 위해 입력 신호들 중 소정의 부분들을 선택할 수 있다.

[0042] [0054] RF 프론트 엔드 모듈(600)은 또한 튜너 회로(612)(예컨대, 제1 튜너 회로(612A) 및 제2 튜너 회로(612B)), 다이플렉서(619), 커패시터(616), 인덕터(618), 접지 단자(615) 및 안테나(614)를 포함한다. 튜너 회로(612)(예컨대, 제1 튜너 회로(612A) 및 제2 튜너 회로(612B))는 튜너, PDET(portable data entry terminal) 및 HKADC(house keeping analog to digital converter)와 같은 컴포넌트들을 포함한다. 튜너 회로(612)는 안테나(614)에 대한 임피던스 튜닝(예컨대, VSWR(voltage standing wave ratio) 최적화)을 수행할 수 있다. RF 프론트 엔드 모듈(600)은 또한 무선 트랜시버(wireless transceiver; WTR)(620)에 커플링되는 패시브 결합기(608)를 포함한다. 패시브 결합기(608)는 제1 튜너 회로(612A) 및 제2 튜너 회로(612B)로부터의 검출된 전력을 결합한다. 무선 트랜시버(620)는 패시브 결합기(608)로부터의 정보를 프로세싱하고 이 정보를 모뎀(630)(예컨대, MSM(mobile station modem))에 제공한다. 모뎀(630)은 애플리케이션 프로세서(application processor; AP)(640)에 디지털 신호를 제공한다.

[0043] [0055] 도 6에 도시된 바와 같이, 다이플렉서(619)는 튜너 회로(612)의 튜너 컴포넌트와 커패시터(616), 인덕터(618) 및 안테나(614) 사이에 있다. 다이플렉서(619)는 RF 프론트 엔드 모듈(600)로부터 무선 트랜시버(620), 모뎀(630) 및 애플리케이션 프로세서(640)를 포함하는 칩셋으로 높은 시스템 성능을 제공하기 위해 안테나(614)와 튜너 회로(612) 사이에 배치될 수 있다. 또한, 다이플렉서(619)는 고대역 주파수들 및 저대역 주파수들 둘 모두 상에서 주파수 도메인 멀티플렉싱을 수행한다. 다이플렉서(619)가 입력 신호들에 대해 그의 주파수 멀티플렉싱 기능들을 수행한 후, 다이플렉서(619)의 출력은 커패시터(616) 및 인덕터(618)를 포함하는 선택적인 LC(인덕터/커패시터) 네트워크에 공급된다. LC 네트워크는, 원할 때, 안테나(614)에 대한 추가의 임피던스 매칭 컴포넌트들을 제공할 수 있다. 그 후, 특정 주파수를 갖는 신호가 안테나(614)에 의해 송신되거나 수신된다. 단일 커패시터 및 인덕터가 도시되지만, 다수의 컴포넌트들이 또한 고려된다.

[0044] [0056] 도 7은 본 개시내용의 양상에 따라 캐리어 어그리게이션을 제공하기 위해 칩셋(760)에 대해 제1 다이플렉서(790-1)를 포함하는 WiFi 모듈(770) 및 제2 다이플렉서(790-2)를 포함하는 RF 프론트 엔드 모듈(750)의 개략도(700)이다. WiFi 모듈(770)은 안테나(792)를 무선 로컬 영역 네트워크 모듈(예컨대, WLAN 모듈(772))에 통신 가능하게 커플링하는 제1 다이플렉서(790-1)를 포함한다. RF 프론트 엔드 모듈(750)은 듀플렉서(780)를 통해 안테나(794)를 무선 트랜시버(WTR)(720)에 통신 가능하게 커플링하는 제2 다이플렉서(790-2)를 포함한다. 무선 트랜시버(720) 및 WiFi 모듈(770)의 WLAN 모듈(772)은, 전력 관리 집적 회로(power management integrated circuit; PMIC)(756)를 통해 전력 공급기(752)에 의해 전력이 공급되는 모뎀(MSM, 예컨대, 기저대역 모뎀)(730)에 커플링된다. 칩셋(760)은 또한 신호 무결성을 제공하기 위해 커패시터들(762 및 764)은 물론 인덕터(들)(766)를 포함한다. PMIC(756), 모뎀(730), 무선 트랜시버(720) 및 WLAN 모듈(772)은 각각 커패시터



들(예컨대, 758, 732, 722 및 774)을 포함하고 클록(754)에 따라 동작한다. 칩셋(760)의 다양한 인터랙터 및 커넥터 컴포넌트들의 지오메트리 및 어레이먼트는 컴포넌트들 간의 전자기 커플링을 감소시킬 수 있다.

[0045] [0057] 도 8은, 본 개시내용의 양상이 유리하게 이용될 수 있는 예시적인 무선 통신 시스템(800)을 도시하는 블록도이다. 예시의 목적들을 위해, 도 8은 3개의 원격 유닛들(820, 830, 및 850) 및 2개의 기지국들(840)을 도시한다. 무선 통신 시스템들은 훨씬 더 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것이 인지될 것이다. 원격 유닛들(820, 830, 및 850)은 개시된 개방-패시베이션 볼 그리드 어레이 패드들을 포함하는 IC 디바이스들(825A, 825C, 및 825B)을 포함한다. 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 다른 디바이스들이 개시된 개방-패시베이션 볼 그리드 어레이 패드들을 또한 포함할 수 있다는 것이 인지될 것이다. 도 8은, 기지국(840)으로부터 원격 유닛들(820, 830, 및 850)로의 순방향 링크 신호들(880) 및 원격 유닛들(820, 830, 및 850)로부터 기지국들(840)로의 역방향 링크 신호들(890)을 도시한다.

[0046] [0058] 도 8에서, 원격 유닛(820)은 모바일 전화로서 도시되고, 원격 유닛(830)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(850)은 무선 로컬 루프 시스템의 고정 위치 원격 유닛으로서 도시된다. 예컨대, 원격 유닛들은, 모바일 폰, 핸드-헬드 개인 통신 시스템(PCS) 유닛, PDA(personal digital assistant)와 같은 휴대용 데이터 유닛, GPS-인에이블 디바이스, 내비게이션 디바이스, 셋 톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 검침 장비(meter reading equipment)와 같은 고정 위치 데이터 유닛, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브(retrieve)하는 다른 통신 디바이스, 또는 이들의 결합들일 수 있다. 도 8이 본 개시내용의 양상들에 따른 원격 유닛들을 예시하지만, 본 개시내용은 이들 예시적인 예시된 유닛들로 제한되지 않는다. 본 개시내용의 양상들은 개시된 개방-패시베이션 볼 그리드 어레이 패드들을 포함하는 많은 디바이스들에서 적절하게 이용될 수 있다.

[0047] [0059] 도 9는, 위에 개시된 개방-패시베이션 볼 그리드 어레이 패드들과 같은 반도체 컴포넌트의 회로, 배치, 및 로직 설계를 위해 사용되는 설계 워크스테이션을 예시하는 블록도이다. 설계 워크스테이션(900)은, 운영체제 소프트웨어, 지원 파일들, 및 Cadence 또는 OrCAD와 같은 설계 소프트웨어를 포함하는 하드 디스크(901)를 포함한다. 설계 워크스테이션(900)은 또한, 개방-패시베이션 볼 그리드 어레이 패드들과 같은 반도체 컴포넌트(912) 또는 회로(910)의 설계를 용이하게 하기 위한 디스플레이(902)를 포함한다. 회로 설계(910) 또는 반도체 컴포넌트(912)를 유형으로(tangibly) 저장하기 위한 저장 매체(904)가 제공된다. 회로 설계(910) 또는 반도체 컴포넌트(912)는 GDSII 또는 GERBER와 같은 파일 포맷으로 저장 매체(904) 상에 저장될 수 있다. 저장 매체(904)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리, 또는 다른 적절한 디바이스일 수 있다. 또한, 설계 워크스테이션(900)은 저장 매체(904)로부터 입력을 수용하거나 저장 매체(904)에 출력을 기록하기 위한 드라이브 장치(903)를 포함한다.

[0048] [0060] 저장 매체(904) 상에 레코딩된 데이터는, 로직 회로 구성들, 포토리소그래피 마스크들에 대한 패턴 데이터, 또는 전자 빔 리소그래피와 같은 시리얼 기록 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 추가로, 로직 시뮬레이션들과 연관된 타이밍 도면들 또는 네트(net) 회로들과 같은 로직 검증 데이터를 포함할 수 있다. 저장 매체(904) 상에 데이터를 제공하는 것은, 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 회로 설계(910) 또는 반도체 컴포넌트(912)의 설계를 용이하게 한다.

[0049] [0061] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 본원에서 설명된 기능들을 수행하는 모듈들(예컨대, 절차들, 함수들 등)을 이용하여 구현될 수 있다. 명령들을 유형으로 구현하는 머신-판독 가능 매체가 본원에서 설명된 방법들을 구현하는데 있어 사용될 수 있다. 예컨대, 소프트웨어 코드들은 메모리에 저장될 수 있고, 프로세서 유닛에 의해 실행될 수 있다. 메모리는, 프로세서 유닛 내부 또는 프로세서 유닛 외부에서 구현될 수 있다. 본원에서 사용되는 바와 같이, 용어 "메모리"는, 장기, 단기, 휘발성, 비휘발성, 또는 다른 메모리의 유형들을 지칭하며, 특정한 메모리의 유형 또는 메모리들의 개수, 또는 메모리가 저장될 매체들의 유형으로 제한되는 것은 아니다.

[0050] [0062] 펌웨어 및/또는 소프트웨어로 구현되는 경우, 기능들은 컴퓨터-판독 가능 매체 상에 하나 또는 그 초과 명령들 또는 코드로서 저장될 수 있다. 예들은, 데이터 구조로 인코딩된 컴퓨터-판독 가능 매체들, 및 컴퓨터 프로그램으로 인코딩된 컴퓨터-판독 가능 매체들을 포함한다. 컴퓨터-판독 가능 매체들은 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 이용 가능한 매체일 수 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독 가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있고; 본원에 사용된 바

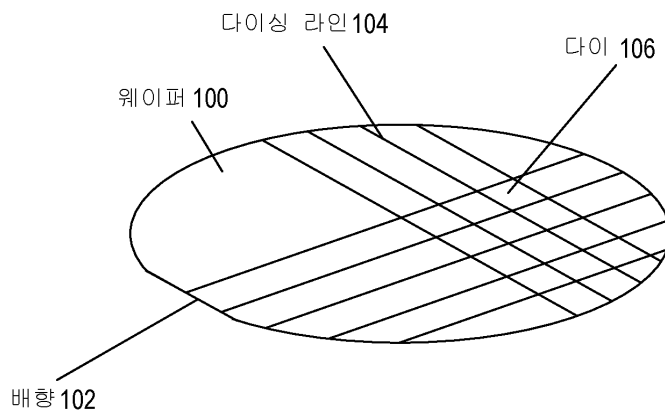
와 같이, 디스크(disk) 및 디스크(disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 Blu-ray 디스크(disc)를 포함하며, 여기서, 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 위의 것들의 결합들이 또한 컴퓨터-판독 가능 매체들의 범위 내에 포함되어야 한다.

[0051] [0063] 컴퓨터 판독-가능 매체 상의 저장에 부가하여, 명령들 및/또는 데이터는 통신 장치에 포함된 송신 매체들 상에서 신호들로서 제공될 수 있다. 예컨대, 통신 장치는, 명령들 및 데이터를 표시하는 신호들을 갖는 트랜시버를 포함할 수 있다. 명령들 및 데이터는 하나 또는 그 초과 프로세서들로 하여금, 청구항들에서 약속된 기능들을 구현하게 하도록 구성된다.

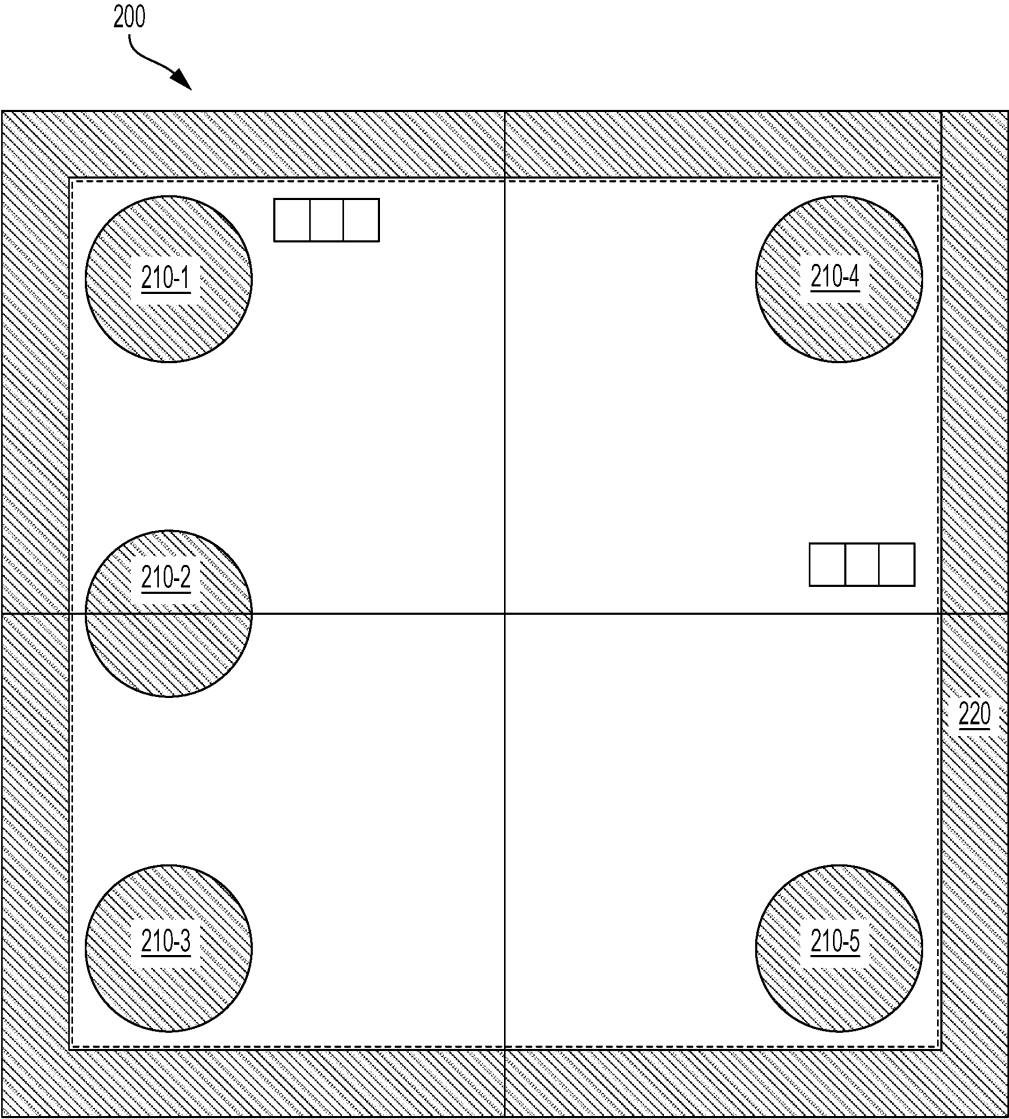
[0052] [0064] 본 개시내용 및 그의 이점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같은 본 개시내용의 기술을 벗어나지 않으면서, 다양한 변화들, 치환들 및 변경들이 본원에서 행해질 수 있다는 것이 이해되어야 한다. 예컨대, "위" 및 "아래"와 같은 관계 용어들이 기관 또는 전자 디바이스에 대해 사용된다. 물론, 기관 또는 전자 디바이스가 뒤집히면, 위가 아래가 되고, 아래가 위가 된다. 부가적으로, 옆쪽들로 지향되면, 위 및 아래는 기관 또는 전자 디바이스의 측면들을 지칭할 수 있다. 또한, 본 출원의 범위는, 명세서에서 설명된 프로세스, 머신, 제조 및 물질의 조성, 수단, 방법들 및 단계들의 특정한 구성들로 제한되도록 의도되지는 않는다. 당업자가 본 개시내용으로부터 쉽게 인지할 바와 같이, 본원에서 설명된 대응하는 구성들과 실질적으로 동일한 기능을 수행하거나 또는 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 추후에 개발될 프로세스들, 머신들, 제조, 물질의 조성, 수단, 방법들, 또는 단계들은 본 개시내용에 따라 활용될 수 있다. 따라서, 첨부된 청구항들은 그러한 프로세스들, 머신들, 제조, 물질의 조성, 수단, 방법들, 또는 단계들을 그들의 범위 내에 포함하도록 의도된다.

## 도면

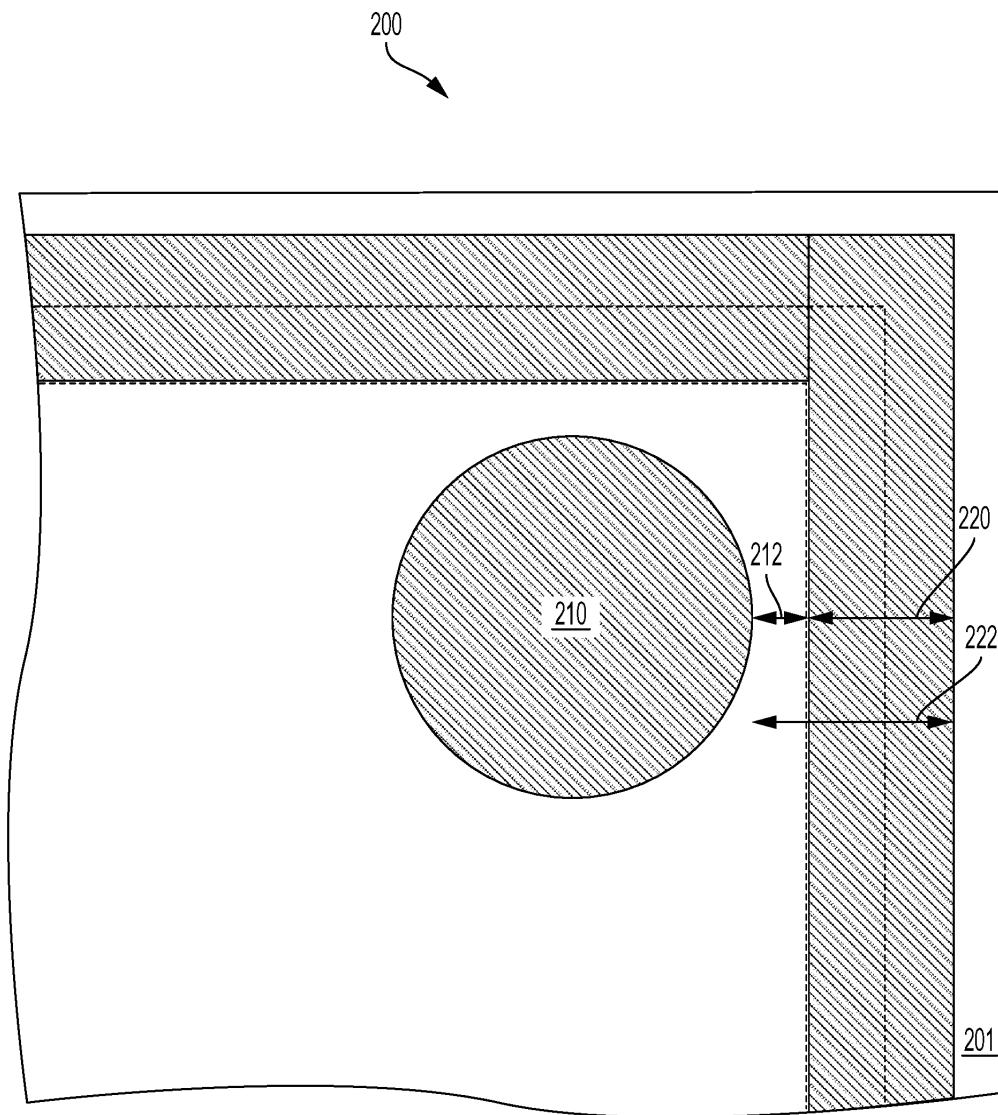
### 도면1



도면2a

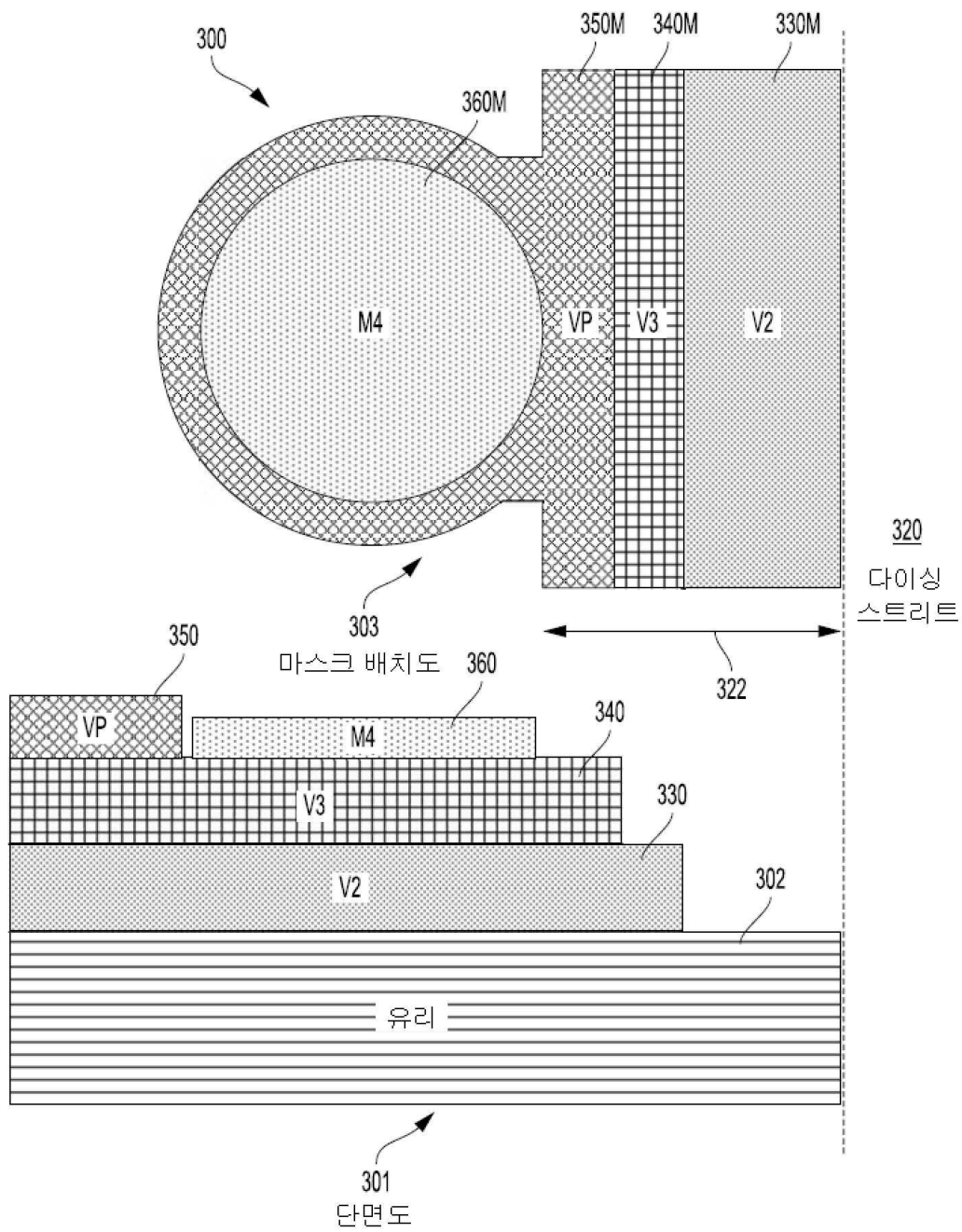


도면2b

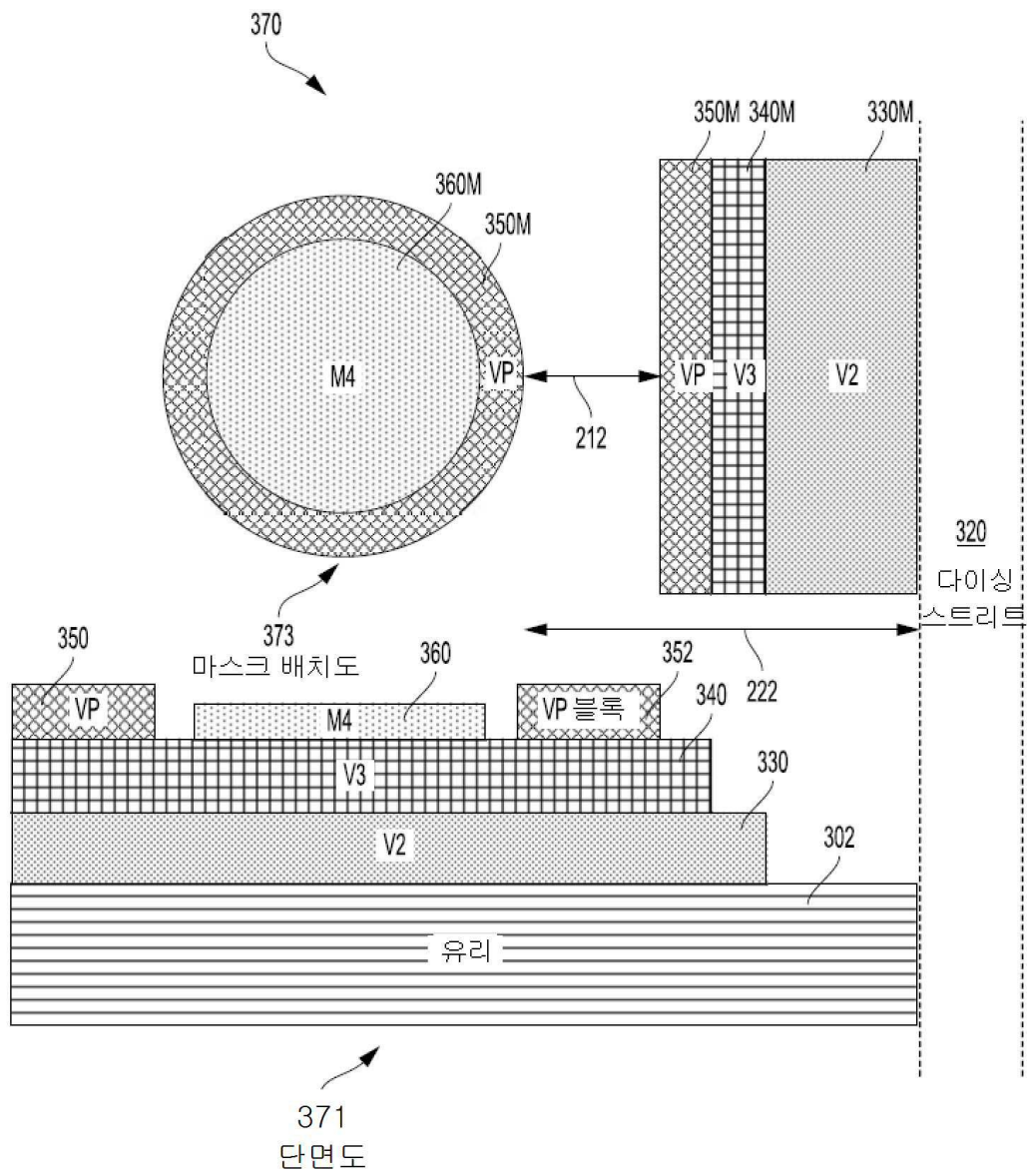




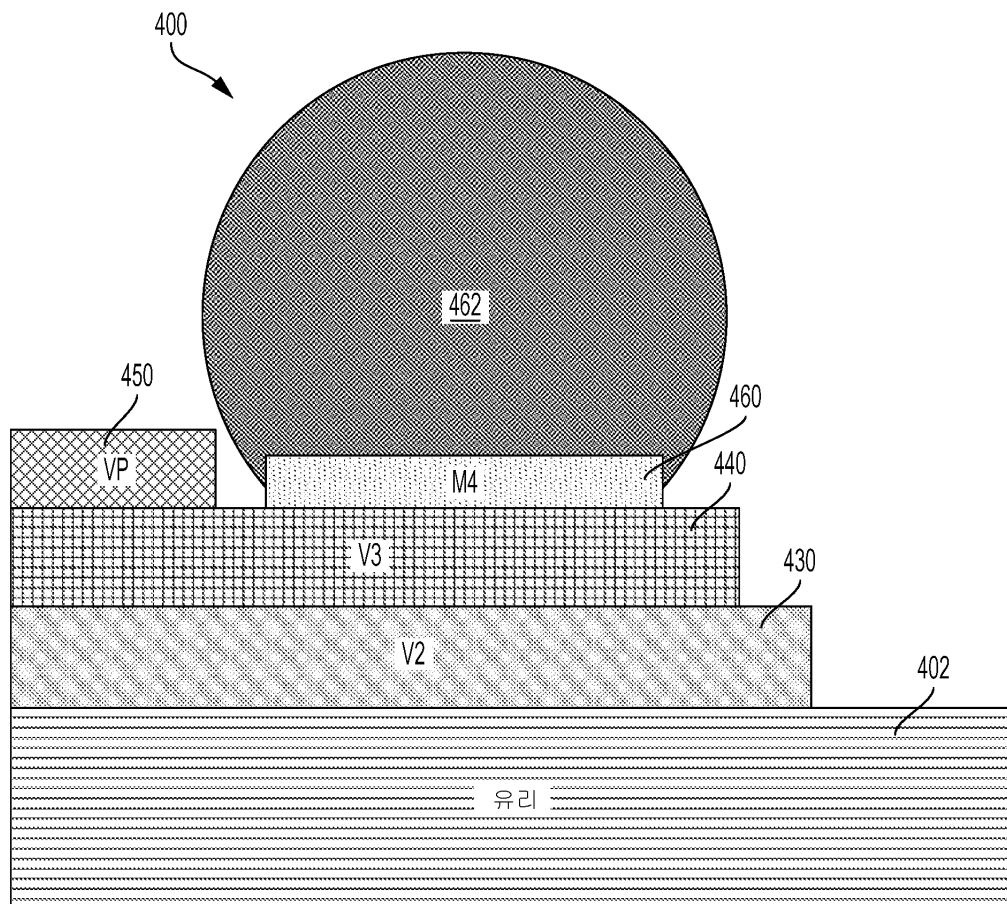
도면3a



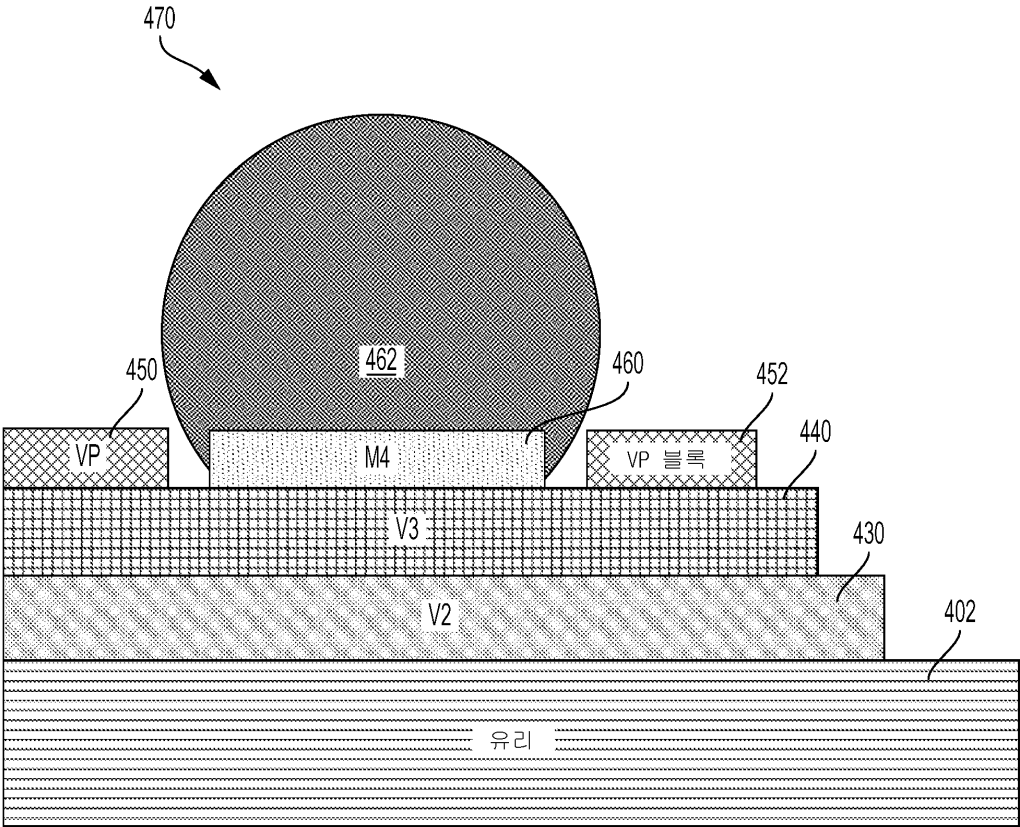
도면 3b



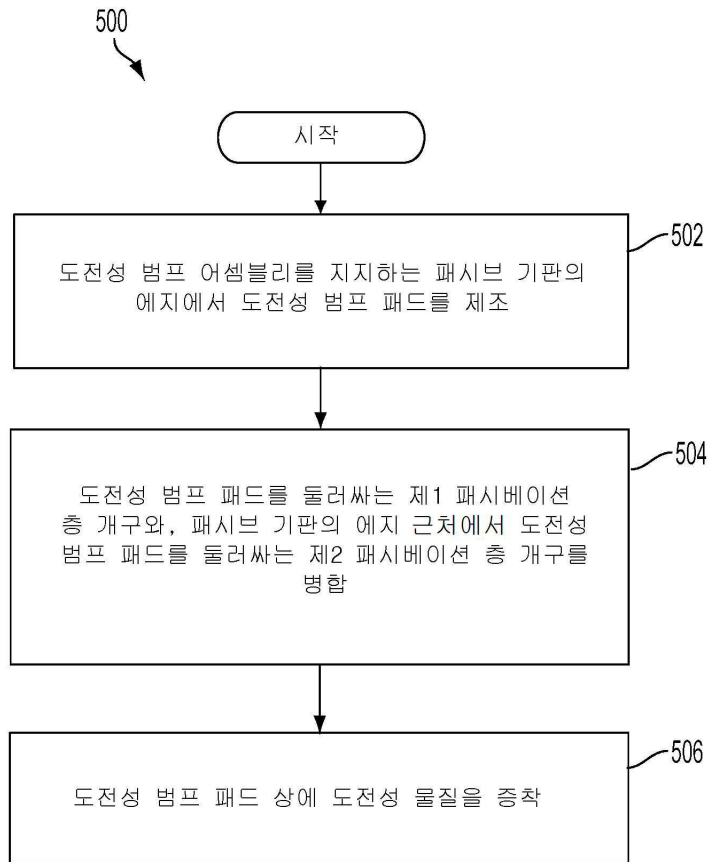
도면4a



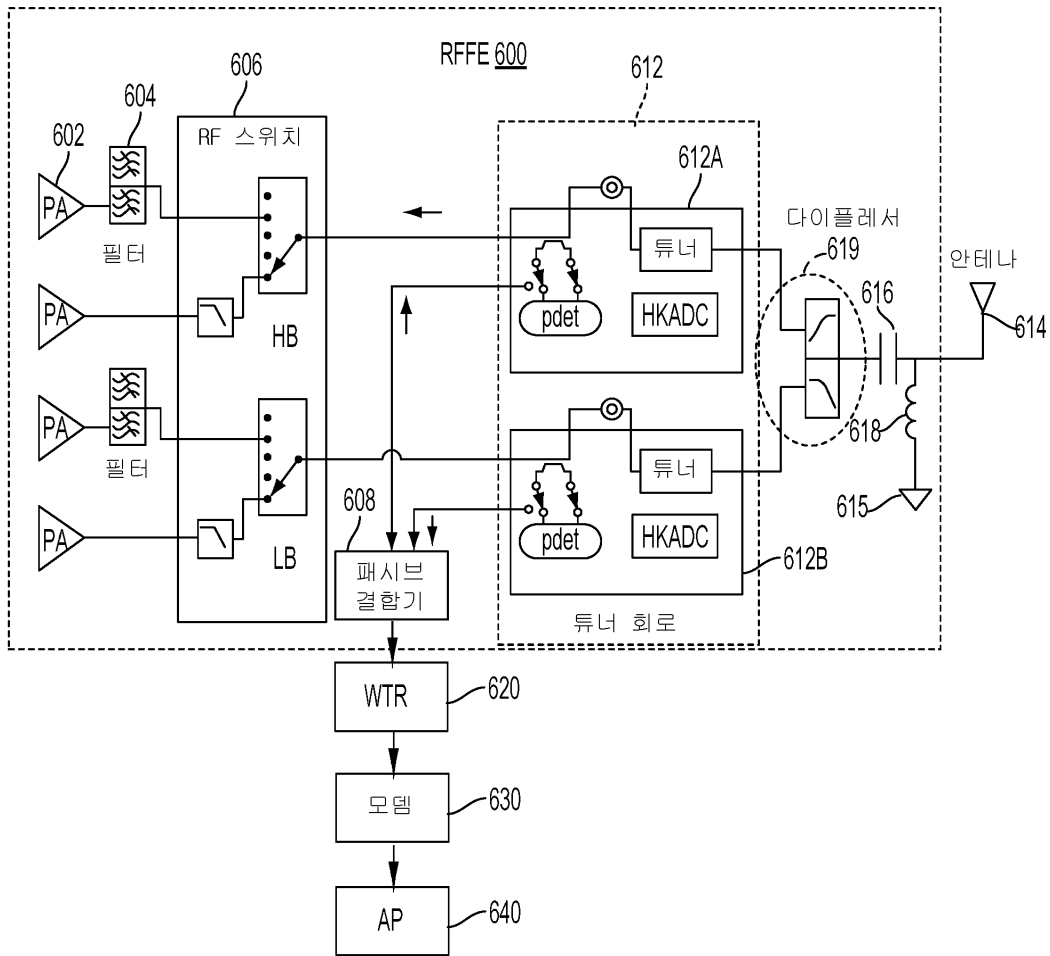
도면4b



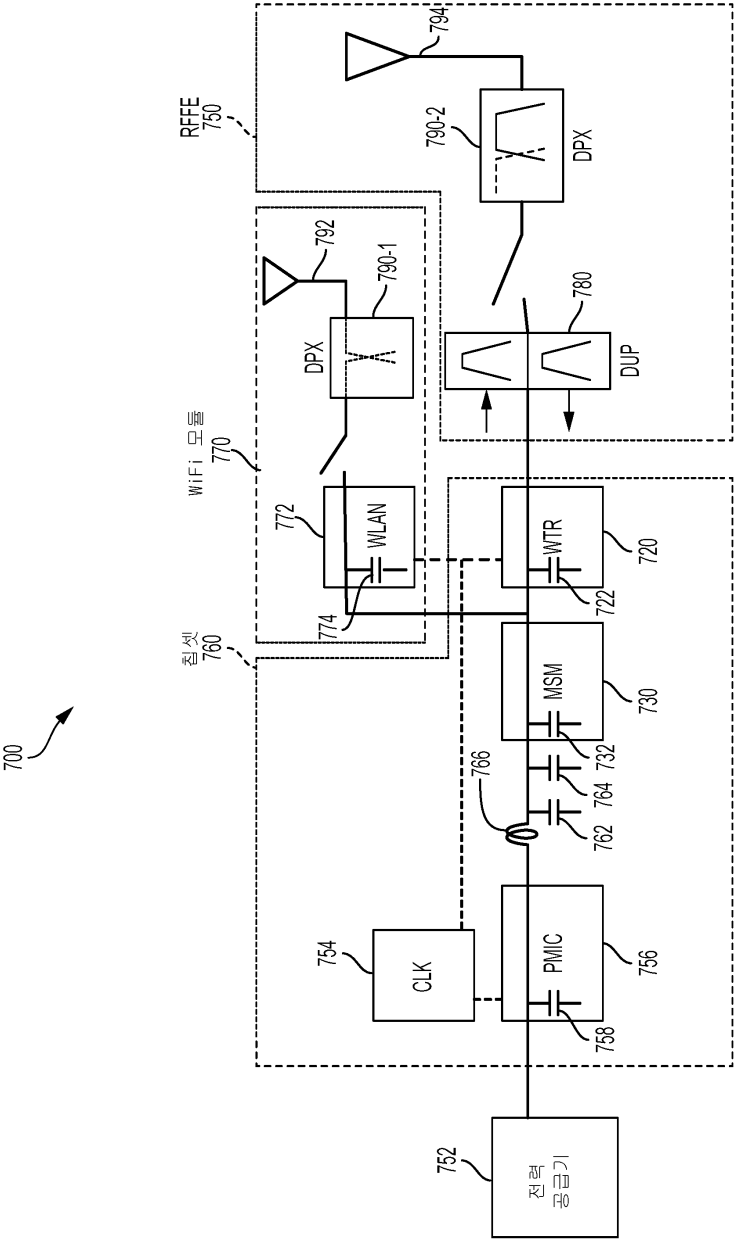
도면5



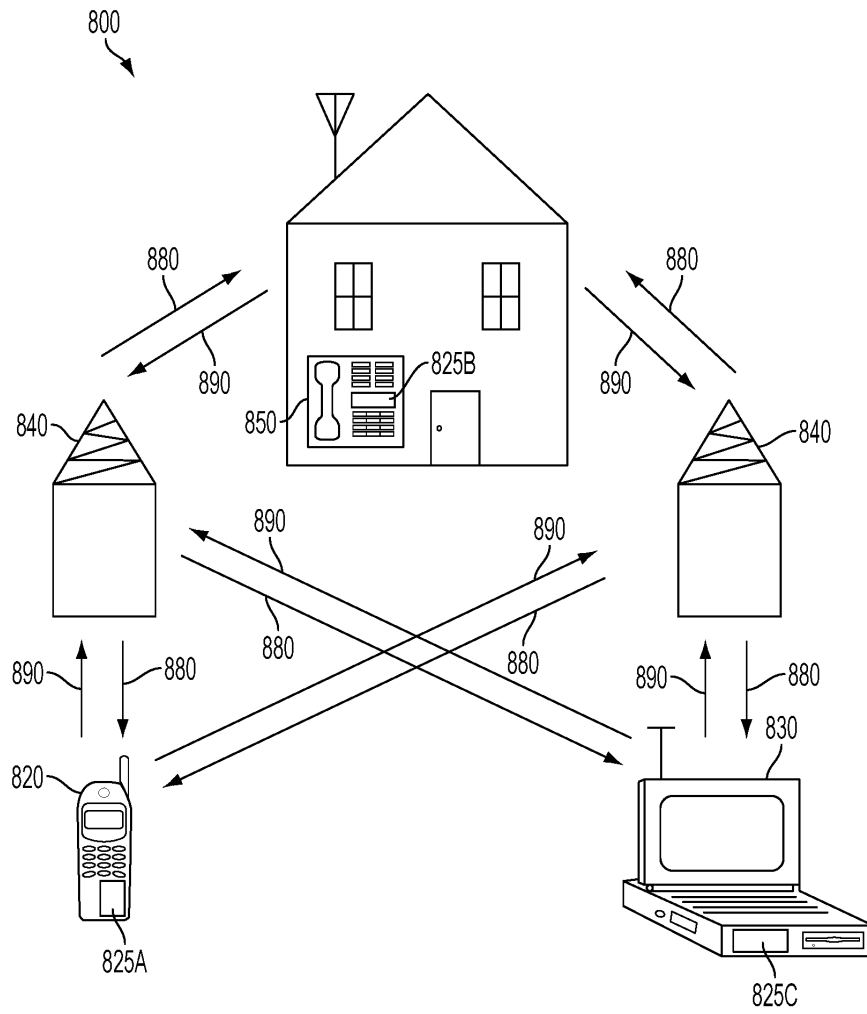
도면6



도면7

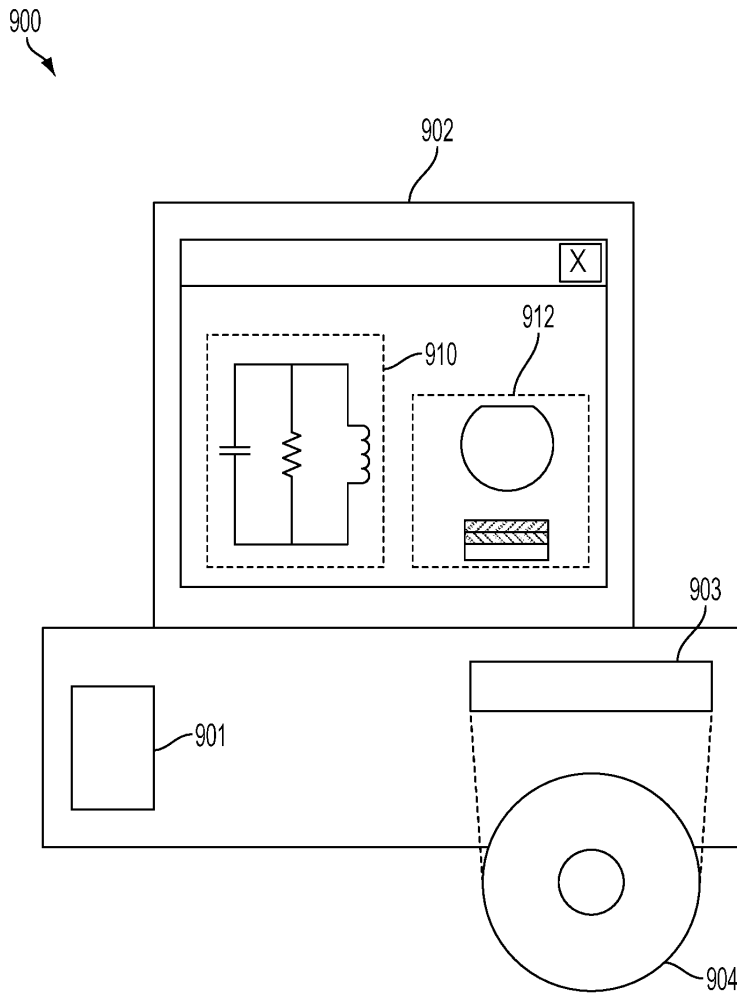


도면8





도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

RF(radio frequency) 필터에 통합되는 도전성 범프 어셈블리(conductive bump assembly)로서,  
유리 기판;

상기 유리 기판의 표면 상의 제3 패시베이션 층(passivation layer);

제1 패시베이션 층의 개구에 의해 둘러싸인 도전성 범프 패드(conductive bump pad);

상기 제3 패시베이션 층 상에 있고, 상기 제1 패시베이션 층 및 상기 도전성 범프 패드를 지지하는 제2 패시베이션 층 — 상기 제2 패시베이션 층은, 제1 패시베이션 층 블록이 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 제거되어 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 상기 제2 패시베이션 층의 표면을 노출시키도록, 상기 제3 패시베이션 층의 개구를 통해 상기 유리 기판의 표면을 노출시키고 상기 제1 패시베이션 층의 개구와 병합되는 개구를 가짐 —; 및

상기 도전성 범프 패드 상의 도전성 범프를 포함하는,

도전성 범프 어셈블리.

【변경후】

RF(radio frequency) 필터에 통합되는 도전성 범프 어셈블리(conductive bump assembly)로서,

유리 기판;

상기 유리 기판의 표면 상의 제3 패시베이션 층(passivation layer);

제1 패시베이션 층의 개구에 의해 둘러싸인 도전성 범프 패드(conductive bump pad);

상기 제3 패시베이션 층 상에 있고, 상기 제1 패시베이션 층 및 상기 도전성 범프 패드를 지지하는 제2 패시베이션 층 — 상기 제2 패시베이션 층은, 제1 패시베이션 층 블록이 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 제거되어 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 상기 제2 패시베이션 층의 표면을 노출시키도록, 상기 제3 패시베이션 층의 개구를 통해 상기 유리 기판의 표면을 노출시키고 상기 제1 패시베이션 층의 개구와 병합되는 개구를 가짐 —; 및

상기 도전성 범프 패드 상의 도전성 범프를 포함하는,

도전성 범프 어셈블리.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

RF(radio frequency) 필터에 통합되는 도전성 범프 어셈블리로서,

유리 기판;

상기 유리 기판의 표면 상의 제3 패시베이션 층;

제1 패시베이션 층의 개구에 의해 둘러싸인 도전성 범프 패드;

상기 제3 패시베이션 층 상에 있고, 상기 제1 패시베이션 층 및 상기 도전성 범프 패드를 지지하는 제2 패시베이션 층 — 상기 제2 패시베이션 층은, 제1 패시베이션 층 블록이 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 제거되어 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 상기 제2 패시베이션 층의 표면을 노출시키도록, 상기 제3 패시베이션 층의 개구를 통해 상기 유리 기판의 표면을 노출시키고 상기 제1 패시베이션 층의 개구와 병합되는 개구를 가짐 —; 및

상기 도전성 범프 패드 상의 어셈블링하기 위한 수단을 포함하는,

도전성 범프 어셈블리.

【변경후】

RF(radio frequency) 필터에 통합되는 도전성 범프 어셈블리로서,

유리 기판;

상기 유리 기판의 표면 상의 제3 패시베이션 층;

제1 패시베이션 층의 개구에 의해 둘러싸인 도전성 범프 패드;

상기 제3 패시베이션 층 상에 있고, 상기 제1 패시베이션 층 및 상기 도전성 범프 패드를 지지하는 제2 패시베이션 층 — 상기 제2 패시베이션 층은, 제1 패시베이션 층 블록이 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 제거되어 상기 도전성 범프 패드와 상기 유리 기판의 에지 근처 사이에서 상기 제2 패시베이션 층의 표면을 노출시키도록, 상기 제3 패시베이션 층의 개구를 통해 상기 유리 기판의 표면을 노출시키고 상기 제1 패시베이션 층의 개구와 병합되는 개구를 가짐 —; 및

상기 도전성 범프 패드 상의 어셈블링하기 위한 수단을 포함하는,

도전성 범프 어셈블리.