[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 29/66
H01L 29/06
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 27/10

[12] 发明专利说明书

[21] ZL 专利号 01801126.8

[45] 授权公告日 2005 年 4 月 13 日

[11] 授权公告号 CN 1197167C

[22] 申请日 2001.3.27 [21] 申请号 01801126.8
[30] 优先权
[32] 2000. 4.28 [33] JP [31] 131633/2000
[86] 国际申请 PCT/JP2001/002469 2001.3.27
[87] 国际公布 WO2001/084634 日 2001.11.8
[85] 进入国家阶段日期 2001.12.28
[71] 专利权人 独立行政法人科学技术振兴机构
地址 日本琦玉县
[72] 发明人 森江隆 岩田穆 永田真
山中登志夫 松浦知宏
审查员 刘天飞

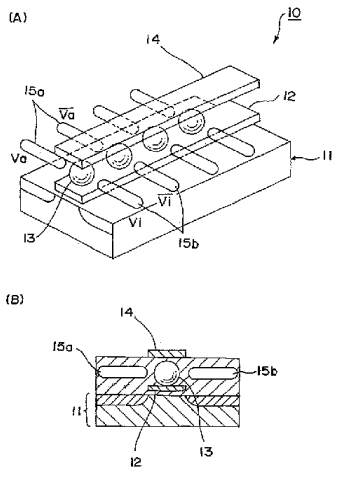
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 程天正 叶恺东

权利要求书 1 页 说明书 12 页 附图 15 页

[54] 发明名称 信息处理结构体

[57] 摘要

本发明是通过单电子动作可以得到高速稳定的动作的基于单电子电路的信息处理结构体，该信息处理结构体在微细的 MOSFET(11)的栅极电极(12)的正上方，形成纳米级大小的多个量子点(13)，在量子点与栅极电极之间构成电子能够直接穿过的能量势垒，利用在量子点与栅极电极之间移动的电子的总数来表示信息，构成为设置成电源的一个电源电极，使之与量子点接触，在量子点与电源电极(14)之间构成电子能够直接穿过的能量势垒，设置 2 个信息电极(15)，使之与量子点接触，量子点与信息电极进行电容耦合，电子根据由信息电极决定的电位，利用库仑阻断现象通过量子点，在电源电极与栅极电极之间移动。



ISSN1008-4274

1.一种信息处理结构体，该信息处理结构体是将多个由纳米级的微小导电体或者微小半导体构成的量子点，离开该量子点之间的电耦合为可忽略的电容耦合的距离而设置在 MOSFET 的栅极电极的正上方，在该量子点与上述栅极电极之间，形成由电子或者空穴构成的电荷载体能够直接穿过的能量势垒，利用在上述量子点与上述栅极电极之间移动的电荷载体的总数来表示信息，其特征在于：

具有与上述量子点接触的 1 个电源电极以及输入信息的至少 2 个信息电极，在上述量子点与上述电源电极之间形成电荷载体能够直接穿过的能量势垒，在上述量子点与上述信息电极之间以电荷载体不能够移动的电容结耦合，

电荷载体根据由上述信息电极决定的电位，利用库仑阻断现象通过上述量子点，在上述电源电极与上述栅极电极之间移动。

2.如权利要求 1 所述的信息处理结构体，其特征在于：

上述信息电极由微小导电体或者微小半导体构成的至少一个第 3 量子点构成，利用在该第 3 量子点中存储的电荷载体的个数来表示信息。

3.如权利要求 2 所述的信息处理结构体，其特征在于：

与由上述第 3 量子点构成的信息电极接触形成第 2 电源电极，在上述信息电极与上述第 2 电源电极之间形成电荷载体不能够直接穿过的能量势垒，

电荷载体利用施加在该能量势垒上的电压或者光能，在上述信息电极与上述第 2 电源电极之间移动。

信息处理结构体

技术领域

本发明涉及例如利用 10nm 至 0.3nm 左右的纳米级电子结构体进行信息处理的信息处理结构体，特别是涉及利用单电子动作检测图形的相似性的信息处理结构体。

背景技术

近年来，在半导体装置的制造中，伴随着半导体的微细加工技术的进步，已经能够制造例如 10nm 以下的所谓纳米级的结构体。如果利用这样的微细加工技术制做静电电容极小的结构体，则能够观测到该结构体内的一个电子的静电能量增长，其它的电子不能够进入该结构体内这样的所谓库仑阻断现象，同时，通过电子相互的库仑排斥力，能够控制各个电子的动作。

从而，通过把电子能够直接穿过的能量势垒（以下称为隧道结）与电子不能够直接穿过的势垒的结（以下称为电容结）组合起来，制做由电子能够存在的微小导电体或者微小半导体构成的微小区域（以下称为量子点），进而通过把这样的量子点组合起来，能够构成电子结构体。上述量子点众所周知，例如能够通过基于甲硅烷的减压 CVD 的硅量子点的自组织化形成方法而形成（参照 Mat. Res. Soc. Symp. Proc. 452（1997）243，“通过低压化学气相淀积自组装生成硅量子点（Self-Assembling Formation of Silicon Quantum Dots by Low Pressure Chemical Vapor Deposition）”）。

由这样的电子结构体得到的电子器件通过一个电子的移动能够进行器件动作。这样的电子结构体被称为所谓的单电子器件，现在已经提出了利用单电子器件的各种单电子电路。例如，作为单电子器件，能够构成与 CMOSFET 类似的互补型晶体管，还已经提出了使用这种互补型晶体管的单电子逻辑电路（参照 1992 年，J. R. Tucker“基于库仑阻断现象的互补数字逻辑（Complementary Digital Logic Based on the Coulomb Blockade）”，J. Appl. Phys.，vol.72，No.9，pp.4399-4413）。

但是，这样的单电子逻辑电路以往只是提出了把隧道结与电容器

组合起来的电路图水平的电路结构，还几乎没有进行作为实际电路的实现形态，即作为结构体的方案。

另外，关于存储器，提出了把以往浮置栅极结构微细化的「量子点浮置栅极存储器结构」，进而进行了尝试，但是，还没有进行用于实现逻辑的信息处理的电路实现形态，即作为结构体的方案。

作为重要的信息处理之一，有检测 2 个图形的相似性的处理。这是可以在联想存储器或矢量量化、运动预测等图形识别或者数据压缩等大范围的信息处理中利用的基本处理。

在这样的处理中，有作为表示数字图形相似性的指标的「汉明距离」。这是用数字图形相互之间不同的比特数定义的，比特数越小，则汉明距离越小，2 个图形的相似性越高，可以说 2 个图形相似了。这里，该汉明距离例如可以通过对于数字图形的各个比特计算“异”（XOR）、把成为 1 的加以综合来进行计算。

如图 14（A）所示，把由 2 个隧道结 1 以及 2 构成的单电子晶体管（以下称为 SET）与电容器 Co（例如 500aF）组合的电路示出基于上述库仑阻断现象的非单调特性（参照应用物理 第 66 卷 第 2 号（1997）P. 100），由此，在 2 个隧道结 1 以及 2 的中点，即，SET 的孤立节点 3 上分别经过电容器输入了电压 Va、Vb 时，根据 Va、Vb 的 H 电平或者 L 电平的组合，示出图 14（B）所示的输出电压 Vco 的时间特性。利用这样的特性，提出了通过 1 个 SET 与电容器 Co 的组合，实现 XNOR（异非）门的单电子逻辑电路（1998 年 T. YAMANAKA 等“利用单电子器件的随机相关存储器及其在数字模式关联上的应用（A Stochastic Associative Memory Using Single-Electron Devices and Its Application to Digit Pattern Association）”，in Ext. Abs. of Int. Conf. on Solid State Devices and Materials, pp. 190-191, Hiroshima, Sept. 1998）。

图 15 所示的单电子逻辑电路是在电源 Vdd 与电容器 Co 之间并联连接 2 个上述 SET，Va、Vb 的翻转电压也同时输入的所谓互补型结构。准备与数字图形的比特数相等个数的该单电子逻辑电路，在通过把它们与共同的电容器（Co）连接而构成的数字图形的比特比较器（参照图 16）中，把 Va 作为要进行比较的数字图形的比特电压，把 Vb 作为要进行比较的数字图形的比特电压，由此，在比特一致（Va = Vb）的

SET 对中，电子从电容器 Co 向电源 Vdd 移动，如在图 15（B）中所示，通过电容器电位 Vco 上升，一致的比特数越多则电容器电位 Vco 越迅速地上升。从而，通过调查电位上升的过渡变化，能够了解相对的汉明距离的大小。现在已经提出了基于这样结构的数字图形的比特比较器。

另外，由于用单电子器件构成的电路概率地进行动作，因此通过反过来积极地利用该概率，已知能够实现在现有的 CMOS 电路中难以实现的智能处理（参照上述 1998 年 山中等，以及 1998 年，M. Saen 等“利用单电子器件的随机相关存储器（A Stochastic Associative Memory Using Single-Electronic Devices）” IEICE Trans. Electron., vol. E81-C, No. 1, pp30-35, 1998）。

但是，这样的单电子逻辑电路并没有提出实际上制做什么样的结构体。

另外，由于随着时间的经过，电容器 Co 的电位 Vco 不依赖于汉明距离而成为一定，因此存在着在稳定状态下不能够测定汉明距离这样的问题。

另外，使用现存的 CMOS 逻辑电路的结构格式制做单电子逻辑电路，则原理上存在以下致命的问题。

即，第 1，由于在单电子电路的动作中作为基本的隧道现象是概率性的，因此为了使动作确定需要比较长的时间，动作速度缓慢。从而，在使用 CMOS 逻辑电路的结构格式的单电子逻辑电路中，与现有的 CMOS 电路相比较动作速度缓慢，没有优越性。

第 2，如果一个电子的静电能量不充分大于热能，则不能够得到稳定的单电子动作，因此为了在室温下使单电子逻辑电路动作，需要实现极小的电容，例如，为了使在室温下 10^{10} 个门以上的超大规模电路在长达 10 年左右的长时间内没有错误地进行动作，必须实现 10^{-20}F 级的电容（S. Shimano, K. Masu, and K. Tsubouchi, “基于 E_b/E_o-比特错误率特性的单电子晶体管电路的可靠性（Reliability of Single Electro Transistor Circuit Based on E_b/N_o-Bit Error Rate Characteristics）” JPN. J. Appl. Phys., vol. 38, pp. 403-405, 1999）。

从而，为了实现这样的小电容，需要原子级以下的结构体，这在

实际上是不能够实现的。

第 3，在点的周围不可避免地存在的杂质或者电荷陷入界面能级中，由此，存在着由该被陷入的电荷在点中感应出电荷的所谓「偏置电荷」或者「基底电荷」，为此存在着不能够实现理想的单电子动作这样的问题。

鉴于以上各点，本发明的目的在于提供在室温下，通过单电子动作，能够得到高速稳定动作的基于单电子电路的信息处理结构体。

发明内容

如果依据本发明第 1 结构，则信息处理结构体是在微细的 MOSFET 的栅极电极的正上方，形成由纳米级大小的多个微小导电体或者微小半导体构成的量子点，同时，在各个量子点与栅极电极之间，构成由电子或者空穴构成的电荷载体能够直接穿过的能量势垒，利用在各个量子点与栅极电极之间移动的电荷载体的总数来表示信息，通过以下方法来达到上述目的：设置成为电源的 1 个电源电极，使之与各个量子点接触，并且在各个量子点与电源电极之间构成电荷载体能够直接穿过的能量势垒，同时，设置输入信息的至少 2 个信息电极，使之同样与各个量子点接触，并且各个量子点与各个信息电极以电荷载体不能够移动的电容结耦合，电荷载体根据由信息电极决定的电位，利用库仑阻断现象通过各个量子点，在电源电极与栅极电极之间移动。

另外，如果依据本发明第 2 结构，则信息处理结构体是在微细的 MOSFTP 的栅极电极的正上方，形成由纳米级大小的多个微小导电体或者微小半导体构成的第 1 量子点，同时，在各个第 1 量子点与栅极电极之间构成由电子或者空穴构成的电荷载体能够直接穿过的能量势垒，利用在各个第 1 量子点与栅极电极之间移动的电荷载体的总数来表示信息，通过以下方法来达到上述的目的：设置与各个第 1 量子点接触而与栅极电极不接触的至少由 3 个第 2 量子点构成的量子点列，同时，设置与该电量子点列的两个端部接触，输入信息的信息电极，在各个第 1 量子点与上述量子点列之间以及在量子点列与信息电极之间，以电荷载体不能够移动的电容结耦合，根据由信息电极决定的电位，改变量子点列中的电荷载体的位置分布，由此控制第 1 量子点与栅极电极之间电荷载体的移动。

本发明的信息处理结构体最好是第 1 量子点由多个量子点列构

成。

本发明的信息处理结构体最好是信息电极至少由一个第 3 量子点构成，利用存储在第 3 量子点中的电荷载体的个数来表示信息。

本发明的信息处理结构体最好设置第 2 电源电极，使之与信息电极接触，在该信息电极与第 2 电源电极之间构成电荷载体不能够直接穿过的能量势垒，电荷载体利用加入在该能量势垒上的电压或者光能在信息电极与第 2 电源电极之间移动。

另外，如果依据本发明的第 3 结构，则通过具有以下特征的信息处理结构体来达到上述的目的：该信息处理结构体的特征在于排列由多个微小导电体或者微小半导体构成的量子点，在量子点排列的量子点之间形成电荷载体能够直接穿过的能量势垒，与量子点排列两端的量子点接触形成信息电极，信息电极与量子点排列两端的量子点以电荷载体不能够移动的电容结耦合，与位于量子点排列中心的量子点接触形成电源电极，在位于电源电极与量子点排列中心的量子点之间以电荷载体不能够移动的电容结耦合，在电源电极上加入电压、使得量子点排列的电位分布以位于量子点排列中心的量子点为中心而形成波谷，设置在位于量子点排列中心的量子点上的电荷载体根据两端的信息电极的电压、利用热波动向两端的信息电极的某一方移动或者不移动。

如果依据上述第 1 结构，利用由形成在 MOSFET 的栅极电极上的各个量子点和信息电极、电源电极构成的单电子电路进行并行信息处理，通过把处理结果作为 MOSFET 的漏极电流取出，能够由 MOSFET 综合各个单电子电路的处理结果，进行宏信息处理。从而，能够在一个 MOSFET 上进行多比特图形的相似性计算。

这种情况下，由于各个单电子电路的功耗极低，同时，显示出极高的集成性，因此能够进行超并行动作，作为电路总体可以得到高速的处理速度。

另外，通过多个量子点的并行动作，不是进行严密的动作，而是进行概率的动作，因此即使在室温下也能够充分进行动作。

进而，通过多个量子点的并行动作，利用冗余结构以及多数逻辑，作为电路总体能够尽可能抑制偏置电荷的影响。

这种情况下，由于电源电极以及信息电极可对多个量子点共同提

供同一的输入信号，因此，由于与量子点的大小相比即使较大都行，故能够利用以往的光刻布线来构成。

另外，如果依据上述第 2 结构，则与第 1 结构同样进行动作，同时，相似性（汉明距离）作为稳定状态的电荷载体的个数，能够更明确地定量。

如果依据上述第 3 结构，则能够谋求提高动作温度，即使在室温下也能够充分动作。

设置第 2 电源电极，使之与信息电极接触，在该信息电极与第 2 电源电极之间构成电荷载体不能够直接穿过的能量势垒，电荷载体利用加入到该能量势垒的电压或者光能在信息电极与第 2 电源电极之间移动时，借助上述电压或者光能的辅助，通过由信息电极放置、保存电荷载体，对于信息电极能够容易地输入信息。

附图说明

通过以下详细的说明以及示出本发明实施例的附图将能够更充分地理解本发明。另外，附图中所示的实施例并不是限定本发明，而是为了使说明以及理解容易。

图 1 示出本发明的信息处理结构体第 1 实施形态的结构，（A）是概略斜视图，（B）是剖面图。

图 2 示出包含图 1 的信息处理结构体的 1 对量子点的单电子电路的等效电路。

图 3 示出本发明的信息处理结构体第 2 实施形态的结构，（A）是概略斜视图，（B）是剖面图。

图 4 是示出图 3 的信息处理结构体中字长与电容器所需容量之的关系的曲线图。

图 5 是示出图 3 的信息处理结构体结构的等效电路。

图 6 是示出图 3 的信息处理结构体的动作原理的概略图。

图 7 示出图 3 的信息处理结构体的变形例的结构，（A）是概略斜视图，（B）是剖面图。

图 8 是示出图 7 的信息处理结构体结构的等效电路。

图 9 是示出本发明的信息处理结构体第 3 实施形态的等效电路。

图 10 是图示地示出图 9 的信息处理结构体的概略图。

图 11 是示出图 9 的信息处理结构体的工作原理的概略图。

图 12 是示出图 9 的信息处理结构体中的势垒的曲线图.

图 13 是示出图 9 的信息处理结构体的动作模拟的曲线图.

图 14 示出单电子晶体管的结构，（A）是电路图，（B）是示出动作的曲线图.

图 15 示出单电子晶体管对的逻辑电路的结构，（A）是电路图，（B）是示出动作的曲线图.

图 16 是示出把多个图 15 的单电子晶体管对组合起来的单电子逻辑电路的概略图.

具体实施方式

下面，参照附图详细地说明本发明的信息处理结构体中的最佳的第 1 实施形态。

图 1 以及图 2 示出本发明的信息处理结构体的第 1 实施形态。

图 1 中，信息处理结构体 10 由形成在 MOSFET11 的栅极电极 12 的正上方的 10nm 至 0.3nm 大小的多个量子点 13；从上方与各个量子点 13 接触那样形成在量子点 13 上的电源电极 14；以及对于各个量子点 13 分别从两侧接触那样形成的信息电极 15 构成。

各个量子点 13 沿着栅极电极 12 排成一列，例如是通过自组织化形成法形成的微小导电体或者微小半导体，相当于 SET 的孤立节点。

进而，各个量子点 13 对于栅极电极 12 构成隧道结。另外，MOSFET11 的栅极电容相当于上述的电容器 Co。

上述电源电极 14 在图示的情况下，形成片形使得从上方与所有的量子点 13 接触，对于各个量子点 13 构成隧道结。进而，对上述电源电极 14 供给电源电压 Vdd.

上述信息电极 15 由位于各个量子点 13 一侧的接受输入图形的第 1 信息电极 15a（Va）和位于另一侧的接受参考图形的第 2 信息电极 15b（Vi）构成，每一个都通过电容结对于量子点 13 进行耦合.

这种情况下，信息电极 15 例如通过基于光刻的布线图形构成，但也可以通过存储电荷的量子点构成。

进而，由于同一的输入信号也可以共同地输入到多个量子点 13，因此与量子点 13 的大小相比较，信息电极 15 的布线图形粗，或者其量子点大.

这样，一对量子点 13 与两对信息电极 15a、15b 一起构成 SET 对，

构成图 2 所示的等效电路。成为与图 15 所示的单电子逻辑电路相同的结构。

本发明的信息处理结构体 10 如以上那样构成，在各个 SET 对中，在一对信息电极 15a、15b 上接受要进行比较的两个数字图形的各比特的输入电压 Va、Vi，在另一对信息电极 15a、15b 上接受 Va、Vi 的翻转电压，由此，与图 15 的单电子逻辑电路相同地进行信息处理，其结果电容器 Co 的电位 Vco 上升，进而作为 MOSFET 的漏极电流取出。

由此，与图 15 所示的单电子逻辑电路相同，要进行比较的两个数字图形的相似性越大，则汉明距离越小，电容器 Co 的电位上升越快，因此根据其上升速度的比较能够相对地决定汉明距离。

这种情况下，由于各个 SET 对的功耗极低，同时显示出极高的集成性，因此通过进行超并行动作，作为电路总体可以得到高速的处理速度。

进而，通过多个量子点 13 的并行动作，利用冗余结构以及多数逻辑，作为电路总体能够尽可能抑制偏置电荷的影响。

这里，电源电极 14 例如可利用以往的光刻布线来构成，因此能够更简单地以低成本形成并行结构或者冗余结构。

进而，在信息电极 15 由量子点构成的情况下，由于信息电极 15 可以保持电子，因此能够使信息存储在信息电极 15 自身中，从而不需要对于信息电极 15 设置存储信息的装置。

其次，说明本发明的信息处理结构体的第 2 实施形态。

图 3 至图 6 示出本发明的信息处理结构体的第 2 实施形态。图 3 中，信息处理结构体 20 由形成在 MOSFET11 的栅极电极 12 正上方的多个量子点 13；由从上方与各个量子点 13 接触那样形成在量子点 13 上的 3 个第 2 量子点 12a 组成的量子点列 21；从上方与该量子点列 21 接触那样形成在量子点列 21 上的电源电极 14；以及对于各个量子点列 21 两端的第 2 量子点 21a 分别从两侧接触那样形成的作为信息电极的量子点 22 构成。

另外，在与图 1 所示的信息处理结构体 10 中的构成要素相同的构成要素上标注相同的符号，省略其说明。

上述量子点列 21 中，在各个第 2 量子点 21a 之间构成隧道结，

同时，在两端的第 2 量子点 21a 与信息电极 22 之间，而且在第 2 量子点 21a 与电源电极 14 之间，构成电容结。

信息电极 22 分别设置在量子点列 21 的两端，同时分别由量子点构成。

这里，图 4 是根据蒙特卡罗模拟法，把量子点的寄生电容也作为参数，计算该单电子逻辑电路为了进行动作所需要的上述电容器 Co 的容量范围的图。如图 4 所示，由于在 10^{-15}F 级下也能够进行动作，因此作为 MOSFET11，能够利用栅极长度 10nm 级的微细 MOSFET。

在这样构成的信息处理结构体 20 中，一个量子点 13 与一组量子点列 21、一对信息电极 22 一起，构成图 5 所示的等效电路。

而且，如图 6 所示，在上述量子点列 21 的第 2 量子点 21a（图示的情况下，是中央的量子点 21a）上放置电子 e_M。这可以通过在电源电极 14 上加入高电压，例如利用福勒·诺德海姆·隧道现象，把电子提供给该量子点 21a 进行。

另外，在量子点列 21 的外侧，还可以设置电容耦合的第 2 电源电极（未图示），在该第 2 电源电极上加入高电压，同样利用福勒·诺德海姆·隧道现象，把电子提供到该量子点 21a。这种情况下，还可以在该部分上照射光，通过光能的辅助，使电子穿过。

如果这样做，则不需要单独配置用于放置电子的布线图形，而且能够直接使图像数据等的数字图形存储在量子点中。

这里，在两端的信息电极 22 的电位相等时，由于作用在电子 e_M 上的库仑力对称，因此如图 6（B）所示，电子 e_M 在中央的量子点 21a 稳定。

与此相反，在两个信息电极 22 的电位不相等时，如图 6（C）所示，电子 e_M 脱离中央的量子点 21a，移动并稳定在某一个端部的量子点 21a（图示的情况是左端的量子点 21a）。

由此，根据电子 e_M 是否位于中央的量子点 21a，能够判断 2 个信息电极 22 的数据是否相等。即，量子点列 21 成为作为判断点列实现异逻辑。

这样，在量子点列 21 中，通过电子 e_M 根据 2 个信息电极 22 的电位而移动，能够利用位于量子点 13 的电子 e_R 检测该电子 e_M。

即，如图 5 所示，在电子 e_M 位于量子点列 21 的中央的第 2 量子

点 21a 时，量子点 13 的电子 e_M 利用库仑排斥力穿过电容器 Co。由此，信息处理结构体 20 实现比特比较器，即异逻辑（XOR），与图 1 的信息处理结构体 10 的情况相同，通过共用电容器 Co、把多个比特比较器连接，在电容器 Co 中存储对应于汉明距离的个数的电子，能够将其作为 MOSFET 的漏极电流取出。这种情况下，汉明距离通过电容器 Co 的稳定状态作为电子的个数来检测，因此能够表示正确的汉明距离。

另外，经过电容结对电子 e_M 存在的量子点 13 加入偏置电压，通过适当地调整该偏置电压使移动了的电子返回到电容器 Co，来进行初始化。

在图 3 所示的信息处理结构体 20 中，与量子点列 21 的中央的第 2 量子点 21a 相对，设置量子点 13，而也可以如图 7 所示，对于量子点列 21 两端的第 2 量子点 21a，设置 2 个量子点 13 使得分别相对，在中央的第 2 量子点 21a 放置电子 e_M。这种情况下，2 个量子点 13 与一组量子点列 21 一对信息电极 22 一起构成图 8 所示的等效电路。

如果依据这样的结构，则同样在量子点列 21 中，通过电子 e_M 根据 2 个信息电极 22 的电位而移动，能够利用放置在量子点 13 的电子 e_R 检测该电子 e_M。

即，如图 8 所示，在电子 e_M 不位于量子点列 21 的中央的第 2 量子点 21a 的情况下，任何一方的量子点 13 的电子 e_R 利用位于与其相对的第 2 量子点 21a 的电子 e_M 之间的库仑排斥力穿过电容器 Co。由此，通过信息处理结构体 20 实现比特比较器即实现异非（XNOR），同样，通过共用电容器 Co、连接多个比特比较器，在电容器 Co 中存储对应于汉明距离的个数的电子，可将其作为 MOSFET 的漏极电流取出。

其次，说明本发明的信息处理结构体的第 3 实施形态。

图 9 至图 13 示出本发明信息处理结构体的最佳的第 3 实施形态。

图 9 中，信息处理结构体 30 与图 3 所示的信息处理结构体 20 相比较，结构上的不同点在于把构成量子点列 21 的第 2 量子点 21a 例如增加到 11 个，同时，利用由 3 个量子点 31a 组成的量子点列 31 来构成量子点 13，进而，量子点列 21 的中央的第 2 量子点 21a 通过电容结（C3）接地。如果通过量子点、量子点间的距离以及量子点与电

极间的距离模式地示出该结构，则信息处理结构体 30 成为图 10 所示的结构。

如果依据这样结构的信息处理结构体 30，则通过适当地设定信息电极 22 的电位，如图 11（A）所示，在量子点列 21 总体中构成势垒，使得在中央部分电势稍低，在两端电势为最低。

从而，在双方的信息电极 22 的电位相等时，根据这样的势垒，位于中央的电子滞留在中央而不能够移动。当然，如果温度上升并且经过长时间，通过热能的辅助，即通过热波动，位于中央的电子能够越过两侧的势垒移动到两端的量子点 21a。

与此不同，在双方的信息电极 22 的电位不同时，如图 11（B）所示，由于量子点列 21 的一侧（图示的情况是右侧）的端部附近的势垒最低，并且一直到该处势垒都在降低，因此位于中央的电子可以向右端的量子点 21a 移动。图 12 示出对电子存在的量子点的位置与系统总体的能量的关系进行模拟的结果。

这样，在室温附近某个时间范围内观察时，在信息电极 22、22 的电位相同时，电子位于量子点列的中央的量子点，在信息电极的电位不同时，电子位于量子点列的某一个端部的量子点。

从而，与图 3 所示的信息处理结构体 20 的情况相同，通过共用电容器 Co，连接多个图 9 的结构，在作为 MOSFET 的栅极电容的电容器 Co 中存储对应于汉明距离的个数的电子，能够把其作为 MOSFET 的漏极电流取出。

这种情况下，信息处理结构体 30 通过由多个量子点 21a 构成量子点列 21，能够利用热波动进行概率性的动作，由此，即使在室温下也能够充分地进行动作。

例如，如果把电容器 Co 的容量取为 100aF，隧道电阻取为 5MΩ，在 10^{-6} 秒左右的时间范围内进行观测，则如图 13 的模拟结果所示那样，在室温（300K）下，能够进行大致正常的 XOR 动作。

另外，这种情况下由于信息处理结构体 30 进行概率性的动作，因此虽然没有成为严密的 XOR 动作，但是通过求适当时间中的平均电位，能够提高动作精度，同时通过积极地利用概率性的动作，还能够进行在现有的 CMOS 电路中不能够实现的智能处理。

在上述的实施形态中，说明了根据信息电极的电位而移动的电荷

载体是电子的情况，但是并不限定于此，作为电荷载体显然也可以是空穴。

另外，本发明对于例示的实施例进行了说明，而在不脱离本发明的宗旨以及范围的情况下，可以进行实施例中的各种变更、省略和添加。从而，本发明并不是限定于上述的实施例，而必须理解为包括根据在权利要求的范围内所述的要素规定的范围及其均等范围。

产业上的可用性

如从以上的说明所理解的那样，本发明的信息处理结构体利用包含在 MOSFET 的栅极电极上形成的 10nm 至 0.3nm 级大小的量子点的单电子电路进行并行信息处理，通过把其处理结果作为 MOSFET 的漏极电流取出，能够利用 MOSFET 综合各个单电子电路的处理结果进行宏信息处理。从而，能够在一个 MOSFET 上进行多比特图形的相似性计算。

在第 1 实施形态中说明的本发明的信息处理结构体能够以简单的结构比较图形的相似性。在第 2 实施形态中说明的本发明的信息处理结构体与第 1 实施形态相比较虽然稍稍复杂，但是具有能够把相似性（汉明距离）作为稳定状态的电子的个数明确地定量化的优点。另外，在第 3 实施形态中说明的本发明的信息处理结构体能够谋求提高动作温度，在室温下也能进行动作。

如以上那样，如果依据本发明，则由于功耗极低、同时显示出极高的集成性，因此通过进行超并行动作可以得到高速的处理速度。进而，根据由多个量子点进行的并行动作，利用冗余结构以及多数逻辑，作为电路总体能够尽可能抑制偏置电荷的影响。从而，本发明的信息处理结构体能够应用在利用图形的相似性进行信息处理的装置或者基于神经网络的智能处理机·学习机，以及联想处理装置等中。

这样，如果依据本发明，则提供在室温下通过单电子动作可以得到高速稳定的动作的基于极其出色的单电子电路的信息处理结构体。

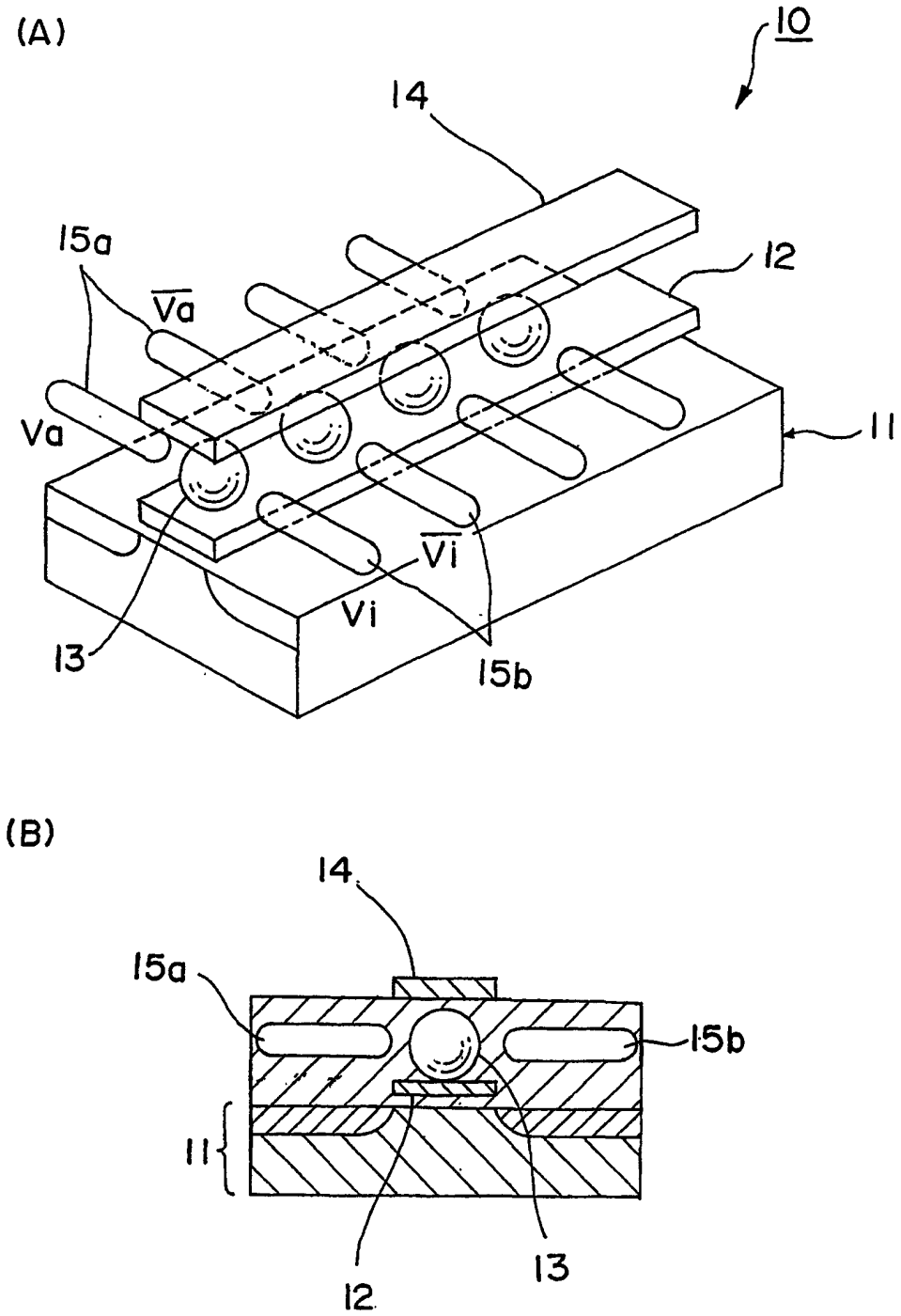


图 1

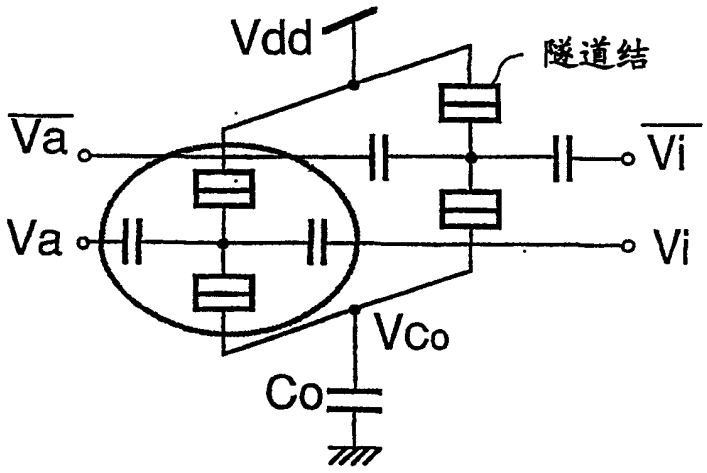
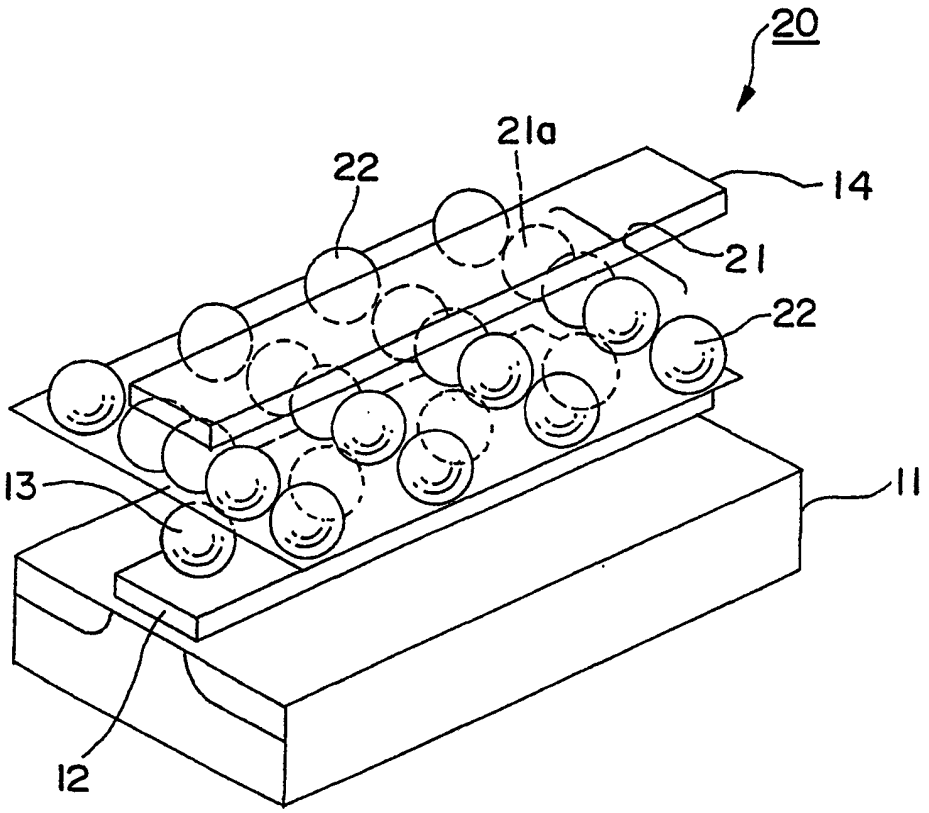


图 2



(B)

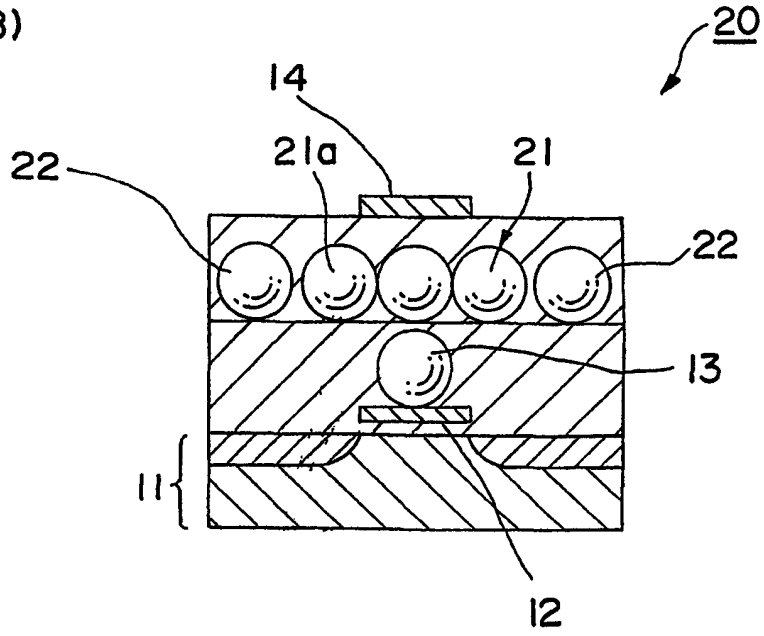


图 3

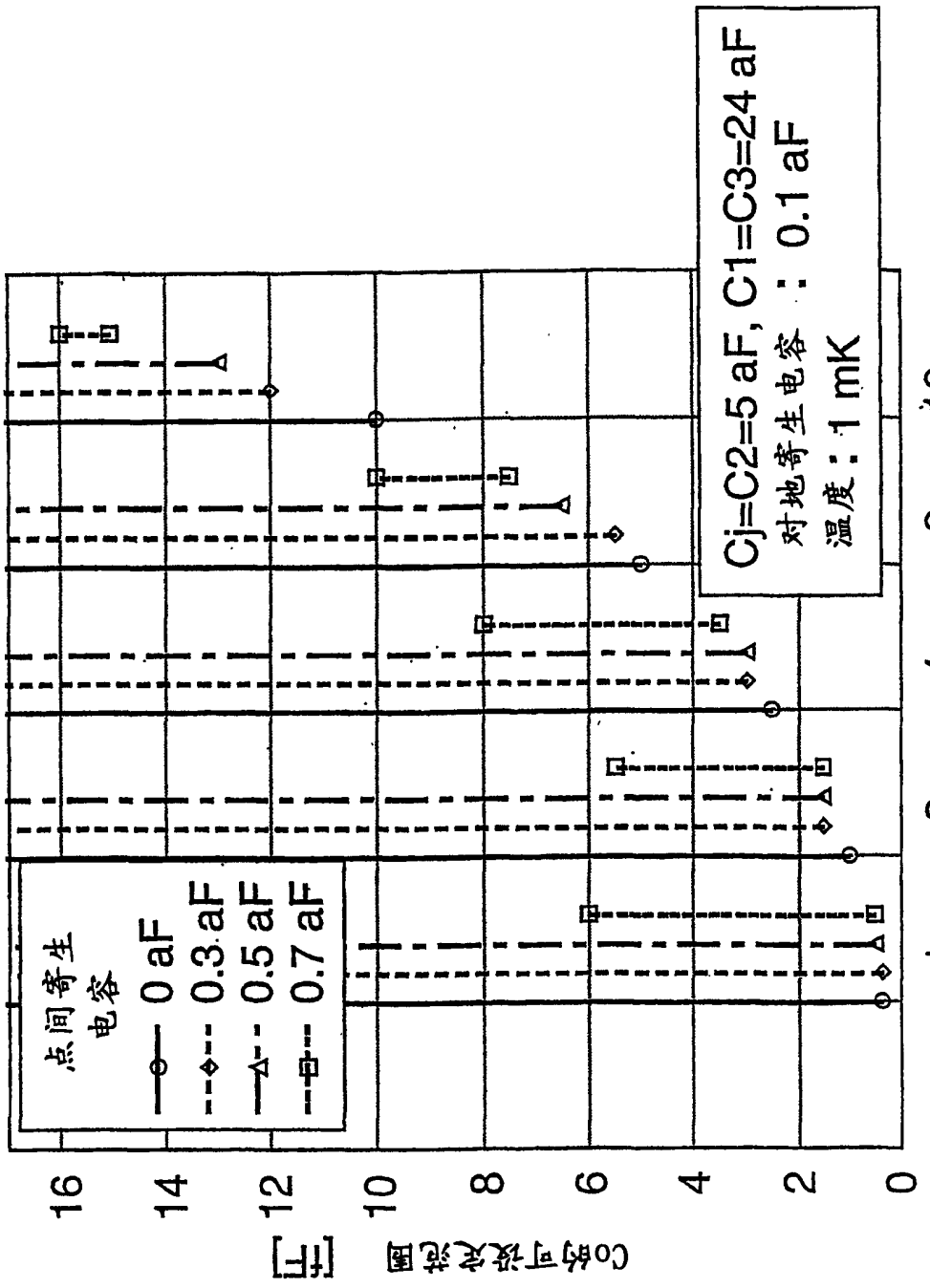

Cj=C2=5 aF, C1=C3=24 aF
对地寄生电容：0.1 aF
温度：1 mK
点间寄生电容
0 aF
0.3 aF
0.5 aF
0.7 aF
Co的可设定范围 [fF]
字长[比特]
0
2
4
6
8
10
12
14
16

图 4

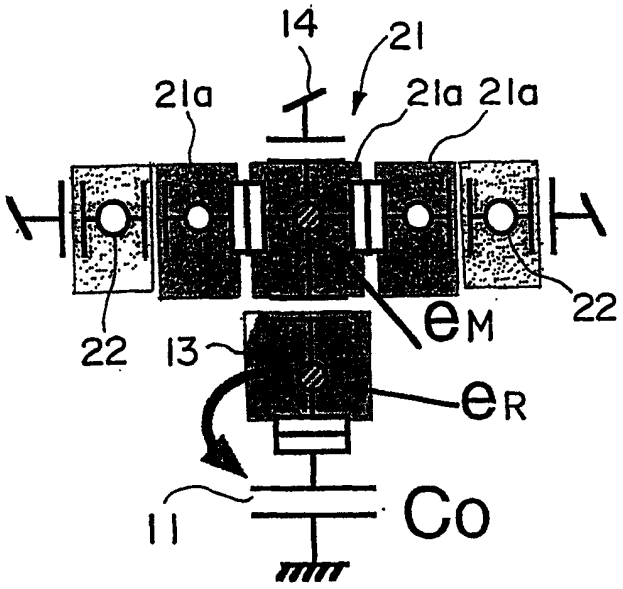


图 5

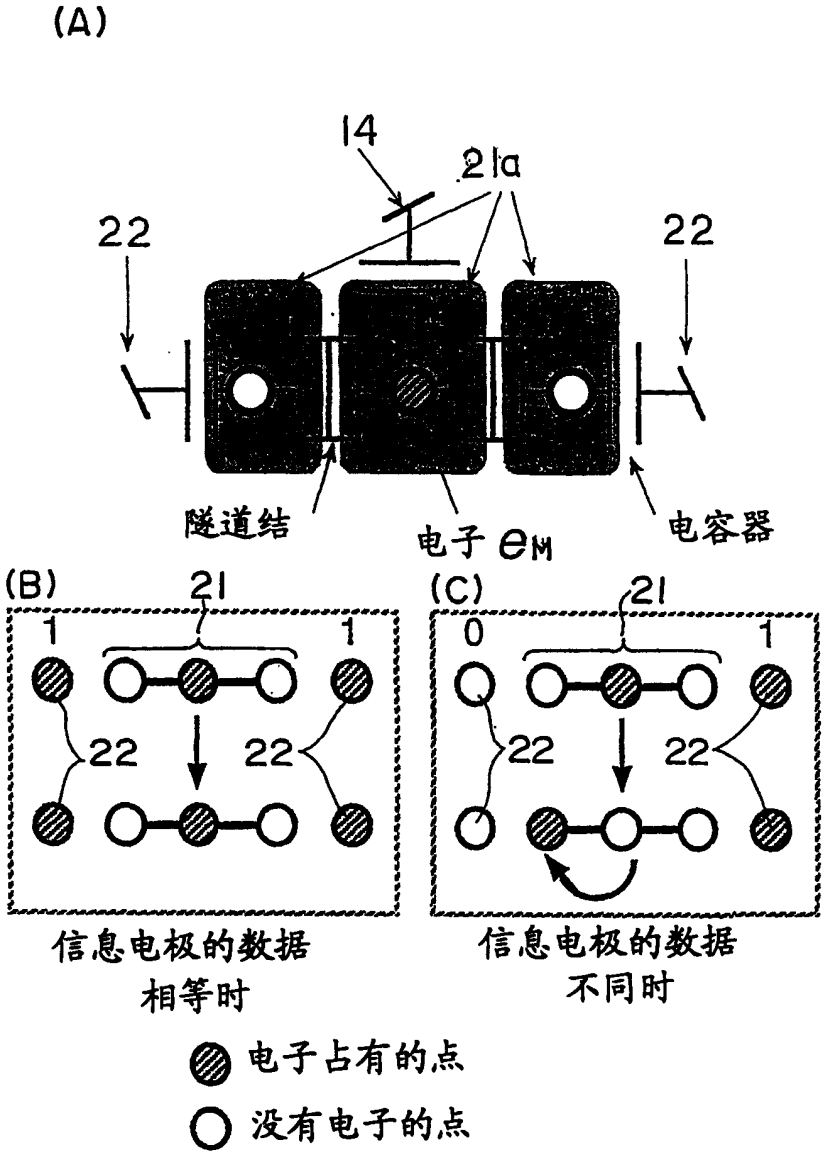

(A)
14
21a
22
22
隧道结
电子 e_M
电容器
(B)
21
1
1
22
22
信息电极的数据
相等时
(C)
21
0
1
22
22
信息电极的数据
不同时
电子占有的点
没有电子的点

图 6

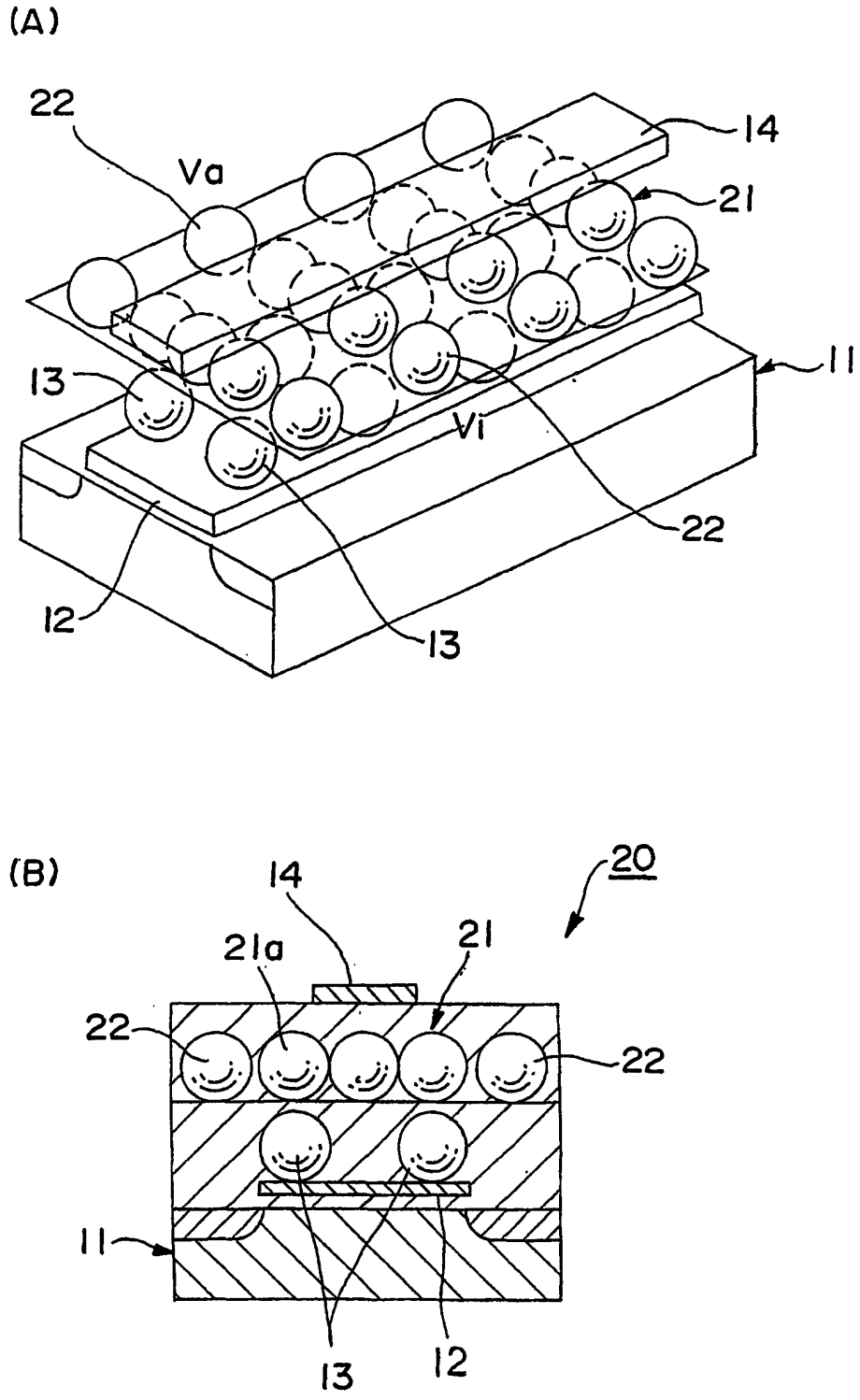


图 7

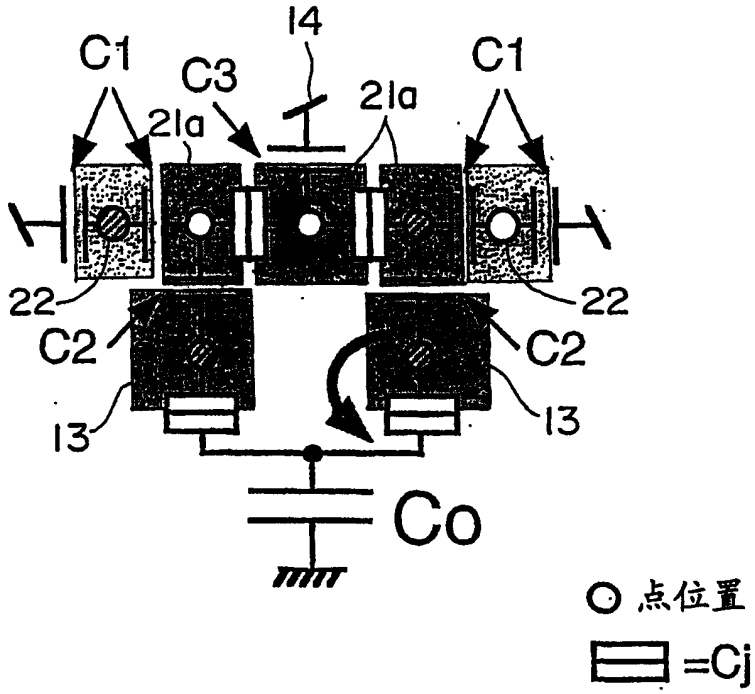


图 8

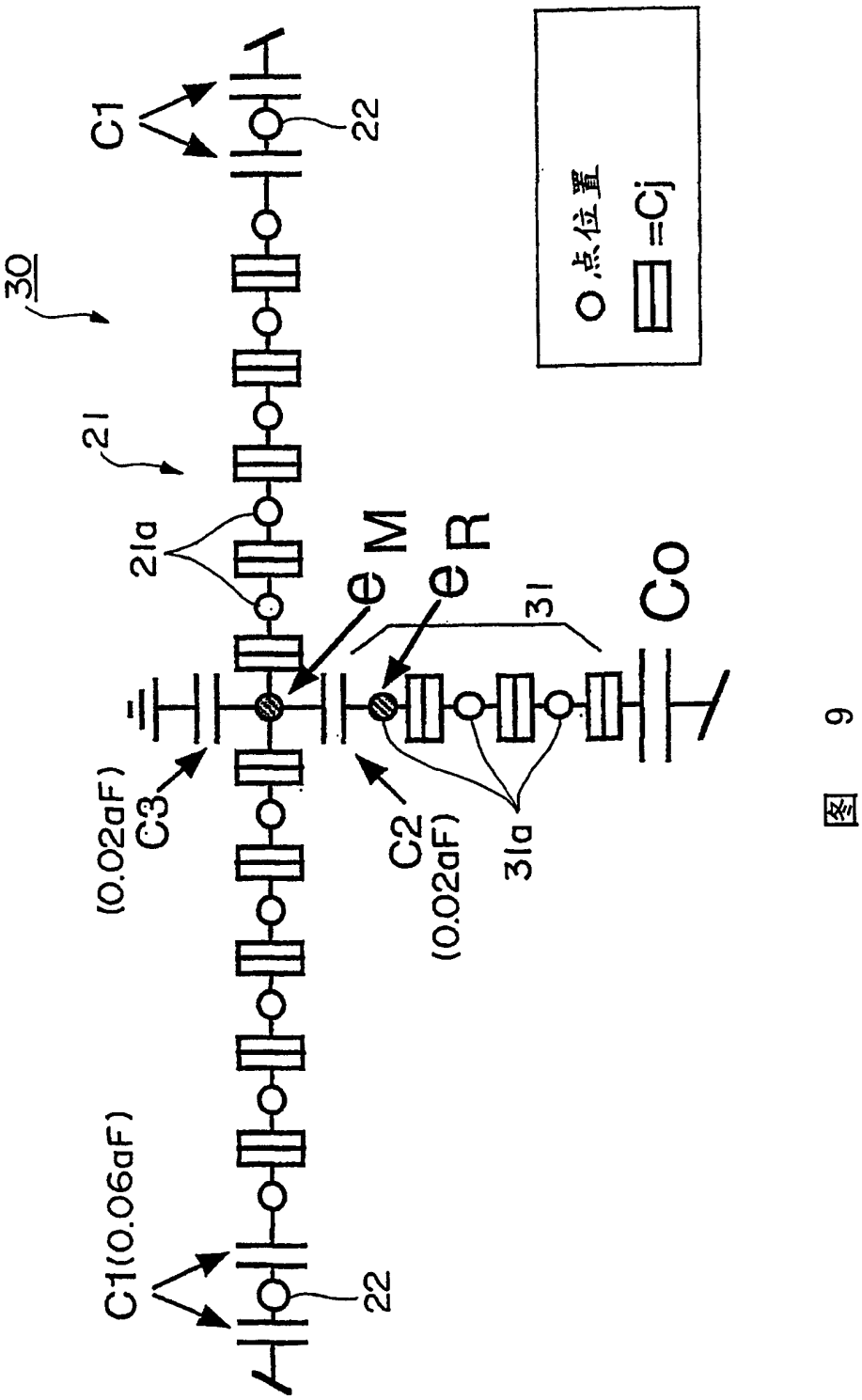

30
C1
22
21
21a
eM
eR
31
Co
C3
(0.02aF)
C2
(0.02aF)
31a
C1(0.06aF)
22
O点位置
=Cj

图 9

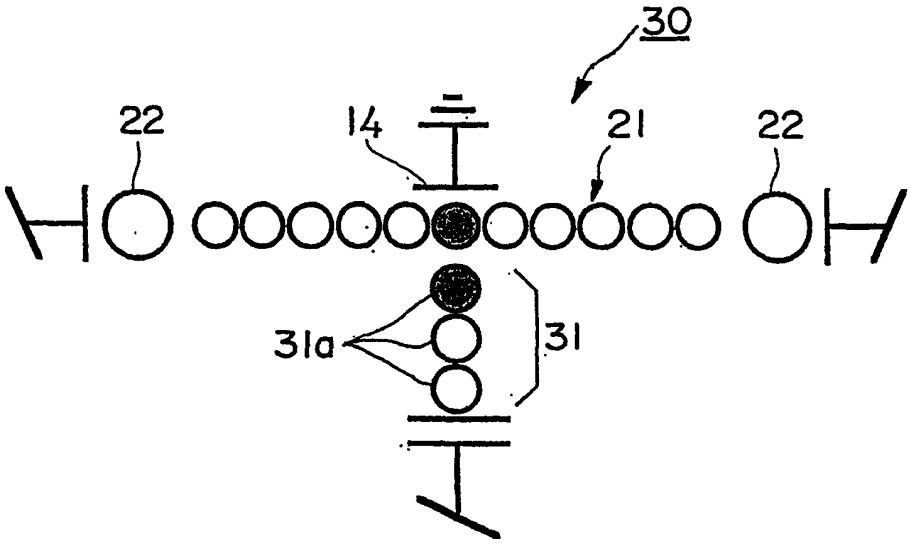
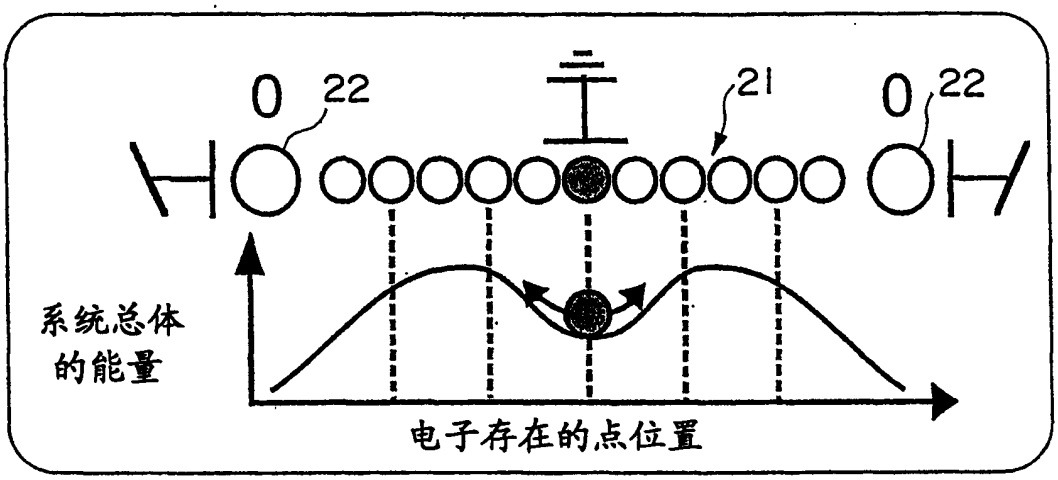


图 10

(A)

信息电极的数据相同时



(B)

信息电极的数据不同时

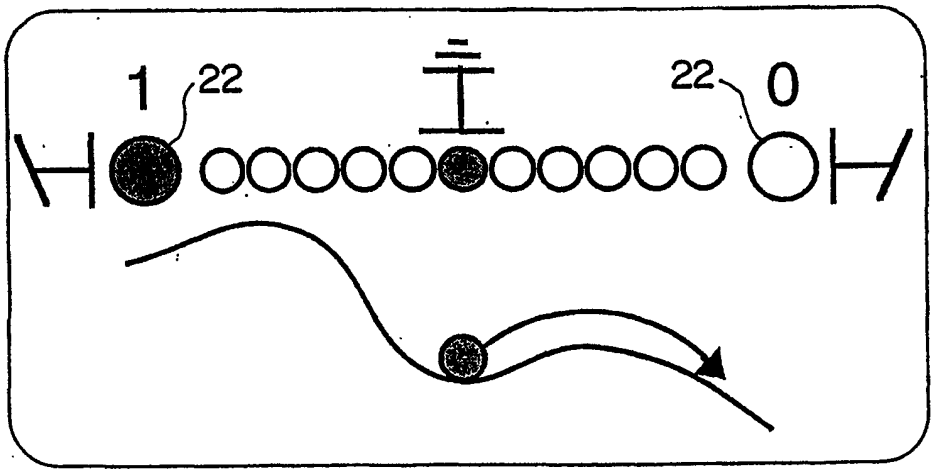


图 11

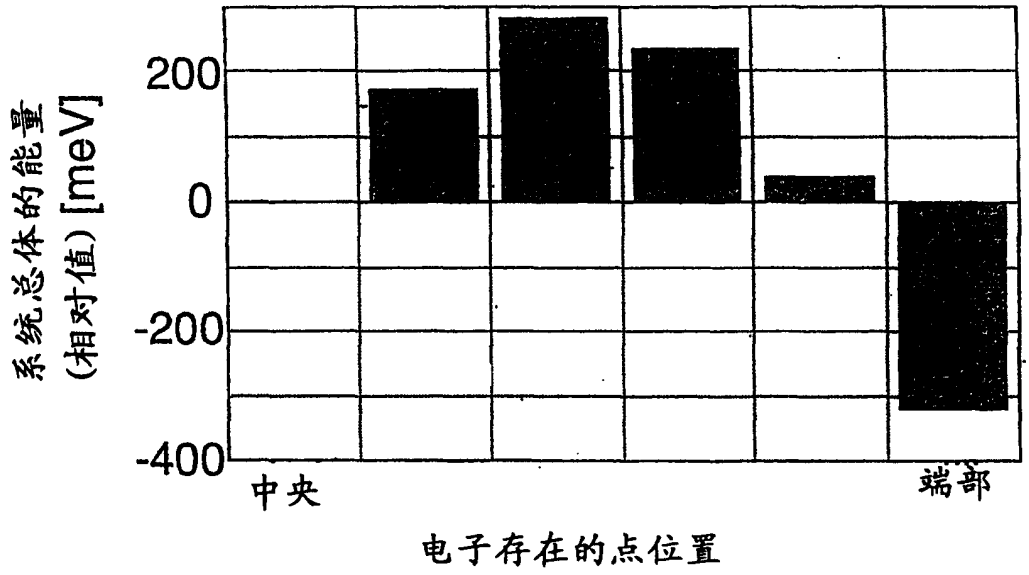


图 12

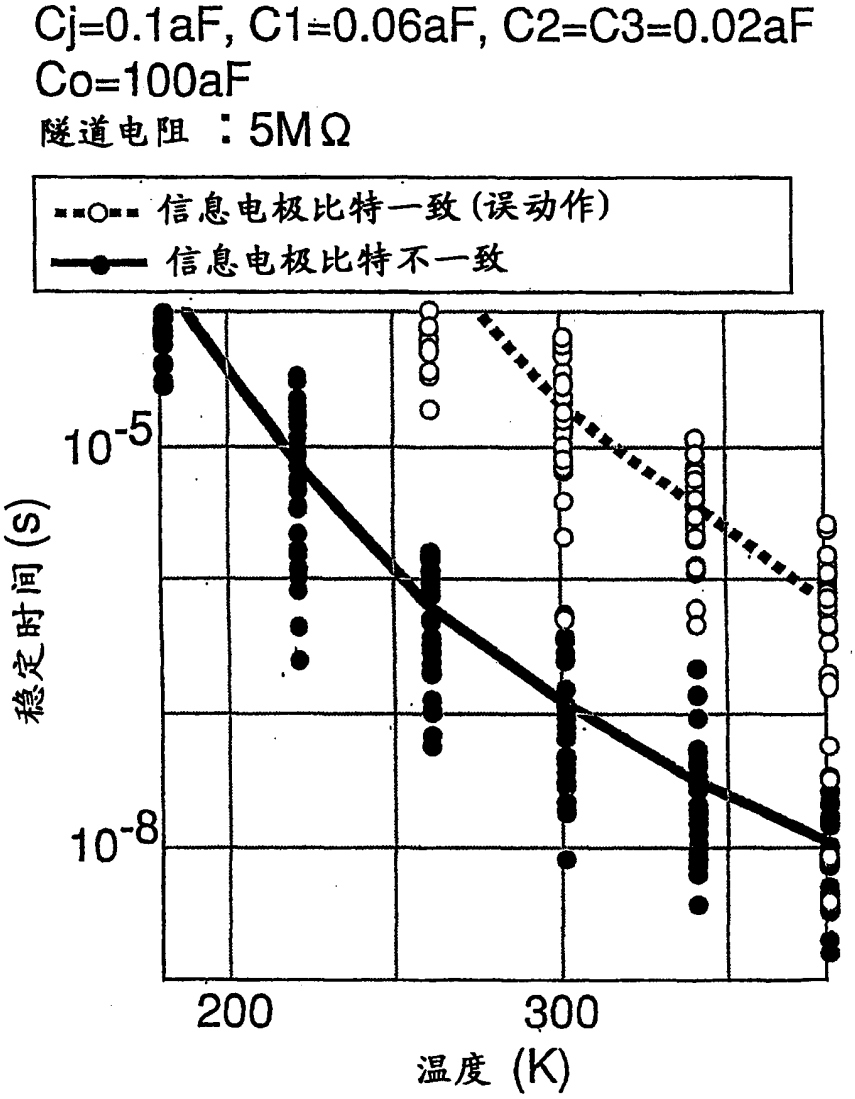

Cj=0.1aF, C1=0.06aF, C2=C3=0.02aF
Co=100aF
隧道电阻 ：5MΩ
信息电极比特一致(误动作)
信息电极比特不一致
10-5
10-8
稳定时间 (S)
200
300
温度 (K)

图 13

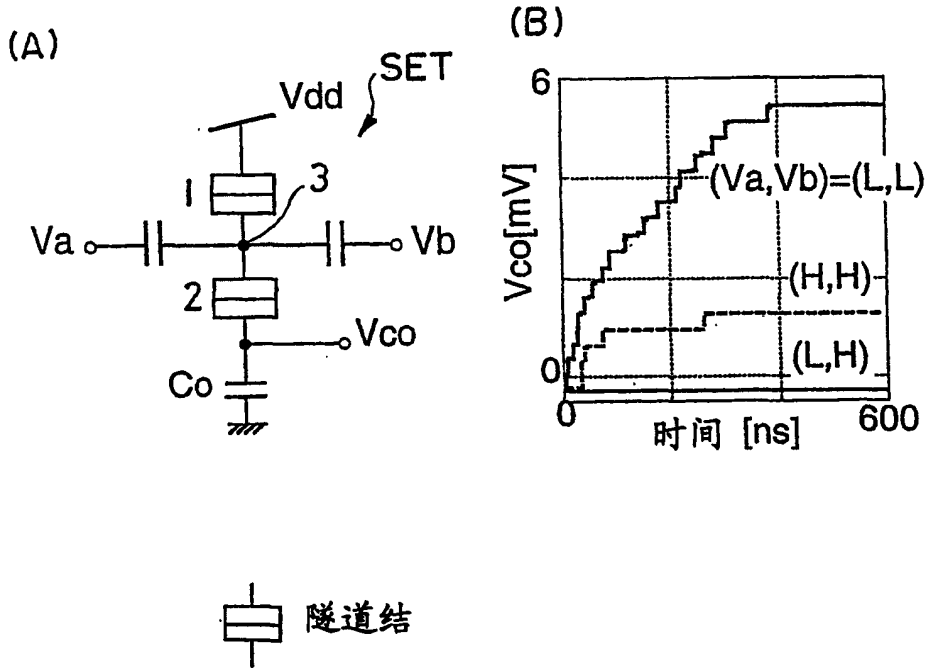

(A)
SET
Vdd
1
3
Va
Vb
2
Vco
Co
(B)
6
Vco[mV]
(Va,Vb)=(L,L)
(H,H)
(L,H)
0
0
时间 [ns]
600
隧道结

图 14

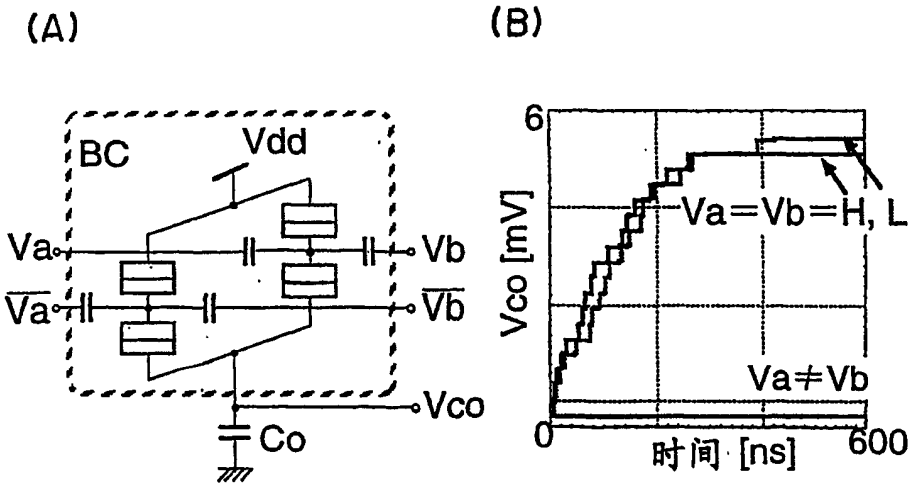

(A)
(B)
BC
Vdd
Va
Vb
Va
Vb
Vco
Co
6
Vco [mV]
Va=Vb=H, L
Va≠Vb
0
时间 [ns]
600

图 15

(C)

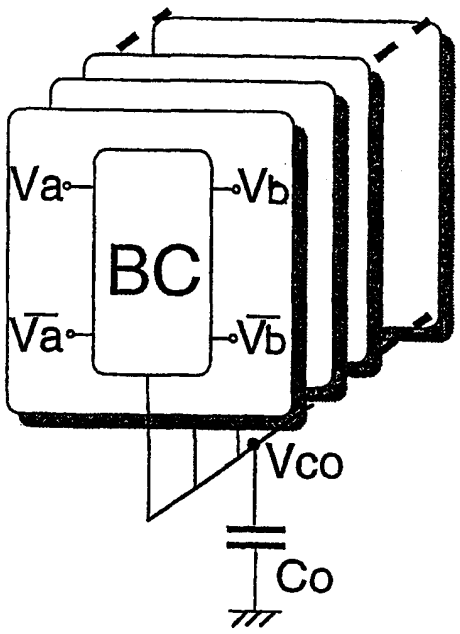


图 16