



(12) **Veröffentlichung**

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2015/177685**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2015 002 423.9**
(86) PCT-Aktenzeichen: **PCT/IB2015/053510**
(86) PCT-Anmeldetag: **13.05.2015**
(87) PCT-Veröffentlichungstag: **26.11.2015**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **16.03.2017**

(51) Int Cl.: **H01L 29/786** (2006.01)
H01L 21/336 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/8238 (2006.01)
H01L 21/8242 (2006.01)
H01L 27/06 (2006.01)
H01L 27/08 (2006.01)
H01L 27/092 (2006.01)
H01L 27/105 (2006.01)
H01L 27/108 (2006.01)

(30) Unionspriorität:
2014-107570 **23.05.2014** **JP**

(71) Anmelder:
Semiconductor Energy Laboratory Co., Ltd.,
Atsugi-shi, Kanagawa-ken, JP

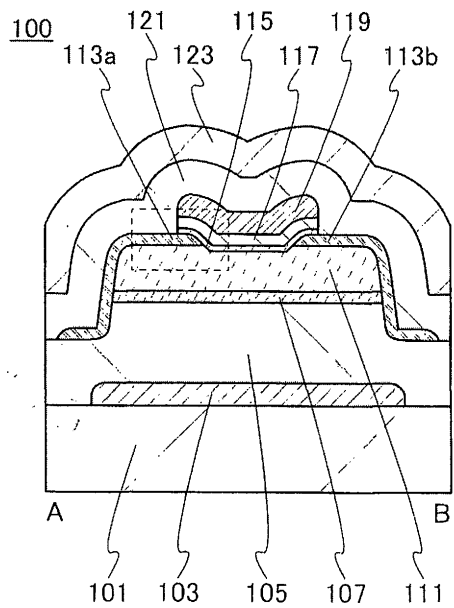
(74) Vertreter:
Grünecker Patent- und Rechtsanwälte PartG
mbB, 80802 München, DE

(72) Erfinder:
Tanaka, Tetsuhiro, Kiyose-shi, Tokyo-to, JP;
Sakakura, Masayuki, Isehara-shi, Kanagawa-ken,
JP; Tokumura, Ryo, Atsugi-shi, Kanagawa-ken,
JP; Yamane, Yasumasa, Atsugi-shi, Kanagawa-
ken, JP; Sato, Yuhei, Atsugi-shi, Kanagawa-ken,
JP; Yamazaki, Shunpei, Atsugi-shi, Kanagawa-
ken, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Herstellungsverfahren einer Halbleitervorrichtung**

(57) Zusammenfassung: Ein Verfahren zum Herstellen einer Halbleitervorrichtung umfasst die folgenden Schritte: Ausbilden eines ersten Isolierfilms über einer ersten Gate-Elektrode, die sich über einem Substrat befindet, während eine Erwärmung bei einer Temperatur von höher als oder gleich 450°C und niedriger als die untere Entspannungsgrenze des Substrats durchgeführt wird, Ausbilden eines ersten Oxidhalbleiterfilms über dem ersten Isolierfilm, Zusetzen von Sauerstoff zu dem ersten Oxidhalbleiterfilm und dann Ausbilden eines zweiten Oxidhalbleiterfilms über dem ersten Oxidhalbleiterfilm, und Durchführen einer ersten Wärmebehandlung, so dass ein Teil von Sauerstoff, der in dem ersten Oxidhalbleiterfilm enthalten ist, auf den zweiten Oxidhalbleiterfilm übertragen wird.



Beschreibung

Technisches Gebiet

[0001] Die vorliegende Erfindung betrifft einen Gegenstand, einen Prozess (einschließlich eines Verfahrens und eines Herstellungsverfahrens), eine Maschine, ein Erzeugnis oder eine Zusammensetzung. Im Besonderen betrifft eine Ausführungsform der vorliegenden Erfindung eine Halbleitervorrichtung, eine Anzeigevorrichtung, eine Licht emittierende Vorrichtung, ein Betriebsverfahren dafür, ein Herstellungsverfahren dafür oder dergleichen. Im Besonderen betrifft eine Ausführungsform der vorliegenden Erfindung eine Halbleitervorrichtung, eine Anzeigevorrichtung, eine Speichervorrichtung, eine Licht emittierende Vorrichtung oder dergleichen, welche jeweils einen Oxidhalbleiter enthält.

[0002] Die Kategorie von Halbleitervorrichtungen in dieser Beschreibung umfasst alle Vorrichtungen, die unter Anwendung von elektronischen Eigenschaften eines Halbleiters arbeiten können; beispielsweise ist eine Halbleiterschaltung in der Kategorie von Halbleitervorrichtungen enthalten. Außerdem beinhaltet in einigen Fällen eine elektrooptische Vorrichtung, eine Anzeigevorrichtung, ein elektronisches Gerät oder dergleichen eine Halbleitervorrichtung.

Stand der Technik

[0003] Transistoren, die für die meisten Flachbildschirme, die typischerweise eine Flüssigkristallanzeigevorrichtung und eine Licht emittierende Anzeigevorrichtung sind, verwendet werden, werden unter Verwendung von Siliziumhalbleitern hergestellt, wie z. B. amorphem Silizium, einkristallinem Silizium und polykristallinem Silizium, die über Glassubstraten bereitgestellt sind. Die Transistoren, die unter Verwendung solcher Siliziumhalbleiter hergestellt werden, werden auch für integrierte Schaltungen (integrated circuits, ICs) und dergleichen verwendet.

[0004] In den letzten Jahren hat eine Technik Aufmerksamkeit erregt, bei der anstatt eines Siliziumhalbleiters ein Halbleitereigenschaften aufweisendes Metalloxid für Transistoren verwendet wird. Es sei angemerkt, dass in dieser Beschreibung ein Halbleitereigenschaften aufweisendes Metalloxid als Oxidhalbleiter bezeichnet wird.

[0005] Beispielsweise ist eine Technik offenbart, bei der ein Transistor unter Verwendung von Zinkoxid oder einem Oxid auf In-Ga-Zn-Basis als Oxidhalbleiter hergestellt wird und der Transistor als Schaltelement oder dergleichen eines Pixels einer Anzeigevorrichtung verwendet wird (siehe Patentedokumente 1 und 2).

[Referenzen]

[Patentdokumente]

[0006]

[Patentdokument 1] Japanische Patentoffenlegungsschrift Nr. 2007-123861

[Patentdokument 2] Japanische Patentoffenlegungsschrift Nr. 2007-096055

Offenbarung der Erfindung

[0007] Bei einem Transistor, bei dem ein Oxidhalbleiter verwendet wird, führen Sauerstofffehlstellen, die in einem Oxidhalbleiterfilm lokalisierte Zustände verursachen können, zu schlechten elektrischen Eigenschaften des Transistors.

[0008] Angesichts des Obigen ist eine Aufgabe einer Ausführungsform der vorliegenden Erfindung, die elektrischen Eigenschaften einer Halbleitervorrichtung, die einen Oxidhalbleiter enthält, zu verbessern. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, die Zuverlässigkeit einer Halbleitervorrichtung, die einen Oxidhalbleiter enthält, zu verbessern. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, Sauerstofffehlstellen in einem Oxidhalbleiter zu verringern. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, zu verhindern, dass sich ein Transistor selbstleitend (normally on) verhält. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, eine Veränderung, Schwankungen oder die Abnahme der Schwellenspannung eines Transistors zu steuern. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, einen Transistor mit niedrigem Sperrstrom bereitzustellen. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, eine neuartige Halbleitervorrichtung oder dergleichen bereitzustellen.

[0009] Es sei angemerkt, dass die Beschreibung dieser Aufgaben dem Vorhandensein weiterer Aufgaben nicht im Wege steht. Es sei angemerkt, dass bei einer Ausführungsform der vorliegenden Erfindung nicht alle dieser Aufgaben erfüllt werden müssen. Weitere Aufgaben werden aus der Erläuterung der Beschreibung, der Zeichnungen, der Patentansprüche und dergleichen ersichtlich sein und können davon abgeleitet werden.

[0010] Eine Ausführungsform der vorliegenden Erfindung ist ein Transistor, der einen ersten Oxidhalbleiterfilm, einen zweiten Oxidhalbleiterfilm, ein Paar von Elektroden, die in Kontakt mit dem zweiten Oxidhalbleiterfilm sind, und einen dritten Oxidhalbleiterfilm, der in Kontakt mit dem zweiten Oxidhalbleiterfilm und dem Paar von Elektroden ist, beinhaltet, wobei Sauerstoff dem ersten Oxidhalbleiterfilm oder dem dritten Oxidhalbleiterfilm zugesetzt worden ist, um Sauerstofffehlstellen zu verringern. Des Weiteren diffundiert der Sauerstoff durch eine Wärmebehandlung oder dergleichen in den zweiten Oxidhalbleiterfilm, so dass Sauerstofffehlstellen in dem zweiten Oxidhalbleiterfilm verringert werden.

[0011] Eine Ausführungsform der vorliegenden Erfindung ist ein Verfahren zum Herstellen einer Halbleitervorrichtung, das die folgenden Schritte umfasst. Ein erster Isolierfilm wird über einer ersten Gate-Elektrode, die sich über einem Substrat befindetet, ausgebildet, während eine Erwärmung bei einer Temperatur von höher als oder gleich 450°C und niedriger als die untere Spannungsgrenze des Substrats durchgeführt wird. Ein erster Oxidhalbleiterfilm wird über dem ersten Isolierfilm ausgebildet. Nachdem Sauerstoff dem ersten Oxidhalbleiterfilm zugesetzt worden ist, wird ein zweiter Oxidhalbleiterfilm über dem ersten Oxidhalbleiterfilm ausgebildet. Eine erste Wärmebehandlung wird durchgeführt, so dass ein Teil von Sauerstoff, der in dem ersten Oxidhalbleiterfilm enthalten ist, auf den zweiten Oxidhalbleiterfilm übertragen wird. Als Nächstes werden ein Teil des ersten Isolierfilms, ein Teil des ersten Oxidhalbleiterfilms, dem Sauerstoff zugesetzt worden ist, und ein Teil des zweiten Oxidhalbleiterfilms geätzt, um einen ersten Gate-Isolierfilm mit einem Vorsprung, den geätzten ersten Oxidhalbleiterfilm und den geätzten zweiten Oxidhalbleiterfilm auszubilden. Dann wird ein Paar von Elektroden über dem geätzten zweiten Oxidhalbleiterfilm ausgebildet, und ein dritter Oxidhalbleiterfilm wird über dem geätzten zweiten Oxidhalbleiterfilm und dem Paar von Elektroden ausgebildet. Als Nächstes wird ein zweiter Gate-Isolierfilm über dem dritten Oxidhalbleiterfilm ausgebildet, und eine zweite Gate-Elektrode wird über dem zweiten Gate-Isolierfilm ausgebildet.

[0012] Eine Ausführungsform der vorliegenden Erfindung ist ein Verfahren zum Herstellen einer Halbleitervorrichtung, das die folgenden Schritte umfasst. Ein erster Isolierfilm wird über einer ersten Gate-Elektrode, die sich über einem Substrat befindetet, ausgebildet, während eine Erwärmung bei einer Temperatur von höher als oder gleich 450°C und niedriger als die untere Spannungsgrenze des Substrats durchgeführt wird. Ein erster Oxidhalbleiterfilm wird über dem ersten Isolierfilm ausgebildet, und ein zweiter Oxidhalbleiterfilm wird über dem ersten Oxidhalbleiterfilm ausgebildet. Dann werden ein Teil des ersten Isolierfilms, ein Teil des ersten Oxidhalbleiterfilms und ein Teil des zweiten Oxidhalbleiterfilms geätzt, um einen ersten Gate-Isolierfilm mit einem Vorsprung, den geätzten ersten Oxidhalbleiterfilm und den geätzten zweiten Oxidhalbleiterfilm auszubilden. Als Nächstes wird ein Paar von Elektroden über dem geätzten zweiten Oxidhalbleiterfilm ausgebildet, und ein dritter Oxidhalbleiterfilm wird über dem geätzten zweiten Oxidhalbleiterfilm und dem Paar von Elektroden ausgebildet. Nachdem Sauerstoff dem dritten Oxidhalbleiterfilm zugesetzt worden ist, wird eine erste Wärmebehandlung durchgeführt, so dass ein Teil von Sauerstoff, der in dem dritten Oxidhalbleiterfilm enthalten ist, auf den geätzten zweiten Oxidhalbleiterfilm übertragen wird. Dann wird ein zweiter Gate-Isolierfilm über dem dritten Oxidhalbleiterfilm, dem Sauerstoff zugesetzt worden ist, ausgebildet, und eine zweite Gate-Elektrode wird über dem zweiten Gate-Isolierfilm ausgebildet.

[0013] Die Temperatur der ersten Wärmebehandlung ist vorzugsweise niedriger als eine Temperatur, bei der der erste Isolierfilm ausgebildet wird.

[0014] Es sei angemerkt, dass Sauerstofffehlstellen in dem ersten Oxidhalbleiterfilm und/oder dem dritten Oxidhalbleiterfilm verringert werden können, indem Sauerstoff dem ersten Oxidhalbleiterfilm und/oder dem dritten Oxidhalbleiterfilm zugesetzt wird und dann eine Wärmebehandlung durchgeführt wird.

[0015] Es sei angemerkt, dass der zweite Oxidhalbleiterfilm ein Oxidhalbleiterfilm ist, der In oder Ga enthält, typischerweise ein In-Ga-Oxidfilm, ein In-Zn-Oxidfilm, ein In-Mg-Oxidfilm, ein Zn-Mg-Oxidfilm oder ein In-M-Zn-Oxidfilm (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd). Es sei angemerkt, dass das Element M ein Metallelement ist, dessen Bindungsstärke an Sauerstoff höher ist als diejenige von In.

[0016] Der erste Oxidhalbleiterfilm und der dritte Oxidhalbleiterfilm sind jeweils typischerweise ein In-Ga-Oxidfilm, ein In-Zn-Oxidfilm, ein In-Mg-Oxidfilm, ein Zn-Mg-Oxidfilm oder ein In-M-Zn-Oxidfilm (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd) und weisen das Energieniveau am Minimum des Leitungsbandes auf, das

näher am Vakuumniveau liegt als dasjenige des zweiten Oxidhalbleiterfilms. Der Unterschied zwischen dem Energieniveau am Minimum des Leitungsbandes des zweiten Oxidhalbleiterfilms und dem Energieniveau am Minimum des Leitungsbandes jedes der ersten und dritten Oxidhalbleiterfilme ist typischerweise größer als oder gleich 0,05 eV, größer als oder gleich 0,07 eV, größer als oder gleich 0,1 eV, oder größer als oder gleich 0,2 eV und auch kleiner als oder gleich 2 eV, kleiner als oder gleich 1 eV, kleiner als oder gleich 0,5 eV, oder kleiner als oder gleich 0,4 eV. Es sei angemerkt, dass der Unterschied zwischen dem Vakuumniveau und der Energie am Minimum des Leitungsbandes als Elektronenaffinität bezeichnet wird.

[0017] In dem Fall, in dem die ersten und dritten Oxidhalbleiterfilme und der zweite Oxidhalbleiterfilm jeweils ein In-M-Zn-Oxidfilm sind (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd), ist der Anteil an M-Atomen (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd) in jedem der ersten und dritten Oxidhalbleiterfilme höher als derjenige in dem zweiten Oxidhalbleiterfilm. Typischerweise ist der Anteil an M in jedem der ersten und dritten Oxidhalbleiterfilme mehr als oder gleich 1,5-mal, bevorzugt mehr als oder gleich doppelt, stärker bevorzugt mehr als oder gleich dreimal so hoch wie derjenige in dem zweiten Oxidhalbleiterfilm.

[0018] Als Verfahren zum Zusetzen von Sauerstoff zu dem ersten Oxidhalbleiterfilm oder dem dritten Oxidhalbleiterfilm kann ein Ionenimplantationsverfahren, ein Ionendotierverfahren, eine Plasmabehandlung oder dergleichen verwendet werden. Der Sauerstoff, der dem ersten Oxidhalbleiterfilm oder dem dritten Oxidhalbleiterfilm zugesetzt wird, ist mindestens eine Art ausgewählt aus Sauerstoffradikalen, Sauerstoffatomen, Sauerstoffatomionen, Sauerstoffmolekülionen und dergleichen.

[0019] Entsprechend einer Ausführungsform der vorliegenden Erfindung können die elektrischen Eigenschaften einer Halbleitervorrichtung, die einen Oxidhalbleiter enthält, verbessert werden. Entsprechend einer Ausführungsform der vorliegenden Erfindung kann die Zuverlässigkeit einer Halbleitervorrichtung, die einen Oxidhalbleiter enthält, verbessert werden. Des Weiteren kann entsprechend einer Ausführungsform der vorliegenden Erfindung eine neuartige Halbleitervorrichtung oder dergleichen bereitgestellt werden. Es sei angemerkt, dass die Beschreibung dieser Wirkungen dem Vorhandensein weiterer Wirkungen nicht im Wege steht. Eine Ausführungsform der vorliegenden Erfindung muss nicht alle oben angegebenen Wirkungen erzielen. Weitere Wirkungen werden aus der Erläuterung der Beschreibung, der Zeichnungen, der Patentansprüche und dergleichen ersichtlich sein und können davon abgeleitet werden.

Kurze Beschreibung der Zeichnungen

[0020] Die Zeichnungen sind wie folgt:

[0021] Fig. 1A bis Fig. 1C sind eine Draufsicht und Querschnittsansichten, die eine Ausführungsform einer Halbleitervorrichtung darstellen;

[0022] Fig. 2 zeigt die elektrischen Eigenschaften der Halbleitervorrichtung;

[0023] Fig. 3A bis Fig. 3D sind Querschnittsansichten, die eine Ausführungsform eines Verfahrens zum Herstellen der Halbleitervorrichtung darstellen;

[0024] Fig. 4A bis Fig. 4C sind Querschnittsansichten, die eine Ausführungsform eines Verfahrens zum Herstellen der Halbleitervorrichtung darstellen;

[0025] Fig. 5A und Fig. 5B zeigen jeweils eine Bandstruktur eines Transistors;

[0026] Fig. 6A bis Fig. 6C sind Querschnittsansichten, die jeweils eine Ausführungsform einer Halbleitervorrichtung darstellen;

[0027] Fig. 7A bis Fig. 7D sind eine Draufsicht und Querschnittsansichten, die eine Ausführungsform einer Halbleitervorrichtung darstellen;

[0028] Fig. 8A bis Fig. 8C sind Querschnittsansichten, die eine Ausführungsform eines Verfahrens zum Herstellen der Halbleitervorrichtung darstellen;

[0029] Fig. 9 ist eine Querschnittsansicht, die eine Ausführungsform einer Halbleitervorrichtung darstellt;

- [0030] Fig. 10A bis Fig. 10C sind eine Draufsicht und Querschnittsansichten, die eine Ausführungsform einer Halbleitervorrichtung darstellen;
- [0031] Fig. 11A bis Fig. 11C sind eine Draufsicht und Querschnittsansichten, die eine Ausführungsform einer Halbleitervorrichtung darstellen;
- [0032] Fig. 12A bis Fig. 12D sind Querschnittsansichten, die eine Ausführungsform eines Verfahrens zum Herstellen der Halbleitervorrichtung darstellen;
- [0033] Fig. 13A bis Fig. 13C sind Querschnittsansichten, die eine Ausführungsform des Verfahrens zum Herstellen der Halbleitervorrichtung darstellen;
- [0034] Fig. 14A bis Fig. 14C sind Querschnittsansichten, die eine Ausführungsform eines Verfahrens zum Herstellen einer Halbleitervorrichtung darstellen;
- [0035] Fig. 15A bis Fig. 15C sind Querschnittsansichten, die jeweils eine Ausführungsform einer Halbleitervorrichtung darstellen;
- [0036] Fig. 16A und Fig. 16B stellen die Beziehung zwischen der Bildungsenergie und den Übergangsniveaus bzw. die Elektronenkonfigurationen von Defekten dar;
- [0037] Fig. 17 stellt eine Änderung des Fermi-Niveaus und eine Änderung der Ladungszustände von Defekten dar;
- [0038] Fig. 18 zeigt ein Kristallmodell von c-SiO₂;
- [0039] Fig. 19 zeigt ein Modell, in dem NO₂ in einen Zwischengitterplatz eines c-SiO₂-Modells eingeführt wird;
- [0040] Fig. 20 zeigt ein Modell, in dem N₂O in einen Zwischengitterplatz eines c-SiO₂-Modells eingeführt wird;
- [0041] Fig. 21 zeigt ein Modell, in dem NO in einen Zwischengitterplatz eines c-SiO₂-Modells eingeführt wird;
- [0042] Fig. 22 zeigt ein Modell, in dem ein N-Atom in einen Zwischengitterplatz eines c-SiO₂-Modells eingeführt wird;
- [0043] Fig. 23 ist ein Bandschema;
- [0044] Fig. 24A und Fig. 24B zeigen jeweils ein Modell einer Cluster-Struktur;
- [0045] Fig. 25 zeigt einen Mechanismus für ein Phänomen, dass die Schwellenspannung eines Transistors in positiver Richtung verschoben wird;
- [0046] Fig. 26A und Fig. 26B sind eine Querschnittsansicht und ein Schaltplan, die eine Ausführungsform einer Halbleitervorrichtung darstellen;
- [0047] Fig. 27 stellt einen Datenschreibvorgang und einen Datenlesevorgang einer Speicherzelle dar;
- [0048] Fig. 28A bis Fig. 28C sind ein Blockschema und Schaltpläne, die eine Anzeigevorrichtung darstellen;
- [0049] Fig. 29 stellt ein Anzeigemodul dar;
- [0050] Fig. 30A bis Fig. 30F stellen elektronische Geräte einer Ausführungsform der vorliegenden Erfindung dar;
- [0051] Fig. 31 zeigt die Berechnungsergebnisse der Sauerstoffkonzentration;
- [0052] Fig. 32 zeigt die Berechnungsergebnisse der Sauerstoffkonzentration;
- [0053] Fig. 33A bis Fig. 33I stellen Herstellungsverfahren von Proben dar;

- [0054] Fig. 34A und Fig. 34B zeigen die Ergebnisse der ESR-Messung;
- [0055] Fig. 35A bis Fig. 35F stellen Herstellungsverfahren von Proben dar;
- [0056] Fig. 36A und Fig. 36B zeigen die Ergebnisse der ESR-Messung;
- [0057] Fig. 37 zeigt die Ergebnisse der ESR-Messung;
- [0058] Fig. 38 zeigt die Ergebnisse der TDS-Analyse;
- [0059] Fig. 39 zeigt die Ergebnisse der SIMS-Analyse;
- [0060] Fig. 40 zeigt die Messergebnisse der V_g - I_d -Eigenschaften eines Transistors;
- [0061] Fig. 41 zeigt die Messergebnisse der V_g - I_d -Eigenschaften eines Transistors;
- [0062] Fig. 42A und Fig. 42B zeigen die Beziehung zwischen der Belastungszeit und dem Änderungsbetrag der Schwellenspannung bzw. diejenige zwischen der Belastungszeit und dem Änderungsbetrag des Verschiebungswerts;
- [0063] Fig. 43 ist eine Querschnittsansicht, die eine Ausführungsform einer Halbleitervorrichtung darstellt;
- [0064] Fig. 44A und Fig. 44B sind Querschnittsansichten, die jeweils eine Ausführungsform einer Halbleitervorrichtung darstellen;
- [0065] Fig. 45A und Fig. 45B zeigen die ESR-Spektren von NO_2 und Si-N-Si;
- [0066] Fig. 46 zeigt die Ergebnisse der SIMS-Analyse;
- [0067] Fig. 47A bis Fig. 47D sind Cs-korrigierte hochauflösende TEM-Bilder eines Querschnitts eines CAAC-OS und eine schematische Querschnittsansicht des CAAC-OS;
- [0068] Fig. 48A bis Fig. 48D sind Cs-korrigierte hochauflösende TEM-Bilder einer Fläche eines CAAC-OS;
- [0069] Fig. 49A bis Fig. 49C zeigen die Strukturanalysen durch XRD eines CAAC-OS und eines einkristallinen Oxidhalbleiters;
- [0070] Fig. 50A und Fig. 50B zeigen Elektronenbeugungsbilder eines CAAC-OS; und
- [0071] Fig. 51 zeigt eine Veränderung eines Kristallteils eines In-Ga-Zn-Oxides infolge von Elektronenbestrahlung.

Beste Methode zum Durchführen der Erfindung

[0072] Ausführungsformen der vorliegenden Erfindung werden nachstehend detailliert anhand der begleitenden Zeichnungen beschrieben. Es sei angemerkt, dass die vorliegende Erfindung nicht auf die nachfolgende Beschreibung beschränkt ist. Es ist für den Fachmann leicht ersichtlich, dass Modi und Details der vorliegenden Erfindung in verschiedener Weise verändert werden können, ohne dabei vom Erfindungsgedanken und Schutzbereich der vorliegenden Erfindung abzuweichen. Daher sollte die vorliegende Erfindung nicht als auf die folgende Beschreibung der Ausführungsformen beschränkt angesehen werden. Außerdem werden bei den folgenden Ausführungsformen und Beispielen die gleichen Abschnitte oder Abschnitte mit ähnlichen Funktionen in unterschiedlichen Zeichnungen mit den gleichen Bezugszeichen oder den gleichen Schraffurmustern gekennzeichnet, und eine Beschreibung davon wird nicht wiederholt.

[0073] Es sei angemerkt, dass in einigen Fällen in jeder Zeichnung, die in dieser Beschreibung beschrieben wird, die Größe, die Filmdicke oder der Bereich jedes Bestandteils der Einfachheit halber übertrieben dargestellt ist. Somit sind Ausführungsformen der vorliegenden Erfindung nicht auf solche Größenverhältnisse beschränkt.

[0074] Ferner werden Begriffe, wie z. B. „erstes“, „zweites“ und „drittes“, in dieser Beschreibung verwendet, um eine Verwechslung von Bestandteilen zu vermeiden, und die Begriffe beschränken die Bestandteile nicht zahlenmäßig. Daher kann beispielsweise der Begriff „erstes“, je nach Bedarf, durch den Begriff „zweites“, „drittes“ oder dergleichen ersetzt werden.

[0075] Die Funktionen von „Source“ und „Drain“ können sich in dem Fall vertauschen, in dem beispielsweise die Richtung des Stromflusses im Schaltungsbetrieb geändert wird. Deshalb können die Begriffe „Source“ und „Drain“ in dieser Beschreibung verwendet werden, um den Drain bzw. die Source zu bezeichnen.

[0076] Der Begriff „parallel“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich -10° und kleiner als oder gleich 10° ist, und umfasst daher auch den Fall, in dem der Winkel größer als oder gleich -5° und kleiner als oder gleich 5° ist. Der Begriff „im Wesentlichen parallel“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich -30° und kleiner als oder gleich 30° ist. Der Begriff „senkrecht“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich 80° und kleiner als oder gleich 100° ist, und umfasst daher auch den Fall, in dem der Winkel größer als oder gleich 85° und kleiner als oder gleich 95° ist. Der Begriff „im Wesentlichen senkrecht“ bedeutet, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich 60° und kleiner als oder gleich 120° ist.

[0077] In dieser Beschreibung sind trigonale und rhomboedrische Kristallsysteme in einem hexagonalen Kristallsystem enthalten.

[0078] Eine Spannung bezeichnet einen Unterschied zwischen Potentialen von zwei Punkten, und ein Potential bezeichnet eine elektrostatische Energie (elektrische potentielle Energie) einer Einheitsladung (unit charge) an einem gegebenen Punkt in einem elektrostatischen Feld. Es sei angemerkt, dass im Allgemeinen ein Unterschied zwischen einem Potential eines Punktes und einem Bezugspotential (z. B. einem Erdpotential) einfach als Potential oder Spannung bezeichnet wird und dass ein Potential und eine Spannung in vielen Fällen als Synonyme verwendet werden. Deshalb kann in dieser Beschreibung ein Potential auch als Spannung ausgedrückt werden, und eine Spannung kann auch als Potential ausgedrückt werden, sofern nicht anders festgelegt.

[0079] Ein Transistor, der einen Oxidhalbleiterfilm beinhaltet, ist ein n-Kanal-Transistor. In dieser Beschreibung wird also ein Transistor, der so angesehen werden kann, dass kein Drain-Strom bei einer Gate-Spannung von 0 V darin fließt, als Transistor mit selbstsperrenden (normally-off) Eigenschaften definiert. Andererseits wird ein Transistor, der so angesehen werden kann, dass ein Drain-Strom bei einer Gate-Spannung von 0 V darin fließt, als Transistor mit selbstleitenden Eigenschaften definiert.

[0080] Es sei angemerkt, dass die Kanallänge beispielsweise den Abstand zwischen einer Source (einem Source-Bereich oder einer Source-Elektrode) und einem Drain (einem Drain-Bereich oder einer Drain-Elektrode) in einem Bereich, in dem in einer Draufsicht auf den Transistor ein Oxidhalbleiterfilm (oder ein Teil eines Oxidhalbleiterfilms, in dem ein Strom fließt, wenn ein Transistor eingeschaltet ist) und eine Gate-Elektrode einander überlappen, oder in einem Bereich bezeichnet, in dem ein Kanal gebildet wird. Bei einem Transistor sind Kanallängen nicht notwendigerweise in sämtlichen Bereichen gleich. Mit anderen Worten: Die Kanallänge eines Transistors ist in einigen Fällen nicht auf einen einzigen Wert beschränkt. Deshalb bezieht sich die Kanallänge in dieser Beschreibung auf einen von Werten, nämlich den Maximalwert, den Minimalwert oder den Durchschnittswert in einem Bereich, in dem ein Kanal gebildet wird.

[0081] Die Kanalbreite bezeichnet beispielsweise die Länge eines Teils, in dem eine Source und ein Drain in einem Bereich, in dem ein Oxidhalbleiterfilm (oder ein Teil eines Oxidhalbleiterfilms, in dem ein Strom fließt, wenn ein Transistor eingeschaltet ist) und eine Gate-Elektrode einander überlappen, oder in einem Bereich, in dem ein Kanal gebildet wird, einander zugewandt sind. Bei einem Transistor sind Kanalbreiten nicht notwendigerweise in sämtlichen Bereichen gleich. Mit anderen Worten: Die Kanalbreite eines Transistors ist in einigen Fällen nicht auf einen einzigen Wert beschränkt. Deshalb bezieht sich die Kanalbreite in dieser Beschreibung auf einen von Werten, nämlich den Maximalwert, den Minimalwert oder den Durchschnittswert in einem Bereich, in dem ein Kanal gebildet wird.

[0082] Es sei angemerkt, dass sich in einigen Fällen je nach Transistorstrukturen eine Kanalbreite in einem Bereich, in dem ein Kanal tatsächlich gebildet wird (nachstehend als effektive Kanalbreite bezeichnet), von einer Kanalbreite unterscheidet, die in einer Draufsicht auf einen Transistor gezeigt ist (nachstehend als scheinbare Kanalbreite bezeichnet). Bei einem Transistor mit einer dreidimensionalen Struktur ist zum Beispiel eine

effektive Kanalbreite größer als eine scheinbare Kanalbreite, die in einer Draufsicht auf den Transistor gezeigt ist, und in einigen Fällen kann man ihren Einfluss nicht ignorieren. Bei einem miniaturisierten Transistor mit einer dreidimensionalen Struktur ist zum Beispiel der Anteil eines Kanalbereichs, der in einer Seitenfläche eines Oxidhalbleiterfilms gebildet wird, in einigen Fällen höher als der Anteil eines Kanalbereichs, der in einer oberen Oberfläche des Oxidhalbleiterfilms gebildet wird. In diesem Fall ist eine effektive Kanalbreite, die erhalten wird, wenn ein Kanal tatsächlich gebildet wird, größer als eine scheinbare Kanalbreite, die in der Draufsicht gezeigt ist.

[0083] Bei einem Transistor mit einer dreidimensionalen Struktur ist eine effektive Kanalbreite unter Umständen schwer zu messen. Die Einschätzung einer effektiven Kanalbreite aus einem Designwert erfordert beispielsweise eine Annahme, dass die Form eines Oxidhalbleiterfilms bekannt ist. Deshalb ist in dem Fall, in dem die Form eines Oxidhalbleiterfilms nicht genau bekannt ist, eine genaue effektive Kanalbreite schwer zu messen.

[0084] In dieser Beschreibung wird daher in einigen Fällen in einer Draufsicht auf einen Transistor eine scheinbare Kanalbreite, die die Länge eines Teils ist, in dem eine Source und ein Drain einander in einem Bereich zugewandt sind, in dem ein Oxidhalbleiterfilm und eine Gate-Elektrode einander überlappen, als „Breite eines umschlossenen Kanals (surrounded channel width, SCW)“ bezeichnet. In dieser Beschreibung kann außerdem in dem Fall, in dem der Begriff „Kanalbreite“ einfach verwendet wird, er eine Breite eines umschlossenen Kanals und eine scheinbare Kanalbreite bezeichnen. Alternativ kann in dieser Beschreibung in dem Fall, in dem der Begriff „Kanalbreite“ einfach verwendet wird, er in einigen Fällen auch eine effektive Kanalbreite bezeichnen. Es sei angemerkt, dass die Werte einer Kanallänge, einer Kanalbreite, einer effektiven Kanalbreite, einer scheinbaren Kanalbreite, einer Breite eines umschlossenen Kanals und dergleichen bestimmt werden können, indem ein Querschnitts-TEM-Bild (cross-sectional TEM image) und dergleichen aufgenommen und analysiert wird.

[0085] Es sei angemerkt, dass in dem Fall, in dem die elektrische Feldbeweglichkeit, der Stromwert pro Kanalbreite und dergleichen eines Transistors durch Berechnung ermittelt werden, eine Breite eines umschlossenen Kanals für die Berechnung genutzt werden kann. Der Wert, der in diesem Fall ermittelt wird, unterscheidet sich unter Umständen von dem Wert, der durch die Berechnung unter Verwendung einer effektiven Kanalbreite ermittelt wird.

(Ausführungsform 1)

[0086] Die Schwellenspannung eines Transistors, bei dem ein Oxidhalbleiterfilm mit Sauerstofffehlstellen verwendet wird, verschiebt sich leicht in negativer Richtung, und ein solcher Transistor neigt dazu, sich selbstleitend zu verhalten. Das liegt daran, dass elektrische Ladungen wegen der Sauerstofffehlstellen in dem Oxidhalbleiterfilm erzeugt werden und dadurch der Widerstand abfällt. Zudem weist ein Transistor, bei dem ein Oxidhalbleiterfilm mit Sauerstofffehlstellen verwendet wird, ein solches Problem auf, dass sich die elektrischen Eigenschaften, wie typischerweise die Schwellenspannung, über die Zeit oder durch einen Belastungstest (wie typischerweise einen Gate-Vorspannungstemperatur-(bias-temperature, BT-)Belastungstest unter Lichtbestrahlung) ändern. Bei dieser Ausführungsform werden eine äußerst zuverlässige Halbleitervorrichtung mit geringer Änderung der Schwellenspannung und ein Herstellungsverfahren dafür beschrieben. Des Weiteren werden eine Halbleitervorrichtung mit ausgezeichneten elektrischen Eigenschaften und ein Herstellungsverfahren dafür beschrieben.

<Strukturbeispiel einer Halbleitervorrichtung>

[0087] Bei dieser Ausführungsform wird ein Verfahren zum Herstellen eines Top-Gate-Transistors beschrieben.

[0088] Fig. 1A bis Fig. 1C sind eine Draufsicht und Querschnittsansichten eines Transistors **100** in einer Halbleitervorrichtung. Fig. 1A ist eine Draufsicht auf den Transistor **100**, Fig. 1B ist eine Querschnittsansicht entlang der Strichpunktlinie A-B in Fig. 1A, und Fig. 1C ist eine Querschnittsansicht entlang der Strichpunktlinie C-D in Fig. 1A. Es sei angemerkt, dass in Fig. 1A der Einfachheit halber ein Substrat **101**, ein Gate-Isolierfilm **105**, ein Oxidhalbleiterfilm **107**, ein Oxidhalbleiterfilm **115**, ein Gate-Isolierfilm **117**, ein Isolierfilm **121**, ein Isolierfilm **123** und dergleichen nicht dargestellt sind.

[0089] Fig. 1B ist eine Querschnittsansicht des Transistors **100** in der Kanallängsrichtung, und Fig. 1C ist eine Querschnittsansicht des Transistors **100** in der Kanalbreitenrichtung.

[0090] Der in **Fig. 1A** bis **Fig. 1C** dargestellte Transistor **100** ist über dem Substrat **101** bereitgestellt. Der Transistor **100** beinhaltet eine Gate-Elektrode **103** über dem Substrat **101**, den Gate-Isolierfilm **105** über dem Substrat **101** und der Gate-Elektrode **103**, den Oxidhalbleiterfilm **107**, der in Kontakt mit dem Gate-Isolierfilm **105** ist, einen Oxidhalbleiterfilm **111**, der in Kontakt mit dem Oxidhalbleiterfilm **107** ist, ein Paar von Elektroden **113a** und **113b**, die in Kontakt mit mindestens einer oberen Oberfläche und einer Seitenfläche des Oxidhalbleiterfilms **111** und einer Seitenfläche des Oxidhalbleiterfilms **107** sind, den Oxidhalbleiterfilm **115**, der in Kontakt mit dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ist, den Gate-Isolierfilm **117**, der mit dem Oxidhalbleiterfilm **111** überlappt, wobei der Oxidhalbleiterfilm **115** dazwischen angeordnet ist, und eine Gate-Elektrode **119**, die in Kontakt mit dem Gate-Isolierfilm **117** ist und mit dem Oxidhalbleiterfilm **111** überlappt, wobei der Oxidhalbleiterfilm **115** und der Gate-Isolierfilm **117** dazwischen angeordnet sind. Außerdem kann der Transistor **100** den Isolierfilm **121**, der das Paar von Elektroden **113a** und **113b**, den Oxidhalbleiterfilm **115**, den Gate-Isolierfilm **117** und die Gate-Elektrode **119** bedeckt, und den Isolierfilm **123**, der den Isolierfilm **121** bedeckt, beinhalten.

[0091] Es sei angemerkt, dass mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) auf mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet ist.

[0092] Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) in Kontakt mit mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**). Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) in Kontakt mit mindestens einem Teil (oder dem Ganzen) eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**).

[0093] Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) elektrisch mit mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), verbunden. Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) elektrisch mit einem Teil (oder dem Ganzen) eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), verbunden.

[0094] Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) in der Nähe mindestens eines Teils (oder des Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) in der Nähe eines Teils (oder des Ganzen) eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet.

[0095] Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) neben mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) neben einem Teil (oder dem Ganzen) eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet.

[0096] Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) schräg über mindestens einem Teil (oder dem Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) schräg über einem Teil (oder dem Ganzen) eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet.

[0097] Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) oberhalb mindestens eines Teils (oder des Ganzen) einer Oberfläche, einer Seitenfläche, einer oberen Oberfläche und/oder einer Bodenfläche eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet. Alternativ ist mindestens ein Teil (oder das Ganze) der Elektrode **113a** (und/oder der Elektrode **113b**) oberhalb eines Teils (oder des Ganzen) eines Halbleiterfilms, wie z. B. des Oxidhalbleiterfilms **107** (und/oder des Oxidhalbleiterfilms **111**), angeordnet.

[0098] Der Transistor **100** beinhaltet zwei Gate-Elektroden. Eine von ihnen weist eine Funktion zum Steuern des Durchlass-/Sperrzustandes des Transistors **100** auf. Die andere weist eine Funktion zum Steuern der Schwellenspannung des Transistors **100** auf. Indem eine Spannung, die die Schwellenspannung des Transistors **100** positiv macht, an die eine der Gate-Elektroden angelegt wird, kann der Transistor **100** selbstsperrende Eigenschaften aufweisen.

[0099] Der Gate-Isolierfilm **105** in dem Transistor **100** weist einen Vorsprung auf. Die Oxidhalbleiterfilme **107** und **111** sind über dem Vorsprung in dieser Reihenfolge ausgebildet. Daher ist, wie in **Fig. 1C** dargestellt, in der Kanalbreitenrichtung die Gate-Elektrode **119** Seitenflächen der Oxidhalbleiterfilme **107** und **111** zugewandt, wobei der Gate-Isolierfilm **117** dazwischen angeordnet ist. Mit anderen Worten: Wenn eine Spannung an die Gate-Elektrode **119** angelegt wird, werden die Oxidhalbleiterfilme **107** und **111** von dem elektrischen Feld der Gate-Elektrode **119** in der Kanalbreitenrichtung umgeben. Die Struktur des Transistors, bei der ein Oxidhalbleiterfilm von dem elektrischen Feld der Gate-Elektrode **119** umgeben wird, wird als Struktur mit umschlossenem Kanal (surrounded channel structure, s-channel structure bzw. S-Kanal-Struktur) bezeichnet. Bei dem Transistor mit der S-Kanal-Struktur wird ein Kanal in dem ganzen Oxidhalbleiterfilm **111** (Bulk) im Durchlasszustand gebildet, was den Durchlassstrom erhöht. Im Sperrzustand wird der gesamte Bereich des Kanalbereichs in dem Oxidhalbleiterfilm **111** verarmt, was ermöglicht, dass der Sperrstrom ferner verringert wird.

[0100] Bestandteile des Transistors **100** werden nachstehend beschrieben.

[0101] Obwohl keine bestimmte Beschränkung hinsichtlich eines Materials und dergleichen des Substrats **101** besteht, ist notwendig, dass das Substrat eine Wärmebeständigkeit aufweist, die hoch genug ist, um mindestens einer später durchzuführenden Wärmebehandlung standzuhalten. Beispielsweise kann ein Glassubstrat, ein Keramiksubstrat, ein Quarzsubstrat, ein Saphirsubstrat oder dergleichen als das Substrat **101** verwendet werden. Alternativ kann ein einkristallines Halbleitersubstrat oder ein polykristallines Halbleitersubstrat aus Silizium, Siliziumkarbid oder dergleichen, ein Verbindungshalbleitersubstrat aus Siliziumgermanium oder dergleichen, ein Silizium-auf-Isolator-(silicon on insulator, SOI-)Substrat oder dergleichen als das Substrat **101** verwendet werden. Darüber hinaus kann ein beliebiges dieser Substrate, das mit einem Halbleiterelement versehen ist, als das Substrat **101** verwendet werden. Alternativ kann Galliumarsenid, Aluminiumgalliumarsenid, Indiumgalliumarsenid, Galliumnitrid, Indiumphosphid, Siliziumgermanium oder dergleichen, welche für einen Transistor mit hoher Elektronenbeweglichkeit (high-electron-mobility transistor, HEMT) verwendet werden können, als Material des Substrats **101** verwendet werden. Unter Verwendung eines beliebigen dieser Halbleiter für das Substrat **101** kann der Transistor **100**, der zum Hochgeschwindigkeitsbetrieb geeignet ist, hergestellt werden. Das Substrat **101** ist nicht auf ein einfaches tragendes Substrat beschränkt und kann ein Substrat sein, bei dem eine Vorrichtung, wie z. B. ein Transistor, gebildet ist. In diesem Fall kann mindestens eine der Gate-Elektrode, der Source-Elektrode und der Drain-Elektrode des Transistors **100** elektrisch mit der Vorrichtung verbunden sein.

[0102] Es sei angemerkt, dass auch ein flexibles Substrat als das Substrat **101** verwendet werden kann. In dem Fall, in dem ein flexibles Substrat verwendet wird, kann ein Halbleiterelement, wie z. B. ein Transistor oder ein Kondensator, direkt über dem flexiblen Substrat ausgebildet werden, oder das Halbleiterelement kann über einem Herstellungssubstrat ausgebildet werden und kann dann getrennt und auf das flexible Substrat übertragen werden. Zum Trennen des Halbleiterelements von dem Herstellungssubstrat und zum Übertragen des Halbleiterelements auf das flexible Substrat, kann eine Trennschicht zwischen dem Herstellungssubstrat und dem Halbleiterelement bereitgestellt werden.

[0103] Die Gate-Elektrode **103** weist eine Funktion zum Steuern der Schwellenspannung des Transistors **100** auf. Die Gate-Elektrode **103** kann unter Verwendung eines Metallelements, das aus Aluminium, Chrom, Kupfer, Tantal, Titan, Molybdän, Mangan und Wolfram ausgewählt wird, einer Legierung, die beliebige dieser Metallelemente als Komponente enthält, einer Legierung, die beliebige dieser Metallelemente in Kombination enthält, oder dergleichen ausgebildet werden. Ferner kann/können ein oder mehrere Metallelement/e, das/die aus Mangan und Zirkonium ausgewählt wird/werden, verwendet werden. Ferner kann die Gate-Elektrode **103** eine einschichtige Struktur oder eine mehrschichtige Struktur aus zwei oder mehr Schichten aufweisen. Beispielsweise kann die Gate-Elektrode **103** eine der folgenden Strukturen aufweisen: eine einschichtige Struktur aus einem Silizium enthaltenden Aluminiumfilm, eine einschichtige Struktur aus einem Mangan enthaltenden Kupferfilm, eine zweischichtige Struktur, bei der ein Titanfilm über einem Aluminiumfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Kupferfilm über einem Kupfer-Magnesium-Legierungsfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Titanfilm über einem Titannitridfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Wolframfilm über einem Titannitridfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Wolframfilm über einem Titannitridfilm oder einem Wolframnitridfilm angeordnet ist, eine dreischichtige

Struktur, bei der ein Titanfilm, ein Aluminiumfilm und ein Titanfilm in dieser Reihenfolge übereinander angeordnet sind, und eine dreischichtige Struktur, bei der ein Kupfer-Magnesium-Legierungsfilm, ein Kupferfilm und ein Kupfer-Magnesium-Legierungsfilm in dieser Reihenfolge übereinander angeordnet sind. Alternativ kann auch ein Legierungsfilm oder ein Nitridfilm verwendet werden, der Aluminium und ein oder mehrere Elemente enthält, das/die aus Titan, Tantal, Wolfram, Molybdän, Chrom, Neodym und Scandium ausgewählt wird/werden.

[0104] Die Gate-Elektrode **103** kann auch unter Verwendung eines lichtdurchlässigen leitenden Materials, wie z. B. Indiumzinnoxid, Indiumoxid, das Wolframoxid enthält, Indiumzinkoxid, das Wolframoxid enthält, Indiumoxid, das Titanoxid enthält, Indiumzinnoxid, das Titanoxid enthält, Indiumzinkoxid oder Indiumzinnoxid, dem Siliziumoxid zugesetzt worden ist, ausgebildet werden. Die Gate-Elektrode **103** kann eine mehrschichtige Struktur aufweisen, bei der das oben beschriebene lichtdurchlässige leitende Material und das oben beschriebene Metallelement verwendet werden.

[0105] Es sei angemerkt, dass vorzugsweise das/die Elemente in der Gate-Elektrode **103** nicht in den Gate-Isolierfilm **105** diffundiert/diffundieren. Wenn beispielsweise ein Legierungsfilm, der ein oder mehrere Elemente enthält, das/die aus Wolfram, Tantal, Molybdän, Kupfer, Titan und Aluminium ausgewählt wird/werden, ein Legierungsfilm, dem eine kleine Menge am Element zugesetzt worden ist, oder dergleichen als die Gate-Elektrode **103** verwendet wird, ist es schwierig, dass das/die Element/e in der Gate-Elektrode **103** in den Gate-Isolierfilm **105** diffundiert/diffundieren.

[0106] Als die Gate-Elektrode **103** kann ein In-Ga-Zn-Oxynitridfilm, ein In-Sn-Oxynitridfilm, ein In-Ga-Oxynitridfilm, ein In-Zn-Oxynitridfilm, ein Metalloxynitridfilm (z. B. SnON, InON), ein Metallnitridfilm (z. B. InN, ZnN) oder dergleichen bereitgestellt werden. Beispielsweise wird im Falle der Verwendung eines In-Ga-Zn-Oxynitridfilms ein In-Ga-Zn-Oxynitridfilm verwendet, dessen Stickstoffkonzentration höher ist als mindestens die Stickstoffkonzentration des Oxidhalbleiterfilms **111**; insbesondere wird ein In-Ga-Zn-Oxynitridfilm verwendet, dessen Stickstoffkonzentration höher als oder gleich 7 Atom-% ist. In dem Fall, in dem die Gate-Elektrode **103** unter Verwendung eines beliebigen der vorstehenden Metalloxynitridfilme oder der Metallnitridfilme ausgebildet wird, wird vorzugsweise ein Schutzfilm, der die Diffusion von Metall, Sauerstoff oder Stickstoff verhindert, über der Gate-Elektrode **103** bereitgestellt. Beispiele für den Schutzfilm sind ein Legierungsfilm, der ein oder mehrere Elemente enthält, das/die aus Wolfram, Tantal, Molybdän, Kupfer, Titan und Aluminium ausgewählt wird/werden, und ein Legierungsfilm, dem eine kleine Menge am Element zugesetzt worden ist.

[0107] Der Gate-Isolierfilm **105** weist eine Funktion eines Basisfilms des Oxidhalbleiterfilms **107** auf. Als der Gate-Isolierfilm **105** kann eine einzelne Schicht oder eine Schichtanordnung aus z. B. einem Siliziumoxidfilm, einem Siliziumoxynitridfilm, einem Siliziumnitridoxidfilm, einem Siliziumnitridfilm, einem Aluminiumoxidfilm, einem Hafniumoxidfilm, einem Galliumoxidfilm oder einem Film aus einem Metalloxid auf Ga-Zn-Basis bereitgestellt werden. Der Gate-Isolierfilm **105** enthält vorzugsweise eine kleine Menge an Defekten oder Verunreinigungen, um eine Verschiebung der elektrischen Eigenschaften des Transistors, wie z. B. der Schwellenspannung, zu verringern.

[0108] Es ist durch Bereitstellen eines Isolierfilms mit einem Sperreffekt gegen Sauerstoff, Wasserstoff, Wasser und dergleichen als der Gate-Isolierfilm **105** möglich, die Diffusion von Sauerstoff von dem Oxidhalbleiterfilm **107** nach außen und das Eindringen von Wasserstoff, Wasser oder dergleichen von außen in den Oxidhalbleiterfilm **107** zu verhindern. Beispiele für den Isolierfilm mit einem Sperreffekt gegen Sauerstoff, Wasserstoff, Wasser und dergleichen umfassen einen Aluminiumoxidfilm, einen Aluminiumoxynitridfilm, einen Galliumoxidfilm, einen Galliumoxynitridfilm, einen Yttriumoxidfilm, einen Yttriumoxynitridfilm, einen Hafniumoxidfilm und einen Hafniumoxynitridfilm.

[0109] Der Gate-Isolierfilm **105** kann unter Verwendung eines Materials mit hohem k , wie z. B. Hafniumsilikat (HfSiO_x), Hafniumsilikat, dem Stickstoff zugesetzt worden ist ($\text{HfSi}_x\text{O}_y\text{N}_z$), Hafniumaluminat, dem Stickstoff zugesetzt worden ist ($\text{HfAl}_x\text{O}_y\text{N}_z$), Hafniumoxid, Yttriumoxid oder Aluminiumoxid, ausgebildet werden, so dass der Gate-Leckstrom des Transistors verringert werden kann.

[0110] Die Dicke des Gate-Isolierfilms **105** ist größer als oder gleich 5 nm und kleiner als oder gleich 400 nm, größer als oder gleich 5 nm und kleiner als oder gleich 300 nm, oder größer als oder gleich 10 nm und kleiner als oder gleich 50 nm. Indem die Dicke des Gate-Isolierfilms **105** verringert wird, kann die Spannung, die an die Gate-Elektrode **103** angelegt wird, verringert werden, so dass der Stromverbrauch der Halbleitervorrichtung verringert werden kann.

[0111] Der Gate-Isolierfilm **105** kann unter Verwendung eines Oxidisolierfilms mit geringem Stickstoffoxidgehalt und niedriger Dichte der Defektzustände ausgebildet werden. Der Oxidisolierfilm mit geringem Stickstoffoxidgehalt und niedriger Dichte der Defektzustände ist insbesondere ein Oxidisolierfilm mit niedriger Dichte der Defektzustände, die um 4,6 eV oder mehr und 8 eV oder weniger unter einem Vakuumniveau liegen, d. h. ein Oxidfilm mit niedriger Dichte der auf Stickstoffoxid zurückzuführenden Defektzustände. Als Oxidisolierfilm mit geringem Stickstoffoxidgehalt und niedriger Dichte der Defektzustände kann ein Siliziumoxynitridfilm, der wenig Stickstoffoxid abgibt, ein Siliziumoxidfilm, der wenig Stickstoffoxid abgibt, ein Aluminiumoxynitridfilm, der wenig Stickstoffoxid abgibt, ein Aluminiumoxidfilm, der wenig Stickstoffoxid abgibt, oder dergleichen verwendet werden.

[0112] Stickstoffoxid (NO_x ; x ist größer als oder gleich 0 und kleiner als oder gleich 2, bevorzugt größer als oder gleich 1 und kleiner als oder gleich 2), typischerweise NO_2 oder NO , bildet beispielsweise Niveaus in dem Gate-Isolierfilm **105**. Das Niveau liegt in der Energielücke des Oxidhalbleiterfilms **107**. Wenn Stickstoffoxid in die Grenzfläche zwischen dem Gate-Isolierfilm **105** und dem Oxidhalbleiterfilm **107** diffundiert, wird daher ein Elektron durch das Niveau auf der Seite des Gate-Isolierfilms **105** des Oxidhalbleiterfilms **107** eingefangen. Als Ergebnis bleibt das eingefangene Elektron in der näheren Umgebung der Grenzfläche zwischen dem Gate-Isolierfilm **105** und dem Oxidhalbleiterfilm **107**; daher wird die Schwellenspannung des Transistors in positiver Richtung verschoben.

[0113] Indem ein Oxidisolierfilm mit geringem Stickstoffoxidgehalt und niedriger Dichte der Defektzustände für den Gate-Isolierfilm **105** verwendet wird, kann eine Verschiebung der Schwellenspannung des Transistors verringert werden, was zur geringeren Veränderung der elektrischen Eigenschaften des Transistors führt.

[0114] Es sei angemerkt, dass in einem Elektronenspinresonanz-(ESR-)Spektrum bei 100 K oder niedriger des Gate-Isolierfilms **105** aufgrund einer Wärmebehandlung in einem Herstellungsprozess des Transistors, typischerweise einer Wärmebehandlung bei einer Temperatur von höher als oder gleich 300°C und niedriger als die untere Entspannungsgrenze des Substrats, ein erstes Signal, das bei einem g-Faktor von größer als oder gleich 2,037 und kleiner als oder gleich 2,039 erscheint, ein zweites Signal, das bei einem g-Faktor von größer als oder gleich 2,001 und kleiner als oder gleich 2,003 erscheint, und ein drittes Signal, das bei einem g-Faktor von größer als oder gleich 1,964 und kleiner als oder gleich 1,966 erscheint, nicht beobachtet werden. Die Schlitzbreite der ersten und zweiten Signale und die Schlitzbreite der zweiten und dritten Signale, die durch ESR-Messung unter Verwendung eines X-Bandes ermittelt werden, betragen jeweils ungefähr 5 mT. Die Summe der Spin-Dichten des ersten Signals, das bei einem g-Faktor von größer als oder gleich 2,037 und kleiner als oder gleich 2,039 erscheint, des zweiten Signals, das bei einem g-Faktor von größer als oder gleich 2,001 und kleiner als oder gleich 2,003 erscheint, und des dritten Signals, das bei einem g-Faktor von größer als oder gleich 1,964 und kleiner als oder gleich 1,966 erscheint, ist niedriger als die Nachweisgrenze, typischerweise niedriger als oder gleich 1×10^{17} Spins/cm³.

[0115] In dem ESR-Spektrum bei 100 K oder niedriger entsprechen das erste Signal, das bei einem g-Faktor von größer als oder gleich 2,037 und kleiner als oder gleich 2,039 erscheint, das zweite Signal, das bei einem g-Faktor von größer als oder gleich 2,001 und kleiner als oder gleich 2,003 erscheint, und das dritte Signal, das bei einem g-Faktor von größer als oder gleich 1,964 und kleiner als oder gleich 1,966 erscheint, Signalen, die auf Stickstoffoxid zurückzuführen sind. Mit anderen Worten: Je weniger die Summe der Spin-Dichten des ersten Signals, das bei einem g-Faktor von größer als oder gleich 2,037 und kleiner als oder gleich 2,039 erscheint, des zweiten Signals, das bei einem g-Faktor von größer als oder gleich 2,001 und kleiner als oder gleich 2,003 erscheint, und des dritten Signals, das bei einem g-Faktor von größer als oder gleich 1,964 und kleiner als oder gleich 1,966 erscheint, wird, desto weniger wird der Stickstoffoxidgehalt in dem Oxidisolierfilm.

[0116] Nach einer Wärmebehandlung in dem Herstellungsprozess des Transistors, typischerweise einer Wärmebehandlung bei einer Temperatur von höher als oder gleich 300°C und niedriger als die untere Entspannungsgrenze des Substrats, weist der Oxidisolierfilm mit geringem Stickstoffoxidgehalt und niedriger Dichte der Defektzustände eine durch Sekundärionen-Massenspektrometrie (secondary ion mass spectrometry, SIMS) gemessene Stickstoffkonzentration von niedriger als 2×10^{20} Atome/cm³, niedriger als 7×10^{19} Atome/cm³ oder niedriger als 2×10^{19} Atome/cm³ auf.

[0117] Der Stickstoffoxidgehalt in dem Gate-Isolierfilm **105** kann verringert werden, wenn die Ausbildungstemperatur des Gate-Isolierfilms **105** ansteigt. Der Gate-Isolierfilm **105** wird vorzugsweise bei einer Temperatur von höher als oder gleich 450°C und niedriger als die untere Entspannungsgrenze des Substrats, höher als oder gleich 500°C und niedriger als die untere Entspannungsgrenze des Substrats, oder höher als oder gleich 500°C und niedriger als oder gleich 550°C ausgebildet.

[0118] Der Oxidhalbleiterfilm **111** ist ein Oxidhalbleiterfilm, der In oder Ga enthält, und typischerweise ein In-Ga-Oxidfilm, ein In-Zn-Oxidfilm, ein In-Mg-Oxidfilm, ein Zn-Mg-Oxidfilm oder ein In-M-Zn-Oxidfilm (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd).

[0119] Es sei angemerkt, dass in dem Fall, in dem der Oxidhalbleiterfilm **111** ein In-M-Zn-Oxidfilm ist, die In- und M-Anteile, ausgehend von der Annahme, dass die Summe von In und M 100 Atom-% beträgt, vorzugsweise wie folgt sind: Der Atomprozentsatz von In ist höher als oder gleich 25 Atom-%, und der Atomprozentsatz von M ist niedriger als 75 Atom-%, oder stärker bevorzugt ist der Atomprozentsatz von In höher als oder gleich 34 Atom-%, und der Atomprozentsatz von M ist niedriger als 66 Atom-%.

[0120] Man kann den Indium- und den Galliumgehalt in dem Oxidhalbleiterfilm **111** durch Flugzeit-Sekundärionen-Massenspektrometrie (time-of-flight secondary ion mass spectrometry, TOF-SIMS), Röntgenphotoelektronenspektrometrie (X-ray photoelectron spectrometry, XPS) oder Massenspektrometrie mit induktiv gekoppeltem Plasma (inductively coupled plasma mass spectrometry, ICP-MS) miteinander vergleichen.

[0121] Da der Oxidhalbleiterfilm **111** eine Energielücke von 2 eV oder mehr, bevorzugt 2,5 eV oder mehr, stärker bevorzugt 3 eV oder mehr aufweist, kann der Sperrstrom des Transistors **100** niedrig sein.

[0122] Die Dicke des Oxidhalbleiterfilms **111** ist größer als oder gleich 3 nm und kleiner als oder gleich 200 nm, bevorzugt größer als oder gleich 3 nm und kleiner als oder gleich 100 nm, stärker bevorzugt größer als oder gleich 3 nm und kleiner als oder gleich 50 nm.

[0123] Der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **115** sind Oxidhalbleiterfilme, die jeweils ein oder mehrere Element/e enthalten, das/die in dem Oxidhalbleiterfilm **111** enthalten ist/sind. Es ist daher unwahrscheinlich, dass eine Grenzflächenstreuung an der Grenzfläche zwischen dem Oxidhalbleiterfilm **111** und jedem der Oxidhalbleiterfilme **107** und **115** auftritt. Daher kann der Transistor **100** eine hohe Feldeffektbeweglichkeit aufweisen, da die Bewegung von Ladungsträgern an den Grenzflächen nicht behindert wird.

[0124] Der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **115** sind jeweils typischerweise ein Ga-Oxidfilm, ein In-Ga-Oxidfilm, ein In-Zn-Oxidfilm, ein In-Mg-Oxidfilm, ein Zn-Mg-Oxidfilm oder ein In-M-Zn-Oxidfilm (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd) und weisen das Energieniveau am Minimum des Leitungsbandes auf, das näher am Vakuumniveau liegt als dasjenige des Oxidhalbleiterfilms **111**. Typischerweise ist der Unterschied zwischen dem Energieniveau am Minimum des Leitungsbandes des Oxidhalbleiterfilms **111** und dem Energieniveau am Minimum des Leitungsbandes jedes der Oxidhalbleiterfilme **107** und **115** größer als oder gleich 0,05 eV, größer als oder gleich 0,07 eV, größer als oder gleich 0,1 eV, oder größer als oder gleich 0,2 eV und auch kleiner als oder gleich 2 eV, kleiner als oder gleich 1 eV, kleiner als oder gleich 0,5 eV, oder kleiner als oder gleich 0,4 eV. Das heißt, dass der Unterschied zwischen der Elektronenaffinität des Oxidhalbleiterfilms **111** und der Elektronenaffinität jedes der Oxidhalbleiterfilme **107** und **115** größer als oder gleich 0,05 eV, größer als oder gleich 0,07 eV, größer als oder gleich 0,1 eV, oder größer als oder gleich 0,2 eV und auch kleiner als oder gleich 2 eV, kleiner als oder gleich 1 eV, kleiner als oder gleich 0,5 eV, oder kleiner als oder gleich 0,4 eV ist. Es sei angemerkt, dass die Elektronenaffinität die Energielücke zwischen dem Vakuumniveau und dem Minimum des Leitungsbandes bezeichnet.

[0125] Wenn die Oxidhalbleiterfilme **107** und **115** jeweils eine größere Menge an Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd im Atomverhältnis enthalten als die Menge an In im Atomverhältnis, kann eine der folgenden Wirkungen erzielt werden.

- (1) Die Energielücke jedes der Oxidhalbleiterfilme **107** und **115** wird vergrößert.
- (2) Die Elektronenaffinität jedes der Oxidhalbleiterfilme **107** und **115** wird verringert.
- (3) Verunreinigungen von außen werden gesperrt.
- (4) Ein Isoliervermögen jedes der Oxidhalbleiterfilme **107** und **115** ist besser als dasjenige des Oxidhalbleiterfilms **111**.
- (5) Sauerstofffehlstellen werden weniger wahrscheinlich in den Oxidhalbleiterfilmen **107** und **115** erzeugt, da Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg und Nd Metallelemente sind, die stark an Sauerstoff gebunden werden können.

[0126] Wenn ein In-M-Zn-Oxid für die Oxidhalbleiterfilme **107** und **115** verwendet wird, wobei Zn und O nicht berücksichtigt werden, sind die In- und M-Anteile vorzugsweise wie folgt: Der Atomprozentsatz von In ist niedriger als 50 Atom-%, und der Atomprozentsatz von M ist höher als oder gleich 50 Atom-%, stärker bevorzugt ist der Atomprozentsatz von In niedriger als 25 Atom-%, und der Atomprozentsatz von M ist höher als oder gleich 75 Atom-%.

[0127] In dem Fall, in dem ferner die Oxidhalbleiterfilme **107**, **111** und **115** jeweils ein In-M-Zn-Oxidfilm sind (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd), ist der Anteil an M-Atomen (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd) in jedem der Oxidhalbleiterfilme **107** und **115** höher als derjenige in dem Oxidhalbleiterfilm **111**. Typischerweise ist der Anteil an M in jedem der Oxidhalbleiterfilme **107** und **115** mehr als oder gleich 1,5-mal, bevorzugt mehr als oder gleich doppelt, stärker bevorzugt mehr als oder gleich dreimal so hoch wie derjenige in dem Oxidhalbleiterfilm **111**. Ein beliebiges der vorstehenden Elemente, die durch M dargestellt werden, wird stärker an Sauerstoff gebunden als Indium und weist daher eine Funktion zum Unterdrücken der Erzeugung von Sauerstofffehlstellen in den Oxidhalbleiterfilmen **107** und **115** auf. Das heißt, dass Sauerstofffehlstellen weniger wahrscheinlich in den Oxidhalbleiterfilmen **107** und **115** erzeugt werden als in dem Oxidhalbleiterfilm **111**.

[0128] In dem Fall, in dem der Oxidhalbleiterfilm **111** ein In-M-Zn-Oxidfilm ist (M ist Al, Ti, Ga, Y, Zr, La, Ce, Mg oder Nd) und ein Target mit dem Atomverhältnis der Metallelemente In:M:Zn = $x_1:y_1:z_1$ für die Ausbildung des Oxidhalbleiterfilms **111** verwendet wird, ist x_1/y_1 bevorzugt größer als oder gleich 1/3 und kleiner als oder gleich 6, stärker bevorzugt größer als oder gleich 1 und kleiner als oder gleich 6, und z_1/y_1 ist bevorzugt größer als oder gleich 1/3 und kleiner als oder gleich 6, stärker bevorzugt größer als oder gleich 1 und kleiner als oder gleich 6. Es sei angemerkt, dass dann, wenn z_1/y_1 größer als oder gleich 1 und kleiner als oder gleich 6 ist, ein Film aus kristallinem Oxidhalbleiter mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystalline oxide semiconductor, CAAC-OS) als der Oxidhalbleiterfilm **111** leicht ausgebildet werden kann. Typische Beispiele für das Atomverhältnis von In zu M und Zn in dem Target sind 1:1:1, 1:1:1,2, 2:1:1,5, 2:1:2,3, 2:1:3, 3:1:2 und 4:1:4,1.

[0129] In dem Fall, in dem der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **115** jeweils ein In-M-Zn-Oxidfilm (M ist Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg oder Nd) sind und ein Target mit dem Atomverhältnis der Metallelemente In:M:Zn = $x_2:y_2:z_2$ für die Ausbildung der Oxidhalbleiterfilme **107** und **115** verwendet wird, ist x_2/y_2 bevorzugt kleiner als x_1/y_1 , und z_2/y_2 ist bevorzugt größer als oder gleich 1/3 und kleiner als oder gleich 6, stärker bevorzugt größer als oder gleich 1 und kleiner als oder gleich 6. Es sei angemerkt, dass dann, wenn z_2/y_2 größer als oder gleich 1 und kleiner als oder gleich 6 ist, CAAC-OS-Filme leicht als die Oxidhalbleiterfilme **107** und **115** ausgebildet werden. Typische Beispiele für das Atomverhältnis von In zu M und Zn in dem Target sind 1:2:4, 1,1:2,9:7,5, 1:3:2, 1:3:4, 1:3:6, 1:3:8, 1:4:4, 1:4:5, 1:4:6, 1:4:7, 1:4:8, 1:5:5, 1:5:6, 1:5:7, 1:5:8 und 1:6:8.

[0130] In jedem der Oxidhalbleiterfilme **107**, **111** und **115** schwankt der Anteil jedes Atoms im oben beschriebenen Atomverhältnis innerhalb eines Fehlerbereichs von $\pm 40\%$.

[0131] Das Atomverhältnis ist nicht auf das Vorstehende beschränkt und kann in geeigneter Weise entsprechend benötigten Halbleitereigenschaften eingestellt werden.

[0132] Der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **115** können die gleiche Zusammensetzung aufweisen. Beispielsweise kann jeder des Oxidhalbleiterfilms **107** und des Oxidhalbleiterfilms **115** ein In-Ga-Zn-Oxidfilm mit einem Atomverhältnis von In:Ga:Zn = 1:3:2, 1:3:4 oder 1:4:5 sein.

[0133] Alternativ können der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **115** unterschiedliche Zusammensetzungen aufweisen. Beispielsweise kann der Oxidhalbleiterfilm **107** ein In-Ga-Zn-Oxidfilm mit einem Atomverhältnis von In:Ga:Zn = 1:3:2 sein, und der Oxidhalbleiterfilm **115** kann ein In-Ga-Zn-Oxidfilm mit einem Atomverhältnis von In:Ga:Zn = 1:3:4 oder 1:4:5 sein.

[0134] Der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **115** weisen jeweils eine Dicke von größer als oder gleich 3 nm und kleiner als oder gleich 100 nm, oder größer als oder gleich 3 nm und kleiner als oder gleich 50 nm auf.

[0135] Die Dicke des Oxidhalbleiterfilms **111** ist hier bevorzugt mindestens größer als diejenige des Oxidhalbleiterfilms **107**. Je dicker der Oxidhalbleiterfilm **111** ist, desto höher kann der Durchlassstrom des Transistors sein. Die Dicke des Oxidhalbleiterfilms **107** kann beliebig gewählt werden, solange die Ausbildung der Grenzflächenzustände an der Grenzfläche zu dem Oxidhalbleiterfilm **111** vermieden werden kann. Beispielsweise ist die Dicke des Oxidhalbleiterfilms **111** größer als diejenige des Oxidhalbleiterfilms **107**, bevorzugt doppelt oder mehr, stärker bevorzugt 4-mal oder mehr, noch stärker bevorzugt 6-mal oder mehr so groß wie diejenige des Oxidhalbleiterfilms **107**. Es sei angemerkt, dass die obige Beschreibung nicht für den Fall gilt, in dem der Durchlassstrom des Transistors nicht erhöht werden muss, in welchem Falle die Dicke des Oxidhalbleiterfilms **107** größer als oder gleich derjenigen des Oxidhalbleiterfilms **111** sein kann. In diesem Fall kann mehr Sau-

erstoff dem Oxidhalbleiterfilm **107** zugesetzt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111** können durch eine Wärmebehandlung verringert werden.

[0136] Die Dicke des Oxidhalbleiterfilms **115** kann angemessen in ähnlicher Weise wie diejenige des Oxidhalbleiterfilms **107** derart eingestellt werden, dass die Ausbildung der Grenzflächenzustände an der Grenzfläche zu dem Oxidhalbleiterfilm **111** vermieden werden kann. Beispielsweise kann die Dicke des Oxidhalbleiterfilms **115** auf kleiner als oder gleich derjenigen des Oxidhalbleiterfilms **107** eingestellt werden. Wenn der Oxidhalbleiterfilm **115** dick ist, kann es schwierig werden, dass das elektronische Feld von der Gate-Elektrode **103** den Oxidhalbleiterfilm **111** erreicht; daher ist der Oxidhalbleiterfilm **115** vorzugsweise dünn. Außerdem ist der Oxidhalbleiterfilm **115** vorzugsweise dünn, um zu verhindern, dass Sauerstoff in dem Oxidhalbleiterfilm **115** in das Paar von Elektroden **113a** und **113b** diffundiert und daher das Paar von Elektroden **113a** und **113b** oxidiert. Beispielsweise ist der Oxidhalbleiterfilm **115** vorzugsweise dünner als der Oxidhalbleiterfilm **111**. Es sei angemerkt, dass die Dicke des Oxidhalbleiterfilms **115** nicht auf das Vorstehende beschränkt ist und angemessen entsprechend der Betriebsspannung des Transistors unter Berücksichtigung der Spannungsfestigkeit des Gate-Isolierfilms **117** eingestellt werden kann.

[0137] In dem Fall, in dem der Oxidhalbleiterfilm **107**, der Oxidhalbleiterfilm **111** und der Oxidhalbleiterfilm **115** unterschiedliche Zusammensetzungen aufweisen, können ihre Grenzflächen in einigen Fällen durch Rastertransmissionselektronenmikroskopie (scanning transmission electron microscopy, STEM) beobachtet werden.

[0138] Wasserstoff, der in den Oxidhalbleiterfilmen **107**, **111** und **115** enthalten ist, reagiert mit Sauerstoff, der an ein Metallatom gebunden ist, zu Wasser, was Sauerstofffehlstellen in einem Gitter bildet, von dem Sauerstoff abgegeben wird (oder in einem Bereich, von dem Sauerstoff abgegeben wird). Wenn Wasserstoff in die Sauerstofffehlstellen eindringt, könnten Elektronen, die als Ladungsträger dienen, erzeugt werden. Ferner könnten Elektronen, die als Ladungsträger dienen, erzeugt werden, wenn ein Teil von Wasserstoff an Sauerstoff gebunden wird, der an ein Metallelement gebunden ist. Daher ist es wahrscheinlich, dass sich ein Transistor, der einen Wasserstoff enthaltenden Oxidhalbleiter enthält, selbstleitend verhält.

[0139] Demzufolge werden in den Oxidhalbleiterfilmen **107**, **111** und **115** Wasserstoff sowie die Sauerstofffehlstellen so weit wie möglich verringert. Insbesondere wird die Wasserstoffkonzentration in den Oxidhalbleiterfilmen **107**, **111** und **115**, die durch SIMS gemessen wird, auf niedriger als oder gleich 5×10^{19} Atome/cm³, niedriger als oder gleich 1×10^{19} Atome/cm³, niedriger als oder gleich 5×10^{18} Atome/cm³, niedriger als oder gleich 1×10^{18} Atome/cm³, niedriger als oder gleich 5×10^{17} Atome/cm³, oder niedriger als oder gleich 1×10^{16} Atome/cm³ eingestellt. Als Ergebnis weist der Transistor **100** eine positive Schwellenspannung (selbstsperrende Eigenschaften) auf.

[0140] Es sei angemerkt, dass die Verunreinigungskonzentration in den Oxidhalbleiterfilmen **107**, **111** und **115** durch SIMS gemessen werden kann.

[0141] Wenn die Oxidhalbleiterfilme **107**, **111** und **115** Silizium oder Kohlenstoff enthalten, welche jeweils ein zur Gruppe **14** gehörendes Element sind, nehmen Sauerstofffehlstellen in den Filmen zu, um n-Typ-Bereiche zu bilden. Deshalb wird die Silizium- oder Kohlenstoffkonzentration (die Konzentration wird durch SIMS gemessen) in jedem der Oxidhalbleiterfilme **107**, **111** und **115** auf niedriger als oder gleich 2×10^{18} Atome/cm³, bevorzugt niedriger als oder gleich 2×10^{17} Atome/cm³ eingestellt. Als Ergebnis weist der Transistor **100** eine positive Schwellenspannung (selbstsperrende Eigenschaften) auf.

[0142] Die Alkalimetall- oder Erdalkalimetallkonzentration in den Oxidhalbleiterfilmen **107**, **111** und **115**, gemessen durch SIMS, wird ferner auf niedriger als oder gleich 1×10^{18} Atome/cm³, bevorzugt niedriger als oder gleich 2×10^{16} Atome/cm³ eingestellt.

[0143] Alkalimetall und Erdalkalimetall könnten Ladungsträger erzeugen, wenn sie an einen Oxidhalbleiter gebunden werden, in welchem Falle der Sperrstrom des Transistors ansteigen kann. Deshalb wird die Alkalimetall- oder Erdalkalimetallkonzentration in den Oxidhalbleiterfilmen **107**, **111** und **115** vorzugsweise verringert. Als Ergebnis weist der Transistor **100** eine positive Schwellenspannung (selbstsperrende Eigenschaften) auf.

[0144] Wenn ferner die Oxidhalbleiterfilme **107**, **111** und **115** Stickstoff enthalten, werden sie durch die Erzeugung von Elektronen, die als Ladungsträger dienen, und die Zunahme der Ladungsträgerdichte leicht zu einem n-Typ. Daher ist es wahrscheinlich, dass sich ein Transistor, der einen Stickstoff enthaltenden Oxidhalbleiterfilm beinhaltet, selbstleitend verhält. Aus diesem Grund wird Stickstoff in dem Oxidhalbleiterfilm vorzugsweise

so weit wie möglich verringert; die Stickstoffkonzentration, gemessen durch SIMS, wird vorzugsweise z. B. auf niedriger als oder gleich 5×10^{18} Atome/cm³ eingestellt.

[0145] Wenn Verunreinigungen in den Oxidhalbleiterfilmen **107**, **111** und **115** verringert werden, kann die Ladungsträgerdichte in den Oxidhalbleiterfilmen gesenkt werden. Vorzugsweise weisen die Oxidhalbleiterfilme **107**, **111** und **115** eine Ladungsträgerdichte von 1×10^{17} /cm³ oder niedriger, stärker bevorzugt 1×10^{15} /cm³ oder niedriger, noch stärker bevorzugt 1×10^{13} /cm³ oder niedriger, sogar noch stärker bevorzugt 1×10^{11} /cm³ oder niedriger auf.

[0146] Wenn ein Oxidhalbleiterfilm mit niedriger Verunreinigungskonzentration und niedriger Dichte der Defektzustände als die Oxidhalbleiterfilme **107**, **111** und **115** verwendet wird, kann der Transistor viel bessere elektrische Eigenschaften aufweisen. Hierbei wird der Zustand, in dem die Verunreinigungskonzentration niedrig ist und die Dichte der Defektzustände niedrig ist (die Anzahl der Sauerstofffehlstellen klein ist), als „hochrein intrinsisch“ oder „im Wesentlichen hochrein intrinsisch“ bezeichnet. Ein hochreiner intrinsischer oder im Wesentlichen hochreiner intrinsischer Oxidhalbleiter weist in einigen Fällen nur geringe Ladungsträgererzeugungsquellen und deshalb eine niedrige Ladungsträgerdichte auf. Daher weist ein Transistor, der den Oxidhalbleiterfilm beinhaltet, bei dem ein Kanalbereich gebildet wird, wahrscheinlich eine positive Schwellenspannung (selbstsperrende Eigenschaften) auf. Ein hochreiner intrinsischer oder im Wesentlichen hochreiner intrinsischer Oxidhalbleiterfilm weist in einigen Fällen eine niedrige Dichte der Defektzustände und also nur geringe Einfangstellen für Ladungsträger auf. Des Weiteren weist ein hochreiner intrinsischer oder im Wesentlichen hochreiner intrinsischer Oxidhalbleiterfilm einen sehr niedrigen Sperrstrom auf. Der Sperrstrom kann bei einer Spannung (Drain-Spannung) zwischen einer Source-Elektrode und einer Drain-Elektrode von 1 V bis zu 10 V niedriger als oder gleich der Messgrenze eines Halbleiterparameteranalysators, d. h. niedriger als oder gleich 1×10^{-13} A, sein. Deshalb weist der Transistor, dessen Kanalbereich in dem Oxidhalbleiterfilm gebildet wird, in einigen Fällen geringe Schwankungen der elektrischen Eigenschaften und eine hohe Zuverlässigkeit auf.

[0147] Die Oxidhalbleiterfilme **107**, **111** und **115** können beispielsweise eine nicht-einkristalline Struktur aufweisen. Die nicht-einkristalline Struktur umfasst beispielsweise einen CAAC-OS, der später beschrieben wird, eine polykristalline Struktur, eine mikrokristalline Struktur oder eine amorphe Struktur. Unter den nicht-einkristallinen Strukturen weist die amorphe Struktur die höchste Dichte der Defektzustände auf, während der CAAC-OS die niedrigste Dichte der Defektzustände aufweist.

[0148] Die Oxidhalbleiterfilme **107**, **111** und **115** können beispielsweise eine mikrokristalline Struktur aufweisen. Die Oxidhalbleiterfilme **107**, **111** und **115**, die die mikrokristalline Struktur aufweisen, enthalten jeweils einen Mikrokristall mit einer Größe von z. B. größer als oder gleich 1 nm und kleiner als 10 nm. Alternativ weisen die Oxidhalbleiterfilme, die die mikrokristalline Struktur aufweisen, beispielsweise eine Struktur mit einer gemischten Phase auf, bei der sich Kristallteile (welche jeweils größer als oder gleich 1 nm und kleiner als 10 nm sind) in einer amorphen Phase verteilen.

[0149] Die Oxidhalbleiterfilme **107**, **111** und **115** können beispielsweise eine amorphe Struktur aufweisen. Die Oxidhalbleiterfilme **107**, **111** und **115** mit der amorphen Struktur weisen beispielsweise jeweils eine ungeordnete Atomanordnung und keine kristalline Komponente auf. Alternativ weisen die Oxidhalbleiterfilme mit einer amorphen Struktur beispielsweise eine vollständig amorphe Struktur und keinen Kristallteil auf.

[0150] Es sei angemerkt, dass die Oxidhalbleiterfilme **107**, **111** und **115** jeweils ein Mischfilm sein können, der Bereiche mit zwei oder mehr der folgenden Strukturen umfasst: einen CAAC-OS, eine mikrokristalline Struktur und eine amorphe Struktur. Der Mischfilm weist beispielsweise eine einschichtige Struktur auf, die einen Bereich mit einer amorphen Struktur, einen Bereich mit einer mikrokristallinen Struktur und einen Bereich eines CAAC-OS umfasst. Alternativ kann der Mischfilm beispielsweise eine mehrschichtige Struktur aufweisen, die einen Bereich mit einer amorphen Struktur, einen Bereich mit einer mikrokristallinen Struktur und einen Bereich eines CAAC-OS umfasst.

[0151] Es sei angemerkt, dass die Oxidhalbleiterfilme **107**, **111** und **115** beispielsweise eine nicht-einkristalline Struktur aufweisen können.

[0152] Indem ein Oxidhalbleiterfilm, in dem Sauerstofffehlstellen mit geringerer Wahrscheinlichkeit erzeugt werden als in dem Oxidhalbleiterfilm **111**, über und unter sowie in Kontakt mit dem Oxidhalbleiterfilm **111** bereitgestellt wird, können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111** verringert werden. Des Weiteren sind, da der Oxidhalbleiterfilm **111** in Kontakt mit den Oxidhalbleiterfilmen **107** und **115** ist, die ein oder mehrere Metallelemente enthalten, das/die den Oxidhalbleiterfilm **111** bildet/bilden, die Dichten von Zuständen an

der Grenzfläche zwischen dem Oxidhalbleiterfilm **107** und dem Oxidhalbleiterfilm **111** und an der Grenzfläche zwischen dem Oxidhalbleiterfilm **111** und dem Oxidhalbleiterfilm **115** sehr niedrig. Nachdem Sauerstoff den Oxidhalbleiterfilmen **107** und **115** zugesetzt worden ist, wird der Sauerstoff von dem Oxidhalbleiterfilm **107** oder **115** auf den Oxidhalbleiterfilm **111** durch eine Wärmebehandlung übertragen. Der Sauerstoff wird jedoch dabei selten von den Grenzflächenniveaus eingefangen, und der Sauerstoff in dem Oxidhalbleiterfilm **107** oder **115** kann effizient auf den Oxidhalbleiterfilm **111** übertragen werden. Dementsprechend können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111** verringert werden. Da Sauerstoff dem Oxidhalbleiterfilm **107** oder **115** zugesetzt wird, können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **107** oder **115** verringert werden. Mit anderen Worten: Die Dichte von lokalisierten Zuständen des Oxidhalbleiterfilms **111** und des Oxidhalbleiterfilms **107** oder **115** kann verringert werden.

[0153] Außerdem wird dann, wenn der Oxidhalbleiterfilm **111** in Kontakt mit einem Isolierfilm ist, der ein anderes Bestandselement enthält (z. B. einem Gate-Isolierfilm, der einen Siliziumoxidfilm umfasst), in einigen Fällen ein Grenzflächenzustand (interface state) gebildet, und der Grenzflächenzustand bildet einen Kanal. Dabei wird ein zweiter Transistor ausgebildet, der eine unterschiedliche Schwellenspannung aufweist, so dass eine scheinbare Schwellenspannung des Transistors in einigen Fällen schwankt. Jedoch wird, da die Oxidhalbleiterfilme **107** und **115**, die eine oder mehrere Metallelementart/en enthalten, die den Oxidhalbleiterfilm **111** bildet/bilden, in Kontakt mit dem Oxidhalbleiterfilm **111** sind, ein Grenzflächenzustand an den Grenzflächen zwischen dem Oxidhalbleiterfilm **107** und dem Oxidhalbleiterfilm **111** sowie zwischen dem Oxidhalbleiterfilm **115** und dem Oxidhalbleiterfilm **111** nicht leicht gebildet.

[0154] Die Oxidhalbleiterfilme **107** und **115** dienen auch als Sperrfilme, die verhindern, dass Bestandselemente der Gate-Isolierfilme **105** und **117** in den Oxidhalbleiterfilm **111** eindringen und dort einen Verunreinigungszustand bilden.

[0155] Beispielsweise dringt in dem Fall, in dem ein Silizium enthaltender Isolierfilm als die Gate-Isolierfilme **105** und **117** verwendet wird, Silizium in den Gate-Isolierfilmen **105** und **117** oder Kohlenstoff, der in den Gate-Isolierfilmen **105** und **117** enthalten sein könnte, in einigen Fällen in den Oxidhalbleiterfilm **107** oder den Oxidhalbleiterfilm **115** bis zu einer Tiefe von mehreren Nanometern von der Grenzfläche aus ein. Eine Verunreinigung, wie z. B. Silizium oder Kohlenstoff, die in den Oxidhalbleiterfilm **111** eindringen, bildet einen Verunreinigungszustand. Der Verunreinigungszustand dient als Donator und erzeugt Elektronen; daher könnte der Oxidhalbleiterfilm **111** n-Typ-Leitfähigkeit aufweisen.

[0156] Wenn jedoch die Dicken des Oxidhalbleiterfilms **107** und des Oxidhalbleiterfilms **115** jeweils größer als mehrere Nanometer sind, erreicht die Verunreinigung, wie z. B. Silizium oder Kohlenstoff, nicht den Oxidhalbleiterfilm **111**, so dass der Einfluss des Verunreinigungszustandes unterdrückt wird.

[0157] Somit können durch die Oxidhalbleiterfilme **107** und **115** Schwankungen der elektrischen Eigenschaften des Transistors, wie z. B. der Schwellenspannung, verringert werden.

[0158] In dem Fall, in dem ein Kanal an den Grenzflächen zwischen dem Gate-Isolierfilm **105** und dem Oxidhalbleiterfilm **111** sowie zwischen dem Gate-Isolierfilm **117** und dem Oxidhalbleiterfilm **111** gebildet wird, tritt eine Grenzflächenstreuung (interface scattering) an den Grenzflächen auf, um die Feldeffektbeweglichkeit des Transistors zu verringern. Da jedoch die Oxidhalbleiterfilme **107** und **115**, die jeweils eine oder mehrere Metallelementart/en enthalten, die den Oxidhalbleiterfilm **111** bildet/bilden, in Kontakt mit dem Oxidhalbleiterfilm **111** bereitgestellt sind, tritt eine Streuung von Ladungsträgern (scattering of carriers) an den Grenzflächen zwischen dem Oxidhalbleiterfilm **111** und jedem der Oxidhalbleiterfilme **107** und **115** mit geringerer Wahrscheinlichkeit auf, und somit kann die Feldeffektbeweglichkeit des Transistors erhöht werden.

[0159] Bei dieser Ausführungsform können die Anzahl von Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111** und ferner die Anzahl von Sauerstofffehlstellen in dem Oxidhalbleiterfilm **107**, der in Kontakt mit dem Oxidhalbleiterfilm **111** ist, verringert werden; somit kann die Dichte von lokalisierten Zuständen des Oxidhalbleiterfilms **111** verringert werden. Daher weist der Transistor **100** dieser Ausführungsform geringe Schwankungen der Schwellenspannung und eine hohe Zuverlässigkeit auf. Des Weiteren weist der Transistor **100** dieser Ausführungsform ausgezeichnete elektrische Eigenschaften auf.

[0160] Das Paar von Elektroden **113a** und **113b** wird derart ausgebildet, dass es eine einschichtige Struktur oder eine mehrschichtige Struktur aufweist, die als leitendes Material ein beliebiges der Metalle, wie z. B. Aluminium, Titan, Chrom, Nickel, Kupfer, Yttrium, Zirkonium, Molybdän, Silber, Tantal, Mangan und Wolfram, oder eine Legierung enthält, die ein beliebiges dieser Metalle als ihre Hauptkomponente enthält. Beispiele für die

Struktur umfassen eine einschichtige Struktur aus einem Silizium enthaltenden Aluminiumfilm, eine einschichtige Struktur aus einem Mangan enthaltenden Kupferfilm, eine zweischichtige Struktur, bei der ein Titanfilm über einem Aluminiumfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Titanfilm über einem Wolframfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Kupferfilm über einem Kupfer-Magnesium-Legierungsfilm angeordnet ist, eine zweischichtige Struktur, bei der ein Kupferfilm über einem Kupfer-Magnesium-Aluminium-Legierungsfilm angeordnet ist, eine dreischichtige Struktur, bei der ein Titanfilm oder ein Titanitridfilm, ein Aluminiumfilm oder ein Kupferfilm und ein Titanfilm oder ein Titanitridfilm in dieser Reihenfolge übereinander angeordnet sind, eine dreischichtige Struktur, bei der ein Molybdänfilm oder ein Molybdänitridfilm, ein Aluminiumfilm oder ein Kupferfilm und ein Molybdänfilm oder ein Molybdänitridfilm in dieser Reihenfolge übereinander angeordnet sind, und eine dreischichtige Struktur, bei der ein Kupfer-Magnesium-Legierungsfilm, ein Kupferfilm und ein Kupfer-Magnesium-Legierungsfilm in dieser Reihenfolge übereinander angeordnet sind. Es sei angemerkt, dass ein durchsichtiges leitendes Material verwendet werden kann, das Indiumoxid, Zinnoxid oder Zinkoxid enthält.

[0161] Es sei angemerkt, dass in dem Oxidhalbleiterfilm **111** ein Kanalbildungsbereich einen Bereich bezeichnet, der mit der Gate-Elektrode **119** überlappt und zwischen dem Paar von Elektroden **113a** und **113b** angeordnet ist. Ferner bezeichnet ein Kanalbereich einen Bereich in dem Kanalbildungsbereich, durch den Ladungsträger hauptsächlich fließen. Hier ist ein Kanalbereich ein Teil des Oxidhalbleiterfilms **111**, der zwischen dem Paar von Elektroden **113a** und **113b** angeordnet ist. Eine Kanallänge bezeichnet den Abstand zwischen dem Paar von Elektroden **113a** und **113b**.

[0162] Für das Paar von Elektroden **113a** und **113b** wird vorzugsweise ein leitendes Material verwendet, das leicht an Sauerstoff gebunden wird, wie z. B. Wolfram, Titan, Aluminium, Kupfer, Molybdän, Chrom oder Tantal, oder eine Legierung davon. Wolfram oder Titan mit relativ hohem Schmelzpunkt wird vorzugsweise verwendet, weil die Temperatur eines nachstehenden Prozesses relativ hoch sein kann. Es sei angemerkt, dass das leitende Material, das leicht an Sauerstoff gebunden wird, ein Material, in das Sauerstoff leicht diffundiert, umfasst. In diesem Fall wird Sauerstoff in dem Oxidhalbleiterfilm **111** an das leitende Material, das in dem Paar von Elektroden **113a** und **113b** enthalten ist, gebunden, so dass ein Bereich mit Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111** gebildet wird. Außerdem wird in einigen Fällen ein Teil der Bestandteile des leitenden Materials, das das Paar von Elektroden **113a** und **113b** bildet, in den Oxidhalbleiterfilm **111** gemischt. In diesem Fall werden mindestens in dem Oxidhalbleiterfilm **111** n-Typ-Bereiche (niederohmige Bereiche) in Bereichen ausgebildet, die in Kontakt mit dem Paar von Elektroden **113a** und **113b** sind. Die n-Typ-Bereiche (niederohmige Bereiche) dienen als Source-Bereich und Drain-Bereich.

[0163] Ein Bereich mit hoher Sauerstoffkonzentration kann in Teilen des Paares von Elektroden **113a** und **113b**, die in Kontakt mit den niederohmigen Bereichen sind, ausgebildet werden. Bestandteile des Oxidhalbleiterfilms **111** dringen in einigen Fällen in das Paar von Elektroden **113a** und **113b** ein, die in Kontakt mit den niederohmigen Bereichen sind. Mit anderen Worten: In der Nähe der Grenzflächen zwischen dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** werden in einigen Fällen Bereiche ausgebildet, die als Mischbereiche oder Mischschichten aus den zwei einander berührenden Schichten bezeichnet werden können.

[0164] Da die n-Typ-Bereiche (niederohmige Bereiche) eine hohe Leitfähigkeit aufweisen, kann der Kontaktwiderstand zwischen dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** verringert werden, um den Durchlassstrom des Transistors zu erhöhen.

[0165] Der Gate-Isolierfilm **117** kann angemessen unter Verwendung eines beliebigen der Materialien für den Gate-Isolierfilm **105** ausgebildet werden.

[0166] Die Gate-Elektrode **119** kann angemessen unter Verwendung eines beliebigen der Materialien für die Gate-Elektrode **103** ausgebildet werden.

[0167] Die Isolierfilme **121** und **123** können angemessen unter Verwendung beliebiger der Materialien und Ausbildungsverfahren, die für den Gate-Isolierfilm **117** verwendet werden können, ausgebildet werden. Obwohl hier eine mehrschichtige Struktur aus den Isolierfilmen **121** und **123** verwendet wird, kann eine einschichtige Struktur ebenfalls verwendet werden.

[0168] Als der Isolierfilm **121** oder der Isolierfilm **123** wird vorzugsweise ein Aluminiumoxidfilm verwendet. Da der Aluminiumoxidfilm als Sperrfilm gegen Wasserstoff, Wasser und Sauerstoff dient, können dann, wenn er als der Isolierfilm **121** oder **123** verwendet wird, die Abgabe von Sauerstoff, der in dem Oxidhalbleiterfilm **111**

enthalten ist, und die Diffusion von Wasser, Wasserstoff und dergleichen von außen in den Oxidhalbleiterfilm **111** verhindert werden.

[0169] In dem Fall, in dem der Isolierfilm **121** und der Isolierfilm **123** Oxidisolierfilme sind, kann ein Oxidisolierfilm, der mehr Sauerstoff enthält als die stöchiometrische Zusammensetzung, als der Isolierfilm **121** und/oder der Isolierfilm **123** verwendet werden. Auf diese Weise wird der Sauerstoff in dem Isolierfilm auf den Oxidhalbleiterfilm übertragen, so dass Sauerstofffehlstellen mit dem Sauerstoff gefüllt und ferner verringert werden können.

[0170] Als Oxidisolierfilm, der mehr Sauerstoff enthält als die stöchiometrische Zusammensetzung, wird vorzugsweise ein Oxidisolierfilm verwendet, von dem Sauerstoffmoleküle von mehr als oder gleich $1,0 \times 10^{18}$ Moleküle/cm³ bei einer thermischen Desorptionsspektroskopie (nachstehend als TDS bezeichnet) bei einer Oberflächentemperatur des Oxidisolierfilms von höher als oder gleich 100°C und niedriger als oder gleich 700°C, oder höher als oder gleich 100°C und niedriger als oder gleich 500°C abgegeben werden.

[0171] Der Oxidisolierfilm, der mehr Sauerstoff enthält als die stöchiometrische Zusammensetzung, weist eine Dicke auf, die ermöglicht, dass Sauerstoff dem Oxidhalbleiterfilm **111** zugeführt wird. Beispielsweise kann die Dicke größer als oder gleich 50 nm und kleiner als oder gleich 500 nm, oder größer als oder gleich 50 nm und kleiner als oder gleich 400 nm sein.

[0172] Als der Isolierfilm **121** und/oder der Isolierfilm **123** kann ein Nitridisolierfilm mit geringem Wasserstoffgehalt bereitgestellt werden. Der Nitridisolierfilm ist beispielsweise vorzugsweise wie folgt: Die Anzahl von Wasserstoffmolekülen, die von dem Nitridisolierfilm abgegeben werden, ist kleiner als $5,0 \times 10^{21}$ /cm³, bevorzugt kleiner als $3,0 \times 10^{21}$ /cm³, stärker bevorzugt kleiner als $1,0 \times 10^{21}$ /cm³, wenn sie durch TDS bei einer Oberflächentemperatur des Nitridisolierfilms von höher als oder gleich 100°C und niedriger als oder gleich 700°C, bevorzugt höher als oder gleich 100°C und niedriger als oder gleich 500°C gemessen wird.

[0173] Der Nitridisolierfilm weist eine Dicke auf, die das Eindringen von Verunreinigungen, wie z. B. Wasserstoff und Wasser, von außen verhindert. Beispielsweise kann die Dicke größer als oder gleich 50 nm und kleiner als oder gleich 200 nm, bevorzugt größer als oder gleich 50 nm und kleiner als oder gleich 150 nm, stärker bevorzugt größer als oder gleich 50 nm und kleiner als oder gleich 100 nm sein.

[0174] Als der Gate-Isolierfilm **105** des Transistors wird ein Oxidisolierfilm verwendet, der eine kleine Menge an Stickstoffoxid enthält und eine niedrige Dichte von Defektzuständen aufweist. **Fig. 2** zeigt den Änderungsbetrag der Schwellenspannung (ΔV_{th}) des Transistors bezüglich der Belastungszeit vor und nach einem Gate-BT-Belastungstest, bei dem eine positive Spannung oder eine negative Spannung an das Gate des Transistors angelegt wird. In **Fig. 2** stellt die horizontale Achse den Logarithmus der Belastungszeit dar, und die vertikale Achse stellt den Änderungsbetrag der Schwellenspannung dar. Die Bedingungen für den Belastungstest können wie folgt sein: Die maximale Temperatur ist 150°C, die maximale Betriebsspannung ist 3,3 V, und die Belastung wird für einen bestimmten Zeitraum, z. B. länger als oder gleich 50 Stunden oder länger als oder gleich 100 Stunden, ausgeübt.

[0175] Ein Messverfahren beim Gate-BT-Belastungstest wird hier beschrieben. Zuerst wird die Substrattemperatur konstant bei einer bestimmten Temperatur (nachstehend als Belastungstemperatur bezeichnet) gehalten, um die anfänglichen V_g - I_d -Eigenschaften des Transistors zu messen.

[0176] Als Nächstes wird dann, während die Substrattemperatur bei der Belastungstemperatur gehalten wird, das Paar von Elektroden, die als Source-Elektrode und Drain-Elektrode des Transistors dienen, auf das gleiche Potential eingestellt, und die Gate-Elektrode wird für einen bestimmten Zeitraum (nachstehend als Belastungszeit bezeichnet) mit einem anderen Potential als demjenigen des Paares von Elektroden versorgt. Dann werden die V_g - I_d -Eigenschaften des Transistors gemessen, während die Substrattemperatur bei der Belastungstemperatur gehalten wird. Als Ergebnis können der Unterschied der Schwellenspannung und der Unterschied des Verschiebungswerts zwischen vor und nach dem Gate-BT-Belastungstest als Änderungsbetrag der elektrischen Eigenschaften erhalten werden.

[0177] Es sei angemerkt, dass ein Belastungstest, bei dem eine negative Spannung an eine Gate-Elektrode angelegt wird, als negativer Gate-BT-Belastungstest (dunkle negative Belastung) bezeichnet wird, während ein Belastungstest, bei dem eine positive Spannung angelegt wird, als positiver Gate-BT-Belastungstest (dunkle positive Belastung) bezeichnet wird. Es sei angemerkt, dass ein Belastungstest, bei dem eine negative Spannung an eine Gate-Elektrode angelegt wird, während Lichtemission durchgeführt wird, als negativer Gate-

BT-Fotobelastungstest (negative Fotobelastung) bezeichnet wird, während ein Belastungstest, bei dem eine positive Spannung angelegt wird, während Lichtemission durchgeführt wird, als positiver Gate-BT-Fotobelastungstest (positive Fotobelastung) bezeichnet wird.

[0178] In **Fig. 2** stellt die durchgezogene Linie den Änderungsbetrag der Schwellenspannung bezüglich der Belastungszeit dar. Wie in **Fig. 2** gezeigt, weist der Transistor dieser Ausführungsform einen Änderungsbetrag der Schwellenspannung bezüglich der Belastungszeit von größer als $-0,1$ V und kleiner als $0,1$ V auf.

[0179] Der Transistor, der bei dieser Ausführungsform gezeigt ist, weist einen geringen Änderungsbetrag der Schwellenspannung über die Zeit und eine hohe Zuverlässigkeit auf.

[0180] Ein Isolierfilm mit einer Funktion als Basisfilm des Oxidhalbleiterfilms wird bei einer Temperatur von höher als die Temperatur einer Wärmebehandlung, die an dem Oxidhalbleiterfilm durchgeführt wird, ausgebildet, wodurch die Stickstoffkonzentration des Isolierfilms verringert werden kann. Dies verhindert die Erzeugung von Stickstoffoxid und die Zunahme von Defekten in dem Isolierfilm, auch wenn eine Wärmebehandlung durchgeführt wird.

[0181] Wenn der Oxidhalbleiterfilm **111** nach dem Zusatz von Sauerstoff zu dem Oxidhalbleiterfilm **107** ausgebildet wird und dann eine Wärmebehandlung an dem Oxidhalbleiterfilm **111** durchgeführt wird, diffundiert Sauerstoff von dem Oxidhalbleiterfilm **107** in den Oxidhalbleiterfilm **111**. Demzufolge können Sauerstoffstellen in dem Oxidhalbleiterfilm **111** verringert werden.

<Herstellungsverfahren einer Halbleitervorrichtung>

[0182] Ein Verfahren zum Herstellen einer Halbleitervorrichtung wird anhand von **Fig. 3A** bis **Fig. 3D** und **Fig. 4A** bis **Fig. 4C** beschrieben.

[0183] Filme des Transistors (z. B. ein Isolierfilm, ein Oxidhalbleiterfilm, ein Metalloxidfilm und ein leitender Film) können durch ein Sputterverfahren, ein chemisches Gasphasenabscheidungs-(chemical vapor deposition, CVD-)Verfahren, ein Vakuum-Gasphasenabscheidungsverfahren oder ein gepulstes Laserstrahlabscheidungs-(pulsed laser deposition, PLD-)Verfahren ausgebildet werden. Alternativ kann ein Beschichtungsverfahren oder ein Druckverfahren eingesetzt werden. Obwohl das Sputterverfahren und ein plasmaunterstütztes chemisches Gasphasenabscheidungs-(plasma-enhanced chemical vapor deposition, PECVD-)Verfahren typische Beispiele für das Filmausbildungsverfahren sind, kann auch ein thermisches CVD-Verfahren eingesetzt werden. Als thermisches CVD-Verfahren kann beispielsweise ein metallorganisches chemisches Gasphasenabscheidungs-(metal organic chemical vapor deposition, MOCVD-)Verfahren oder ein Atomlagenabscheidungs-(atomic layer deposition, ALD-)Verfahren eingesetzt werden.

[0184] Die Abscheidung durch das thermische CVD-Verfahren kann auf eine derartige Weise durchgeführt werden, dass der Druck in einer Kammer auf einen atmosphärischen Druck oder einen verringerten Druck eingestellt wird und dass ein Quellgas und ein Oxidator gleichzeitig der Kammer zugeführt werden und miteinander in der Nähe des Substrats oder über dem Substrat reagieren. Daher wird kein Plasma bei der Abscheidung erzeugt; somit hat das thermische CVD-Verfahren einen Vorteil, dass kein Defekt aufgrund der Plasmaschäden verursacht wird.

[0185] Die Abscheidung durch das ALD-Verfahren kann derart durchgeführt werden, dass der Druck in einer Kammer auf einen atmosphärischen Druck oder einen verringerten Druck eingestellt wird, dass Quellgase zur Reaktion sequenziell in die Kammer eingeleitet werden und dass dann die Folge der Gaseinleitung wiederholt wird. Beispielsweise werden zwei oder mehr Arten von Quellgasen sequenziell der Kammer zugeführt, indem die jeweiligen Umschaltventile (auch als Hochgeschwindigkeitsventile bezeichnet) umgeschaltet werden. In einem solchen Fall wird ein Inertgas (z. B. Argon oder Stickstoff) oder dergleichen gleichzeitig mit oder nach der Einleitung eines ersten Gases eingeleitet, und dann wird ein zweites Quellgas eingeleitet, so dass die Quellgase nicht gemischt werden. Es sei angemerkt, dass in dem Fall, in dem das erste Quellgas und das Inertgas gleichzeitig eingeleitet werden, das Inertgas als Trägergas dient und dass das Inertgas auch gleichzeitig mit der Einleitung des zweiten Quellgases eingeleitet werden kann. Alternativ kann das erste Quellgas durch Evakuierung statt der Einleitung des Inertgases abgesaugt werden, und dann kann das zweite Quellgas eingeleitet werden. Das erste Quellgas wird an die Oberfläche des Substrats adsorbiert, um eine erste Schicht auszubilden; dann wird das zweite Quellgas eingeleitet, um mit der ersten Schicht zu reagieren. Als Ergebnis wird eine zweite Schicht über der ersten Schicht angeordnet, so dass ein dünner Film ausgebildet wird.

[0186] Die Folge der Gaseinleitung wird mehrfach wiederholt, bis eine gewünschte Dicke erzielt wird, wodurch ein dünner Film mit ausgezeichneter Stufenabdeckung ausgebildet werden kann. Die Dicke des dünnen Films kann durch die Anzahl der Wiederholungen der Folge der Gaseinleitung reguliert werden. Deshalb ermöglicht das ALD-Verfahren, dass die Dicke präzise reguliert wird, und ist also zum Herstellen eines feinen FET geeignet.

[0187] Wie in **Fig. 3A** dargestellt, wird die Gate-Elektrode **103** über dem Substrat **101** ausgebildet, ein Isolierfilm **104** wird über dem Substrat **101** und der Gate-Elektrode **103** ausgebildet, und dann wird ein Oxidhalbleiterfilm **106** über dem Isolierfilm **104** ausgebildet. Als Nächstes wird Sauerstoff **108** dem Oxidhalbleiterfilm **106** zugesetzt.

[0188] Es sei angemerkt, dass der Isolierfilm **104** später zu dem Gate-Isolierfilm **105** verarbeitet wird. Der Oxidhalbleiterfilm **106** wird später zu dem Oxidhalbleiterfilm **107** verarbeitet.

[0189] Ein Verfahren zum Ausbilden der Gate-Elektrode **103** wird nachstehend beschrieben. Zuerst wird ein leitender Film durch ein Sputterverfahren, ein chemisches Gasphasenabscheidungs-(CVD-)Verfahren, wie z. B. ein metallorganisches chemisches Gasphasenabscheidungs-(MOCVD-)Verfahren, ein chemisches Metall-Gasphasenabscheidungs-Verfahren, ein Atomlagenabscheidungs-(ALD-)Verfahren oder ein plasmaunterstütztes chemisches Gasphasenabscheidungs-(PECVD-)Verfahren, ein Verdampfungsverfahren, ein Puls-laserabscheidungs-(PLD-)Verfahren oder dergleichen ausgebildet. Eine Maske wird dann durch einen Lithografieprozess über dem leitenden Film ausgebildet. Dann wird ein Teil des leitenden Films unter Verwendung der Maske geätzt, um die Gate-Elektrode **103** auszubilden. Danach wird die Maske entfernt.

[0190] Ein Wolframfilm kann als leitender Film mit einer Abscheidungseinrichtung unter Verwendung eines ALD-Verfahrens ausgebildet werden. In diesem Fall werden ein WF_6 -Gas und ein B_2H_6 -Gas nacheinander mehrmals eingeleitet, um einen anfänglichen Wolframfilm auszubilden, und dann werden ein WF_6 -Gas und ein H_2 -Gas gleichzeitig eingeleitet, so dass ein Wolframfilm ausgebildet wird. Es sei angemerkt, dass ein SiH_4 -Gas anstelle eines B_2H_6 -Gases verwendet werden kann.

[0191] Hier wird ein 20 nm dicker Wolframfilm durch ein Sputterverfahren als leitender Film ausgebildet. Dann wird eine Maske durch einen Lithografieschritt über dem leitenden Film ausgebildet, und der leitende Film wird einem Nassätzen unter Verwendung der Maske unterzogen, so dass die Gate-Elektrode **103** ausgebildet wird.

[0192] Der Isolierfilm **104** kann durch ein Sputterverfahren, ein chemisches Gasphasenabscheidungs-(CVD-)Verfahren, wie z. B. ein metallorganisches chemisches Gasphasenabscheidungs-(MOCVD-)Verfahren, ein Atomlagenabscheidungs-(ALD-)Verfahren oder ein plasmaunterstütztes chemisches Gasphasenabscheidungs-(PECVD-)Verfahren, ein Puls-laserabscheidungs-(PLD-)Verfahren, ein Beschichtungsverfahren, ein Druckverfahren oder dergleichen ausgebildet werden.

[0193] In dem Fall, in dem der Isolierfilm **104** unter Verwendung eines Siliziumoxidfilms oder eines Siliziumoxynitridfilms ausgebildet wird, werden ein Silizium enthaltendes Abscheidungsgas und ein Oxidationsgas vorzugsweise als Quellengas verwendet. Typische Beispiele für das Silizium enthaltende Abscheidungsgas umfassen Silan, Disilan, Trisilan und Silanfluorid. Als Oxidationsgas können Sauerstoff, Ozon, Distickstoffmonoxid und Stickstoffdioxid als Beispiele angegeben werden.

[0194] In dem Fall, in dem der Isolierfilm **104** durch ein CVD-Verfahren unter Verwendung eines stickstoffhaltigen Gases, wie typischerweise Distickstoffmonoxid, Stickstoffdioxid oder dergleichen, als Oxidationsgas ausgebildet wird, wird die Abscheidungstemperatur auf höher als oder gleich $450^\circ C$ und niedriger als die untere Entspannungsgrenze des Substrats, höher als oder gleich $500^\circ C$ und niedriger als die untere Entspannungsgrenze des Substrats, oder höher als oder gleich $500^\circ C$ und niedriger als oder gleich $550^\circ C$ eingestellt. In diesem Fall kann die Menge an Stickstoff oder Stickstoffoxid in dem Isolierfilm **104** verringert werden. Daher kann auch dann, wenn dem Isolierfilm **104** in einem nachfolgenden Schritt zum Zusetzen von Sauerstoff zu einem Oxidhalbleiterfilm **106b** Sauerstoff zugesetzt wird, die Menge an Stickstoffoxid, das in einem später durchzuführenden Wärmebehandlungsschritt erzeugt wird, verringert werden.

[0195] In dem Fall, in dem ein Galliumoxidfilm als der Isolierfilm **104** ausgebildet wird, kann ein MOCVD-Verfahren verwendet werden.

[0196] In dem Fall, in dem ein Hafniumoxidfilm durch ein thermisches CVD-Verfahren, wie z. B. ein MOCVD-Verfahren oder ein ALD-Verfahren, als der Isolierfilm **104** ausgebildet wird, werden zwei Gasarten verwendet:

Ozon (O_3) als Oxidator und ein Quellgas, das durch Verdampfung einer Flüssigkeit, die ein Lösungsmittel und eine Hafniumvorläuferverbindung enthält (eine Hafniumalkoxidlösung, die typischerweise Tetrakis(dimethylamid)hafnium (TDMAH) ist), erhalten wird. Es sei angemerkt, dass die chemische Formel von Tetrakis(dimethylamid)hafnium $Hf[N(CH_3)_2]_4$ ist. Beispiele für ein weiteres flüssiges Material umfassen Tetrakis(ethylmethylamid)hafnium.

[0197] In dem Fall, in dem ein Aluminiumoxidfilm als der Isolierfilm **104** durch ein thermisches CVD-Verfahren, wie z. B. ein MOCVD-Verfahren oder ein ALD-Verfahren, ausgebildet wird, werden zwei Gasarten verwendet: H_2O als Oxidator und ein Quellgas, das durch Verdampfung einer Flüssigkeit, die ein Lösungsmittel und eine Aluminiumvorläuferverbindung enthält (z. B. Trimethylaluminium (TMA)), erhalten wird. Es sei angemerkt, dass die chemische Formel von Trimethylaluminium $Al(CH_3)_3$ ist. Beispiele für ein weiteres flüssiges Material umfassen Tris(dimethylamid)aluminium, Triisobutylaluminium und Aluminium-tris(2,2,6,6-tetramethyl-3,5-heptandionat).

[0198] In dem Fall, in dem ein Siliziumoxidfilm durch ein thermisches CVD-Verfahren, wie z. B. ein MOCVD-Verfahren oder ein ALD-Verfahren, als der Isolierfilm **104** ausgebildet wird, wird Hexachlordisilan an einer Abscheidungsfläche adsorbiert, das in dem Adsorbat enthaltene Chlor wird entfernt, und Radikale eines Oxidationsgases (z. B. O_2 oder Distickstoffmonoxid) werden zugeführt, um mit dem Adsorbat zu reagieren.

[0199] Als der Isolierfilm **104** wird hier ein 100 nm dicker Siliziumoxynitridfilm durch ein CVD-Verfahren ausgebildet; Silan und Distickstoffmonoxid werden als Quellgas verwendet, und die Abscheidungstemperatur ist $500^\circ C$.

[0200] Dann kann eine Wärmebehandlung durchgeführt werden, um Wasser, Wasserstoff oder dergleichen in dem Isolierfilm **104** freizusetzen. Dadurch wird die Konzentration von Wasser, Wasserstoff oder dergleichen in dem später auszubildenden Gate-Isolierfilm **105** verringert. Die Wärmebehandlung kann die Menge an Wasser, Wasserstoff oder dergleichen, das/der in den Oxidhalbleiterfilm **111** diffundiert, verringern.

[0201] Der Oxidhalbleiterfilm **106** kann durch ein Sputterverfahren, ein Beschichtungsverfahren, ein Puls-laserabscheidungsverfahren, ein Laserabtragungsverfahren, ein metallorganisches chemisches Gasphasenabscheidungsverfahren-(MOCVD-)Verfahren, ein Atomlagenabscheidungsverfahren-(ALD-)Verfahren oder dergleichen ausgebildet werden.

[0202] In dem Fall, in dem der Oxidhalbleiterfilm **106** durch ein Sputterverfahren ausgebildet wird, kann eine Stromversorgungsvorrichtung zur Erzeugung von Plasma nach Bedarf eine Hochfrequenzstromversorgungsvorrichtung, eine Wechselstromversorgungsvorrichtung, eine Gleichstromversorgungsvorrichtung oder dergleichen sein.

[0203] Als Sputtergas wird nach Bedarf ein Edelgas (typischerweise Argon), ein Sauerstoffgas oder ein Gemischgas von einem Edelgas und Sauerstoff verwendet. Im Falle der Verwendung des Gemischgases von einem Edelgas und Sauerstoff ist der Anteil an Sauerstoff vorzugsweise höher als derjenige am Edelgas.

[0204] Ferner kann ein Target je nach der Zusammensetzung des auszubildenden Oxidhalbleiterfilms **106** gewählt werden.

[0205] In dem Fall, in dem beispielsweise der Oxidhalbleiterfilm durch ein Sputterverfahren bei einer Substrattemperatur von höher als oder gleich $150^\circ C$ und niedriger als oder gleich $750^\circ C$, bevorzugt höher als oder gleich $150^\circ C$ und niedriger als oder gleich $450^\circ C$, stärker bevorzugt höher als oder gleich $200^\circ C$ und niedriger als oder gleich $350^\circ C$ ausgebildet wird, kann ein CAAC-OS-Film als Oxidhalbleiterfilm ausgebildet werden.

[0206] Bei der Abscheidung des CAAC-OS-Films finden vorzugsweise die folgenden Bedingungen Anwendung.

[0207] Durch Unterdrücken des Eindringens der Verunreinigungen während der Abscheidung kann verhindert werden, dass der Kristallzustand durch die Verunreinigungen verdorben wird. Beispielsweise kann die Konzentration der in einer Abscheidungskammer vorhandenen Verunreinigungen (z. B. Wasserstoff, Wasser, Kohlendioxid oder Stickstoff) verringert werden. Außerdem kann die Konzentration der Verunreinigungen in einem Abscheidungs-gas verringert werden. Insbesondere wird ein Abscheidungs-gas verwendet, dessen Taupunkt bei $-80^\circ C$ oder niedriger, bevorzugt bei $-100^\circ C$ oder niedriger liegt.

[0208] Zum Beispiel werden in dem Fall, in dem ein Oxidhalbleiterfilm, z. B. ein InGaZnO_x - ($X > 0$) Film, mittels einer Abscheidungseinrichtung unter Verwendung eines ALD-Verfahrens ausgebildet wird, ein $\text{In}(\text{CH}_3)_3$ -Gas und ein O_3 -Gas nacheinander mehrfach eingeleitet, um eine InO_2 -Schicht auszubilden, ein $\text{Ga}(\text{CH}_3)_3$ -Gas und ein O_3 -Gas werden gleichzeitig eingeleitet, um eine GaO -Schicht auszubilden, und dann werden ein $\text{Zn}(\text{CH}_3)_2$ -Gas und ein O_3 -Gas gleichzeitig eingeleitet, um eine ZnO -Schicht auszubilden. Es sei angemerkt, dass die Reihenfolge dieser Schichten nicht auf dieses Beispiel beschränkt ist. Eine Mischverbindungsschicht, wie z. B. eine InGaO_2 -Schicht, eine InZnO_2 -Schicht oder eine GaZnO -Schicht, kann durch Mischen dieser Gase ausgebildet werden. Es sei angemerkt, dass, obwohl ein H_2O -Gas, das einem Bubbling (Sprudeln oder Aufwallen) mit einem Inertgas, wie z. B. Ar, unterzogen wird, anstelle eines O_3 -Gases verwendet werden kann, es bevorzugt wird, ein O_3 -Gas zu verwenden, das keinen H enthält. Anstelle eines $\text{In}(\text{CH}_3)_3$ -Gases kann ein $\text{In}(\text{C}_2\text{H}_5)_3$ -Gas verwendet werden. Anstelle eines $\text{Ga}(\text{CH}_3)_3$ -Gases kann ein $\text{Ga}(\text{C}_2\text{H}_5)_3$ -Gas verwendet werden.

[0209] Hier wird als der Oxidhalbleiterfilm **106** ein 20 nm dicker In-Ga-Zn-Oxidfilm (In:Ga:Zn = 1:3:4) durch ein Sputterverfahren ausgebildet.

[0210] Der Sauerstoff **108**, der dem Oxidhalbleiterfilm **106** zugesetzt wird, ist mindestens eine Art ausgewählt aus Sauerstoffradikalen, Sauerstoffatomen, Sauerstoffatomionen, Sauerstoffmolekülonen und dergleichen. Als Verfahren zum Zusetzen des Sauerstoffs **108** zu dem Oxidhalbleiterfilm **106** können ein Ionendotierverfahren, ein Ionenimplantationsverfahren und dergleichen angegeben werden.

[0211] Im Falle der Verwendung eines Ionenimplantationsverfahrens als Verfahren zum Zusetzen des Sauerstoffs **108** können Schäden an dem Oxidhalbleiterfilm **106** verringert werden, indem Sauerstoffmolekülonen als der Sauerstoff **108**, der dem Oxidhalbleiterfilm **106** zugesetzt wird, verwendet werden. Sauerstoffmolekülonen werden an der Oberfläche des Oxidhalbleiterfilms **106** in Sauerstoffatomionen abgebaut, und die Sauerstoffatomionen werden dem Oxidhalbleiterfilm **106** zugesetzt. Da die Energie verwendet wird, um Sauerstoffmoleküle in Sauerstoffatome abzubauen, ist die Energie pro Sauerstoffatomion im Falle des Zusatzes von Sauerstoffmolekülonen zu dem Oxidhalbleiterfilm **106** niedriger als diejenige im Falle des Zusatzes von Sauerstoffatomionen zu dem Oxidhalbleiterfilm **106**. Deshalb können im Falle des Zusatzes von Sauerstoffmolekülonen zu dem Oxidhalbleiterfilm **106** Schäden an dem Oxidhalbleiterfilm **106** verringert werden.

[0212] Unter Verwendung von Sauerstoffmolekülonen wird die Energie jedes Sauerstoffatomions, das in den Isolierfilm **104** injiziert wird, verringert, wodurch das injizierte Sauerstoffatomion in einem flachen Bereich positioniert ist. Folglich wandern Sauerstoffatome leicht bei einer später durchzuführenden Wärmebehandlung, so dass mehr Sauerstoff einem Oxidhalbleiterfilm **109**, der später auszubilden ist, zugeführt werden kann.

[0213] In dem Fall, in dem Sauerstoffmolekülonen injiziert werden, ist die Energie pro Sauerstoffatomion im Vergleich zu dem Fall niedrig, in dem Sauerstoffatomionen injiziert werden. Daher kann unter Verwendung von Sauerstoffmolekülonen zur Injektion die Beschleunigungsspannung erhöht werden, und die Ausbeute kann erhöht werden. Darüber hinaus kann unter Verwendung von Sauerstoffmolekülonen zur Injektion die Dosierung die Hälfte der Menge sein, die im Falle der Verwendung von Sauerstoffatomionen nötig ist. Als Ergebnis kann die Ausbeute erhöht werden.

[0214] In dem Fall, in dem Sauerstoff dem Oxidhalbleiterfilm **106** zugesetzt wird, wird vorzugsweise Sauerstoff dem Oxidhalbleiterfilm **106** derart zugesetzt, dass ein Peak des Konzentrationsprofils von Sauerstoffatomionen in dem Oxidhalbleiterfilm **106** positioniert ist. Als Ergebnis können Schäden an dem später auszubildenden Gate-Isolierfilm **105** verringert werden. Mit anderen Worten: Defekte in dem Gate-Isolierfilm **105** können verringert werden, so dass Schwankungen der elektrischen Eigenschaften des Transistors verringert werden können. Des Weiteren kann die Menge an Sauerstoff, der dem später auszubildenden Gate-Isolierfilm **105** zugesetzt wird, in dem Fall verringert werden, in dem Sauerstoff dem Oxidhalbleiterfilm **106** derart zugesetzt wird, dass die Menge an zugesetzten Sauerstoffatomen an der Grenzfläche zwischen dem Isolierfilm **104** und dem Oxidhalbleiterfilm **106** kleiner als 1×10^{21} Atome/cm³, kleiner als 1×10^{20} Atome/cm³, oder kleiner als 1×10^{19} Atome/cm³ ist. Als Ergebnis können Schäden an dem später auszubildenden Gate-Isolierfilm **105** verringert werden, was Schwankungen der elektrischen Eigenschaften des Transistors unterdrückt.

[0215] Selbst wenn Sauerstoff auch dem Isolierfilm **104** in diesem Schritt zum Zusetzen von Sauerstoff zugesetzt wird, kann, da die Stickstoffkonzentration des Isolierfilms **104** niedrig ist, die Menge an Stickstoffoxid, das durch eine später durchzuführende Wärmebehandlung erzeugt wird, klein sein, und Defekte in einem Rückkanal (back channel) des Transistors können verringert werden. Daher gibt es eine kleine Anzahl von Einfangstellen für Ladungsträger in dem Rückkanal des Transistors, was zur Abnahme des Änderungsbetrags der Schwellenspannung des Transistors bei einem GBT-Belastungstest führt.

[0216] Sauerstoff kann dem Oxidhalbleiterfilm **106** durch eine Plasmabehandlung, bei der der Oxidhalbleiterfilm **106** einem in einer sauerstoffhaltigen Atmosphäre erzeugten Plasma ausgesetzt wird, zugesetzt werden. Als sauerstoffhaltige Atmosphäre kann eine Atmosphäre, die ein Oxidationsgas, wie z. B. Sauerstoff, Ozon, Distickstoffmonoxid oder Stickstoffdioxid, enthält, angegeben werden. Es sei angemerkt, dass der Oxidhalbleiterfilm **106** vorzugsweise einem Plasma, das in einem Zustand erzeugt wird, in dem eine Vorspannung an die Seite des Substrats **101** angelegt wird, ausgesetzt wird, weil die Menge an dem Oxidhalbleiterfilm **106** zugesetztem Sauerstoff erhöht werden kann. Beispiele für das Gerät, das bei einer derartigen Plasmabehandlung verwendet wird, umfassen ein Veraschungsgerät.

[0217] Hier werden Sauerstoffatomionen dem Oxidhalbleiterfilm **106** durch ein Ionenimplantationsverfahren bei einer Beschleunigungsspannung von 5 kV in einer Dosierung von $1 \times 10^{16}/\text{cm}^2$ zugesetzt.

[0218] Durch die vorstehenden Schritte kann ein Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, wie in Fig. 3B ausgebildet werden. Als Ergebnis kann die Anzahl von Sauerstofffehlstellen in dem Oxidhalbleiterfilm **109** in einem später durchzuführenden Wärmebehandlungsschritt verringert werden. Es sei angemerkt, dass der Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, im Vergleich zu dem Oxidhalbleiterfilm **106**, dem kein Sauerstoff zugesetzt worden ist, eine niedrige Filmdichte aufweist.

[0219] Als Nächstes wird wie in Fig. 3B der Oxidhalbleiterfilm **109** über dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, ausgebildet.

[0220] Der Oxidhalbleiterfilm **109** kann durch ein Sputterverfahren, ein Beschichtungsverfahren, ein Puls-laserabscheidungsverfahren, ein Laserabtragungsverfahren, ein metallorganisches chemisches Gasphasenabscheidungsverfahren-(MOCVD-)Verfahren, ein Atomlagenabscheidungsverfahren-(ALD-)Verfahren oder dergleichen ausgebildet werden.

[0221] Als Stromversorgungsvorrichtung zum Erzeugen von Plasma bei der Ausbildung des Oxidhalbleiterfilms **109** kann nach Bedarf eine Hochfrequenzstromversorgungsvorrichtung, eine Wechselstromversorgungsvorrichtung, eine Gleichstromversorgungsvorrichtung oder dergleichen verwendet werden.

[0222] Als Sputtergas wird nach Bedarf ein Edelgas (typischerweise Argon), ein Sauerstoffgas oder ein Gemischgas von einem Edelgas und Sauerstoff verwendet. Im Falle der Verwendung des Gemischgases von einem Edelgas und Sauerstoff ist der Anteil an Sauerstoff vorzugsweise höher als derjenige am Edelgas.

[0223] Ferner kann ein Target je nach der Zusammensetzung des Oxidhalbleiterfilms **109** angemessen gewählt werden.

[0224] Es sei angemerkt, dass in dem Fall, in dem der Oxidhalbleiterfilm **109** beispielsweise durch ein Sputterverfahren ausgebildet wird, die Substrattemperatur auf höher als oder gleich 100°C und niedriger als oder gleich 450°C , bevorzugt höher als oder gleich 170°C und niedriger als oder gleich 350°C eingestellt werden kann, und dass der Oxidhalbleiterfilm **109** ausgebildet werden kann, während eine Erwärmung durchgeführt wird.

[0225] Hier wird als der Oxidhalbleiterfilm **109** ein 20 nm dicker In-Ga-Zn-Oxidfilm (In:Ga:Zn = 1:1:1) durch ein Sputterverfahren ausgebildet.

[0226] Als Nächstes wird eine Wärmebehandlung durchgeführt, so dass ein Teil von Sauerstoff in dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, auf den Oxidhalbleiterfilm **109** übertragen werden kann; folglich können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **109** verringert werden. Dieser Oxidhalbleiterfilm mit verringerten Sauerstofffehlstellen wird als ein Oxidhalbleiterfilm **109a** in Fig. 3C dargestellt. Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, können auch verringert werden. Dieser Oxidhalbleiterfilm wird als der Oxidhalbleiterfilm **106b** in Fig. 3C dargestellt. Wasserstoff, Wasser und dergleichen können von dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, und von dem Oxidhalbleiterfilm **109** abgegeben werden. Daher wird die Menge an Verunreinigungen in dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, und in dem Oxidhalbleiterfilm **109** verringert.

[0227] Die Temperatur einer Wärmebehandlung liegt vorzugsweise im Bereich von Temperaturen, bei denen Sauerstoff von dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, zu dem Oxidhalbleiterfilm **109** wandert. Zudem ist die Temperatur der Wärmebehandlung vorzugsweise niedriger als die Ausbildungstemperatur des Isolierfilms **104**. In diesem Fall wird Stickstoffdioxid unwahrscheinlich durch die Wärmebehand-

lung in dem Isolierfilm **104** erzeugt, so dass die Anzahl von Einfangstellen für Elektronen verringert werden kann. Die Temperatur der Wärmebehandlung ist typischerweise höher als oder gleich 250°C und niedriger als die untere Entspannungsgrenze des Substrats, bevorzugt höher als oder gleich 300°C und niedriger als oder gleich 550°C, stärker bevorzugt höher als oder gleich 350°C und niedriger als oder gleich 510°C, noch stärker bevorzugt höher als oder gleich 350°C und niedriger als oder gleich 450°C.

[0228] Die Wärmebehandlung wird in einer Inertgasatmosphäre, die Stickstoff oder ein Edelgas, wie z. B. Helium, Neon, Argon, Xenon oder Krypton, enthält, durchgeführt. Ferner kann, nachdem eine Wärmebehandlung in einer Inertgasatmosphäre durchgeführt worden ist, eine Wärmebehandlung zusätzlich in einer Sauerstoffatmosphäre oder einer Trockenluftatmosphäre (Luft, deren Taupunkt niedriger als oder gleich -80°C, bevorzugt niedriger als oder gleich -100°C, stärker bevorzugt niedriger als oder gleich -120°C ist) durchgeführt werden. Es sei angemerkt, dass vorzugsweise Wasserstoff, Wasser und dergleichen nicht in einem Inertgas und Sauerstoff, wie in der Trockenluft, enthalten sind und der Taupunkt bevorzugt niedriger als oder gleich -80°C, stärker bevorzugt niedriger als oder gleich -100°C ist. Die Zeitdauer der Behandlung beträgt 3 Minuten bis 24 Stunden.

[0229] Bei der Wärmebehandlung kann anstatt eines Elektroofens eine beliebige Einrichtung zum Erwärmen eines Objekts durch Wärmeleitung oder Wärmestrahlung von einem Erhitzer, wie z. B. einem Widerstands-Erhitzer, verwendet werden. Beispielsweise kann eine schnelle thermische Ausheilungs-(rapid thermal anneal, RTA-)Einrichtung, wie z. B. eine GRTA-(gas rapid thermal anneal)Einrichtung oder eine LRTA-(lamp rapid thermal anneal)Einrichtung, verwendet werden. Eine LRTA-Einrichtung ist eine Einrichtung zum Erwärmen eines Objekts durch Bestrahlung mit Licht (elektromagnetischen Wellen), das von einer Lampe emittiert wird, wie z. B. einer Halogenlampe, einer Metall-Halogenid-Lampe, einer Xenonbogenlampe, einer Kohlebogenlampe, einer Hochdruck-Natriumlampe oder einer Hochdruck-Quecksilberlampe. Eine GRTA-Einrichtung ist eine Einrichtung zum Durchführen einer Wärmebehandlung unter Verwendung eines Hochtemperaturgases. Als Hochtemperaturgas wird ein Inertgas, wie z. B. Stickstoff, oder ein Edelgas, wie z. B. Argon, verwendet.

[0230] Nachdem eine Wärmebehandlung bei 450°C eine Stunde lang in einer Stickstoffatmosphäre durchgeführt worden ist, wird hier eine Wärmebehandlung bei 450°C eine Stunde lang in einer Sauerstoffatmosphäre durchgeführt.

[0231] Durch die vorstehenden Schritte können Sauerstofffehlstellen in den Oxidhalbleiterfilmen verringert werden. Die Oxidhalbleiterfilme können eine niedrige Dichte von lokalisierten Zuständen aufweisen.

[0232] Es sei angemerkt, dass die Wärmebehandlung nicht in diesem Schritt, sondern in einem nachfolgenden Schritt durchgeführt werden kann. Mit anderen Worten: In einem später durchzuführenden Erwärmungsschritt kann ein Teil von Sauerstoff in dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, auf den Oxidhalbleiterfilm **109** übertragen werden kann. Als Ergebnis kann die Anzahl von Erwärmungsschritten verringert werden.

[0233] Nachdem eine Maske durch einen Lithografieprozess über dem Oxidhalbleiterfilm **109a** ausgebildet worden ist, werden dann ein Teil des Oxidhalbleiterfilms **106b** und ein Teil des Oxidhalbleiterfilms **109a** unter Verwendung der Maske geätzt. Daher werden der Oxidhalbleiterfilm **107** und ein Oxidhalbleiterfilm **110** wie in **Fig. 3D** ausgebildet. Dann wird die Maske entfernt. Es sei angemerkt, dass in dem Ätzschritt vorzugsweise ein Teil des Isolierfilms **104** geätzt wird. Als Ergebnis kann ein Transistor mit der S-Kanal-Struktur ausgebildet werden, bei dem in der Kanalbreitenrichtung die Seitenflächen des Oxidhalbleiterfilms **107** und des Oxidhalbleiterfilms **111** der Gate-Elektrode **119** zugewandt sind, wobei der Gate-Isolierfilm dazwischen angeordnet ist. Hier wird der Isolierfilm **104**, der teilweise geätzt wird, als der Gate-Isolierfilm **105** bezeichnet.

[0234] Hier wird eine Maske durch einen Lithografieprozess über dem Oxidhalbleiterfilm **109a** ausgebildet, und der Oxidhalbleiterfilm **106b** und der Oxidhalbleiterfilm **109a** werden einem Nassätzen unter Verwendung der Maske unterzogen, so dass der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **110** ausgebildet werden.

[0235] Als Nächstes wird das Paar von Elektroden **113a** und **113b** wie in **Fig. 4A** über dem Oxidhalbleiterfilm **110** ausgebildet.

[0236] Ein Verfahren zum Ausbilden des Paares von Elektroden **113a** und **113b** wird nachstehend beschrieben. Ein leitender Film wird durch ein Sputterverfahren, ein chemisches Gasphasenabscheidungs-(CVD-)Verfahren, wie z. B. ein metallorganisches chemisches Gasphasenabscheidungs-(MOCVD-)Verfahren, ein chemisches Metall-Gasphasenabscheidungs-Verfahren, ein Atomlagenabscheidungs-(ALD-)Verfahren oder ein

plasmaunterstütztes chemisches Gasphasenabscheidungs-(PECVD-)Verfahren, ein Verdampfungsverfahren, ein Puls laserabscheidungs-(PLD-)Verfahren oder dergleichen ausgebildet. Eine Maske wird dann durch einen Lithografieprozess über dem leitenden Film ausgebildet. Dann wird ein Teil des leitenden Films unter Verwendung der Maske geätzt, um das Paar von Elektroden **113a** und **113b** auszubilden. Danach wird die Maske entfernt.

[0237] Es sei angemerkt, dass in dem Fall, in dem ein Transistor mit einer sehr kurzen Kanallänge ausgebildet wird, mindestens der leitende Film in einem Bereich, in dem das Paar von Elektroden **113a** und **113b** zu trennen ist, unter Verwendung einer Fotolackmaske geätzt wird, die durch ein Verfahren, das für Mikrostrukturierung geeignet ist, wie z. B. Elektronenstrahlbelichtung, Flüssigkeitsimmersionsbelichtung oder EUV-Belichtung, verarbeitet wird. Es sei angemerkt, dass unter Verwendung eines positiven Fotolacks für die Fotolackmaske der freigelegte Bereich minimiert werden kann, um die Ausbeute zu verbessern. Auf die oben beschriebene Weise kann ein Transistor mit einer Kanallänge von 100 nm oder weniger, weiterhin 30 nm oder weniger ausgebildet werden. Alternativ kann eine Feinverarbeitung durch eine Belichtungstechnologie durchgeführt werden, bei der Licht mit einer sehr kurzen Wellenlänge (z. B. Extrem-Ultraviolett-(EUV-)Strahlung), Röntgenstrahlen oder dergleichen verwendet wird.

[0238] Ein 10 nm dicker Wolframfilm wird hier durch ein Sputterverfahren als leitender Film ausgebildet. Dann wird eine Maske durch einen Lithografieschritt über dem leitenden Film ausgebildet, und der leitende Film wird einem Trockenätzen unter Verwendung der Maske unterzogen, so dass das Paar von Elektroden **113a** und **113b** ausgebildet wird.

[0239] Nach der Ausbildung des Paares von Elektroden **113a** und **113b** wird vorzugsweise eine Reinigungsbehandlung durchgeführt, um einen Ätzrückstand zu entfernen. Durch diese Reinigungsbehandlung kann ein Kurzschluss des Paares von Elektroden **113a** und **113b** unterdrückt werden. Die Reinigungsbehandlung kann unter Verwendung einer alkalischen Lösung, wie z. B. einer Tetramethylammoniumhydroxid-(TMAH-)Lösung, oder einer säurehaltigen Lösung, wie z. B. einer verdünnten Flusssäure, einer Oxalsäurelösung oder einer Phosphorsäurelösung, durchgeführt werden. Durch die Reinigungsbehandlung wird ein Teil des Oxidhalbleiterfilms **110** geätzt, so dass der Oxidhalbleiterfilm **111** mit einer Vertiefung ausgebildet wird.

[0240] Als Nächstes wird wie in **Fig. 4B** der Oxidhalbleiterfilm **115** über dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ausgebildet, der Gate-Isolierfilm **117** wird über dem Oxidhalbleiterfilm **115** ausgebildet, und die Gate-Elektrode **119** wird über dem Gate-Isolierfilm **117** ausgebildet.

[0241] Nachstehend wird ein Verfahren zum Ausbilden des Oxidhalbleiterfilms **115**, des Gate-Isolierfilms **117** und der Gate-Elektrode **119** beschrieben. Zuerst wird ein Oxidhalbleiterfilm unter Verwendung eines beliebigen der Verfahren ausgebildet, die zum Ausbilden des Oxidhalbleiterfilms **106** verwendet werden können. Als Nächstes wird ein Isolierfilm unter Verwendung eines beliebigen der Verfahren ausgebildet, die zum Ausbilden des Isolierfilms **104** verwendet werden können. Dann wird ein leitender Film ausgebildet. Eine Maske wird dann durch einen Lithografieprozess über dem leitenden Film ausgebildet. Als Nächstes werden der Oxidhalbleiterfilm, der Isolierfilm und der leitende Film unter Verwendung der Maske geätzt, um den Oxidhalbleiterfilm **115**, den Gate-Isolierfilm **117** und die Gate-Elektrode **119** auszubilden. Danach wird die Maske entfernt.

[0242] Hier wird als Oxidhalbleiterfilm ein 5 nm dicker In-Ga-Zn-Oxidfilm (In:Ga:Zn = 1:3:2) durch ein Sputterverfahren ausgebildet. Als Nächstes wird als Isolierfilm ein 10 nm dicker Siliziumoxynitridfilm durch ein CVD-Verfahren ausgebildet. Dann wird ein 20 nm dicker Wolframfilm durch ein Sputterverfahren als leitender Film ausgebildet. Eine Maske wird dann durch einen Fotolithografieprozess über dem leitenden Film ausgebildet. Als Nächstes werden der Oxidhalbleiterfilm, der Isolierfilm und der leitende Film unter Verwendung der Maske geätzt, um den Oxidhalbleiterfilm **115**, den Gate-Isolierfilm **117** und die Gate-Elektrode **119** auszubilden. Danach wird die Maske entfernt.

[0243] Bei dem Transistor **100** wird die Abgabe von Sauerstoff aus Seitenflächen des Oxidhalbleiterfilms **111** in der Kanalbreitenrichtung unterdrückt, indem der Oxidhalbleiterfilm **115** bereitgestellt wird, in dem Sauerstofffehlstellen unwahrscheinlich erzeugt werden, so dass die Erzeugung von Sauerstofffehlstellen unterdrückt werden kann. Als Ergebnis kann ein Transistor bereitgestellt werden, der verbesserte elektrische Eigenschaften und eine hohe Zuverlässigkeit aufweist.

[0244] Als Nächstes werden, wie in **Fig. 4C** dargestellt, der Isolierfilm **121** und der Isolierfilm **123** nacheinander über dem Gate-Isolierfilm **105**, dem Paar von Elektroden **113a** und **113b**, dem Oxidhalbleiterfilm **115**, dem Gate-

Isolierfilm **117** und der Gate-Elektrode **119** ausgebildet. Danach wird vorzugsweise eine Wärmebehandlung durchgeführt.

[0245] Die Isolierfilme **121** und **123** können je nach Bedarf durch ein Sputterverfahren, ein CVD-Verfahren oder dergleichen ausgebildet werden.

[0246] In dem Fall, in dem die Isolierfilme **121** und **123** Oxidisolierfilme sind, die mehr Sauerstoff enthalten als die stöchiometrische Zusammensetzung, können sie durch ein CVD-Verfahren, ein Sputterverfahren oder dergleichen ausgebildet werden. Nachdem die Oxidisolierfilme durch ein CVD-Verfahren, ein Sputterverfahren oder dergleichen ausgebildet worden sind, kann Sauerstoff den Oxidisolierfilmen durch ein Ionenimplantationsverfahren, ein Ionendotierverfahren, eine Plasmabehandlung oder dergleichen zugesetzt werden.

[0247] Die Wärmebehandlung wird vorzugsweise bei einer Temperatur von niedriger als die Ausbildungstemperatur des Isolierfilms **104** durchgeführt. In diesem Fall wird Stickstoffoxid unwahrscheinlich in dem Isolierfilm **104** durch die Wärmebehandlung erzeugt. Zudem kann die Anzahl von Einfangstellen für Ladungsträger in dem Rückkanal des Transistors verringert werden. Die Temperatur der Wärmebehandlung ist typischerweise höher als oder gleich 150°C und niedriger als die untere Entspannungsgrenze des Substrats, bevorzugt höher als oder gleich 250°C und niedriger als oder gleich 500°C , stärker bevorzugt höher als oder gleich 350°C und niedriger als oder gleich 450°C .

[0248] Ein 40 nm dicker Aluminiumoxidfilm wird hier als der Isolierfilm **121** durch ein Sputterverfahren ausgebildet, und ein 150 nm dicker Siliziumoxynitridfilm wird durch ein CVD-Verfahren als der Isolierfilm **123** ausgebildet. Eine Wärmebehandlung wird ferner eine Stunde lang bei 350°C in einer Sauerstoffatmosphäre durchgeführt.

[0249] Durch die vorstehenden Schritte wird die Dichte von lokalisierten Zuständen der Oxidhalbleiterfilme verringert, und daher kann ein Transistor mit ausgezeichneten elektrischen Eigenschaften hergestellt werden. Darüber hinaus kann ein äußerst zuverlässiger Transistor mit geringen Schwankungen der elektrischen Eigenschaften über die Zeit oder aufgrund eines Belastungstests hergestellt werden.

<Bandstruktur>

[0250] Nun wird eine Bandstruktur beschrieben. Zum leichten Verständnis ist die Bandstruktur mit den Energieniveaus (E_c) am Minimum des Leitungsbandes des Gate-Isolierfilms **105**, des Oxidhalbleiterfilms **107**, des Oxidhalbleiterfilms **111**, des Oxidhalbleiterfilms **115** und des Gate-Isolierfilms **117** dargestellt.

[0251] Wie in **Fig. 5A** und **Fig. 5B** dargestellt, ändert sich die Energie am Minimum des Leitungsbandes in den Oxidhalbleiterfilmen **107**, **111** und **115** stetig. Dies kann auch durch den Umstand erklärt werden, dass sich die Bestandteile der Oxidhalbleiterfilme **107**, **111** und **115** gleichen und dass Sauerstoff leicht zwischen den Oxidhalbleiterfilmen **107**, **111** und **115** diffundiert. Deshalb weisen die Oxidhalbleiterfilme **107**, **111** und **115** eine stetige physikalische Eigenschaft auf, obwohl sie eine Schichtanordnung aus Filmen mit unterschiedlichen Zusammensetzungen sind.

[0252] Die Oxidhalbleiterfilme, die die gleichen Hauptkomponenten enthalten und übereinander angeordnet sind, sind nicht einfach übereinander angeordnet, sondern derart ausgebildet, dass sie einen stetigen Übergang (hier im Besonderen eine Wannen-Struktur mit einer U-Form, bei der sich die Energie am Minimum des Leitungsbandes stetig zwischen den Filmen ändert (U-förmige Wanne)) aufweisen. Mit anderen Worten: Eine mehrschichtige Struktur ist derart ausgebildet, dass an jeder Grenzfläche keine Verunreinigungen, die ein Defektniveau, wie z. B. ein Einfangzentrum (trap center) oder ein Rekombinationszentrum (recombination center), bilden, existieren. Wenn Verunreinigungen zwischen den Filmen des mehrschichtigen Films gemischt werden, geht die Kontinuität des Energiebandes verloren, und Ladungsträger verschwinden durch eine Einfangstelle oder Rekombination an der Grenzfläche.

[0253] Es sei angemerkt, dass **Fig. 5A** den Fall zeigt, in dem das Energieniveau (E_c) am Minimum des Leitungsbandes des Oxidhalbleiterfilms **107** und dasjenige des Oxidhalbleiterfilms **115** einander gleichen; jedoch können sie sich voneinander unterscheiden. Beispielsweise zeigt **Fig. 5B** einen Teil der Bandstruktur in dem Fall, in dem das Energieniveau (E_c) am Minimum des Leitungsbandes des Oxidhalbleiterfilms **115** am Vakuumniveau näher liegt als dasjenige des Oxidhalbleiterfilms **107**.

[0254] Wie in **Fig. 5A** und **Fig. 5B** gezeigt, dient der Oxidhalbleiterfilm **111** als Wanne, und ein Kanal des Transistors **100** wird in dem Oxidhalbleiterfilm **111** gebildet. Es sei angemerkt, dass ein Kanal mit einer U-förmigen Wannens-Struktur, bei der sich die Energie am Minimum des Leitungsbandes stetig wie bei den Oxidhalbleiterfilmen **107**, **111** und **115** ändert, auch als eingebetteter Kanal bezeichnet werden kann.

[0255] Es sei angemerkt, dass Einfangniveaus (trap levels), die auf Verunreinigungen oder Defekte zurückzuführen sind, in der Nähe der Grenzfläche zwischen einem Isolierfilm, wie z. B. einem Siliziumoxidfilm, und jedem der Oxidhalbleiterfilme **107** und **115** gebildet werden können. Der Oxidhalbleiterfilm **111** kann dank der Oxidhalbleiterfilme **107** und **115** getrennt von den Einfangniveaus positioniert sein. Jedoch könnten dann, wenn der Unterschied zwischen der Energie (E_c) am Minimum des Leitungsbandes des Oxidhalbleiterfilms **107** oder **115** und der Energie (E_c) am Minimum des Leitungsbandes des Oxidhalbleiterfilms **111** klein ist, Elektronen in dem Oxidhalbleiterfilm **111** über den Energieunterschied hinüber die Einfangniveaus erreichen. Wenn Elektronen, die zu negativen Ladungen werden, von den Einfangniveaus eingefangen werden, werden negative feste Ladungen an der Grenzfläche zu dem Isolierfilm erzeugt, wodurch die Schwellenspannung des Transistors in positiver Richtung verschoben wird.

[0256] Um Schwankungen der Schwellenspannung des Transistors zu verringern, benötigt man deshalb einen Energieunterschied zwischen dem E_c am Minimum des Leitungsbandes des Oxidhalbleiterfilms **111** und dem E_c am Minimum des Leitungsbandes jedes der Oxidhalbleiterfilme **107** und **115**. Der Energieunterschied ist bevorzugt größer als oder gleich 0,1 eV, stärker bevorzugt größer als oder gleich 0,2 eV.

[0257] Die Oxidhalbleiterfilme **107**, **111** und **115** enthalten vorzugsweise einen Kristallteil. Im Besonderen kann ein Transistor, der einen Oxidhalbleiterfilm mit einem Kristall mit Ausrichtung bezüglich der c-Achse beinhaltet, stabile elektrische Eigenschaften aufweisen.

[0258] Bei der in **Fig. 5B** dargestellten Bandstruktur kann anstelle des Oxidhalbleiterfilms **115** ein In-Ga-Oxidfilm (z. B. ein In-Ga-Oxidfilm mit einem Atomverhältnis von In:Ga = 7:93) zwischen dem Oxidhalbleiterfilm **111** und dem Gate-Isolierfilm **117** bereitgestellt werden.

[0259] Für den Oxidhalbleiterfilm **111** wird ein Oxidhalbleiterfilm mit höherer Elektronenaffinität als diejenigen der Oxidhalbleiterfilme **107** und **115** verwendet. Zum Beispiel weist der Oxidhalbleiter, der für den Oxidhalbleiterfilm **111** verwendet wird, eine Elektronenaffinität auf, die höher ist als diejenige jedes der Oxidhalbleiterfilme **107** und **115** um 0,07 eV oder mehr und 1,3 eV oder weniger, bevorzugt 0,1 eV oder mehr und 0,7 eV oder weniger, stärker bevorzugt 0,2 eV oder mehr und 0,4 eV oder weniger.

[0260] Da der bei dieser Ausführungsform beschriebene Transistor die Oxidhalbleiterfilme **107** und **115** beinhaltet, die jeweils eine oder mehrere Arten von Metallelementen enthalten, die in dem Oxidhalbleiterfilm **111** enthalten ist/sind, werden Grenzflächenniveaus an der Grenzfläche zwischen dem Oxidhalbleiterfilm **107** und dem Oxidhalbleiterfilm **111** sowie an der Grenzfläche zwischen dem Oxidhalbleiterfilm **115** und dem Oxidhalbleiterfilm **111** mit geringerer Wahrscheinlichkeit gebildet. Somit können durch die Oxidhalbleiterfilme **107** und **115** Schwankungen oder Veränderungen der elektrischen Eigenschaften des Transistors, wie z. B. der Schwellenspannung, verringert werden.

[0261] Wenn ein Kanal an der Grenzfläche zwischen dem Gate-Isolierfilm **117** und dem Oxidhalbleiterfilm **111** gebildet wird, tritt eine Grenzflächenstreuung an der Grenzfläche auf, und die Feldeffektbeweglichkeit des Transistors kann in einigen Fällen abnehmen. Bei dem Transistor dieser Struktur enthält jedoch der Oxidhalbleiterfilm **115** eine oder mehrere Arten von Metallelementen, die in dem Oxidhalbleiterfilm **111** enthalten ist/sind. Deshalb tritt eine Streuung von Ladungsträgern an der Grenzfläche zwischen dem Oxidhalbleiterfilm **111** und dem Oxidhalbleiterfilm **115** mit geringerer Wahrscheinlichkeit auf, und somit kann die Feldeffektbeweglichkeit des Transistors erhöht werden.

<Modifikationsbeispiel 1>

[0262] Anhand von **Fig. 6A** bis **Fig. 6C** werden Transistoren beschrieben, die einen Oxidhalbleiterfilm und einen Gate-Isolierfilm beinhalten, deren Formen sich von denjenigen des Oxidhalbleiterfilms **115** und des Gate-Isolierfilms **117** in dem Transistor **100** in **Fig. 1A** bis **Fig. 1C** unterscheiden.

[0263] Ein Transistor **100a** in **Fig. 6A** beinhaltet einen Oxidhalbleiterfilm **115a**, der in Kontakt mit dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ist, und einen Gate-Isolierfilm **117a**, der in

Kontakt mit dem Oxidhalbleiterfilm **115a** ist. Der Gate-Isolierfilm **117a** ist auch in Kontakt mit der Gate-Elektrode **119**.

[0264] Bei dem Transistor **100a** sind Endabschnitte des Oxidhalbleiterfilms **115a** und des Gate-Isolierfilms **117a** weiter außen positioniert als ein Endabschnitt der Gate-Elektrode **119**.

[0265] Ein Transistor **100b** in **Fig. 6B** beinhaltet einen Oxidhalbleiterfilm **115b**, der in Kontakt mit dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ist, und einen Gate-Isolierfilm **117b**, der in Kontakt mit dem Oxidhalbleiterfilm **115b** ist. Der Gate-Isolierfilm **117b** ist auch in Kontakt mit der Gate-Elektrode **119**.

[0266] Bei dem Transistor **100b** sind der Oxidhalbleiterfilm **115b** und der Gate-Isolierfilm **117b** jeweils ununterbrochen und bedecken das Paar von Elektroden **113a** und **113b** sowie den Gate-Isolierfilm **105**.

[0267] Ein Transistor **100c** in **Fig. 6C** beinhaltet einen Oxidhalbleiterfilm **115c**, der in Kontakt mit dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ist, und einen Gate-Isolierfilm **117b**, der in Kontakt mit dem Oxidhalbleiterfilm **115c** ist. Der Gate-Isolierfilm **117b** ist auch in Kontakt mit der Gate-Elektrode **119**.

[0268] Bei dem Transistor **100c** ist ein Endabschnitt des Oxidhalbleiterfilms **115c** weiter außen positioniert als ein Endabschnitt der Gate-Elektrode **119**, und der Gate-Isolierfilm **117b** ist ununterbrochen und bedeckt den Oxidhalbleiterfilm **115c**, das Paar von Elektroden **113a** und **113b** sowie den Gate-Isolierfilm **105**.

[0269] Die Oxidhalbleiterfilme **115a**, **115b** und **115c** können angemessen unter Verwendung des gleichen Materials wie der Oxidhalbleiterfilm **115** ausgebildet werden. Die Gate-Isolierfilme **117a** und **117b** können angemessen unter Verwendung des gleichen Materials wie der Gate-Isolierfilm **117** ausgebildet werden.

[0270] Nun werden Herstellungsverfahren der Transistoren **100a**, **100b** und **100c** beschrieben.

[0271] Zuerst wird das Herstellungsverfahren des Transistors **100a** beschrieben. Durch die Schritte in **Fig. 3A** bis **Fig. 3D** und **Fig. 4A** werden die Gate-Elektrode **103**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Oxidhalbleiterfilm **111** und das Paar von Elektroden **113a** und **113b** über dem Substrat **101** ausgebildet.

[0272] Dann wird ein Oxidhalbleiterfilm, der zu dem Oxidhalbleiterfilm **115a** wird, über dem Gate-Isolierfilm **105**, dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ausgebildet. Des Weiteren wird ein Isolierfilm, der zu dem Gate-Isolierfilm **117a** wird, über dem Oxidhalbleiterfilm ausgebildet, der zu dem Oxidhalbleiterfilm **115a** wird. Als Nächstes wird ein leitender Film über dem Isolierfilm ausgebildet, der zu dem Gate-Isolierfilm **117a** wird. Des Weiteren wird eine Maske durch einen Lithografieprozess über dem leitenden Film ausgebildet, und ein Ätzen wird unter Verwendung der Maske durchgeführt, um die Gate-Elektrode **119** auszubilden. Dann wird die Maske entfernt.

[0273] Da in dem Ätzschritt das Paar von Elektroden **113a** und **113b** mit dem Isolierfilm, der zu dem Gate-Isolierfilm **117a** wird, bedeckt ist, kann verhindert werden, dass Oberflächen des Paares von Elektroden **113a** und **113b** elektrische Ladungen aufweisen. Daher ist es unwahrscheinlich, dass die elektrostatische Zerstörung zwischen der Gate-Elektrode **119** und dem Paar von Elektroden **113a** und **113b** verursacht wird, und die Ausbeute kann erhöht werden.

[0274] Als Nächstes wird eine Maske durch einen Lithografieprozess über der Gate-Elektrode **119** und dem Isolierfilm, der zu dem Gate-Isolierfilm **117a** wird, ausgebildet, und der Oxidhalbleiterfilm, der zu dem Oxidhalbleiterfilm **115a** wird, und der Isolierfilm, der zu dem Gate-Isolierfilm **117a** wird, werden unter Verwendung der Maske geätzt, wodurch der Oxidhalbleiterfilm **115a** und der Gate-Isolierfilm **117a** ausgebildet werden.

[0275] Da in dem Ätzschritt die Gate-Elektrode **119** mit der Maske bedeckt ist, kann verhindert werden, dass eine Oberfläche der Gate-Elektrode **119** elektrische Ladungen aufweist. Daher ist es weniger wahrscheinlich, dass, obwohl das Paar von Elektroden **113a** und **113b** bei der Ausbildung des Oxidhalbleiterfilms **115a** und des Gate-Isolierfilms **117a** freiliegt, die elektrostatische Zerstörung zwischen der Gate-Elektrode **119** und dem Paar von Elektroden **113a** und **113b** verursacht wird; somit kann die Ausbeute erhöht werden.

[0276] Die nachfolgenden Schritte sind gleich denjenigen des Transistors **100** der Ausführungsform 1. Durch die nachfolgenden Schritte kann der Transistor **100a** hergestellt werden.

[0277] Bezüglich des Transistors **100b** werden durch die Schritte von **Fig. 3A** bis **Fig. 3D** und **Fig. 4A** die Gate-Elektrode **103**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Oxidhalbleiterfilm **111** und das Paar von Elektroden **113a** und **113b** über dem Substrat **101** ausgebildet.

[0278] Als Nächstes wird der Oxidhalbleiterfilm **115b** über dem Gate-Isolierfilm **105**, dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ausgebildet, und der Gate-Isolierfilm **117b** wird über dem Oxidhalbleiterfilm **115b** ausgebildet. Dann wird die Gate-Elektrode **119** über dem Gate-Isolierfilm **117b** ausgebildet.

[0279] Die nachfolgenden Schritte sind gleich denjenigen des Transistors **100** der Ausführungsform 1. Durch die nachfolgenden Schritte kann der Transistor **100b** hergestellt werden.

[0280] Bezüglich des Transistors **100c** werden durch die Schritte von **Fig. 3A** bis **Fig. 3D** und **Fig. 4A** die Gate-Elektrode **103**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Oxidhalbleiterfilm **111** und das Paar von Elektroden **113a** und **113b** über dem Substrat **101** ausgebildet.

[0281] Als Nächstes wird ein Oxidhalbleiterfilm, der zu dem Oxidhalbleiterfilm **115c** wird, über dem Gate-Isolierfilm **105**, dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** ausgebildet, und dann wird eine Maske über dem Oxidhalbleiterfilm durch einen Lithografieprozess ausgebildet. Der Oxidhalbleiterfilm wird unter Verwendung der Maske geätzt, um den Oxidhalbleiterfilm **115c** auszubilden. Dann wird die Maske entfernt.

[0282] Als Nächstes wird der Gate-Isolierfilm **117b** über dem Oxidhalbleiterfilm **115c** ausgebildet. Dann wird die Gate-Elektrode **119** über dem Gate-Isolierfilm **117b** ausgebildet.

[0283] Die nachfolgenden Schritte sind gleich denjenigen des Transistors **100** der Ausführungsform 1. Durch die nachfolgenden Schritte kann der Transistor **100c** hergestellt werden.

<Modifikationsbeispiel 2>

[0284] Anhand von **Fig. 7A** bis **Fig. 7D** wird ein Transistor beschrieben, der ein Paar von Elektroden beinhaltet, dessen Form sich von derjenigen des Paares von Elektroden **113a** und **113b** in dem Transistor **100** in **Fig. 1A** bis **Fig. 1C** unterscheidet.

[0285] **Fig. 7A** bis **Fig. 7D** sind eine Draufsicht und Querschnittsansichten eines Transistors **100d** in einer Halbleitervorrichtung. **Fig. 7A** ist eine Draufsicht auf den Transistor **100d**, **Fig. 7B** ist eine Querschnittsansicht entlang der Strichpunktlinie A-B in **Fig. 7A**, **Fig. 7C** ist eine Querschnittsansicht entlang der Strichpunktlinie C-D in **Fig. 7A**, und **Fig. 7D** ist eine Querschnittsansicht entlang der Strichpunktlinie E-F in **Fig. 7A**.

[0286] **Fig. 7B** ist eine Querschnittsansicht des Transistors **100d** in der Kanallängsrichtung, **Fig. 7C** ist eine Querschnittsansicht des Transistors **100d** in der Kanalbreitenrichtung, und **Fig. 7D** ist eine Querschnittsansicht des Transistors **100d** in der Kanalbreitenrichtung, die den Bereich zeigt, in dem das Paar von Elektroden und die Oxidhalbleiterfilme übereinander angeordnet sind.

[0287] Es sei angemerkt, dass in **Fig. 7A** der Einfachheit halber das Substrat **101**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Gate-Isolierfilm **117**, der Isolierfilm **121**, der Isolierfilm **123** und dergleichen nicht dargestellt sind.

[0288] Der Transistor **100d** in **Fig. 7A** bis **Fig. 7D** beinhaltet ein Paar von Elektroden **113c** und **113d**, die nicht in Kontakt mit den Seitenflächen des Oxidhalbleiterfilms **107** und des Oxidhalbleiterfilms **111** jedoch in Kontakt mit der oberen Oberfläche des Oxidhalbleiterfilms **111** sind. Des Weiteren beinhaltet der Transistor **100d** Stecker **127a** und **127b**, die in Kontakt mit dem Paar von Elektroden **113c** und **113d** in Öffnungen **125a** und **125b** sind, die in dem Isolierfilm **121** und dem Isolierfilm **123** bereitgestellt sind.

[0289] Da die Seitenflächen der Oxidhalbleiterfilme **107** und **111** wie in **Fig. 7D** nicht in Kontakt mit dem Paar von Elektroden **113c** und **113d** in der Kanalbreitenrichtung sind, wird das elektrische Feld der Gate-Elektrode **119** nicht von dem Paar von Elektroden **113c** und **113d** gesperrt. Als Ergebnis kann die Wirkung des elektrischen Feldes der Gate-Elektrode **119** an den Seitenflächen der Oxidhalbleiterfilme **107** und **111** erhöht werden, und dieser Transistor kann daher einen ausgezeichneten Subthreshold-Swing-Wert (nachstehend als S-Wert bezeichnet) und eine hohe Feldeffektbeweglichkeit aufweisen. Es sei angemerkt, dass der S-Wert der Wert

einer Gate-Spannung ist, die nötig ist, um den Durchlassstrom um eine Stelle zu ändern; ein kleinerer S-Wert bedeutet bessere Transistoreigenschaften.

[0290] Als Nächstes wird ein Herstellungsverfahren des Transistors **100d** anhand von **Fig. 3A** bis **Fig. 3D** und **Fig. 8A** bis **Fig. 8C** beschrieben. Hier wird das Herstellungsverfahren des Transistors **100d** unter Bezugnahme auf Querschnittsansichten entlang den Strichpunktlinien A-B und C-D in **Fig. 7A** beschrieben.

[0291] Durch die Schritte von **Fig. 3A** bis **Fig. 3C** werden die Gate-Elektrode **103**, der Isolierfilm **104**, der Oxidhalbleiterfilm **106b** und der Oxidhalbleiterfilm **109a** über dem Substrat **101** ausgebildet. Als Nächstes wird ein leitender Film **112** über dem Oxidhalbleiterfilm **109a** ausgebildet (siehe **Fig. 8A**).

[0292] Der leitende Film **112** kann angemessen durch das Ausbildungsverfahren des Paares von Elektroden **113a** und **113b** der Ausführungsform 1 ausgebildet werden.

[0293] Als Nächstes wird eine Maske über dem leitenden Film **112** durch einen Lithografieprozess ausgebildet, und dann werden der Oxidhalbleiterfilm **106b**, der Oxidhalbleiterfilm **109a** und der leitende Film **112** unter Verwendung der Maske geätzt, um den Oxidhalbleiterfilm **107**, den Oxidhalbleiterfilm **110** und einen leitenden Film **113** auszubilden. In diesem Schritt wird ein Teil des Isolierfilms **104** auch geätzt, so dass der Gate-Isolierfilm **105** ausgebildet wird (siehe **Fig. 8B**).

[0294] In dem Ätzschritt wird die Form der Fotolackmaske geändert; wenn ein Ätzen unter Verwendung lediglich der Fotolackmaske ohne harte Maske durchgeführt wird, könnten sich die Formen des ausgebildeten Oxidhalbleiterfilms **107** und Oxidhalbleiterfilms **110** von vorbestimmten Formen unterscheiden. Dieses Problem entsteht in bedeutender Weise bei der Mikrostrukturierung, wie z. B. Elektronenstrahlbelichtung, Flüssigkeitsimmersionsbelichtung oder EUV-Belichtung. Da jedoch der leitende Film **112**, der über dem Oxidhalbleiterfilm **109a** bereitgestellt ist, als harte Maske hier dient, können der Oxidhalbleiterfilm **107** und der Oxidhalbleiterfilm **110** mit vorbestimmten Formen erhalten werden.

[0295] Dann wird eine Maske durch einen Lithografieprozess über dem leitenden Film **113** ausgebildet, und der leitende Film **113** wird unter Verwendung der Maske geätzt, um das Paar von Elektroden **113c** und **113d** auszubilden. Im Falle der Verwendung eines positiven Fotolacks als Maske kann die Zeit für die Belichtung verkürzt werden. In dem Ätzschritt kann ein Teil des Oxidhalbleiterfilms **110** geätzt werden, um eine Vertiefung auszubilden. Hier wird der Oxidhalbleiterfilm mit einer Vertiefung als der Oxidhalbleiterfilm **111** bezeichnet (siehe **Fig. 8C**).

[0296] Dann werden durch die Schritte, die denjenigen in **Fig. 4B** ähnlich sind, der Oxidhalbleiterfilm **115**, der Gate-Isolierfilm **117** und die Gate-Elektrode **119** ausgebildet. Auf diese Weise kann der in **Fig. 7A** bis **Fig. 7D** dargestellte Transistor **100d** hergestellt werden.

[0297] Es sei angemerkt, dass wie in **Fig. 9** ein Paar von Elektroden **113g** und **113h** enthalten sein kann, die über dem Paar von Elektroden **113c** und **113d** bereitgestellt sind und in Kontakt mit den Seitenflächen des Oxidhalbleiterfilms **107** und des Oxidhalbleiterfilms **111** in der Kanallängsrichtung des Transistors sind. In **Fig. 9** ist die Elektrode **113g** in Kontakt mit der Elektrode **113c**, und die Elektrode **113h** ist in Kontakt mit der Elektrode **113d**.

<Modifikationsbeispiel 3>

[0298] Ein Transistor, der den Oxidhalbleiterfilm **111** mit einer anderen Form als diejenige in dem Transistor **100** in **Fig. 1A** bis **Fig. 1C** beinhaltet, wird anhand von **Fig. 10A** bis **Fig. 10C** beschrieben.

[0299] **Fig. 10A** bis **Fig. 10C** sind eine Draufsicht und Querschnittsansichten eines Transistors **100e** in einer Halbleitervorrichtung. **Fig. 10A** ist eine Draufsicht auf den Transistor **100e**, **Fig. 10B** ist eine Querschnittsansicht entlang der Strichpunktlinie A-B in **Fig. 10A**, und **Fig. 10C** ist eine Querschnittsansicht entlang der Strichpunktlinie C-D in **Fig. 10A**.

[0300] **Fig. 10B** ist eine Querschnittsansicht des Transistors **100e** in der Kanallängsrichtung, und **Fig. 10C** ist eine Querschnittsansicht des Transistors **100e** in der Kanalbreitenrichtung.

[0301] Es sei angemerkt, dass in **Fig. 10A** der Einfachheit halber das Substrat **101**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Gate-Isolierfilm **117**, der Isolierfilm **121**, der Isolierfilm **123** und dergleichen nicht dargestellt sind.

[0302] Wie in **Fig. 10C** dargestellt, beinhaltet der Transistor **100e** einen Oxidhalbleiterfilm **111a**, dessen Querschnitt in der Kanalbreitenrichtung im Wesentlichen dreieckig oder im Wesentlichen trapezförmig ist. Hier bezeichnen das wesentliche Dreieck und das wesentliche Trapezoid die Formen, in denen der Winkel zwischen der Bodenfläche in Kontakt mit dem Oxidhalbleiterfilm **107** und der Seitenfläche in Kontakt mit dem Oxidhalbleiterfilm **115** in dem Oxidhalbleiterfilm **111a** größer als 0° und kleiner als oder gleich 85° , oder größer als oder gleich 30° und kleiner als oder gleich 80° ist. Zudem kann die Oberfläche an der Seite, die der Bodenfläche entgegengesetzt ist, eine spitze Ecke oder eine abgerundete Ecke aufweisen. Die Form kann einen Gipfelpunkt an der Seite, die der Bodenfläche entgegengesetzt ist, aufweisen.

[0303] Im Vergleich zu einem oberen Bereich in einem Oxidhalbleiterfilm, dessen Querschnitt in der Kanalbreitenrichtung im Wesentlichen rechteckig ist, weist ein oberer Bereich in dem Oxidhalbleiterfilm **111a**, dessen Querschnitt im Wesentlichen dreieckig oder trapezförmig ist, eine kleine Querschnittsfläche auf. Dies verkleinert einen Bereich mit hoher Stromdichte an der Seite des Gate-Isolierfilms **117**. Als Ergebnis können ein ausgezeichneter S-Wert und ein erhöhter Durchlassstrom erzielt werden.

[0304] Ein Verfahren zum Ausbilden des Oxidhalbleiterfilms **111** mit dem im Wesentlichen dreieckigen oder trapezförmigen Querschnitt wird beschrieben. Eine Maske wird über dem Oxidhalbleiterfilm **109a** wie in **Fig. 3C** durch einen Lithografieprozess ausgebildet, und dann wird der Oxidhalbleiterfilm **109a** geätzt, während die Maske verkleinert wird. Daher kann der Oxidhalbleiterfilm, dessen Querschnitt in der Kanalbreitenrichtung wie in **Fig. 10C** im Wesentlichen dreieckig oder im Wesentlichen trapezförmig ist, ausgebildet werden.

<Modifikationsbeispiel 4>

[0305] Ein Transistor, der die Gate-Elektrode mit einer anderen Form als diejenige in dem Transistor **100** in **Fig. 1A** bis **Fig. 1C** beinhaltet, wird anhand von **Fig. 11A** bis **Fig. 11C** beschrieben.

[0306] **Fig. 11A** bis **Fig. 11C** sind eine Draufsicht und Querschnittsansichten eines Transistors **100j** in einer Halbleitervorrichtung. **Fig. 11A** ist eine Draufsicht auf den Transistor **100j**, **Fig. 11B** ist eine Querschnittsansicht entlang der Strichpunktlinie A-B in **Fig. 11A**, und **Fig. 11C** ist eine Querschnittsansicht entlang der Strichpunktlinie C-D in **Fig. 11A**.

[0307] **Fig. 11B** ist eine Querschnittsansicht des Transistors **100j** in der Kanallängsrichtung, und **Fig. 11C** ist eine Querschnittsansicht des Transistors **100j** in der Kanalbreitenrichtung.

[0308] Es sei angemerkt, dass in **Fig. 11A** der Einfachheit halber das Substrat **101**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Gate-Isolierfilm **117**, der Isolierfilm **121**, der Isolierfilm **123** und dergleichen nicht dargestellt sind.

[0309] Wie in **Fig. 11A** und **Fig. 11B** dargestellt, wird der Transistor **100j** dadurch gekennzeichnet, dass das Paar von Elektroden **113a** und **113b** in der Kanallängsrichtung nicht mit einer Gate-Elektrode **119a** überlappt. Als Ergebnis kann die parasitäre Kapazität zwischen dem Paar von Elektroden **113a** und **113b** und der Gate-Elektrode **119a** verringert werden, um den Durchlassstrom des Transistors zu erhöhen.

[0310] Nachdem die Gate-Elektrode **119a** ausgebildet worden ist, werden vorzugsweise Verunreinigungsbe-reiche **111e** und **111f** ausgebildet, indem Verunreinigungen dem Oxidhalbleiterfilm **111** zugesetzt werden, wobei die Gate-Elektrode **119a** und das Paar von Elektroden **113a** und **113b** als Masken verwendet werden. Dies erhöht den Durchlassstrom des Transistors. Es sei angemerkt, dass als Verunreinigungen, die dem Oxidhalbleiterfilm **111** zugesetzt werden, Wasserstoff, Helium, Neon, Argon, Krypton, Xenon, Bor, Stickstoff, Phosphor oder Arsen verwendet werden kann.

<Modifikationsbeispiel 5>

[0311] Ein Modifikationsbeispiel des Transistors **100** in **Fig. 1A** bis **Fig. 1C** wird anhand von **Fig. 43** beschrieben.

[0312] Der Transistor kann niederohmige Bereiche **133a** und **133b** zwischen den Oxidhalbleiterfilmen **107** und **111** und dem Paar von Elektroden **113a** und **113b** beinhalten. Die niederohmigen Bereiche **133a** und **133b** können unter Verwendung eines beliebigen der lichtdurchlässigen leitenden Materialien, die als Materialien der Gate-Elektrode **103** angegeben worden sind, ausgebildet werden. Die niederohmigen Bereiche **133a** und **133b** können auch ausgebildet werden, indem Wasserstoff oder Stickstoff den Oberflächen der Oxidhalbleiterfilme **107** und **111** zugesetzt wird.

[0313] Die niederohmigen Bereiche **133a** und **133b**, die zwischen den Oxidhalbleiterfilmen **107** und **111** und dem Paar von Elektroden **113a** und **113b** angeordnet sind, können den Kontaktwiderstand zwischen den Oxidhalbleiterfilmen **107** und **111** und dem Paar von Elektroden **113a** und **113b** verringern. Als Ergebnis kann der Durchlassstrom des Transistors erhöht werden.

<Modifikationsbeispiel 6>

[0314] Ein Modifikationsbeispiel des Paares von Elektroden in dem Transistor wird anhand von **Fig. 44A** und **Fig. 44B** beschrieben. **Fig. 44A** und **Fig. 44B** sind jeweils eine vergrößerte Ansicht eines von einer gestrichelten Linie umgebenen Bereichs in **Fig. 1B**.

[0315] Das Paar von Elektroden **113a** und **113b** umfasst vorzugsweise mindestens einen Cu-X-Legierungsfilm (im Folgenden einfach als Cu-X-Legierungsfilm bezeichnet, wobei X Mn, Ni, Cr, Fe, Co, Mo, Ta oder Ti ist). Wenn das Paar von Elektroden beispielsweise unter Verwendung einer einschichtigen Struktur aus einem Cu-X-Legierungsfilm oder einer mehrschichtigen Struktur, die einen Cu-X-Legierungsfilm umfasst, ausgebildet wird, kann der Widerstand des Paares von Elektroden verringert werden. Hier wird die Elektrode **113a** als Beispiel für die Elektroden beschrieben.

[0316] Bei der Elektrode **113a** in **Fig. 44A** sind ein Cu-X-Legierungsfilm **134** und ein Bedeckungsfilm **135**, der auf einer Oberfläche des Cu-X-Legierungsfilms **134** ausgebildet ist, übereinander angeordnet. Der Bedeckungsfilm **135** enthält X in dem Cu-X-Legierungsfilm und eine Verbindung, die durch Reaktion zwischen X und einem Element gebildet wird, das in dem Oxidhalbleiterfilm **111** oder **115** oder in dem Isolierfilm **121** enthalten ist. Beispiele für die Verbindung, die X enthält, umfassen ein Oxid, das X enthält, ein Nitrid, das X enthält, Silizid, das X enthält, und Carbid, das X enthält. Beispiele für das Oxid, das X enthält, umfassen ein X-Oxid, ein In-X-Oxid, ein Ga-X-Oxid, ein In-Ga-X-Oxid und ein In-Ga-Zn-X-Oxid. Da der Bedeckungsfilm **135** als Sperrfilm dient, kann das Eindringen von Cu von dem Cu-X-Legierungsfilm in den Oxidhalbleiterfilm **111** oder **115** oder in den Isolierfilm **121** verhindert werden.

[0317] Es sei angemerkt, dass dann, wenn ein Cu-Mn-Legierungsfilm beispielhaft für den Cu-X-Legierungsfilm **134** verwendet wird, die Adhäsion zwischen der Elektrode **113a** und dem Oxidhalbleiterfilm **111** oder **115** oder dem Isolierfilm **121** erhöht werden kann. Die Verwendung des Cu-Mn-Legierungsfilms führt zu einem vorteilhaften ohmschen Kontakt zwischen der Elektrode **113a** und jedem der Oxidhalbleiterfilme **111** und **115**.

[0318] Insbesondere könnte der Bedeckungsfilm **135** auf die folgende Weise ausgebildet werden: Ein Cu-Mn-Legierungsfilm wird als der Cu-X-Legierungsfilm **134** ausgebildet und dann beispielsweise einer Wärmebehandlung bei höher als oder gleich 150°C und niedriger als oder gleich 450°C, bevorzugt höher als oder gleich 250°C und niedriger als oder gleich 350°C unterzogen; Mn in dem Cu-Mn-Legierungsfilm segregiert an den Grenzflächen des Cu-X-Legierungsfilms **134** zu jedem der Oxidhalbleiterfilme **111** und **115** und des Isolierfilms **121**. Der Bedeckungsfilm **135** kann ein Mn-Oxid, das durch Oxidation des segregierten Mn gebildet wird, oder ein In-Mn-Oxid, ein Ga-Mn-Oxid, ein In-Ga-Mn-Oxid, ein In-Ga-Zn-Mn-Oxid oder dergleichen enthalten, die durch Reaktion zwischen dem segregierten Mn und einem Bestandselement der Oxidhalbleiterfilme **111** und **115** gebildet werden. Der Bedeckungsfilm **135** erhöht die Adhäsion zwischen der Elektrode **113a** und jedem der Oxidhalbleiterfilme **111** und **115**. Des Weiteren wird durch die Segregation von Mn in dem Cu-Mn-Legierungsfilm ein Teil des Cu-Mn-Legierungsfilms zu einem reinen Cu-Film, so dass die Elektrode **113a** eine hohe Leitfähigkeit aufweisen kann.

[0319] Bei der Elektrode **113a** in **Fig. 44B** sind ein leitender Film **136**, ein Cu-X-Legierungsfilm **137** und ein Bedeckungsfilm **138** in dieser Reihenfolge übereinander angeordnet. Der leitende Film **136** kann unter Verwendung eines Metalls, wie z. B. Wolfram oder Titan, oder einer das Metall enthaltenden Legierung ausgebildet werden. Die Materialien für den Cu-X-Legierungsfilm **137** und den Bedeckungsfilm **138** können gleich denjenigen für den Cu-X-Legierungsfilm **134** und den Bedeckungsfilm **135** in **Fig. 44A** sein. Der leitende Film **136** kann die Diffusion von Cu, das in dem Cu-X-Legierungsfilm enthalten ist, in die Oxidhalbleiterfilme **111** und **115** verhindern.

[0320] Die Strukturen, Verfahren und dergleichen, welche bei dieser Ausführungsform beschrieben worden sind, können gegebenenfalls in Kombination mit beliebigen der Strukturen, Verfahren und dergleichen, welche bei den anderen Ausführungsformen und Beispielen beschrieben werden, verwendet werden.

(Ausführungsform 2)

[0321] Bei dieser Ausführungsform wird ein Verfahren zum Verringern von Sauerstofffehlstellen in einem Oxidhalbleiterfilm beschrieben, welches sich von dem Verfahren der Ausführungsform 1 unterscheidet. Diese Ausführungsform unterscheidet sich von der Ausführungsform 1 darin, dass Sauerstoff einem Oxidhalbleiterfilm, der sich über dem Paar von Elektroden **113a** und **113b** befindet, zugesetzt wird.

[0322] Wie in **Fig. 12A** dargestellt, wird die Gate-Elektrode **103** über dem Substrat **101** ausgebildet, und der Isolierfilm **104** wird über der Gate-Elektrode **103** ausgebildet. Dann wird der Oxidhalbleiterfilm **106** über dem Isolierfilm **104** ausgebildet, und der Oxidhalbleiterfilm **109** wird über dem Oxidhalbleiterfilm **106** ausgebildet.

[0323] Als Nächstes wird eine Maske durch einen Lithografieprozess über dem Oxidhalbleiterfilm **109** ausgebildet, und ein Teil des Isolierfilms **104**, ein Teil des Oxidhalbleiterfilms **106** und ein Teil des Oxidhalbleiterfilms **109** werden unter Verwendung der Maske geätzt. Daher werden der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107** und ein Oxidhalbleiterfilm **110a** wie in **Fig. 12B** ausgebildet.

[0324] Als Nächstes kann eine Wärmebehandlung durchgeführt werden, um Wasser, Wasserstoff und dergleichen, welche in dem Oxidhalbleiterfilm **109** enthalten sind, freizusetzen. Diese Wärmebehandlung kann weggelassen werden, und Wasser, Wasserstoff und dergleichen, welche in dem Oxidhalbleiterfilm **109** enthalten sind, können durch eine in einem nachfolgenden Schritt durchzuführende Wärmebehandlung abgegeben werden.

[0325] Als Nächstes wird das Paar von Elektroden **113a** und **113b** über dem Oxidhalbleiterfilm **110a** ausgebildet. Nachdem das Paar von Elektroden **113a** und **113b** ausgebildet worden ist, wird vorzugsweise eine Reinigungsbehandlung durchgeführt, um einen Ätzrückstand zu entfernen. Durch diese Reinigungsbehandlung kann ein Kurzschluss des Pairs von Elektroden **113a** und **113b** unterdrückt werden. Durch die Reinigungsbehandlung wird ein Oxidhalbleiterfilm **111b** ausgebildet, der teilweise geätzt ist (siehe **Fig. 12C**).

[0326] Als Nächstes wird wie in **Fig. 12D** ein Oxidhalbleiterfilm **114** über dem Gate-Isolierfilm **105**, dem Oxidhalbleiterfilm **111b** und dem Paar von Elektroden **113a** und **113b** ausgebildet. Als Nächstes wird Sauerstoff **108** dem Oxidhalbleiterfilm **114** zugesetzt.

[0327] Als der Sauerstoff **108**, der dem Oxidhalbleiterfilm **114** zugesetzt wird, wird mindestens eine Art, ausgewählt aus Sauerstoffradikalen, Sauerstoffatomen, Sauerstoffatomionen, Sauerstoffmolekülonen und dergleichen, verwendet. Als Verfahren zum Zusetzen des Sauerstoffs **108** zu dem Oxidhalbleiterfilm **114** kann ein Ionendotierverfahren, ein Ionenimplantationsverfahren oder dergleichen verwendet werden.

[0328] In dem Fall, in dem Sauerstoff dem Oxidhalbleiterfilm **114** zugesetzt wird, wird vorzugsweise Sauerstoff derart dem Oxidhalbleiterfilm **114** zugesetzt, dass ein Peak des Konzentrationsprofils von Sauerstoffatomionen in dem Oxidhalbleiterfilm **114** positioniert ist. In dem Fall, in dem der Oxidhalbleiterfilm **114** dünn ist, könnte Sauerstoff in den Oxidhalbleiterfilm **111b** eindringen; jedoch können Schäden an dem Oxidhalbleiterfilm **111b** verringert werden, indem Bedingungen verwendet werden, unter denen ein Peak des Konzentrationsprofils von Sauerstoffatomionen in dem Oxidhalbleiterfilm **114** positioniert ist. Mit anderen Worten: Defekte in dem Oxidhalbleiterfilm **111b** können verringert werden, so dass Schwankungen der elektrischen Eigenschaften des Transistors verringert werden können. Des Weiteren können in dem Fall, in dem Sauerstoff dem Oxidhalbleiterfilm **114** derart zugesetzt wird, dass die Menge an zugesetzten Sauerstoffatomen an der Grenzfläche zwischen dem Isolierfilm **104** und dem Oxidhalbleiterfilm **106** kleiner als 1×10^{21} Atome/cm³, kleiner als 1×10^{20} Atome/cm³, oder kleiner als 1×10^{19} Atome/cm³ ist, Schäden an dem Oxidhalbleiterfilm **111b** durch eine nachfolgende Wärmebehandlung verringert werden, wodurch Schwankungen der elektrischen Eigenschaften des Transistors verringert werden können.

[0329] Im Falle der Verwendung eines Ionenimplantationsverfahrens als Verfahren zum Zusetzen des Sauerstoffs **108** können Schäden an dem Oxidhalbleiterfilm **114** verringert werden, indem Sauerstoffmolekülonen als der Sauerstoff **108**, der dem Oxidhalbleiterfilm **114** zugesetzt wird, verwendet werden.

[0330] Sauerstoff kann dem Oxidhalbleiterfilm **114** durch eine Plasmabehandlung, bei der der Oxidhalbleiterfilm **114** einem in einer Sauerstoff enthaltenden Atmosphäre erzeugten Plasma ausgesetzt wird, zugesetzt werden.

[0331] Durch die vorstehenden Schritte kann ein Oxidhalbleiterfilm **114a**, dem Sauerstoff zugesetzt worden ist, wie in **Fig. 13A** ausgebildet werden.

[0332] Als Nächstes wird eine Wärmebehandlung durchgeführt, so dass ein Teil von Sauerstoff in dem Oxidhalbleiterfilm **114a**, dem Sauerstoff zugesetzt worden ist, auf den Oxidhalbleiterfilm **111b** übertragen werden kann; folglich können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111b** verringert werden. Dieser Oxidhalbleiterfilm mit verringerten Sauerstofffehlstellen wird als ein Oxidhalbleiterfilm **111c** in **Fig. 13B** dargestellt. Sauerstofffehlstellen in dem Oxidhalbleiterfilm **114a**, dem Sauerstoff zugesetzt worden ist, können verringert werden. Dieser Oxidhalbleiterfilm wird als ein Oxidhalbleiterfilm **114b** in **Fig. 13B** dargestellt.

[0333] Durch die vorstehenden Schritte können Sauerstofffehlstellen in den Oxidhalbleiterfilmen verringert werden. Die Oxidhalbleiterfilme können eine niedrige Dichte von lokalisierten Zuständen aufweisen.

[0334] Dann wird ein Teil des Oxidhalbleiterfilms **114b** in ähnlicher Weise wie diejenige der Ausführungsform 1 geätzt, so dass ein Oxidhalbleiterfilm **115d** ausgebildet werden kann. Des Weiteren können der Gate-Isolierfilm **117** und die Gate-Elektrode **119** ausgebildet werden. Darüber hinaus können der Isolierfilm **121** und der Isolierfilm **123** ausgebildet werden (siehe **Fig. 13C**).

[0335] Durch die vorstehenden Schritte wird die Dichte von lokalisierten Zuständen der Oxidhalbleiterfilme verringert, und daher kann ein Transistor mit ausgezeichneten elektrischen Eigenschaften hergestellt werden. Darüber hinaus kann ein äußerst zuverlässiger Transistor mit geringen Schwankungen der elektrischen Eigenschaften über die Zeit oder aufgrund eines Belastungstests hergestellt werden.

<Modifikationsbeispiel 1>

[0336] Ein Verfahren zum Zusetzen von Sauerstoff zu dem Oxidhalbleiterfilm **114**, das sich von dem oben beschriebenen Verfahren der Ausführungsform 2 unterscheidet, wird anhand von **Fig. 14A** bis **Fig. 14C** beschrieben.

[0337] Auf ähnliche Weise wie bei der Ausführungsform 2 beschrieben, werden die Gate-Elektrode **103**, der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Oxidhalbleiterfilm **111b**, das Paar von Elektroden **113a** und **113b** und der Oxidhalbleiterfilm **114** über dem Substrat **101** ausgebildet. Als Nächstes wird der Isolierfilm **116** über dem Oxidhalbleiterfilm **114** ausgebildet. Dann wird der Sauerstoff **108** dem Oxidhalbleiterfilm **114** durch den Isolierfilm **116** zugesetzt (siehe **Fig. 14A**).

[0338] Durch eine Plasmabehandlung, bei der der Isolierfilm **116** einem in einer Sauerstoff enthaltenden Atmosphäre erzeugten Plasma ausgesetzt wird, kann Sauerstoff dem Oxidhalbleiterfilm **114** durch den Isolierfilm **116** zugesetzt werden.

[0339] Durch die oben beschriebenen Schritte können der Oxidhalbleiterfilm **114a**, dem Sauerstoff zugesetzt worden ist, und ein Isolierfilm **116a**, dem Sauerstoff zugesetzt worden ist, welche in **Fig. 14B** dargestellt sind, ausgebildet werden.

[0340] Als Nächstes wird eine Wärmebehandlung durchgeführt, so dass ein Teil von Sauerstoff in dem Oxidhalbleiterfilm **114a**, dem Sauerstoff zugesetzt worden ist, und in dem Isolierfilm **116a**, dem Sauerstoff zugesetzt worden ist, auf den Oxidhalbleiterfilm **111b** übertragen werden kann; folglich können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **111b** verringert werden. Dieser Oxidhalbleiterfilm mit verringerten Sauerstofffehlstellen wird als der Oxidhalbleiterfilm **111c** in **Fig. 14C** dargestellt. Sauerstofffehlstellen in dem Oxidhalbleiterfilm **114a**, dem Sauerstoff zugesetzt worden ist, können verringert werden. Dieser Oxidhalbleiterfilm wird als der Oxidhalbleiterfilm **114b** in **Fig. 14C** dargestellt. Defekte in dem Isolierfilm **116a**, dem Sauerstoff zugesetzt worden ist, können verringert werden. Dieser Isolierfilm wird als ein Isolierfilm **116b** in **Fig. 14C** dargestellt.

[0341] Durch die vorstehenden Schritte können Sauerstofffehlstellen in den Oxidhalbleiterfilmen verringert werden. Die Oxidhalbleiterfilme können eine niedrige Dichte von lokalisierten Zuständen aufweisen.

[0342] Dann wird ein Teil des Oxidhalbleiterfilms **114b** in ähnlicher Weise wie diejenige der Ausführungsform 1 geätzt, so dass der Oxidhalbleiterfilm **115a** ausgebildet werden kann. Des Weiteren wird ein Teil des Isolierfilms **116b** geätzt, so dass der Gate-Isolierfilm **117** ausgebildet werden kann. Außerdem kann die Gate-Elektrode **119** ausgebildet werden. Darüber hinaus können der Isolierfilm **121** und der Isolierfilm **123** ausgebildet werden.

[0343] Durch die vorstehenden Schritte wird die Dichte von lokalisierten Zuständen der Oxidhalbleiterfilme verringert, und daher kann ein Transistor mit ausgezeichneten elektrischen Eigenschaften hergestellt werden. Darüber hinaus kann ein äußerst zuverlässiger Transistor mit geringen Schwankungen der elektrischen Eigenschaften über die Zeit oder aufgrund eines Belastungstests hergestellt werden.

[0344] Die Strukturen, Verfahren und dergleichen, welche bei dieser Ausführungsform beschrieben worden sind, können gegebenenfalls in Kombination mit beliebigen der Strukturen, Verfahren und dergleichen, welche bei den anderen Ausführungsformen und Beispielen beschrieben werden, verwendet werden.

(Ausführungsform 3)

[0345] Transistoren, die jeweils eine mehrschichtige Struktur aus Oxidhalbleiterfilmen aufweisen, die sich von derjenigen des Transistors **100** in **Fig. 1A** bis **Fig. 1C** unterscheidet, werden anhand von **Fig. 15A** bis **Fig. 15C** beschrieben.

[0346] Ein Transistor **100f** in **Fig. 15A** unterscheidet sich von dem Transistor **100** in **Fig. 1B** darin, dass er den Oxidhalbleiterfilm **115** nicht beinhaltet. Mit anderen Worten: Der Transistor **100f** wird dadurch gekennzeichnet, dass er den Gate-Isolierfilm **117** beinhaltet, der in Kontakt mit dem Oxidhalbleiterfilm **111**, dem Paar von Elektroden **113a** und **113b** sowie der Gate-Elektrode **119** ist.

[0347] Es sei angemerkt, dass bei einem Verfahren zum Herstellen des Transistors **100f** in **Fig. 15A** das bei der Ausführungsform 1 beschriebene Verfahren zum Ausbilden des Oxidhalbleiterfilms **111** je nach Bedarf verwendet werden kann.

[0348] Ein Transistor **100g** in **Fig. 15B** unterscheidet sich von dem Transistor **100** in **Fig. 1B** darin, dass er den Oxidhalbleiterfilm **107** nicht beinhaltet. Mit anderen Worten: Der Transistor **100g** wird dadurch gekennzeichnet, dass er den Gate-Isolierfilm **105** beinhaltet, der in Kontakt mit der Gate-Elektrode **103** und dem Oxidhalbleiterfilm **111** ist.

[0349] Es sei angemerkt, dass bei einem Verfahren zum Herstellen des Transistors **100g** in **Fig. 15B** das bei der Ausführungsform 2 beschriebene Verfahren zum Ausbilden des Oxidhalbleiterfilms **111** je nach Bedarf verwendet werden kann.

[0350] Ein Transistor **100h** in **Fig. 15C** unterscheidet sich von dem Transistor **100** in **Fig. 1B** darin, dass er einen Oxidhalbleiterfilm **115e** zwischen dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** beinhaltet. Mit anderen Worten: Der Transistor **100h** wird dadurch gekennzeichnet, dass er den Oxidhalbleiterfilm **115e** beinhaltet, der in Kontakt mit dem Oxidhalbleiterfilm **111**, dem Paar von Elektroden **113a** und **113b** sowie dem Gate-Isolierfilm **117** ist. Der Oxidhalbleiterfilm **115e** ist zwischen dem Oxidhalbleiterfilm **111** und dem Paar von Elektroden **113a** und **113b** angeordnet.

[0351] Es sei angemerkt, dass bei einem Verfahren zum Herstellen des Transistors **100h** in **Fig. 15C** das bei der Ausführungsform 1 und/oder der Ausführungsform 2 beschriebene Verfahren zum Ausbilden des Oxidhalbleiterfilms **111** je nach Bedarf verwendet werden kann.

[0352] Die Strukturen, Verfahren und dergleichen, welche bei dieser Ausführungsform beschrieben worden sind, können gegebenenfalls in Kombination mit beliebigen der Strukturen, Verfahren und dergleichen, welche bei den anderen Ausführungsformen und Beispielen beschrieben werden, verwendet werden.

(Ausführungsform 4)

[0353] Bei dieser Ausführungsform werden Defekte, die in einem Oxidhalbleiterfilm eines Transistors und einem Oxidisolierfilm in Kontakt mit dem Oxidhalbleiterfilm enthalten sind, und die Verschlechterung von Transistoreigenschaften beschrieben.

<1. NO_x>

[0354] Zuerst wird Stickstoffoxid (nachstehend NO_x; x ist größer als oder gleich 0 und kleiner als oder gleich 2, bevorzugt größer als oder gleich 1 und kleiner als oder gleich 2), das in dem Oxidisolierfilm in Kontakt mit dem Oxidhalbleiterfilm enthalten ist, beschrieben.

<1-1. Übergangsniveau von NO_x in dem Oxidisolierfilm>

[0355] Zuerst werden Übergangsniveaus von Punktdefekten in einem Feststoff beschrieben. Ein Übergangsniveau bezeichnet den Ladungszustand von Verunreinigungen oder Defekten (nachstehend als Defekt D bezeichnet), die einen Zustand in einer Lücke bilden, und wird aus der Bildungsenergie von Defekten berechnet. Mit anderen Worten: Ein Übergangsniveau ist einem Donatorniveau oder einem Akzeptorniveau ähnlich.

[0356] Die Beziehung zwischen der Bildungsenergie und Übergangsniveaus des Ladungszustandes des Defekts D wird beschrieben. Die Bildungsenergie des Defekts D hängt von dem Ladungszustand und auch von der Fermi-Energie ab. Es sei angemerkt, dass D⁺ einen Zustand bezeichnet, in dem ein Defekt ein Elektron abgibt, D⁻ einen Zustand bezeichnet, in dem ein Defekt ein Elektron einfängt, und D⁰ einen Zustand bezeichnet, in dem kein Elektron übertragen wird.

[0357] Fig. 16A stellt die Beziehung zwischen der Bildungsenergie und dem Übergangsniveau jedes der Defekte D⁺, D⁰ und D⁻ dar. Fig. 16B stellt Elektronenkonfigurationen der Defekte D⁺, D⁰ und D⁻ in dem Fall dar, in dem der Defekt D in einem neutralen Zustand ein Orbital aufweist, das von einem Elektron besetzt wird.

[0358] In Fig. 16A stellt die Punktlinie die Bildungsenergie des Defekts D⁺ dar, die durchgezogene Linie stellt die Bildungsenergie des Defekts D⁰ dar, und die gestrichelte Linie stellt die Bildungsenergie des Defekts D⁻ dar. Das Übergangsniveau bezeichnet die Position des Fermi-Niveaus, auf dem die Bildungsenergien der Defekte D mit unterschiedlichen Ladungszuständen einander gleichen. Die Position des Fermi-Niveaus, auf dem die Bildungsenergie des Defekts D⁺ derjenigen des Defekts D⁰ gleicht (d. h. eine Position, an der die Punktlinie und die durchgezogene Linie kreuzen), wird durch ε(+/0) dargestellt, und die Position des Fermi-Niveaus, auf dem die Bildungsenergie des Defekts D⁰ derjenigen des Defekts D⁻ gleicht (d. h. eine Position, an der die durchgezogene Linie und die gestrichelte Linie kreuzen), wird durch ε(0/-) dargestellt.

[0359] Fig. 17 ist ein konzeptuelles Schema, das den Übergang von Ladungszuständen eines Defekts zeigt, die energetisch stabil sind, wenn das Fermi-Niveau geändert wird. In Fig. 17 stellt die Strich-Zweipunktlinie das Fermi-Niveau dar. Rechte Ansichten der Fig. 17 sind Bandschemata von (1), (2) und (3), die jeweils das Fermi-Niveau in einer linken Ansicht der Fig. 17 darstellen.

[0360] Indem man das Übergangsniveau eines Feststoffs feststellt, wird qualitativ ersichtlich, welcher Ladungszustand ermöglicht, dass ein Defekt auf jedem der Fermi-Niveaus energetisch stabil ist, wenn das Fermi-Niveau als Parameter verwendet wird.

[0361] Als typisches Beispiel für den Oxidisolierfilm in Kontakt mit dem Oxidhalbleiterfilm wurde ein Siliziumoxynitrid-(SiON-)Film verwendet, und das Defektniveau in dem Siliziumoxynitridfilm und ein ESR-Signal, das auf das Defektniveau zurückzuführen ist, wurden durch Berechnung untersucht. Insbesondere wurden Modelle gebildet, in denen NO₂, N₂O, NO und ein N-Atom in die jeweiligen Siliziumoxide (SiO₂) eingeführt wurden, und die Übergangsniveaus von ihnen wurden untersucht, um zu verifizieren, ob NO₂, N₂O, NO und ein N-Atom, die in Siliziumoxid eingeführt wurden, als Einfangstellen für Elektronen des Transistors dienen.

[0362] Bei der Berechnung wurde SiO₂ (c-SiO₂) mit einer Niedertemperaturquarz-(α-Quarz-)Kristallstruktur als Modell verwendet. Ein Kristallmodell von c-SiO₂ ohne Defekte ist in Fig. 18 gezeigt.

[0363] Zuerst wurde eine Strukturoptimierungsrechnung an einem Modell mit 72 Atomen, im Besonderen bezüglich der Gitterkonstanten und der Atomkoordinaten, durchgeführt. Das Modell wurde erhalten, indem die Einheitszellen in allen Achsenrichtungen von c-SiO₂ verdoppelt wurden. Bei der Berechnung wurde eine auf Grundprinzipien beruhende Berechnungs-Software VASP (The Vienna Ab initio Simulation Package) verwendet. Der Effekt eines Innenschalelektrons wurde durch ein „projector augmented wave“- (PAW-)Verfahren berechnet, und als Funktion wurde „Heyd-Scuseria-Ernzerhof (HSE) DFT Hybrid-Faktor (HSE06)“ verwendet. Die Berechnungsbedingungen sind unten gezeigt.

[Tabelle 1]

Software	VASP
Pseudopotential	PAW-Verfahren
Funktion	HSE06
Mischverhältnis der Austauschterme	0,4
Cut-off-Energie	800 eV
k-Punkt	1 × 1 × 1 (Optimierung)
	2 × 2 × 2 (Gesamtenergie)

[0364] Die Bandlücke des c-SiO₂-Modells nach der Strukturoptimierung betrug 8,97 eV, welche nahe an dem experimentellen Wert, 9,0 eV, liegt.

[0365] Als Nächstes wurde die Strukturoptimierungsrechnung an den obigen c-SiO₂-Modellen durchgeführt, in denen NO₂, N₂O, NO und ein N-Atom in Zwischenräume (Zwischengitterplätze) der jeweiligen Kristallstrukturen eingeführt wurden. Die Strukturoptimierungsrechnung wurde an jedem Modell bezüglich der folgenden drei Fälle durchgeführt: eines Falls, in dem das Gesamtmodell positiv einwertig ist (Ladung: +1), eines Falls, in dem das Gesamtmodell elektrisch neutral ist (nullwertig) (Ladung: neutral), und eines Falls, in dem das Gesamtmodell negativ einwertig ist (Ladung: -1). Es sei angemerkt, dass die dem Gesamtmodell erteilten Ladungen, die sich in dem Grundzustand von Elektronen befinden, in Defekten, die NO₂, N₂O, NO und ein N-Atom umfassen, lokalisiert waren.

[0366] Es sind in **Fig. 19** eine Struktur nach der Strukturoptimierungsrechnung und Strukturparameter von NO₂ des Modells gezeigt, in dem NO₂ in einen Zwischengitterplatz in dem c-SiO₂-Modell eingeführt wurde. In **Fig. 19** sind auch Strukturparameter eines NO₂-Moleküls in einem Gaszustand als Bezugsbeispiel gezeigt.

[0367] Es sei angemerkt, dass das Molekül, das nicht elektrisch neutral ist, häufig als Molekülion bezeichnet wird; jedoch ist es im Unterschied zu einem Gaszustand schwierig, die Wertigkeit eines Moleküls zu quantifizieren, da das hier diskutierte Molekül ein Molekül ist, das in ein Kristallgitter eingeführt wird. Daher wird ein Molekül, das nicht elektrisch neutral ist, der Einfachheit halber als Molekül bezeichnet.

[0368] **Fig. 19** zeigt, dass dann, wenn ein NO₂-Molekül eingeführt wird, das NO₂-Molekül in dem Fall, in dem die Ladung des Modells +1 ist, dazu neigt, sich in einer linearen Anordnung zu befinden. **Fig. 19** zeigt auch, dass der Winkel der O-N-O-Bindung des Modells, dessen Ladung -1 ist, kleiner ist als derjenige des Modells, dessen Ladung neutral ist, und der Winkel der O-N-O-Bindung des Modells, dessen Ladung neutral ist, kleiner ist als derjenige des Modells, dessen Ladung +1 ist. Diese Strukturänderung in dem NO₂-Molekül ist fast gleich einer Änderung des Bindungswinkels, wenn die Anzahl der Ladungen von isolierten Molekülen in einer Gasphase geändert wird. Deshalb wird darauf hingedeutet, dass die vorausgesetzten Ladungen fast auf das NO₂-Molekül zurückzuführen sind und dass das NO₂-Molekül in SiO₂ voraussichtlich in einem Zustand existiert, der demjenigen eines isolierten Moleküls ähnlich ist.

[0369] Als Nächstes sind in **Fig. 20** eine Struktur nach der Strukturoptimierungsrechnung und Strukturparameter des N₂O-Moleküls des Modells gezeigt, in dem ein N₂O-Molekül in einen Zwischengitterplatz in dem c-SiO₂-Modell eingeführt wurde. In **Fig. 20** sind auch Strukturparameter des N₂O-Moleküls in einem Gaszustand als Bezugsbeispiel gezeigt.

[0370] **Fig. 20** zufolge befinden sich in dem Fall, in dem die Ladung des Modells +1 ist, und in dem Fall, in dem die Ladung neutral ist, die Strukturen der N₂O-Moleküle beide in einer linearen Anordnung, was bedeutet, dass die N₂O-Moleküle der zwei Fälle die fast gleichen Strukturen aufweisen. Im Gegensatz dazu weist in dem Fall, in dem die Ladung des Modells -1 ist, das N₂O-Molekül eine gebogene Form auf, und der Abstand zwischen N und O ist länger als derjenige in den obigen zwei Fällen. Ein denkbarer Grund dafür ist, dass ein Elektron in das LUMO-Niveau eindringt, das ein π*-Orbital des N₂O-Moleküls ist.

[0371] Als Nächstes sind in **Fig. 21** eine Struktur nach der Strukturoptimierungsrechnung und Strukturparameter des NO-Moleküls des Modells gezeigt, in dem ein NO-Molekül in einen Zwischengitterplatz in dem c-SiO₂-Modell eingeführt wurde.

[0372] Fig. 21 zufolge ist der Abstand zwischen N und O in dem Fall kurz, in dem die Ladung des Modells +1 ist, und der Abstand zwischen N und O ist in dem Fall lang, in dem die Ladung des Modells -1 ist. Diese Neigung tritt voraussichtlich aus dem folgenden Grund auf. In dem Fall, in dem die Ladung des NO-Moleküls in einem Gaszustand +1 ist, ist die Bindungsordnung der N-O-Bindung 3,0. In dem Fall, in dem die Ladung des NO-Moleküls in einem Gaszustand 0 ist, ist die Bindungsordnung 2,5. In dem Fall, in dem die Ladung des NO-Moleküls in einem Gaszustand -1 ist, ist die Bindungsordnung 2,0. Daher ist die Bindungsordnung am größten, wenn die Ladung +1 ist. Deshalb wird davon ausgegangen, dass das NO-Molekül in SiO₂ stabil in einem Zustand existiert, der nahe an demjenigen des isolierten Moleküls ist.

[0373] Dann ist in Fig. 22 eine Struktur nach der Strukturoptimierungsrechnung des Modells gezeigt, in dem ein N-Atom in einen Zwischengitterplatz in dem c-SiO₂-Modell eingeführt wurde.

[0374] Fig. 22 zufolge ist in jedem Ladungszustand das N-Atom, das an Atome in SiO₂ gebunden ist, bezüglich der Energie stabiler als das N-Atom, das als isoliertes Atom in einem Zwischengitterplatz existiert.

[0375] Als Nächstes wurde die Berechnung eines Übergangsniveaus an jedem Modell durchgeführt.

[0376] Das Übergangsniveau $\varepsilon(q/q')$ zum Übergang zwischen dem Zustand der Ladung q und dem Zustand der Ladung q' in einem Modell, das den Defekt D in seiner Struktur aufweist, kann mit der Formel 1 berechnet werden.

[Formel 1]

$$\varepsilon(q/q') = \frac{\Delta E^q - \Delta E^{q'}}{q' - q}$$

$$\Delta E^q = E_{\text{tot}}(D^q) - E_{\text{tot}}(\text{bulk}) + \sum_i n_i \mu_i + q(\varepsilon_{\text{VBM}} + \Delta V_q + E_f)$$

[0377] In der obigen Formel stellt $E_{\text{tot}}(D^q)$ die Gesamtenergie des Modells mit dem Defekt D bei der Ladung q dar, $E_{\text{tot}}(\text{bulk})$ stellt die Gesamtenergie eines Modells ohne Defekte dar, n_i stellt die Anzahl von Atomen i dar, die zu Defekten beitragen, μ_i stellt das chemische Potential eines Atoms i dar, ε_{VBM} stellt die Energie des Maximums des Valenzbandes in dem Modell ohne Defekte dar, ΔV_q stellt den Korrekturterm dar, der das elektrostatische Potential betrifft, und E_f stellt die Fermi-Energie dar.

[0378] Fig. 23 ist ein Bandschema, das die Übergangsniveaus zeigt, die aus der obigen Formel erhalten werden. Als Oxidhalbleiterfilm wird ein In-Ga-Zn-Oxidfilm (nachstehend als IGZO(111) bezeichnet) verwendet, der unter Verwendung eines Metalloxides mit einem Atomverhältnis von In:Ga:Zn = 1:1:1 ausgebildet wird. In Fig. 23 ist, zusätzlich zu den Bandschemata der obigen vier Modelle, ein Bandschema vom IGZO(111) gezeigt. Die Einheit der Werte in Fig. 23 ist „eV“.

[0379] In Fig. 23 stellt der Wert jedes Übergangsniveaus einen Wert dar, der erhalten wird, wenn das Maximum des Valenzbandes von SiO₂ als Basis (0,0 eV) angesehen wird. Obwohl hier ein Bezugswert als Elektronenaffinität von SiO₂ verwendet wurde, wird in einigen Fällen die praktische Positionsbeziehung der Bänder in dem Fall, in dem SiO₂ an das IGZO(111) gebunden wird, durch die Elektronenaffinität von SiO₂ beeinflusst.

[0380] Nachstehend wird das Übergangsniveau, das zwischen einem Zustand, in dem die Ladung des Modells +1 ist, und einem Zustand übergeht, in dem die Ladung des Modells 0 ist, als (+/0) bezeichnet, und das Übergangsniveau, das zwischen einem Zustand, in dem die Ladung des Modells 0 ist, und einem Zustand übergeht, in dem die Ladung des Modells -1 ist, wird als (0/-) bezeichnet.

[0381] Fig. 23 zufolge existieren in dem Modell, in dem ein NO₂-Molekül in SiO₂ eingeführt wurde, zwei Übergangsniveaus, d. h. (+/0) und (0/-), an den Positionen innerhalb der Bandlücke vom IGZO(111), was darauf hindeutet, dass das NO₂-Molekül ein Einfangen und Freisetzen von Elektronen betreffen kann. Sowohl in einem Modell, in dem ein NO-Molekül in SiO₂ eingeführt wurde, als auch in einem Modell, in dem ein N-Atom in SiO₂ eingeführt wurde, existiert das Übergangsniveau von (+/0) an einer Position innerhalb der Bandlücke vom IGZO(111). Im Gegensatz dazu existiert das Übergangsniveau des Modells, in dem ein N₂O-Molekül in SiO₂

eingeführt wurde, außerhalb der Bandlücke vom IGZO(111), und die N_2O -Moleküle existieren voraussichtlich stabil als neutrale Moleküle unabhängig von der Position des Fermi-Niveaus.

[0382] Die obigen Ergebnisse deuten in bedeutender Weise darauf hin, dass interstitielle Moleküle, die Stickstoff enthalten, ein Einfangen und Freisetzen von Elektronen betreffen und ein Faktor einer Verschiebung der Schwellenspannung eines Transistors in positiver Richtung sind, das Übergangsniveau an einer Position aufweisen, die näher an dem Leitungsband innerhalb der Bandlücke vom IGZO(111) liegt. Hier ist ein Molekül mit einem Übergangsniveau an einer Position, die näher an dem Leitungsband innerhalb der Bandlücke vom IGZO(111) liegt, voraussichtlich ein NO_2 -Molekül und/oder ein NO-Molekül.

<1-2. Untersuchung eines ESR-Signals>

[0383] Entsprechend den Berechnungsergebnissen des Übergangsniveaus wurden ESR-Signale von NO_2 -Molekülen berechnet. Zudem wurde ein Modell, in dem ein O-Atom in SiO_2 durch ein N-Atom ersetzt wurde, in ähnlicher Weise wie im obigen Fall untersucht.

[0384] In diesem Fall weist ein N-Atom sieben Elektronen auf, und ein O-Atom weist acht Elektronen auf. Mit anderen Worten: Eine Elektronenstruktur des NO_2 -Moleküls weist eine offene Schale auf. Daher weist das neutrale NO_2 -Molekül ein Einzelelektron auf und kann durch ESR gemessen werden. In dem Fall, in dem ein O-Atom in SiO_2 durch ein N-Atom ersetzt wird, existieren nur zwei Si-Atome um ein N-Atom, und das N-Atom weist eine offene Bindung auf. Daher kann der Fall auch durch ESR gemessen werden. Des Weiteren weist ^{14}N nur einen Kernspin auf, und ein Peak eines ESR-Signals, das ^{14}N betrifft, wird in drei gespalten. Dabei handelt es sich bei der Spaltbreite eines ESR-Signals um eine Hyperfine-Kopplungskonstante.

[0385] Daher wurde eine Berechnung durchgeführt, um zu untersuchen, ob ein Spalten eines ESR-Signals des Oxidisolierfilms in drei durch das NO_2 -Molekül oder das N-Atom, das ein O-Atom in SiO_2 ersetzt, verursacht wird. Wenn eine SiO_2 -Kristallstruktur als Modell verwendet wird, ist der Berechnungsbetrag riesig. Daher wurden in diesem Fall zwei Arten von Modellen von Cluster-Strukturen wie in **Fig. 24A** und **Fig. 24B** verwendet, die Strukturoptimierung wurde an diesen Modellen durchgeführt, und dann wurden g-Faktoren und Hyperfine-Kopplungskonstanten berechnet. **Fig. 24A** zeigt ein Modell eines NO_2 -Moleküls in einem neutralen Zustand, und **Fig. 24B** zeigt ein Cluster-Modell, das eine Si-N-Si-Bindung enthält. Es sei angemerkt, dass das in **Fig. 24B** gezeigte Modell ein Cluster-Modell ist, in dem eine offene Bindung eines Si-Atoms mit einem H-Atom abgeschlossen ist.

[0386] Es wurde eine Amsterdam-Dichtefunktions-(ADF-)Software zur Strukturoptimierung der Modelle und zur Berechnung der g-Faktoren und Hyperfine-Kopplungskonstanten der Modelle, deren Strukturen optimiert worden waren, verwendet. Bei der Strukturoptimierung der Modelle und der Berechnung der g-Faktoren und Hyperfine-Kopplungskonstanten der Modelle, deren Strukturen optimiert worden waren, wurde „GGA:BP“ als Funktion verwendet, und „QZ4P“ wurde als Basisfunktion verwendet, und „None“ wurde als Core-Typ verwendet. Zudem wurde bei der Berechnung der g-Faktoren und Hyperfine-Kopplungskonstanten „Spin-Orbit“ als relativistischer Effekt in Betracht gezogen, und als Berechnungsverfahren von ESR/EPR wurde „g & A-Tensor (full SO)“ verwendet. Die Berechnungsbedingungen sind wie folgt.

[Tabelle 2]

Software	ADF
Basisfunktion	QZ4P
Funktion	GGA-BP
Core-Typ	None
relativistischer Effekt	Spin-Orbit
Berechnungsverfahren von ESR/EPR	g & A-Tensor (full SO)

[0387] Als Ergebnis der Strukturoptimierung betrug im Falle des NO_2 -Moleküls in **Fig. 24A** der Bindungsabstand der N-O-Bindung 0,1205 nm, und der Winkel der O-N-O-Bindung betrug $134,1^\circ$, welche nahe an experimentellen Werten des NO_2 -Moleküls lagen (Bindungsabstand: 0,1197 nm; Bindungswinkel: $134,3^\circ$). Im Falle des Si-N-Si-Cluster-Modells in **Fig. 24B** betrug der Bindungsabstand von Si-N 0,172 nm, und der Winkel der Si-N-Si-Bindung betrug $138,3^\circ$, welche fast gleich dem Bindungsabstand von Si-N (0,170 nm) und dem Winkel der Si-N-Si-Bindung ($139,0^\circ$) bei der Struktur waren, die einer Strukturoptimierung durch eine auf Grundprin-

zipien beruhende Berechnung in einem Zustand unterzogen worden war, in dem ein O-Atom in dem SiO₂-Kristall durch ein N-Atom ersetzt wird.

[0388] Die berechneten g-Faktoren und Hyperfine-Kopplungskonstanten sind nachfolgend gezeigt.

[Tabelle 3]

	g-Faktor				Hyperfine-Kopplungskonstante [mT]			
	g_x	g_y	g_z	g (Durchschnitt)	A_x	A_y	A_z	A (Durchschnitt)
NO ₂	2,0066	1,9884	2,0014	1,9988	4,54	4,49	6,53	5,19
Si-N-Si	2,0021	2,0174	2,0056	2,0084	3,14	-0,61	-0,62	0,64

[0389] Wie oben beschrieben, entspricht die Hyperfine-Kopplungskonstante A dem Abstand zwischen den ESR-Signalen (oder der Spaltbreite eines Peaks). Der Tabelle 3 zufolge ist der Durchschnittswert der Hyperfine-Kopplungskonstante A des NO₂-Moleküls ungefähr 5 mT. Im Falle des Si-N-Si-Cluster-Modells ist nur A_x unter den Hyperfine-Kopplungskonstanten A ein positiver Wert, der ungefähr 3 mT ist. **Fig. 45A** und **Fig. 45B** zeigen die ESR-Spektren von NO₂ bzw. Si-N-Si, welche aus dem g-Faktor und der Hyperfine-Kopplungskonstante A berechnet werden.

[0390] Aus diesem Ergebnis wird das ESR-Spektrum, das drei Signale, eine Hyperfine-Strukturkonstante von ungefähr 5 mT und einen g-Faktor von ungefähr 2 aufweist, welche durch eine ESR-Messung mittels eines X-Bandes erhalten werden, voraussichtlich aufgrund eines NO₂-Moleküls in einem SiO₂-Kristall erhalten. Unter den drei Signalen ist der g-Faktor des mittleren Signals ungefähr 2.

<1-3. Untersuchung des Verschlechterungsmechanismus eines Transistors>

[0391] Ein Mechanismus für ein Phänomen, dass die Schwellenspannung eines Transistors in positiver Richtung bei einem positiven Gate-BT-Belastungstest (+GBT) verschoben wird, wird basierend auf den vorstehenden Ergebnissen nachstehend untersucht.

[0392] Der Mechanismus wird anhand von **Fig. 25** untersucht. **Fig. 25** stellt eine Struktur dar, bei der ein Siliziumoxynitridfilm (SiON-Film), ein Oxidhalbleiterfilm (OS), ein Gate-Isolierfilm (GI) und ein Gate (GE) in dieser Reihenfolge übereinander angeordnet sind. Hier wird ein Fall beschrieben, in dem der Siliziumoxynitridfilm SiON, der an der Rückkanalseite des Oxidhalbleiterfilms (OS) positioniert ist, Stickstoffoxid enthält.

[0393] Zuerst werden dann, wenn der positive Gate-BT-Belastungstest (+GBT) an dem Transistor durchgeführt wird, die Elektronendichten des Oxidhalbleiterfilms OS an der Seite des Gate-Isolierfilms GI und an der Seite des Siliziumoxynitridfilms SiON höher. Bei dem Oxidhalbleiterfilm OS weist die Seite des Siliziumoxynitridfilms SiON eine niedrigere Elektronendichte auf als die Seite des Gate-Isolierfilms GI. Wenn ein NO₂-Molekül oder ein NO-Molekül in dem Siliziumoxynitridfilm SiON in die Grenzfläche zwischen dem Gate-Isolierfilm GI und dem Oxidhalbleiterfilm OS sowie in die Grenzfläche zwischen dem Oxidhalbleiterfilm OS und dem Siliziumoxynitridfilm SiON diffundiert, werden Elektronen an der Seite des Gate-Isolierfilms GI und der Rückkanalseite, die durch den positiven Gate-BT-Belastungstest (+GBT) angeregt werden, eingefangen. Folglich verbleiben die eingefangenen Elektronen in der Nähe der Grenzfläche zwischen dem Gate-Isolierfilm GI und dem Oxidhalbleiterfilm OS sowie an der Grenzfläche zwischen dem Oxidhalbleiterfilm OS und dem Siliziumoxynitridfilm SiON; daher wird die Schwellenspannung des Transistors in positiver Richtung verschoben.

[0394] Das heißt, dass eine niedrigere Konzentration von Stickstoffoxid, das in dem Siliziumoxynitridfilm in Kontakt mit dem Oxidhalbleiterfilm enthalten ist, eine Änderung der Schwellenspannung des Transistors unterdrückt. Als konkrete Beispiele für den Siliziumoxynitridfilm in Kontakt mit dem Oxidhalbleiterfilm können hier der Schutzfilm in Kontakt mit der Rückkanalseite, der Gate-Isolierfilm und dergleichen angegeben werden. Indem der Siliziumoxynitridfilm, der eine sehr kleine Menge an Stickstoffoxid enthält, in Kontakt mit dem Oxidhalbleiterfilm bereitgestellt wird, kann der Transistor eine ausgezeichnete Zuverlässigkeit aufweisen.

(Ausführungsform 5)

<Struktur des Oxidhalbleiters>

[0395] Eine Struktur eines Oxidhalbleiters wird nachstehend beschrieben.

[0396] Ein Oxidhalbleiter wird in einen einkristallinen Oxidhalbleiter und in einen nicht-einkristallinen Oxidhalbleiter eingeteilt. Beispiele für einen nicht-einkristallinen Oxidhalbleiter umfassen einen kristallinen Oxidhalbleiter mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystalline oxide semiconductor, CAAC-OS), einen polykristallinen Oxidhalbleiter, einen nanokristallinen Oxidhalbleiter (nanocrystalline oxide semiconductor, nc-OS), einen amorphähnlichen Oxidhalbleiter (amorphous-like oxide semiconductor, a-like OS bzw. a-ähnlichen OS) und einen amorphen Oxidhalbleiter.

[0397] Aus einer anderen Sicht wird ein Oxidhalbleiter in einen amorphen Oxidhalbleiter und in einen kristallinen Oxidhalbleiter eingeteilt. Beispiele für einen kristallinen Oxidhalbleiter umfassen einen einkristallinen Oxidhalbleiter, einen CAAC-OS, einen polykristallinen Oxidhalbleiter und einen nc-OS.

[0398] Es ist bekannt, dass eine amorphe Struktur im Allgemeinen wie folgt definiert ist: Sie ist metastabil und nicht fixiert, isotrop und weist keine ungleichmäßige Struktur auf. Mit anderen Worten: Eine amorphe Struktur weist einen flexiblen Bindungswinkel und eine Nahordnung jedoch keine Fernordnung auf.

[0399] Das heißt, dass man einen grundsätzlich stabilen Oxidhalbleiter nicht als vollständig amorphen Oxidhalbleiter ansehen kann. Außerdem kann man einen Oxidhalbleiter, der nicht isotrop ist (z. B. einen Oxidhalbleiter, der in einem mikroskopischen Bereich eine periodische Struktur aufweist), nicht als vollständig amorphen Oxidhalbleiter ansehen. Es sei angemerkt, dass ein a-ähnlicher OS eine periodische Struktur in einem mikroskopischen Bereich aufweist, aber gleichzeitig einen Hohlraum (void) enthält und eine instabile Struktur aufweist. Aus diesem Grund weist ein a-ähnlicher OS physikalische Eigenschaften auf, die denjenigen eines amorphen Oxidhalbleiters ähnlich sind.

<CAAC-OS>

[0400] Zuerst wird ein CAAC-OS beschrieben.

[0401] Der CAAC-OS ist einer von Oxidhalbleitern, die eine Vielzahl von Kristallteilen mit Ausrichtung bezüglich der c-Achse aufweisen (auch als Pellets bezeichnet).

[0402] In einem kombinierten Analysebild (auch als hochauflösendes TEM-Bild bezeichnet) aus einem Hellfeldbild und einem Beugungsbild eines CAAC-OS, welches mit einem Transmissionselektronenmikroskop (TEM) aufgenommen wird, kann eine Vielzahl von Pellets beobachtet werden. Im hochauflösenden TEM-Bild wird jedoch eine Grenze zwischen Pellets, d. h. eine Korngrenze, nicht deutlich beobachtet. Folglich ist weniger wahrscheinlich, dass in dem CAAC-OS eine Verringerung der Elektronenbeweglichkeit wegen der Korngrenze auftritt.

[0403] Im Folgenden wird ein CAAC-OS, der mit TEM beobachtet wird, beschrieben. **Fig. 47A** zeigt ein hochauflösendes TEM-Bild eines Querschnitts des CAAC-OS, der aus einer Richtung beobachtet wird, die im Wesentlichen parallel zur Probenoberfläche ist. Das hochauflösende TEM-Bild wird mittels einer Funktion zum Korrigieren einer sphärischen Aberration erhalten. Das hochauflösende TEM-Bild, das mittels einer Funktion zum Korrigieren einer sphärischen Aberration erhalten wird, wird insbesondere als Cs-korrigiertes hochauflösendes TEM-Bild bezeichnet. Das Cs-korrigierte hochauflösende TEM-Bild kann beispielsweise mit einem Analyse-Elektronenmikroskop mit atomarer Auflösung (atomic resolution analytical electron microscope) JEM-ARM200F, hergestellt von JEOL Ltd., aufgenommen werden.

[0404] **Fig. 47B** ist ein vergrößertes Cs-korrigiertes hochauflösendes TEM-Bild eines Bereichs (1) in **Fig. 47A**. **Fig. 47B** zeigt, dass Metallatome in übereinander angeordneter Weise in einem Pellet angeordnet sind. Jede Metallatomlage weist eine Konfiguration auf, die eine Unebenheit einer Oberfläche, über der ein CAAC-OS-Film ausgebildet ist (die Oberfläche wird nachstehend als Bildungsoberfläche bezeichnet), oder eine Unebenheit einer nach oben weisenden Oberfläche des CAAC-OS-Films widerspiegelt, und jede Metallatomlage ist parallel zu der Bildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS-Films angeordnet.

[0405] Der CAAC-OS weist, wie in **Fig. 47B** gezeigt, eine charakteristische Atomanordnung auf. Die charakteristische Atomanordnung wird durch eine Hilfslinie in **Fig. 47C** dargestellt. Aus **Fig. 47B** und **Fig. 47C** kann man ablesen, dass die Größe eines Pellets größer als oder gleich 1 nm, oder größer als oder gleich 3 nm ist und dass die Größe eines Raums, der durch die Neigung der Pellets hervorgerufen wird, ca. 0,8 nm ist. Deshalb kann das Pellet auch als Nanokristall (nanocrystal, nc) bezeichnet werden. Des Weiteren kann der CAAC-OS auch als Oxidhalbleiter, der Nanokristalle mit Ausrichtung bezüglich der c-Achse (c-axis aligned nanocrystal, CANC) enthält, bezeichnet werden.

[0406] Nach den Cs-korrigierten hochauflösenden TEM-Bildern wird hier die schematische Anordnung von Pellets **5100** eines CAAC-OS über einem Substrat **5120** als solche Struktur abgebildet, bei der Ziegel oder Blöcke angeordnet sind (siehe **Fig. 47D**). Der Teil, in dem sich, wie in **Fig. 47C** beobachtet, die Pellets neigen, entspricht einem Bereich **5161** in **Fig. 47D**.

[0407] **Fig. 48A** zeigt ein Cs-korrigiertes hochauflösendes TEM-Bild einer Fläche des CAAC-OS, der aus einer Richtung im Wesentlichen senkrecht zur Probenoberfläche beobachtet wird. **Fig. 48B**, **Fig. 48C** und **Fig. 48D** sind vergrößerte Cs-korrigierte hochauflösende TEM-Bilder von Bereichen (1), (2) bzw. (3) in **Fig. 48A**. **Fig. 48B**, **Fig. 48C** und **Fig. 48D** zeigen auf, dass Metallatome in einer dreieckigen, viereckigen oder sechseckigen Konfiguration in einem Pellet angeordnet sind. Zwischen verschiedenen Pellets gibt es jedoch keine Regelmäßigkeit der Anordnung der Metallatome.

[0408] Als Nächstes wird ein CAAC-OS, der durch Röntgenstrahlbeugung (X-ray diffraction, XRD) analysiert wird, beschrieben. Wenn beispielsweise die Struktur eines CAAC-OS, der einen InGaZnO_4 -Kristall enthält, durch ein Out-of-Plane-Verfahren (out-of-plane method) analysiert wird, erscheint ein Peak bei einem Beugungswinkel (2θ) von ca. 31° , wie in **Fig. 49A** gezeigt. Dieser Peak stammt aus der (009)-Fläche des InGaZnO_4 -Kristalls, was darauf hindeutet, dass Kristalle in dem CAAC-OS eine Ausrichtung bezüglich der c-Achse aufweisen und dass die c-Achsen in einer Richtung im Wesentlichen senkrecht zu der Bildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS ausgerichtet sind.

[0409] Es sei angemerkt, dass bei der Strukturanalyse des CAAC-OS durch ein Out-of-Plane-Verfahren, neben dem Peak bei 2θ von ca. 31° ein weiterer Peak erscheinen kann, wenn 2θ bei ca. 36° liegt. Der Peak bei 2θ von ca. 36° deutet darauf hin, dass ein Kristall ohne Ausrichtung bezüglich der c-Achse in einem Teil des CAAC-OS enthalten ist. Es wird bevorzugt, dass in dem durch ein Out-of-Plane-Verfahren analysierten CAAC-OS ein Peak erscheint, wenn 2θ bei ca. 31° liegt, und dass kein Peak erscheint, wenn 2θ bei ca. 36° liegt.

[0410] Andererseits erscheint bei der Strukturanalyse des CAAC-OS durch ein In-Plane-Verfahren (in-plane method), bei dem ein Röntgenstrahl auf eine Probe in einer Richtung im Wesentlichen senkrecht zur c-Achse einfällt, ein Peak, wenn 2θ bei ca. 56° liegt. Dieser Peak stammt aus der (110)-Fläche des InGaZnO_4 -Kristalls. Wenn im Falle des CAAC-OS eine Analyse (ϕ -Scan) durchgeführt wird, wobei 2θ auf ca. 56° festgelegt wird und die Probe unter Verwendung eines Normalenvektors der Probenoberfläche als Achse (ϕ -Achse) gedreht wird, wird kein deutlicher Peak beobachtet, wie in **Fig. 49B** gezeigt. Im Gegensatz dazu werden im Falle eines einkristallinen Oxidhalbleiters aus InGaZnO_4 , wie in **Fig. 49C** gezeigt, sechs Peaks, die aus den der (110)-Fläche entsprechenden Kristallflächen stammen, beobachtet, wenn ein ϕ -Scan durchgeführt wird, wobei 2θ auf ca. 56° festgelegt wird. Folglich zeigt die Strukturanalyse mit XRD, dass die Richtungen der a-Achsen und b-Achsen in dem CAAC-OS unregelmäßig orientiert sind.

[0411] Als Nächstes wird ein CAAC-OS, der durch Elektronenbeugung analysiert wird, beschrieben. Wenn beispielsweise ein Elektronenstrahl mit einem Probendurchmesser von 300 nm in einer Richtung, die parallel zur Probenoberfläche ist, auf einen CAAC-OS, der einen InGaZnO_4 -Kristall enthält, einfällt, könnte ein Beugungsbild (auch als Feinbereichs-(selected-area)Transmissionselektronenbeugungsbild bezeichnet), das in **Fig. 50A** gezeigt ist, erhalten werden. In diesem Beugungsbild sind Punkte enthalten, die auf die (009)-Fläche eines InGaZnO_4 -Kristalls zurückzuführen sind. Daher deutet die Elektronenbeugung auch darauf hin, dass Pellets, die in dem CAAC-OS enthalten sind, eine Ausrichtung bezüglich der c-Achse aufweisen und dass die c-Achsen in einer Richtung im Wesentlichen senkrecht zu der Bildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS ausgerichtet sind. Währenddessen zeigt **Fig. 50B** ein Beugungsbild, das erhalten wird, indem ein Elektronenstrahl mit einem Probendurchmesser von 300 nm in einer Richtung senkrecht zur Probenoberfläche auf dieselbe Probe einfällt. Wie in **Fig. 50B** gezeigt, wird ein ringförmiges Beugungsbild beobachtet. Daher deutet die Elektronenbeugung auch darauf hin, dass die a-Achsen und b-Achsen der Pellets, die in dem CAAC-OS enthalten sind, keine regelmäßige Ausrichtung aufweisen. Es wird davon ausgegangen, dass der erste Ring in **Fig. 50B** aus der (010)-Fläche, der (100)-Fläche und dergleichen

des InGaZnO_4 -Kristalls stammt. Es wird davon ausgegangen, dass der zweite Ring in **Fig. 50B** aus der (110)-Fläche und dergleichen stammt.

[0412] Wie oben beschrieben, handelt es sich bei dem CAAC-OS um einen Oxidhalbleiter mit hoher Kristallinität. Das Eindringen von Verunreinigungen, die Bildung von Defekten oder dergleichen könnte die Kristallinität eines Oxidhalbleiters verringern. Dies bedeutet, dass der CAAC-OS eine geringe Menge an Verunreinigungen und eine geringe Menge an Defekten (z. B. Sauerstofffehlstellen) aufweist.

[0413] Es sei angemerkt, dass die Verunreinigung ein Element, das verschieden von den Hauptkomponenten des Oxidhalbleiters ist, wie z. B. Wasserstoff, Kohlenstoff, Silizium oder ein Übergangsmetallelement, bezeichnet. Beispielsweise extrahiert ein Element (insbesondere Silizium oder dergleichen), das eine höhere Bindungsstärke an Sauerstoff aufweist als ein in einem Oxidhalbleiter enthaltenes Metallelement, Sauerstoff aus dem Oxidhalbleiter, was eine Unordnung der Atomanordnung und eine reduzierte Kristallinität des Oxidhalbleiters zur Folge hat. Ein Schwermetall, wie z. B. Eisen oder Nickel, Argon, Kohlenstoffdioxid oder dergleichen weist einen großen Atomradius (oder molekularen Radius) auf und stört daher die Atomanordnung des Oxidhalbleiters und reduziert die Kristallinität.

[0414] Die Eigenschaften eines Oxidhalbleiters, der Verunreinigungen oder Defekte enthält, könnten durch Licht, Hitze oder dergleichen verändert werden. Verunreinigungen, die in dem Oxidhalbleiter enthalten sind, könnten beispielsweise als Einfangstellen für Ladungsträger oder als Ladungsträgererzeugungsquellen dienen. Darüber hinaus dienen Sauerstofffehlstellen in dem Oxidhalbleiter als Einfangstellen für Ladungsträger oder als Ladungsträgererzeugungsquellen, wenn Wasserstoff dorthin eingefangen wird.

[0415] Der CAAC-OS, der eine geringe Menge an Verunreinigungen und eine geringe Menge an Sauerstofffehlstellen aufweist, ist ein Oxidhalbleiter mit niedriger Ladungsträgerdichte. Ein derartiger Oxidhalbleiter wird als hochreiner intrinsischer oder im Wesentlichen hochreiner intrinsischer Oxidhalbleiter bezeichnet. Ein CAAC-OS weist eine niedrige Verunreinigungskonzentration und eine niedrige Dichte der Defektzustände auf. Deshalb kann der CAAC-OS als Oxidhalbleiter mit stabilen Eigenschaften bezeichnet werden.

<nc-OS>

[0416] Als Nächstes wird ein nc-OS beschrieben.

[0417] In einem hochauflösenden TEM-Bild weist ein nc-OS einen Bereich, in dem ein Kristallteil beobachtet wird, und einen Bereich auf, in dem ein Kristallteil nicht deutlich beobachtet wird. In den meisten Fällen ist die Größe eines Kristallteils, der in dem nc-OS enthalten ist, größer als oder gleich 1 nm und kleiner als oder gleich 10 nm, oder größer als oder gleich 1 nm und kleiner als oder gleich 3 nm. Es sei angemerkt, dass ein Oxidhalbleiter mit einem Kristallteil, dessen Größe größer als 10 nm und kleiner als oder gleich 100 nm ist, mitunter als mikrokristalliner Oxidhalbleiter bezeichnet wird. In einem hochauflösenden TEM-Bild des nc-OS wird beispielsweise eine Korngrenze in einigen Fällen nicht deutlich beobachtet. Es sei angemerkt, dass es eine Möglichkeit gibt, dass der Ursprung des Nanokristalls gleich demjenigen eines Pellets in einem CAAC-OS ist. Ein Kristallteil des nc-OS kann deshalb in der folgenden Beschreibung als Pellet bezeichnet werden.

[0418] In dem nc-OS weist ein mikroskopischer Bereich (zum Beispiel ein Bereich mit einer Größe von größer als oder gleich 1 nm und kleiner als oder gleich 10 nm, im Besonderen ein Bereich mit einer Größe von größer als oder gleich 1 nm und kleiner als oder gleich 3 nm) eine periodische Atomanordnung auf. Es gibt keine Regelmäßigkeit der Kristallorientierung zwischen verschiedenen Pellets in dem nc-OS. Daher wird keine Orientierung des ganzen Films beobachtet. Deshalb kann man den nc-OS in Abhängigkeit von einem Analyseverfahren nicht von einem a-ähnlichen OS oder einem amorphen Oxidhalbleiter unterscheiden. Wenn beispielsweise der nc-OS durch ein Out-of-Plane-Verfahren unter Verwendung eines Röntgenstrahls mit einem Durchmesser analysiert wird, der größer ist als die Größe eines Pellets, erscheint kein Peak, der eine Kristallfläche zeigt. Außerdem wird ein Halo-Muster (halo pattern) ähnliches Beugungsbild beobachtet, wenn der nc-OS einer Elektronenbeugung mittels eines Elektronenstrahls mit einem Probendurchmesser (z. B. 50 nm oder größer), der größer ist als die Größe eines Pellets, unterzogen wird. Währenddessen erscheinen Punkte in einem Nanostrahl-Elektronenbeugungsbild (nanobeam electron diffraction pattern) des nc-OS, wenn ein Elektronenstrahl mit einem Probendurchmesser, der nahe der oder kleiner als die Größe eines Pellets ist, angewendet wird. In einem Nanostrahl-Elektronenbeugungsbild des nc-OS sind außerdem in einigen Fällen Bereiche mit hoher Leuchtdichte in Kreisform (Ringform) gezeigt. Auch in einem Nanostrahl-Elektronenbeugungsbild des nc-OS ist in einigen Fällen eine Vielzahl von Punkten in einem ringförmigen Bereich gezeigt.

[0419] Da es, wie zuvor beschrieben, keine Regelmäßigkeit der Kristallorientierung zwischen den Pellets (Nanokristallen) gibt, kann der nc-OS auch als Oxidhalbleiter, der ungeordnet ausgerichtete Nanokristalle (random aligned nanocrystals, RANC) enthält, oder als Oxidhalbleiter, der nicht ausgerichtete Nanokristalle (non-aligned nanocrystals, NANC) enthält, bezeichnet werden.

[0420] Der nc-OS ist ein Oxidhalbleiter, der im Vergleich zu einem amorphen Oxidhalbleiter eine hohe Regelmäßigkeit aufweist. Deshalb ist es wahrscheinlich, dass der nc-OS eine niedrigere Dichte der Defektzustände aufweist als ein a-ähnlicher OS und ein amorpher Oxidhalbleiter. Es sei angemerkt, dass es keine Regelmäßigkeit der Kristallorientierung zwischen verschiedenen Pellets in dem nc-OS gibt. Daher weist der nc-OS eine höhere Dichte der Defektzustände auf als der CAAC-OS.

<a-ähnlicher OS>

[0421] Ein a-ähnlicher OS weist eine Struktur auf, die zwischen derjenigen des nc-OS und derjenigen des amorphen Oxidhalbleiters liegt.

[0422] In einem hochauflösenden TEM-Bild des a-ähnlichen OS kann ein Hohlraum beobachtet werden. Darüber hinaus bestehen im hochauflösenden TEM-Bild ein Bereich, in dem ein Kristallteil deutlich beobachtet wird, und ein Bereich, in dem kein Kristallteil beobachtet wird.

[0423] Der a-ähnliche OS weist eine instabile Struktur auf, da er einen Hohlraum enthält. Um zu verifizieren, dass ein a-ähnlicher OS eine instabile Struktur im Vergleich zu einem CAAC-OS und einem nc-OS aufweist, wird eine Veränderung der Struktur, die durch Elektronenbestrahlung verursacht wird, im Folgenden beschrieben.

[0424] Ein a-ähnlicher OS (als Probe A bezeichnet), ein nc-OS (als Probe B bezeichnet) und ein CAAC-OS (als Probe C bezeichnet) werden als Proben, die einer Elektronenbestrahlung unterzogen werden, vorbereitet. Jede der Proben ist ein In-Ga-Zn-Oxid.

[0425] Zuerst wird ein hochauflösendes Querschnitts-TEM-Bild jeder Probe aufgenommen. Die hochauflösenden Querschnitts-TEM-Bilder zeigen, dass alle Proben Kristallteile aufweisen.

[0426] Es sei angemerkt, dass es wie folgt bestimmt wird, welcher Teil als Kristallteil angesehen wird. Es ist bekannt, dass eine Einheitszelle eines InGaZnO_4 -Kristalls eine Struktur aufweist, bei der neun Schichten, d. h. drei In-O-Schichten und sechs Ga-Zn-O-Schichten, in der Richtung der c-Achse angeordnet sind. Der Abstand zwischen den benachbarten Schichten ist gleich dem Gitterabstand auf der (009)-Fläche (auch als d-Wert (d value) bezeichnet). Der Wert berechnet sich aus einer Kristallstrukturanalyse zu 0,29 nm. Daher wird ein Abschnitt, in dem der Gitterabstand zwischen Gitter-Randzonen größer als oder gleich 0,28 nm und kleiner als oder gleich 0,30 nm ist, als Kristallteil von InGaZnO_4 angesehen. Jede Gitter-Randzone entspricht der a-b-Fläche des InGaZnO_4 -Kristalls.

[0427] Fig. 51 zeigt die Veränderung der durchschnittlichen Größe von Kristallteilen (an 22 Punkten bis 45 Punkten) in jeder Probe. Es sei angemerkt, dass die Größe eines Kristallteils der Länge einer Gitter-Randzone entspricht. Fig. 51 deutet darauf hin, dass die Größe eines Kristallteils in dem a-ähnlichen OS mit einer Zunahme der kumulativen Elektronendosis zunimmt. Insbesondere wächst, wie durch (1) in Fig. 51 gezeigt, ein Kristallteil, der am Anfang der TEM-Beobachtung ca. 1,2 nm misst (auch als anfänglicher Kern (initial nucleus) bezeichnet), bis zu einer Größe von ca. 2,6 nm bei einer kumulativen Elektronendosis von $4,2 \times 10^8 \text{ e}^-/\text{nm}^2$. Die Größe eines Kristallteils in dem nc-OS und dem CAAC-OS verändert sich im Gegensatz dazu in nur geringem Maße vom Anfang der Elektronenbestrahlung bis zu einer kumulativen Elektronendosis von $4,2 \times 10^8 \text{ e}^-/\text{nm}^2$. Insbesondere sind, wie durch (2) und (3) in Fig. 51 gezeigt, die durchschnittlichen Kristallgrößen in einem nc-OS und einem CAAC-OS ca. 1,4 nm bzw. ca. 2,1 nm, unabhängig von der kumulativen Elektronendosis.

[0428] Auf diese Weise wird das Wachstum des Kristallteils in dem a-ähnlichen OS durch Elektronenbestrahlung angeregt. In dem nc-OS und dem CAAC-OS wird im Gegensatz dazu das Wachstum des Kristallteils durch Elektronenbestrahlung kaum angeregt. Deshalb weist der a-ähnliche OS eine instabile Struktur auf im Vergleich zu dem nc-OS und dem CAAC-OS.

[0429] Der a-ähnliche OS weist eine niedrigere Dichte auf als der nc-OS und der CAAC-OS, da er einen Hohlraum enthält. Die Dichte des a-ähnlichen OS ist insbesondere höher als oder gleich 78,6% und niedriger als 92,3% der Dichte des einkristallinen Oxidhalbleiters mit der gleichen Zusammensetzung. Die Dichte des nc-

OS und die Dichte des CAAC-OS sind jeweils höher als oder gleich 92,3% und niedriger als 100% der Dichte des einkristallinen Oxidhalbleiters mit der gleichen Zusammensetzung. Es ist schwierig, einen Oxidhalbleiter mit einer Dichte, die niedriger als 78% der Dichte des einkristallinen Oxidhalbleiters ist, abzuscheiden.

[0430] Im Falle eines Oxidhalbleiters mit einem Atomverhältnis In:Ga:Zn = 1:1:1 ist beispielsweise die Dichte eines Einkristalls InGaZnO_4 mit einer rhomboedrischen Kristallstruktur $6,357 \text{ g/cm}^3$. Dementsprechend ist im Falle des Oxidhalbleiters mit einem Atomverhältnis In:Ga:Zn = 1:1:1 die Dichte des a-ähnlichen OS höher als oder gleich $5,0 \text{ g/cm}^3$ und niedriger als $5,9 \text{ g/cm}^3$. Im Falle des Oxidhalbleiters mit einem Atomverhältnis In:Ga:Zn = 1:1:1 sind beispielsweise die Dichte des nc-OS und die Dichte des CAAC-OS jeweils höher als oder gleich $5,9 \text{ g/cm}^3$ und niedriger als $6,3 \text{ g/cm}^3$.

[0431] Es sei angemerkt, dass es eine Möglichkeit gibt, dass ein Oxidhalbleiter mit einer gewissen Zusammensetzung in einer einkristallinen Struktur nicht existieren kann. In diesem Fall werden einkristalline Oxidhalbleiter mit verschiedenen Zusammensetzungen in einem angemessenen Verhältnis kombiniert, was ermöglicht, die Dichte, die derjenigen eines einkristallinen Oxidhalbleiters mit der gewünschten Zusammensetzung entspricht, zu berechnen. Die Dichte eines einkristallinen Oxidhalbleiters mit der gewünschten Zusammensetzung kann aus einem gewichteten Durchschnitt entsprechend dem Kombinationsverhältnis der einkristallinen Oxidhalbleiter mit verschiedenen Zusammensetzungen berechnet werden. Es sei angemerkt, dass es bevorzugt wird, möglichst wenige Arten von einkristallinen Oxidhalbleitern für die Berechnung der Dichte zu verwenden.

[0432] Wie oben beschrieben, weisen Oxidhalbleiter verschiedene Strukturen und verschiedene Eigenschaften auf. Es sei angemerkt, dass es sich bei einem Oxidhalbleiter um eine Schichtanordnung handeln kann, die beispielsweise zwei oder mehr Filme von einem amorphen Oxidhalbleiter, einem a-ähnlichen OS, einem nc-OS und einem CAAC-OS umfasst.

[0433] Die Strukturen, Verfahren und dergleichen, welche bei dieser Ausführungsform beschrieben worden sind, können gegebenenfalls in Kombination mit beliebigen der Strukturen, Verfahren und dergleichen, welche bei den anderen Ausführungsformen und Beispielen beschrieben werden, verwendet werden.

(Ausführungsform 6)

[0434] Bei dieser Ausführungsform wird ein Beispiel für eine Halbleitervorrichtung (Speichervorrichtung), die einen Transistor einer Ausführungsform der vorliegenden Erfindung beinhaltet, gespeicherte Daten auch ohne Stromversorgung halten kann und keine Beschränkung hinsichtlich der Anzahl der Schreibvorgänge hat, unter Bezugnahme auf die Zeichnungen beschrieben.

[0435] Fig. 26A ist eine Querschnittsansicht einer Halbleitervorrichtung, und Fig. 26B ist ein Schaltplan einer Speicherzelle **760**, die in der Halbleitervorrichtung enthalten ist.

[0436] Die Halbleitervorrichtung in Fig. 26A und Fig. 26B beinhaltet in einem unteren Teil einen Transistor **750**, der ein Substrat **700** umfasst, und in einem oberen Teil einen Transistor **200**, der einen Oxidhalbleiter enthält, und einen Kondensator **230**.

[0437] Als das Substrat **700** kann ein einkristallines Halbleitersubstrat oder ein polykristallines Halbleitersubstrat aus Silizium oder Siliziumkarbid, ein Verbindungshalbleitersubstrat aus Siliziumgermanium, ein Silizium-auf-Isolator-(silicon on insulator, SOI-)Substrat oder dergleichen verwendet werden. Ein unter Verwendung eines Halbleitersubstrats hergestellter Transistor kann auf einfache Weise mit hoher Geschwindigkeit arbeiten.

[0438] Bei dieser Ausführungsform wird ein Beispiel beschrieben, in dem ein einkristallines n-Typ-Siliziumsubstrat als das Substrat **700** verwendet wird. Der Transistor **750** ist ein Transistor, dessen Kanal in dem Substrat **700** gebildet wird. Der Transistor **750** beinhaltet einen Kanalbildungsbereich **753**, p-Typ-Verunreinigungsbereiche **754**, die als leicht dotierte Drain-(LDD-)Bereiche oder Erweiterungsbereiche dienen, p-Typ-Verunreinigungsbereiche **755**, die als Source-Bereich und Drain-Bereich dienen, einen Gate-Isolierfilm **752** und eine Gate-Elektrode **751**. Die p-Typ-Verunreinigungsbereiche **755** weisen eine höhere Verunreinigungskonzentration auf als die p-Typ-Verunreinigungsbereiche **754**. Eine Seitenfläche der Gate-Elektrode **751** ist mit einem Seitenwand-Isolierfilm **756** versehen. Unter Verwendung der Gate-Elektrode **751** und des Seitenwand-Isolierfilms **756** als Masken können die p-Typ-Verunreinigungsbereiche **754** und die p-Typ-Verunreinigungsbereiche **755** selbstjustiert ausgebildet werden.

[0439] Der Transistor **750** ist von anderen Transistoren **750**, die auf dem Substrat **700** ausgebildet sind, durch einen Elementtrennungsbereich **789** getrennt. Des Weiteren sind ein Isolierfilm **790** und ein Isolierfilm **791** über und um der/die Gate-Elektrode **751** und dem/den Seitenwand-Isolierfilm **756** ausgebildet.

[0440] Die Gate-Elektrode **103**, ein leitender Film **203** und ein leitender Film **204** sind über dem Isolierfilm **791** ausgebildet. Es sei angemerkt, dass der leitende Film **203** mit der Gate-Elektrode **751** des Transistors **750** verbunden ist.

[0441] Ein Isolierfilm **205** ist zwischen der Gate-Elektrode **103**, dem leitenden Film **203** und dem leitenden Film **204** ausgebildet. Der Isolierfilm **205** kann unter Verwendung eines Materials, das demjenigen des bei der Ausführungsform 1 beschriebenen Gate-Isolierfilms **105** ähnlich ist, angemessen ausgebildet werden.

[0442] Über dem Isolierfilm **205** ist ein Isolierfilm **206** ausgebildet, bei dem ein Teil der Gate-Elektrode **103**, ein Teil des leitenden Films **203** und ein Teil des leitenden Films **204** freiliegen.

[0443] Wenn ein Isolierfilm, der einen Effekt zum Sperren von Wasser und Wasserstoff aufweist, als der Isolierfilm **206** verwendet wird, kann verhindert werden, dass Wasser und Wasserstoff, welche zwischen dem Substrat **700** und dem Isolierfilm **206** enthalten sind, in den in dem Transistor **200** enthaltenen Oxidhalbleiterfilm diffundieren. Als der Isolierfilm **206** kann eine Einzelschicht oder eine Schichtanordnung ausgebildet werden, die ein Material ausgewählt aus Aluminiumoxid, Aluminiumoxynitrid, Siliziumnitrid, Siliziumnitridoxid, Galliumoxid, Germaniumoxid, Yttriumoxid, Zirkoniumoxid, Hafniumoxid und Tantaloxid enthält.

[0444] Der Gate-Isolierfilm **105** ist über der Gate-Elektrode **103**, dem leitenden Film **203**, dem leitenden Film **204** und dem Isolierfilm **206** ausgebildet. Die Elektrode **113h**, die eine eines Paares von Elektroden in dem Transistor **200** ist, ist durch eine Öffnung, die in dem Gate-Isolierfilm **105** ausgebildet ist, elektrisch mit dem leitenden Film **204** verbunden.

[0445] Der Transistor **200**, der die Gate-Elektrode **103**, den Gate-Isolierfilm **105**, das Paar von Elektroden **113g** und **113h** sowie die Gate-Elektrode **119** beinhaltet, ist über dem Isolierfilm **791** ausgebildet. Ein beliebiger der bei den Ausführungsformen 1 bis 5 beschriebenen Transistoren kann als der Transistor **200** verwendet werden. Hier wird der in **Fig. 9** dargestellte Transistor als der Transistor **200** verwendet.

[0446] Der Isolierfilm **121** ist über dem Transistor **200** und dem Isolierfilm **206** ausgebildet. Als der Isolierfilm **121** kann der bei der Ausführungsform 1 beschriebene Isolierfilm **121** angemessen verwendet werden.

[0447] Der Isolierfilm **123** ist über dem Isolierfilm **121** ausgebildet. Der Isolierfilm **123** kann unter Verwendung eines Materials und eines Verfahrens ausgebildet werden, die denjenigen des bei der Ausführungsform 1 beschriebenen Isolierfilms **123** ähnlich sind. Der Stecker **127b** ist in einer Öffnung ausgebildet, die in dem Isolierfilm **123** und dem Isolierfilm **121** ausgebildet ist. Der Stecker **127b** ist elektrisch mit der Elektrode **113h** verbunden.

[0448] Ein Isolierfilm **215**, der als Planarisierungs-Isolierfilm dient, ist über dem Isolierfilm **123** und dem Stecker **127b** ausgebildet. Der Isolierfilm **215** kann unter Verwendung eines wärmebeständigen organischen Materials, wie z. B. Polyimids, Acryls, eines Harzes auf Benzocyclobuten-Basis, Polyamids oder Epoxids, ausgebildet werden. Neben derartigen organischen Materialien kann ein Material mit einer niedrigen dielektrischen Konstante (ein Material mit niedrigem k), ein Harz auf Siloxan-Basis, PSG (Phosphosilikatglas), BPSG (Bor-phosphosilikatglas) oder dergleichen verwendet werden. Es sei angemerkt, dass der Isolierfilm **215** ausgebildet werden kann, indem eine Vielzahl von aus diesen Materialien ausgebildeten Isolierfilmen übereinander angeordnet wird.

[0449] Es sei angemerkt, dass das Harz auf Siloxan-Basis einem Harz entspricht, das eine Si-O-Si-Bindung enthält und unter Verwendung eines Materials auf Siloxan-Basis als Anfangsmaterial ausgebildet wird. Das Harz auf Siloxan-Basis kann als Substituent eine organische Gruppe (z. B. eine Alkylgruppe oder eine Arylgruppe) oder eine Fluorgruppe enthalten. Die organische Gruppe kann eine Fluorgruppe enthalten.

[0450] Es besteht keine besondere Beschränkung bezüglich des Verfahrens zum Ausbilden des Isolierfilms **215**, und ein beliebiges der folgenden Verfahren kann je nach dem Material verwendet werden: ein Sputterverfahren, ein SOG-Verfahren, Rotationsbeschichtung, Tauchen, Sprühbeschichtung, ein Tröpfchenausstoßverfahren (z. B. ein Tintenstrahl-Verfahren), ein Druckverfahren (z. B. Siebdruck oder Offset-Druck) oder derglei-

chen. Wenn der Brennschritt des Isolierfilms **215** auch als Wärmebehandlung für eine weitere Schicht dient, kann eine Halbleitervorrichtung effizient hergestellt werden.

[0451] Der Isolierfilm **215** kann unter Verwendung eines Materials und eines Verfahrens ausgebildet werden, die denjenigen des bei der Ausführungsform 1 beschriebenen Isolierfilms **123** ähnlich sind, und kann dann einer CMP-Behandlung unterzogen werden.

[0452] Ein Stecker **216** ist über dem Isolierfilm **215** ausgebildet und elektrisch mit dem Stecker **127b** durch eine Öffnung, die in dem Isolierfilm **215** ausgebildet ist, verbunden.

[0453] Die Gate-Elektrode **751** ist elektrisch mit dem leitenden Film **203** verbunden. Einer der p-Typ-Verunreinigungsbereiche **755** in dem Transistor **750** ist elektrisch mit einem Transistor **770** (siehe **Fig. 26B**) verbunden, und der andere davon ist elektrisch mit einer Leitung SL (siehe **Fig. 26B**) verbunden. Des Weiteren ist die Elektrode **113h** elektrisch mit einer Leitung BL (siehe **Fig. 26B**) verbunden, die Elektrode **113g** ist elektrisch mit einem Knoten FN (siehe **Fig. 26B**) verbunden, die Gate-Elektrode **119** ist elektrisch mit einer Leitung WWL (siehe **Fig. 26B**) verbunden, und die Gate-Elektrode **103** ist elektrisch mit einer Leitung BGL (siehe **Fig. 26B**) verbunden.

[0454] Hier weisen ein Halbleitermaterial eines Bereichs, in dem ein Kanalbereich des Transistors **750** gebildet wird, und ein Halbleitermaterial eines Bereichs, in dem ein Kanalbereich des Transistors **200** gebildet wird, vorzugsweise unterschiedliche Bandlücken auf. Beispielsweise wird in dem Fall, in dem ein Oxidhalbleiter als Halbleitermaterial des Bereichs, in dem der Kanalbereich des Transistors **200** gebildet wird, verwendet wird, bevorzugt, dass ein Halbleitermaterial verschieden von einem Oxidhalbleiter als Halbleitermaterial des Bereichs, in dem der Kanalbereich des Transistors **750** gebildet wird, verwendet wird. Ein Transistor aus einem Halbleitermaterial verschieden von einem Oxidhalbleiter, wie z. B. kristallinem Silizium, kann leichter mit hoher Geschwindigkeit arbeiten als ein Transistor aus einem Oxidhalbleiter. Ein Transistor aus einem Oxidhalbleiter ermöglicht aufgrund seiner elektrischen Eigenschaften, d. h. des niedrigen Sperrstroms, dass Ladungen lange Zeit gehalten werden.

[0455] Ein Transistor, der als Halbleitermaterial eines Bereichs, in dem ein Kanalbereich des Transistors gebildet wird, kristallines Silizium enthält, kann mit höherer Geschwindigkeit arbeiten als ein Transistor, der als Halbleitermaterial eines Bereichs, in dem ein Kanalbereich gebildet wird, einen Oxidhalbleiter enthält. Unter Verwendung dieses Transistors als Lesetransistor können Daten mit hoher Geschwindigkeit gelesen werden.

[0456] Obwohl in der folgenden Beschreibung die vorstehenden Transistoren beide p-Kanal-Transistoren sind, ist es unnötig zu erwähnen, dass n-Kanal-Transistoren verwendet werden können. Es sei angemerkt, dass, sofern nicht anders angegeben, die spezifische Struktur der Halbleitervorrichtung, wie z. B. ein Material für die Halbleitervorrichtung sowie die Struktur der Halbleitervorrichtung, nicht auf die hier beschriebene beschränkt sein muss.

[0457] Der Transistor **200** ist ein Transistor, der als Halbleitermaterial in einem Bereich, in dem ein Kanalbereich gebildet wird, einen Oxidhalbleiter enthält. Da der Sperrstrom des Transistors **200** niedrig ist, können gespeicherte Daten lange Zeit gehalten werden. Mit anderen Worten: Der Stromverbrauch kann ausreichend verringert werden, da eine Halbleitervorrichtung bereitgestellt werden kann, bei der ein Aktualisierungsvorgang (refresh operation) unnötig ist oder die Häufigkeit der Aktualisierungsvorgänge äußerst gering ist.

[0458] Der Transistor **200** und der Kondensator **230** können, wie in **Fig. 26A** dargestellt, über dem Substrat ausgebildet werden, auf dem der Transistor **750** ausgebildet ist, was einen höheren Grad der Integration der Halbleitervorrichtung ermöglicht.

[0459] **Fig. 26B** ist ein Schaltplan der Speicherzelle **760**. Die Speicherzelle **760** beinhaltet den Transistor **200**, den Transistor **750**, den Kondensator **230** und den Transistor **770**.

[0460] Der Transistor **200** beinhaltet einen Oxidhalbleiterfilm in seinem Kanalbildungsbereich. Daher weist der Transistor **200** einen sehr niedrigen Sperrstrom (einen sehr hohen Widerstand im Sperrzustand) auf. Der Transistor **200** wird eingeschaltet, wenn Daten geschrieben werden, und wird somit auch als Schreibtransistor bezeichnet. Der Transistor **200** kann ein n-Kanal-Transistor oder ein p-Kanal-Transistor sein. Nachfolgend wird der Fall beschrieben, in dem der Transistor **200** ein n-Kanal-Transistor ist.

[0461] Der Transistor **200** weist eine Dual-Gate-Struktur auf, und eines der Gates ist elektrisch mit der Leitung WWL verbunden. Die Leitung WWL kann als Schreib-Wortleitung dienen. Das andere Gate ist mit der Leitung BGL verbunden. Es sei angemerkt, dass das andere Gate stetig auf einem konstanten Potential gehalten werden kann.

[0462] Eine/einer von einer Source und einem Drain des Transistors **200** ist elektrisch mit der Leitung BL verbunden. Die Leitung BL kann als Bitleitung dienen.

[0463] Die/der andere von der Source und dem Drain des Transistors **200** ist elektrisch mit einer Elektrode des Kondensators **230** verbunden. Die andere Elektrode des Kondensators **230** ist elektrisch mit einer Leitung CL verbunden. Die/der andere von der Source und dem Drain des Transistors **200** ist elektrisch mit einem Gate des Transistors **750** verbunden.

[0464] Indem das Potential der Leitung CL geändert wird, wird das Potential des Gates des Transistors **750** (des Knotens FN) geändert. Die Leitung CL wird auch als Kondensatorleitung bezeichnet.

[0465] Der Transistor **750** ist ein p-Kanal-Transistor. Verschiedene Materialien, wie z. B. ein Oxidhalbleiter und Silizium, können für einen Kanalbildungsbereich des Transistors **750** verwendet werden. Eine/einer von einer Source und einem Drain des Transistors **750** ist elektrisch mit einer/einem von einer Source und einem Drain des Transistors **770** verbunden. Die/der andere von der Source und dem Drain des Transistors **750** ist elektrisch mit der Leitung SL verbunden.

[0466] Die/der andere von der Source und dem Drain des Transistors **770** ist elektrisch mit der Leitung BL verbunden. Ein Gate des Transistors **770** ist elektrisch mit einer Leitung RWL verbunden. Der Transistor **770** ist ein Transistor zur elektrischen Verbindung des Transistors **750** mit der Leitung BL, wenn Daten gelesen werden, und wird auch als Auswahltransistor bezeichnet.

[0467] Die Leitung SL kann als Source-Leitung oder Stromversorgungsleitung dienen. Obwohl die Leitung SL vorzugsweise auf einem konstanten Potential gehalten wird, kann das Potential geändert werden, wenn ein Strom angehalten oder zugeführt wird.

[0468] In der Speicherzelle **760** in Fig. 26B werden Daten als Potential des Knotens FN gehalten. Wenn der Transistor **200** einen ausreichend hohen Widerstand im Sperrzustand aufweist, können Daten für eine sehr lange Zeit gehalten werden. Im Prinzip wird eine Datenhalteperiode in Abhängigkeit von der Gesamtkapazität zwischen dem Knoten FN und jedem der anderen Knoten (darunter auch der Kapazität des Kondensators **230**) sowie dem Gesamtwiderstand zwischen dem Knoten FN und jedem der anderen Knoten (darunter auch dem Widerstand des Transistors **200** im Sperrzustand) bestimmt.

[0469] Beispielsweise beträgt dann, wenn die Kapazität **30fF** ist und der Widerstand $1 \times 10^{22} \Omega$ ist, die Zeitkonstante 9,5 Jahre. Folglich wird der Unterschied zwischen dem Potential des Knotens FN und einem Bezugspotential nach zehn Jahren auf ungefähr 35% des Unterschiedes zwischen dem Anfangspotential und dem Bezugspotential verringert. Daten müssen auch in einem derartigen Fall genau gelesen werden, in dem das Potential verringert wird.

[0470] Ein Vorgang zum Schreiben von Daten in die Speicherzelle **760** und ein Vorgang zum Lesen von Daten aus der Speicherzelle **760** werden nachstehend anhand von Fig. 27 beschrieben. Die Schwellenwerte der Transistoren **750** und **770** sind jeweils niedriger als 0 und höher als $-VDD$.

<Schreibvorgang>

[0471] Um Daten zu schreiben, wird das Potential der Leitung BL, d. h. einer Bitleitung, auf das Potential entsprechend den Daten eingestellt, wenn der Transistor **200** eingeschaltet wird. Dieses Verfahren gleicht im Prinzip dem Verfahren zum Datenschieben in ein DRAM. Der Transistor **200** unterscheidet sich von den Transistoren **750** und **770** hinsichtlich des Schwellenwerts oder dergleichen; wenn hier der Transistor **200** eingeschaltet wird, wird daher das Potential seines Gates (das Potential der Leitung WWL) auf $V_{OS,H}$ eingestellt, und wenn der Transistor **200** ausgeschaltet wird, wird das Potential seines Gates auf $V_{OS,L}$ eingestellt. Es sei angemerkt, dass $V_{OS,L}$ gleich GND (< VDD) sein kann.

[0472] Wenn hier Daten „0“ (einer von zwei Pegeln) geschrieben werden, wird das Potential der Leitung BL auf GND eingestellt, und wenn Daten „1“ (der andere von zwei Pegeln) geschrieben werden, wird das Potential

der Leitung BL auf VDD eingestellt. Zum Zeitpunkt T1 in Fig. 27 fängt das Potential der Leitung WWL an, sich zu erhöhen, so dass der Transistor **200** eingeschaltet wird. Als Ergebnis weist der Knoten FN ein Potential entsprechend den Daten auf. Beispielsweise wird dann, wenn Daten „0“ geschrieben werden, das Potential des Knotens FN zu GND, und wenn Daten „1“ geschrieben werden, wird das Potential des Knotens FN zu VDD. Zum Zeitpunkt T2 fängt das Potential der Leitung WWL an, sich zu verringern, so dass der Transistor **200** ausgeschaltet wird und das Schreiben abgeschlossen wird. Wenn der Transistor **200** ausgeschaltet wird, wird das Potential des Knotens FN geringfügig durch die Kapazitätskopplung zwischen dem Gate des Transistors **200** (und der Leitung WWL) und dem Knoten FN verringert.

[0473] Beim Schreiben wird es bevorzugt, dass kein Strom zwischen den Leitungen BL und SL fließt. Beispielsweise können die Leitungen BL und SL keinen Potentialunterschied aufweisen. Das heißt: Wie im Falle der Leitung BL kann das Potential der Leitung SL entsprechend den Daten geändert werden.

[0474] Bei einem effektiveren Verfahren wird das Potential der Leitung RWL auf ein Potential eingestellt, auf dem der Transistor **770** ausgeschaltet wird. Die Potentiale der Leitungen BL und SL sind jeweils höher als oder gleich GND und niedriger als oder gleich VDD. Folglich wird dann, wenn das Potential der Leitung RWL auf VDD eingestellt wird, der Transistor **770** ausgeschaltet. Das Potential der Leitung SL verbleibt außer in der Standby-Periode auf VDD bei dieser Ausführungsform, aber es kann ein anderes Potential sein.

<Haltevorgang>

[0475] Wenn Daten gehalten werden, wird der Transistor **200** ausgeschaltet. In Fig. 27 werden in einer Periode vom Zeitpunkt T3 bis zum Zeitpunkt T4 Daten ohne Stromversorgung gehalten (Standby-Periode). In der Standby-Periode weisen alle Leitungen das gleiche Potential (hier GND) auf. In dem Fall, in dem das Potential des Knotens FN zu diesem Zeitpunkt höher als GND ist, nimmt das Potential des Knotens FN allmählich ab.

[0476] In dem Fall, in dem Daten „0“ geschrieben worden sind, liegt das Potential des Knotens FN nahe an GND; daher verursacht seine Änderung kein großes Problem. Im Gegensatz dazu liegt in dem Fall, in dem Daten „1“ geschrieben worden sind, das Potential des Knotens FN zuerst nahe an VDD, aber nimmt es über die Zeit ab. Die Abnahme des Potentials ist als ΔV dargestellt. Das heißt, dass das Potential des Knotens FN (das Potential des Gates des Transistors **750**) nach der Datenhalteperiode $(VDD - \Delta V)$ ist. Unter den vorstehenden Bedingungen nimmt das Potential um ungefähr 10% in dem Fall ab, in dem die Halteperiode ungefähr ein Jahr beträgt, aber sie verringert sich auf 35% des Anfangspotentials nach zehn Jahren, wie oben beschrieben worden ist. Mit anderen Worten: Es gilt $\Delta V = 0,65 \times VDD$. Hier wird dann, wenn die Abnahme des Potentials des Knotens FN am größten in der Periode ist, in der die Datenhaltung gesichert wird, das Potential des Knotens FN zu $(VDD - \Delta V_{MAX})$.

<Lesevorgang>

[0477] Um Daten zu lesen, werden die Potentiale der Leitung BL und der Leitung SL auf unterschiedliche Potentiale eingestellt, der Transistor **770** wird eingeschaltet, und es wird bestimmt, ob ein Strom zwischen der Source und dem Drain des Transistors **750** fließt. Gemäß dem Potential des Knotens FN variiert der Leitungszustand des Transistors **750**, wodurch die Daten, die geschrieben worden sind, bestimmt werden können.

[0478] Insbesondere wird das Potential der Leitung RWL auf einen geeigneten Wert (hier VDD) eingestellt, der Transistor **770** wird ausgeschaltet, und das Potential der Leitung SL wird auf VDD eingestellt. Nachdem die Leitung BL auf ein geeignetes Potential (hier GND) vorgeladen worden ist, wird die Leitung BL in einen offenen Zustand (floating state) versetzt. Dann wird das Potential der Leitung CL auf einen geeigneten Wert (hier α ; es sei angemerkt, dass $GND < \alpha < VDD$ gilt) eingestellt.

[0479] In dem Fall, in dem Daten „0“ geschrieben worden sind, liegt das Potential des Knotens FN kurz vor diesem Zeitpunkt nahe an GND. Jedoch wird, da das Potential der Leitung CL von GND auf α zunimmt, infolge der kapazitiven Kopplung durch den Kondensator **230** das Potential des Knotens fast zu α . In dem Fall, in dem Daten „1“ geschrieben worden sind, wird das Potential des Knotens FN fast zu $(VDD - \Delta V + \alpha - GND)$. Danach wird das Potential der Leitung RWL auf einen geeigneten Wert (hier GND) zum Zeitpunkt T5 eingestellt, um den Transistor **770** einzuschalten.

[0480] Damit Daten genau gelesen werden, ist es in dem Fall, in dem Daten „0“ geschrieben worden sind, erforderlich, dass der Transistor **750** eingeschaltet wird und das Potential der Leitung BL von GND auf VDD

erhöht wird; in dem Fall, in dem Daten „1“ geschrieben worden sind, ist es erforderlich, dass der Transistor **750** ausgeschaltet wird und das Potential der Leitung BL auf GND verbleibt.

[0481] Um die Anforderungen zu erfüllen, müssen die folgenden zwei Ungleichungen erfüllt werden, wenn der Schwellenwert des Transistors **750** V_{th} ist: $\alpha < VDD + V_{th}$ und $VDD - \Delta V + \alpha - GND \geq VDD + V_{th}$. Das heißt: $GND + \Delta V + V_{th} \leq GND + \Delta V_{MAX} + V_{th} \leq \alpha < VDD + V_{th}$ wird erfüllt.

[0482] Beispielsweise wird $0,7 [V] \leq \alpha < 1,3 [V]$ erfüllt, wenn $VDD = +1,8 [V]$, $GND = 0 [V]$, $V_{th} = -0,5 [V]$ und $\Delta V_{MAX} = 1,2 [V]$ gelten. Alternativ wird $0,2 [V] \leq \alpha < 0,5 [V]$ erfüllt, wenn $VDD = +0,9 [V]$, $GND = 0 [V]$, $V_{th} = -0,4 [V]$ und $\Delta V_{MAX} = 0,6 [V]$ gelten.

[0483] Es sei angemerkt, dass α ein gegebener Wert in dem erforderlichen Bereich sein kann, und α kann der Durchschnitt von VDD und GND (auch als $VDD/2$ bezeichnet) oder die Summe von GND und dem Unterschied zwischen VDD und GND sein, die durch N geteilt wird (auch als VDD/N bezeichnet; es sei angemerkt, dass $N = 3, 4, 5, \dots$ erfüllt wird). In dem ersten Fall beträgt $VDD/2$ $0,9 [V]$. In dem letzteren Fall beträgt $VDD/3$ $0,3 [V]$. Beide Werte liegen in dem erforderlichen Bereich.

[0484] Wie oben beschrieben, wird in dem Fall, in dem das Potential des Knotens FN in der Standby-Periode von dem Anfangspotential um mehr als oder gleich 60% verringert wird (in dem Fall, in dem das Potential des Knotens FN auf weniger als oder gleich 40% des Anfangspotentials verringert wird), das Potential des Knotens FN vorzugsweise erhöht, indem das Potential der Leitung CL beim Lesevorgang angemessen erhöht wird.

[0485] Es sei angemerkt, dass, obwohl im Falle von Daten „1“ das geschriebene Potential am Anfang VDD ist, das an die Leitung CL ausgegebene Potential GND ist. Es muss beachtet werden, dass invertierte Daten auf diese Weise ausgegeben werden.

[0486] Mit einem Transistor, der einen Kanalbildungsbereich aus einem Oxidhalbleiter und einen sehr niedrigen Sperrstrom aufweist, kann die bei dieser Ausführungsform beschriebene Halbleitervorrichtung sehr lange Zeit gespeicherte Daten halten. Mit anderen Worten: Ein Aktualisierungsvorgang wird unnötig oder die Häufigkeit der Aktualisierungsvorgänge kann sehr niedrig sein, was zu einer ausreichenden Verringerung des Stromverbrauchs führt. Ferner können gespeicherte Daten lange Zeit gehalten werden, auch wenn kein Strom zugeführt wird (es sei angemerkt, dass ein Potential vorzugsweise fest ist).

[0487] Außerdem benötigt die Halbleitervorrichtung dieser Ausführungsform keine hohe Spannung zum Schreiben von Daten und weist kein Problem von Verschlechterung von Elementen auf. Beispielsweise ist es im Unterschied zu einem herkömmlichen nichtflüchtigen Speicher nicht notwendig, Elektronen in ein offenes Gate (floating gate) zu injizieren oder aus diesem zu extrahieren; daher tritt kein Problem auf, wie z. B. eine Verschlechterung eines Gate-Isolierfilms. Das heißt, dass die Halbleitervorrichtung der offenbarten Erfindung keine Beschränkung hinsichtlich der Häufigkeit aufweist, mit der Daten überschrieben werden können, die bei einem herkömmlichen nichtflüchtigen Speicher ein Problem darstellt, und ihre Zuverlässigkeit wird erheblich verbessert. Des Weiteren werden Daten je nach dem Zustand des Transistors (Durchlasszustand oder Sperrzustand) geschrieben, wodurch ein Hochgeschwindigkeitsbetrieb leicht realisiert werden kann.

[0488] Wie oben beschrieben, kann eine miniaturisierte, hochintegrierte Halbleitervorrichtung mit guten elektrischen Eigenschaften bereitgestellt werden.

[0489] Die Strukturen, Verfahren und dergleichen, welche bei dieser Ausführungsform beschrieben worden sind, können gegebenenfalls in Kombination mit beliebigen der Strukturen, Verfahren und dergleichen, welche bei den anderen Ausführungsformen und Beispielen beschrieben werden, verwendet werden.

(Ausführungsform 7)

[0490] Bei dieser Ausführungsform wird ein Strukturbeispiel einer Anzeigevorrichtung einer Ausführungsform der vorliegenden Erfindung beschrieben.

<Strukturbeispiel>

[0491] Fig. 28A ist eine Draufsicht auf die Anzeigevorrichtung einer Ausführungsform der vorliegenden Erfindung. Fig. 28B ist ein Schaltplan, der eine Pixel-Schaltung darstellt, die in dem Fall verwendet werden kann, in dem ein Flüssigkristallelement für ein Pixel in der Anzeigevorrichtung einer Ausführungsform der vorliegenden

Erfindung verwendet wird. **Fig. 28C** ist ein Schaltplan, der eine Pixel-Schaltung darstellt, die in dem Fall verwendet werden kann, in dem ein organisches EL-Element für ein Pixel in der Anzeigevorrichtung einer Ausführungsform der vorliegenden Erfindung verwendet wird.

[0492] Transistoren in einem Pixel-Abschnitt können entsprechend einer beliebigen der vorstehenden Ausführungsformen ausgebildet werden. Die Transistoren können in einfacher Weise als n-Kanal-Transistoren ausgebildet werden, und somit kann ein Teil einer Treiberschaltung, der unter Verwendung eines n-Kanal-Transistors ausgebildet werden kann, über dem gleichen Substrat ausgebildet werden wie die Transistoren in dem Pixel-Abschnitt. Indem die Transistoren, die bei den vorstehenden Ausführungsformen beschrieben worden sind, auf diese Weise für den Pixel-Abschnitt oder die Treiberschaltung verwendet werden, kann eine äußerst zuverlässige Anzeigevorrichtung bereitgestellt werden.

[0493] **Fig. 28A** stellt ein Beispiel für eine Draufsicht auf eine Aktivmatrix-Anzeigevorrichtung dar. Ein Pixel-Abschnitt **701**, eine erste Abtastleitungstreiberschaltung **702**, eine zweite Abtastleitungstreiberschaltung **703** und eine Signalleitungstreiberschaltung **704** sind über einem Substrat **700** der Anzeigevorrichtung ausgebildet. In dem Pixel-Abschnitt **701** ist eine Vielzahl von Signalleitungen, die sich von der Signalleitungstreiberschaltung **704** aus erstrecken, angeordnet, und eine Vielzahl von Abtastleitungen, die sich von der ersten Abtastleitungstreiberschaltung **702** und der zweiten Abtastleitungstreiberschaltung **703** aus erstrecken, ist angeordnet. Es sei angemerkt, dass Pixel, die Anzeigeelemente enthalten, in einer Matrix in entsprechenden Gebieten bereitgestellt sind, in denen sich die Abtastleitungen und die Signalleitungen kreuzen. Das Substrat **700** der Anzeigevorrichtung ist über einen Verbindungsabschnitt, wie z. B. eine flexible gedruckte Schaltung (flexible printed circuit, FPC), mit einer Zeitsteuerschaltung (auch als Steuerung oder Steuer-IC bezeichnet) verbunden.

[0494] In **Fig. 28A** sind die erste Abtastleitungstreiberschaltung **702**, die zweite Abtastleitungstreiberschaltung **703** und die Signalleitungstreiberschaltung **704** über dem Substrat **700** ausgebildet, über dem der Pixel-Abschnitt **701** ausgebildet ist. Folglich ist die Anzahl an Bestandteilen, die außerhalb vorgesehen sind, wie z. B. eine Treiberschaltung, reduziert, so dass eine Verringerung der Kosten erreicht werden kann. Wenn außerdem die Treiberschaltung außerhalb des Substrats **700** bereitgestellt wäre, müssten ferner Leitungen verlängert werden, und die Anzahl der Leitungs-Verbindungen würde zunehmen. Wenn die Treiberschaltung über dem Substrat **700** bereitgestellt ist, kann die Anzahl der Leitungs-Verbindungen verringert werden; folglich kann eine Verbesserung der Zuverlässigkeit oder der Ausbeute erzielt werden.

<Flüssigkristallanzeigevorrichtung>

[0495] **Fig. 28B** stellt ein Beispiel für eine Schaltungskonfiguration des Pixels dar. Hier ist eine Pixel-Schaltung dargestellt, die in einem Pixel einer VA-Flüssigkristallanzeigevorrichtung verwendet werden kann.

[0496] Diese Pixel-Schaltung kann auf eine Struktur angewendet werden, bei der ein Pixel eine Vielzahl von Pixel-Elektroden aufweist. Die Pixel-Elektroden sind mit verschiedenen Transistoren verbunden, und die Transistoren können mit verschiedenen Gate-Signalen betrieben werden. Folglich können Signale, die an einzelne Pixel-Elektroden in einem Pixel mit mehreren Bereichen (multi-domain pixel) angelegt werden, unabhängig gesteuert werden.

[0497] Eine Gate-Leitung **712** eines Transistors **716** und eine Gate-Leitung **713** eines Transistors **717** sind getrennt, so dass verschiedene Gate-Signale dazu zugeführt werden können. Im Gegensatz dazu wird eine Source- oder Drain-Elektrode **714**, die als Daten-Leitung dient, gemeinsam für die Transistoren **716** und **717** verwendet. Der bei einer der vorstehenden Ausführungsformen beschriebene Transistor kann angemessen als die Transistoren **716** und **717** verwendet werden. Auf diese Weise kann eine äußerst zuverlässige Flüssigkristallanzeigevorrichtung bereitgestellt werden.

[0498] Die Formen einer ersten Pixel-Elektrode, die elektrisch mit dem Transistor **716** verbunden ist, und einer zweiten Pixel-Elektrode, die elektrisch mit dem Transistor **717** verbunden ist, werden beschrieben. Die erste Pixel-Elektrode und die zweite Pixel-Elektrode sind voneinander getrennt. Es gibt keine besondere Beschränkung hinsichtlich der Formen der ersten Pixel-Elektrode und der zweiten Pixel-Elektrode. Beispielsweise kann die erste Pixel-Elektrode V-förmig sein.

[0499] Eine Gate-Elektrode des Transistors **716** ist mit der Gate-Leitung **712** verbunden, und eine Gate-Elektrode des Transistors **717** ist mit der Gate-Leitung **713** verbunden. Wenn verschiedene Gate-Signale der Gate-Leitung **712** und der Gate-Leitung **713** zugeführt werden, können die Betriebszeiten des Transistors **716** und des Transistors **717** variiert werden. Als Ergebnis kann die Ausrichtung von Flüssigkristallen gesteuert werden.

[0500] Ferner kann ein Speicherkondensator unter Verwendung einer Kondensatorleitung **710**, eines Gate-Isolierfilms, der als Dielektrikum dient, und einer Kondensator-Elektrode gebildet werden, die elektrisch mit der ersten Pixel-Elektrode oder der zweiten Pixel-Elektrode verbunden ist.

[0501] Das Pixel mit mehreren Bereichen beinhaltet ein erstes Flüssigkristallelement **718** und ein zweites Flüssigkristallelement **719**. Das erste Flüssigkristallelement **718** beinhaltet die erste Pixel-Elektrode, eine Genelektrode und eine Flüssigkristallschicht dazwischen. Das zweite Flüssigkristallelement **719** beinhaltet die zweite Pixel-Elektrode, eine Genelektrode und eine Flüssigkristallschicht dazwischen.

[0502] Es sei angemerkt, dass eine Pixel-Schaltung der vorliegenden Erfindung nicht auf diejenige in **Fig. 28B** beschränkt ist. Beispielsweise kann ein Schalter, ein Widerstand, ein Kondensator, ein Transistor, ein Sensor, eine Logikschaltung oder dergleichen dem Pixel, das in **Fig. 28B** dargestellt ist, hinzugefügt sein.

<Organische EL-Anzeigevorrichtung>

[0503] **Fig. 28C** stellt ein weiteres Beispiel für eine Schaltungskonfiguration des Pixels dar. Hier ist eine Pixel-Struktur einer Anzeigevorrichtung, bei der ein organisches EL-Element verwendet wird, gezeigt.

[0504] Bei einem organischen EL-Element werden durch Anlegen einer Spannung an ein Licht emittierendes Element Elektronen aus einer eines Paares von Elektroden und Löcher aus der anderen des Paares von Elektroden in eine Schicht, die eine Licht emittierende organische Verbindung enthält, injiziert; somit fließt ein Strom. Die Elektronen und Löcher rekombinieren, und dadurch wird die Licht emittierende organische Verbindung angeregt. Die Licht emittierende organische Verbindung kehrt von einem angeregten Zustand in den Grundzustand zurück, wodurch Licht emittiert wird. Aufgrund eines derartigen Mechanismus wird dieses Licht emittierende Element als Licht emittierendes Stromanregungselement bezeichnet.

[0505] **Fig. 28C** stellt ein anwendbares Beispiel einer Pixel-Schaltung dar. Ein Pixel beinhaltet hier zwei n-Kanal-Transistoren. Es sei angemerkt, dass ein Oxidhalbleiterfilm einer Ausführungsform der vorliegenden Erfindung für Kanalbildungsbereiche der n-Kanal-Transistoren verwendet werden kann. Des Weiteren kann eine digitale Zeit-Graustufen-Ansteuerung (digital time grayscale driving) für die Pixel-Schaltung verwendet werden.

[0506] Es werden die Konfiguration der anwendbaren Pixel-Schaltung und die Arbeitsweise eines Pixels, bei dem die digitale Zeit-Graustufen-Ansteuerung zum Einsatz kommt, beschrieben.

[0507] Ein Pixel **720** beinhaltet einen Schalttransistor **721**, einen Treibertransistor **722**, ein Licht emittierendes Element **724** und einen Kondensator **723**. Eine Gate-Elektrode des Schalttransistors **721** ist mit einer Abtastleitung **726** verbunden, eine erste Elektrode (entweder eine Source-Elektrode oder eine Drain-Elektrode) des Schalttransistors **721** ist mit einer Signalleitung **725** verbunden, und eine zweite Elektrode (die andere der Source-Elektrode und der Drain-Elektrode) des Schalttransistors **721** ist mit einer Gate-Elektrode des Treibertransistors **722** verbunden. Die Gate-Elektrode des Treibertransistors **722** ist über den Kondensator **723** mit einer Stromversorgungsleitung **727** verbunden, eine erste Elektrode des Treibertransistors **722** ist mit der Stromversorgungsleitung **727** verbunden, und eine zweite Elektrode des Treibertransistors **722** ist mit einer ersten Elektrode (einer Pixel-Elektrode) des Licht emittierenden Elements **724** verbunden. Eine zweite Elektrode des Licht emittierenden Elements **724** entspricht einer gemeinsamen Elektrode **728**. Die gemeinsame Elektrode **728** ist elektrisch mit einer gemeinsamen Potentialleitung verbunden, die über dem gleichen Substrat ausgebildet ist.

[0508] Als der Schalttransistor **721** und der Treibertransistor **722** kann der bei einer der vorstehenden Ausführungsformen beschriebene Transistor angemessen verwendet werden. Auf diese Weise kann eine äußerst zuverlässige organische EL-Anzeigevorrichtung bereitgestellt werden.

[0509] Das Potential der zweiten Elektrode (der gemeinsamen Elektrode **728**) des Licht emittierenden Elements **724** wird auf ein niedriges Stromversorgungspotential eingestellt. Es sei angemerkt, dass das niedrige Stromversorgungspotential niedriger ist als ein hohes Stromversorgungspotential, das der Stromversorgungsleitung **727** zugeführt wird, und beispielsweise GND oder 0 V sein kann. Das hohe Stromversorgungspotential und das niedrige Stromversorgungspotential werden derart eingestellt, dass sie höher als oder gleich der Durchlass-Schwelenspannung des Licht emittierenden Elements **724** sind, und der Unterschied zwischen den Potentialen wird an das Licht emittierende Element **724** angelegt, wodurch dem Licht emittierenden Element **724** ein Strom zugeführt wird, so dass Licht emittiert wird. Die Durchlassspannung des Licht emittierenden

Elements **724** bezeichnet eine Spannung, bei der eine gewünschte Leuchtdichte erreicht wird, und umfasst mindestens eine Durchlass-Schwellesspannung.

[0510] Es sei angemerkt, dass die Gate-Kapazität des Treibertransistors **722** als Ersatz für den Kondensator **723** verwendet werden kann, in welchem Falle der Kondensator **723** weggelassen werden kann. Die Gate-Kapazität des Treibertransistors **722** kann zwischen dem Kanalbildungsbereich und der Gate-Elektrode gebildet werden.

[0511] Als Nächstes wird ein Signal beschrieben, das in den Treibertransistor **722** eingegeben wird. Im Falle eines Spannungsansteuerungsverfahrens durch Spannungseingabe (voltage-input voltage driving) wird ein Videosignal, das ausreicht, um den Treibertransistor **722** einzuschalten oder auszuschalten, in den Treibertransistor **722** eingegeben. Damit der Treibertransistor **722** in einem linearen Bereich arbeiten kann, wird eine Spannung, die höher ist als die Spannung der Stromversorgungsleitung **727**, an die Gate-Elektrode des Treibertransistors **722** angelegt. Es sei angemerkt, dass eine Spannung, die höher als oder gleich der Gesamtspannung einer Spannung der Stromversorgungsleitung und der Schwellenspannung V_{th} des Treibertransistors **722** ist, an die Signalleitung **725** angelegt wird.

[0512] In dem Fall, in dem eine analoge Graustufen-Ansteuerung durchgeführt wird, wird eine Spannung, die höher als oder gleich der Gesamtspannung der Durchlassspannung des Licht emittierenden Elements **724** und der Schwellenspannung V_{th} des Treibertransistors **722** ist, an die Gate-Elektrode des Treibertransistors **722** angelegt. Ein Videosignal, mit dem der Treibertransistor **722** in einem Sättigungsbereich betrieben wird, wird eingegeben, so dass dem Licht emittierenden Element **724** ein Strom zugeführt wird. Damit der Treibertransistor **722** in einem Sättigungsbereich arbeiten kann, wird das Potential der Stromversorgungsleitung **727** höher gewählt als das Gate-Potential des Treibertransistors **722**. Wenn ein analoges Videosignal benutzt wird, ist es möglich, einen Strom entsprechend dem Videosignal zu dem Licht emittierenden Element **724** zuzuführen, und eine analoge Graustufen-Ansteuerung durchzuführen.

[0513] Es sei angemerkt, dass die Konfiguration der Pixel-Schaltung der vorliegenden Erfindung nicht auf diejenige in **Fig. 28C** beschränkt ist. Beispielsweise kann ein Schalter, ein Widerstand, ein Kondensator, ein Sensor, ein Transistor, eine Logikschaltung oder dergleichen der Pixel-Schaltung, die in **Fig. 28C** dargestellt ist, hinzugefügt sein.

[0514] In dem Fall, in dem der bei einer der vorstehenden Ausführungsformen gezeigte Transistor für die Schaltungen in **Fig. 28A** bis **Fig. 28C** verwendet wird, ist die Source-Elektrode (die erste Elektrode) elektrisch mit der Seite des niedrigen Potentials verbunden, und die Drain-Elektrode (die zweite Elektrode) ist elektrisch mit der Seite des hohen Potentials verbunden. Außerdem kann das Potential der ersten Gate-Elektrode durch eine Steuerschaltung oder dergleichen gesteuert werden, und das oben beispielhaft beschriebene Potential, z. B. ein Potential, das niedriger ist als das an die Source-Elektrode angelegte Potential, kann über eine Leitung, die nicht dargestellt ist, an die zweite Gate-Elektrode eingegeben werden.

[0515] Beispielsweise können in dieser Beschreibung und dergleichen ein Anzeigeelement, eine Anzeigevorrichtung, die eine ein Anzeigeelement beinhaltende Vorrichtung ist, ein Licht emittierendes Element und eine Licht emittierende Vorrichtung, die eine ein Licht emittierendes Element beinhaltende Vorrichtung ist, verschiedene Modi verwenden oder verschiedene Elemente beinhalten. Ein Anzeigeelement, eine Anzeigevorrichtung, ein Licht emittierendes Element oder eine Licht emittierende Vorrichtung umfasst beispielsweise mindestens eines von einem Elektrolumineszenz(EL-)Element (z. B. einem EL-Element, das organische und anorganische Materialien enthält, einem organischen EL-Element oder einem anorganischen EL-Element), einer LED (z. B. einer weißen LED, einer roten LED, einer grünen LED oder einer blauen LED), einem Transistor (einem Transistor, der in Abhängigkeit von Strom Licht emittiert), einem Elektronen-Emitter, einem Flüssigkristallelement, elektronischer Tinte, einem elektrophoretischen Element, einem Grating Light Valve (GLV), einem Plasmabildschirm (plasma display panel, PDP), einem Anzeigeelement mittels eines mikroelektromechanischen Systems (MEMS), einer digitalen Mikrospiegelvorrichtung (digital micromirror device, DMD), einem Digital Micro Shutter (DMS), MIRASOL (eingetragenes Warenzeichen), einem Element für einen Bildschirm mit interferometrisch arbeitendem Modulator (interferometric modulator display, IMOD), einem MEMS-Shutter-Anzeigeelement, einem MEMS-Anzeigeelement vom optischen Interferenztyp, einem Elektrobenetzungselement, einer piezoelektrischen Keramikanzeige und einem Anzeigeelement, das eine Kohlenstoffnanoröhre enthält. Abgesehen von den obigen Elementen können Anzeigemedien enthalten sein, deren Kontrast, Leuchtdichte, Reflexionsgrad, Durchlässigkeit oder dergleichen durch einen elektrischen oder magnetischen Effekt verändert wird. Beispiele für die Anzeigevorrichtung, die ein EL-Element beinhaltet, umfassen eine EL-Anzeige. Beispiele für die Anzeigevorrichtung, die einen Elektronen-Emitter beinhaltet, umfassen einen Feldemis-

sionsbildschirm (field emission display, FED) und einen SED-Typ-Flachbildschirm (SED: surface-conduction electron-emitter display bzw. oberflächenleitender Elektronen-Emitter-Bildschirm). Beispiele für die Anzeigevorrichtung, die ein Flüssigkristallelement beinhaltet, umfassen eine Flüssigkristallanzeige (eine durchlässige Flüssigkristallanzeige, eine halbdurchlässige Flüssigkristallanzeige, eine reflektierende Flüssigkristallanzeige, eine Direktansicht-Flüssigkristallanzeige oder eine Projektionsflüssigkristallanzeige). Beispiele für die Anzeigevorrichtung, die elektronische Tinte, elektronisches Flüssigpulver (Electronic Liquid Powder, eingetragenes Warenzeichen) oder ein elektrophoretisches Element beinhaltet, umfassen elektronisches Papier. Im Falle einer halbdurchlässigen Flüssigkristallanzeige oder einer reflektierenden Flüssigkristallanzeige dienen einige oder alle Pixel-Elektroden als reflektierende Elektroden. Beispielsweise sind einige oder alle Pixel-Elektroden derart ausgebildet, dass sie Aluminium, Silber oder dergleichen enthalten. In einem solchen Fall kann eine Speicherschaltung, wie z. B. ein SRAM, unter den reflektierenden Elektroden angeordnet sein. Dies führt zu einer weiteren Verringerung des Stromverbrauchs.

[0516] Mindestens ein Teil dieser Ausführungsform kann gegebenenfalls in Kombination mit einer der anderen Ausführungsformen in dieser Beschreibung implementiert werden.

(Ausführungsform 8)

[0517] Bei dieser Ausführungsform wird ein Anzeigemodul, das eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung beinhaltet, anhand von **Fig. 29** beschrieben.

[0518] Bei einem Anzeigemodul **8000** in **Fig. 29** sind ein Touchscreen **8004**, der mit einer FPC **8003** verbunden ist, ein Anzeigefeld **8006**, das mit einer FPC **8005** verbunden ist, eine Hintergrundbeleuchtungseinheit **8007**, ein Rahmen **8009**, eine gedruckte Leiterplatte **8010** und eine Batterie **8011** zwischen einer oberen Abdeckung **8001** und einer unteren Abdeckung **8002** bereitgestellt. Es sei angemerkt, dass in einigen Fällen die Hintergrundbeleuchtungseinheit **8007**, die Batterie **8011**, der Touchscreen **8004** und dergleichen nicht bereitgestellt sind.

[0519] Die Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung kann beispielsweise für das Anzeigefeld **8006** verwendet werden.

[0520] Die Formen und Größen der oberen Abdeckung **8001** und der unteren Abdeckung **8002** können angemessen entsprechend den Größen des Touchscreens **8004** und des Anzeigefeldes **8006** geändert werden.

[0521] Der Touchscreen **8004** kann ein resistiver Touchscreen oder ein kapazitiver Touchscreen sein und kann derart ausgebildet sein, dass er das Anzeigefeld **8006** überlappt. Ein Gegesubstrat (Abdichtungssubstrat) des Anzeigefeldes **8006** kann eine Touchscreen-Funktion aufweisen. Ein Fotosensor kann in jedem Pixel des Anzeigefeldes **8006** bereitgestellt sein, um einen optischen Touchscreen auszubilden. Eine Elektrode für einen Berührungssensor kann in jedem Pixel des Anzeigefeldes **8006** bereitgestellt sein, so dass ein kapazitiver Touchscreen erhalten wird.

[0522] Die Hintergrundbeleuchtungseinheit **8007** beinhaltet eine Lichtquelle **8008**. Die Lichtquelle **8008** kann auch an einem Endabschnitt der Hintergrundbeleuchtungseinheit **8007** angeordnet sein, wobei eine Lichtstreuungsscheibe verwendet werden kann.

[0523] Der Rahmen **8009** schützt das Anzeigefeld **8006** und dient auch als elektromagnetischer Schild zum Blockieren von elektromagnetischen Wellen, die durch den Betrieb der gedruckten Leiterplatte **8010** erzeugt werden. Der Rahmen **8009** kann als Abstrahlplatte dienen.

[0524] Die gedruckte Leiterplatte **8010** beinhaltet eine Stromversorgungsschaltung und eine Signalverarbeitungsschaltung zum Ausgeben eines Videosignals und eines Taktsignals. Als Stromquelle zur Stromzufuhr zu der Stromversorgungsschaltung kann eine externe gewerbliche Stromquelle oder eine Stromquelle, die die getrennt bereitgestellte Batterie **8011** verwendet, verwendet werden. Die Batterie **8011** kann im Falle der Verwendung einer gewerblichen Stromquelle weggelassen werden.

[0525] Das Anzeigemodul **8000** kann zusätzlich mit einem Bestandteil, wie z. B. einer polarisierenden Platte, einer Retardationsplatte oder einer Prismenfolie, versehen sein.

[0526] Die Struktur bei dieser Ausführungsform kann in angemessener Kombination mit der Struktur einer der anderen Ausführungsformen verwendet werden.

(Ausführungsform 9)

[0527] Bei dieser Ausführungsform werden Beispiele für ein elektronisches Gerät, das eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung beinhaltet, beschrieben.

[0528] Konkrete Beispiele für das elektrische Gerät, das die Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung beinhaltet, lauten wie folgt: Anzeigevorrichtungen der Fernseher, Monitore und dergleichen, Beleuchtungsvorrichtungen, Schreibtischcomputer und Laptops, Textverarbeitungsgeräte, Bildwiedergabevorrichtungen, die Standbilder und Bewegtbilder wiedergeben, welche in Aufzeichnungsmedien, wie z. B. Digital Versatile Disks (DVD), gespeichert sind, tragbare CD-Player, Radios, Tonbandgeräte, Stereokopfhörer, Stereo-Geräte, Tischuhren, Wanduhren, schnurlose Telefone, Sendeempfänger, Mobiltelefone, Auto-telefone, tragbare Spielkonsolen, Tablet-Computer, große Spielautomaten, wie z. B. Flipperautomaten, Rechner, tragbare Informationsendgeräte, elektronische Notizbücher, E-Buch-Lesegeräte, elektronische Übersetzer, Audioeingabegeräte, Videokameras, digitale Fotokameras, elektrische Rasierer, Hochfrequenzheizgeräte, wie z. B. Mikrowellenöfen, elektrische Reiskocher, elektrische Waschmaschinen, elektrische Staubsauger, Warmwasserbereiter, elektrische Ventilatoren, Haartrockner, Klimatisierungssysteme, wie z. B. Klimaanlage, Luftbefeuchter und Luftentfeuchter, Geschirrspüler, Geschirrtrockner, Wäschetrockner, Futontrockner, elektrische Kühlschränke, elektrische Gefrierschränke, elektrische Gefrier-Kühlschränke, Gefrierschränke zum Aufbewahren von DNS, Taschenlampen, elektrische Werkzeuge, wie z. B. eine Kettensäge, Rauchmelder und medizinische Geräte, wie z. B. Dialysegeräte. Weitere Beispiele lauten wie folgt: industrielle Einrichtungen, wie z. B. Führungsleuchten, Ampeln, Bandförderer, Fahrstühle, Rolltreppen, Industrieroboter, Energiespeichersysteme und Energiespeichervorrichtungen zum Ausgleichen der Menge an zugeführter Energie und für intelligentes Stromnetz. Darüber hinaus sind bewegliche Objekte und dergleichen, die durch Benzin oder Elektromotoren unter Verwendung von Energie von nicht-wasserhaltigen Sekundärbatterien angetrieben werden, auch in der Kategorie von elektronischen Geräten enthalten. Beispiele für die beweglichen Objekte umfassen Elektrofahrzeuge (electric vehicle, EV), Hybrid-Elektrofahrzeuge (hybrid electric vehicle, HEV), die sowohl eine Verbrennungskraftmaschine als auch einen Motor aufweisen, Einsteck-Hybrid-Elektrofahrzeuge (plug-in hybrid electric vehicle, PHEV), Kettenfahrzeuge, bei denen Räder dieser Fahrzeuge durch Raupenkettensätze ersetzt sind, motorisierte Fahrräder einschließlich motorgestützter Fahrräder, Motorräder, elektrische Rollstühle, Golfmobile, Boote, Schiffe, U-Boote, Hubschrauber, Flugzeuge, Raketen, künstliche Satelliten, Raumsonden, Planetensonden und Raumfahrzeuge.

[0529] Fig. 30A stellt ein Beispiel für eine tragbare Spielkonsole dar, die ein Gehäuse **901**, ein Gehäuse **902**, einen Anzeigeabschnitt **903**, einen Anzeigeabschnitt **904**, ein Mikrofon **905**, einen Lautsprecher **906**, eine Bedienungstaste **907**, einen Stift **908** und dergleichen beinhaltet. Obwohl die tragbare Spielkonsole in Fig. 30A die zwei Anzeigeabschnitte **903** und **904** beinhaltet, ist die Anzahl der Anzeigeabschnitte, die in einer tragbaren Spielkonsole enthalten sind, nicht darauf beschränkt. Beliebige der Transistoren der Ausführungsformen 1 bis 4 können als Transistoren in den Anzeigeabschnitten **903** und **904** und dergleichen verwendet werden. Des Weiteren können beliebige der Transistoren der Ausführungsformen 1 bis 4 in einer CPU, einer Speichervorrichtung oder dergleichen, die nicht in Fig. 30A dargestellt ist, verwendet werden.

[0530] Fig. 30B stellt ein Beispiel für ein tragbares Datenendgerät dar, das ein erstes Gehäuse **911**, ein zweites Gehäuse **912**, einen ersten Anzeigeabschnitt **913**, einen zweiten Anzeigeabschnitt **914**, ein Gelenk **915**, eine Bedienungstaste **916** und dergleichen beinhaltet. Der erste Anzeigeabschnitt **913** ist in dem ersten Gehäuse **911** bereitgestellt, und der zweite Anzeigeabschnitt **914** ist in dem zweiten Gehäuse **912** bereitgestellt. Das erste Gehäuse **911** und das zweite Gehäuse **912** sind mit dem Gelenk **915** miteinander verbunden, und der Winkel zwischen dem ersten Gehäuse **911** und dem zweiten Gehäuse **912** kann mit dem Gelenk **915** geändert werden. Ein Bild auf dem ersten Anzeigeabschnitt **913** kann abhängig von dem Winkel an dem Gelenk **915** zwischen dem ersten Gehäuse **911** und dem zweiten Gehäuse **912** umgeschaltet werden. Eine Anzeigevorrichtung mit einer Positioneingabefunktion kann als mindestens einer des ersten Anzeigeabschnitts **913** und des zweiten Anzeigeabschnitts **914** verwendet werden. Es sei angemerkt, dass man die Positionseingabefunktion durch Bereitstellen eines Touchscreens in einer Anzeigevorrichtung hinzufügen kann. Alternativ kann die Positionseingabefunktion durch Vorsehen eines photoelektrischen Wandlerelements, das als Fotosensor bezeichnet wird, in einem Pixel-Abschnitt einer Anzeigevorrichtung hinzugefügt werden. Einer der Transistoren der Ausführungsformen 1 bis 4 kann als Transistoren in dem ersten Anzeigeabschnitt **913**, dem zweiten Anzeigeabschnitt **914** und dergleichen verwendet werden. Des Weiteren kann einer der Transistoren der Ausführungsformen 1 bis 4 in einer CPU, einer Speichervorrichtung oder dergleichen, die nicht in Fig. 30B dargestellt ist, verwendet werden.

[0531] Fig. 30C stellt ein Beispiel für einen Laptop dar, der ein Gehäuse **921**, einen Anzeigeabschnitt **922**, eine Tastatur **923**, eine Zeigevorrichtung **924** und dergleichen beinhaltet. Beliebige der Transistoren der Ausführungsformen 1 bis 4 können als Transistoren in dem Anzeigeabschnitt **922** und dergleichen verwendet werden. Des Weiteren können beliebige der Transistoren der Ausführungsformen 1 bis 4 in einer CPU, einer Speichervorrichtung oder dergleichen, die nicht in Fig. 30C dargestellt ist, verwendet werden.

[0532] Fig. 30D stellt ein Beispiel für einen elektrischen Gefrier-Kühlschrank dar, der ein Gehäuse **931**, eine Tür für einen Kühlschrank **932**, eine Tür für einen Gefrierschrank **933** und dergleichen beinhaltet. Einer der Transistoren der Ausführungsformen 1 bis 4 kann in einer CPU, einer Speichervorrichtung oder dergleichen, die nicht in Fig. 30D dargestellt ist, verwendet werden.

[0533] Fig. 30E stellt ein Beispiel für eine Videokamera dar, die ein erstes Gehäuse **941**, ein zweites Gehäuse **942**, einen Anzeigeabschnitt **943**, Bedienungstasten **944**, eine Linse **945**, ein Gelenk **946** und dergleichen beinhaltet. Die Bedienungstasten **944** und die Linse **945** sind in dem ersten Gehäuse **941** bereitgestellt, und der Anzeigeabschnitt **943** ist in dem zweiten Gehäuse **942** bereitgestellt. Das erste Gehäuse **941** und das zweite Gehäuse **942** sind mit dem Gelenk **946** miteinander verbunden, und der Winkel zwischen dem ersten Gehäuse **941** und dem zweiten Gehäuse **942** kann mit dem Gelenk **946** verändert werden. Bilder, die auf dem Anzeigeabschnitt **943** angezeigt werden, können entsprechend dem Winkel an dem Gelenk **946** zwischen dem ersten Gehäuse **941** und dem zweiten Gehäuse **942** umgeschaltet werden. Beliebige der Transistoren der Ausführungsformen 1 bis 4 können als Transistoren in dem Anzeigeabschnitt **943** und dergleichen verwendet werden. Des Weiteren können beliebige der Transistoren der Ausführungsformen 1 bis 4 in einer CPU, einer Speichervorrichtung oder dergleichen, die nicht in Fig. 30E dargestellt ist, verwendet werden.

[0534] Fig. 30F stellt ein Beispiel für ein Auto dar, das eine Karosserie **951**, Räder **952**, ein Armaturenbrett **953**, Scheinwerfer **954** und dergleichen beinhaltet. Einer der Transistoren der Ausführungsformen 1 bis 4 kann in einer CPU, einer Speichervorrichtung oder dergleichen, die nicht in Fig. 30F dargestellt ist, verwendet werden.

[0535] Diese Ausführungsform kann in geeigneter Weise mit jeder der anderen Ausführungsformen in dieser Beschreibung kombiniert werden.

[Beispiel 1]

[0536] Dieses Beispiel zeigt die Ergebnisse der Berechnung der Konzentration von injiziertem Sauerstoff in der Tiefenrichtung eines Oxidhalbleiterfilms, in den Sauerstoffionen injiziert werden. In diesem Beispiel wird als Oxidhalbleiterfilm, in den Sauerstoffionen injiziert werden, der Oxidhalbleiterfilm **107** vorausgesetzt, der in Kontakt mit dem Gate-Isolierfilm **105** ist und in Fig. 1A bis Fig. 1C dargestellt ist.

[0537] Für die Berechnung wurde „Transport of Ions in Matter (TRIM)“ verwendet.

[0538] Eine Probe, die bei dieser Berechnung verwendet wurde, weist eine Struktur auf, bei der ein Siliziumoxidfilm und ein Oxidhalbleiterfilm über einem Siliziumwafer sequentiell angeordnet sind.

[0539] Der Siliziumoxidfilm weist ein Elementatomverhältnis von Si:O = 1:2, eine Dicke von 100 nm und eine Dichte von 2,2 g/cm³ auf. Der Oxidhalbleiterfilm ist ein IGZO-Film mit einem Elementatomverhältnis von In:Ga:Zn:O = 1:3:4:10, einer Dicke von 20 nm und einer Dichte von 5,91 g/cm³. Als Ionenspezies wurden Sauerstoffatomionen mit einem Molekülgewicht von 16 verwendet. Die Dosierung betrug 1×10^{16} Ionen/cm².

[0540] Fig. 31 zeigt die Berechnungsergebnisse unter den Bedingungen, bei denen die Beschleunigungsspannung beim Injizieren der Ionenarten 2,5 kV, 5 kV und 7,5 kV betrug. In Fig. 31 stellt SiO₂ den Siliziumoxidfilm dar, und IGZO(134) stellt den Oxidhalbleiterfilm dar.

[0541] In Fig. 31 stellen die horizontale Achse und die vertikale Achse die Tiefenrichtung bzw. die Sauerstoffkonzentration dar. Die durchgezogene Linie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 2,5 kV dar, die gestrichelte Linie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 5 kV dar, und die Strichpunktlinie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 7,5 kV dar.

[0542] Diese Ergebnisse zeigen, dass, indem die Beschleunigungsspannung der Ionenarten und die Dicke des Oxidhalbleiterfilms reguliert werden, die Konzentration von injiziertem Sauerstoff an der Grenzfläche zwischen

dem Siliziumoxidfilm und dem Oxidhalbleiterfilm gesteuert werden kann. Zudem kann die Menge an Sauerstoff, der in den Siliziumoxidfilm injiziert wird, gesteuert werden.

[Beispiel 2]

[0543] Dieses Beispiel zeigt die Ergebnisse der Berechnung der Konzentration von injiziertem Sauerstoff in der Tiefenrichtung eines Oxidhalbleiterfilms, in den Sauerstoffionen injiziert werden. In diesem Beispiel wird als Oxidhalbleiterfilm, in den Sauerstoffionen injiziert werden, der Oxidhalbleiterfilm **115** vorausgesetzt, der in Kontakt mit dem Gate-Isolierfilm **117** ist und in **Fig. 1A** bis **Fig. 1C** dargestellt ist.

[0544] Für die Berechnung wurde TRIM verwendet.

[0545] Eine Probe, die bei dieser Berechnung verwendet wurde, weist eine Struktur auf, bei der ein Siliziumoxidfilm, ein erster Oxidhalbleiterfilm, ein zweiter Oxidhalbleiterfilm und ein dritter Oxidhalbleiterfilm über einem Siliziumwafer nacheinander angeordnet sind.

[0546] Der Siliziumoxidfilm weist ein Elementatomverhältnis von Si:O = 1:2, eine Dicke von 100 nm und eine Dichte von 2,2 g/cm³ auf. Der erste Oxidhalbleiterfilm ist ein IGZO-Film mit einem Elementatomverhältnis von In:Ga:Zn:O = 1:3:4:10, einer Dicke von 20 nm und einer Dichte von 5,91 g/cm³. Der zweite Oxidhalbleiterfilm ist ein IGZO-Film mit einem Elementatomverhältnis von In:Ga:Zn:O = 1:1:1:4, einer Dicke von 15 nm und einer Dichte von 6,24 g/cm³. Der dritte Oxidhalbleiterfilm ist ein IGZO-Film mit einem Elementatomverhältnis von In:Ga:Zn:O = 1:3:2:8, einer Dicke von 5 nm und einer Dichte von 5,71 g/cm³. Als Ionenarten wurden Sauerstoffatomionen mit einem Molekulargewicht von 16 verwendet. Die Dosierung betrug 1×10^{16} Ionen/cm².

[0547] **Fig. 32** zeigt die Berechnungsergebnisse unter den Bedingungen, bei denen die Beschleunigungsspannung beim Injizieren der Ionenarten 2,5 kV, 5 kV, 7,5 kV, 10 kV und 15 kV betrug. In **Fig. 32** stellt SiO₂ den Siliziumoxidfilm dar, IGZO(134) stellt den ersten Oxidhalbleiterfilm dar, IGZO(111) stellt den zweiten Oxidhalbleiterfilm dar, und IGZO(132) stellt den dritten Oxidhalbleiterfilm dar.

[0548] In **Fig. 32** stellen die horizontale Achse und die vertikale Achse die Tiefenrichtung bzw. die Sauerstoffkonzentration dar. Die dünne durchgezogene Linie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 2,5 kV dar, die dünne gestrichelte Linie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 5 kV dar, und die dünne Strichpunktlinie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 7,5 kV dar. Die dicke durchgezogene Linie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 10 kV dar, und die dicke gestrichelte Linie stellt die Berechnungsergebnisse bei einer Beschleunigungsspannung von 15 kV dar.

[0549] Diese Ergebnisse zeigen, dass, indem die Beschleunigungsspannung der Ionenarten und die Dicke des Oxidhalbleiterfilms reguliert werden, die Konzentration von injiziertem Sauerstoff an der Grenzfläche zwischen dem Siliziumoxidfilm und dem Oxidhalbleiterfilm gesteuert werden kann. Zudem kann die Menge an Sauerstoff, der in den Siliziumoxidfilm injiziert wird, gesteuert werden.

[Beispiel 3]

[0550] Dieses Beispiel zeigt die Messergebnisse der Anzahl von Defekten in einem Oxidisolierfilm, der in Kontakt mit einem Oxidhalbleiterfilm ist.

<Herstellungsverfahren von Proben>

[0551] In diesem Beispiel wurden eine Probe A1 und eine Probe A2 hergestellt.

<Probe A1>

[0552] Ein Herstellungsverfahren der Probe A1 wird anhand von **Fig. 33A** bis **Fig. 33D** beschrieben.

[0553] Wie in **Fig. 33A** dargestellt, wurde ein 100 nm dicker Siliziumoxidfilm **303** über einem Quarzsubstrat **301** ausgebildet, und ein 40 nm dicker erster IGZO-Film **305** wurde über dem Siliziumoxidfilm **303** ausgebildet. Dann wurden Sauerstoffatomionen **306** in den ersten IGZO-Film **305** injiziert. Folglich wurde ein erster IGZO-Film **305a**, dem Sauerstoffatomionen zugesetzt worden sind, wie in **Fig. 33B** erhalten.

[0554] Der Siliziumoxidfilm **303** wurde durch ein Plasma-CVD-Verfahren unter den Bedingungen ausgebildet, bei denen 1 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 500°C betrug und eine Leistung von 150 W zugeführt wurde.

[0555] Der erste IGZO-Film **305** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:3:4 als Sputtertarget verwendet wurde, ein 11% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 200°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0556] Die Sauerstoffatomionen **306** wurden dem ersten IGZO-Film **305** durch ein Ionenimplantationsverfahren bei einer Beschleunigungsspannung von 5 kV in einer Dosierung von 1×10^{16} Ionen/cm² zugesetzt.

[0557] Dann wurde wie in **Fig. 33C** ein 50 nm dicker zweiter IGZO-Film **307** über dem ersten IGZO-Film **305a** ausgebildet, dem die Sauerstoffatomionen zugesetzt worden waren.

[0558] Der zweite IGZO-Film **307** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:1:1 als Sputtertarget verwendet wurde, ein 11% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 300°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0559] Als Nächstes wurde eine Wärmebehandlung wie in **Fig. 33D** durchgeführt. Als Ergebnis diffundierte ein Teil von Sauerstoff, der in dem ersten IGZO-Film **305a** enthalten war, in den zweiten IGZO-Film **307**. In **Fig. 33D** werden der erste IGZO-Film und der zweite IGZO-Film nach der Wärmebehandlung als ein erster IGZO-Film **305b** bzw. ein zweiter IGZO-Film **307a** bezeichnet.

[0560] Hier wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Stickstoffatmosphäre durchgeführt, und danach wurde eine weitere Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt.

[0561] Durch die vorstehenden Schritte wurde die Probe A1 hergestellt.

<Probe A2>

[0562] Ein Herstellungsverfahren der Probe A2 wird anhand von **Fig. 33E** bis **Fig. 33I** beschrieben. Es sei angemerkt, dass sich die Probe A2 von der Probe A1 in dem Material für das Substrat und der Ausbildungstemperatur des Siliziumoxidfilms unterscheidet und auch darin unterscheidet, dass Sauerstoffatomionen dem Siliziumoxidfilm zugesetzt werden.

[0563] Wie in **Fig. 33E** dargestellt, wurde ein 100 nm dicker Siliziumoxidfilm **312** an der Oberfläche eines Siliziumwafers **311** ausgebildet, indem der Siliziumwafer **311** erwärmt wurde. Dann wurde ein 300 nm dicker Siliziumoxidfilm **313** über dem Siliziumoxidfilm **312** ausgebildet. Danach wurden Sauerstoffatomionen **316** in den Siliziumoxidfilm **313** injiziert. Folglich wurde ein Siliziumoxidfilm **313a**, dem die Sauerstoffatomionen zugesetzt worden waren, wie in **Fig. 33F** erhalten.

[0564] Der Siliziumoxidfilm **312** wurde an der Oberfläche des Siliziumwafers **311** ausgebildet, indem der Siliziumwafer **311** bei 950°C in einer Wasserdampf-atmosphäre erwärmt wurde.

[0565] Der Siliziumoxidfilm **313** wurde durch ein Plasma-CVD-Verfahren unter den Bedingungen ausgebildet, bei denen 2,3 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 400°C betrug und eine Leistung von 50 W zugeführt wurde.

[0566] Die Sauerstoffatomionen **316** wurden dem Siliziumoxidfilm **313** durch ein Ionenimplantationsverfahren bei einer Beschleunigungsspannung von 60 kV in einer Dosierung von 2×10^{16} Ionen/cm² zugesetzt.

[0567] Dann wurde wie in **Fig. 33G** ein 80 nm dicker erster IGZO-Film **315** über dem Siliziumoxidfilm **313a** ausgebildet. Danach wurde ein 15 nm dicker zweiter IGZO-Film **317** über dem ersten IGZO-Film **315** ausgebildet.

[0568] Der erste IGZO-Film **315** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:3:2 als Sputtertarget verwendet wurde, ein 11% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 200°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0569] Der zweite IGZO-Film **317** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:1:1 als Sputtertarget verwendet wurde, ein 33% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 300°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0570] Als Nächstes wurde eine Wärmebehandlung durchgeführt. Als Ergebnis diffundierte ein Teil von Sauerstoff, der in dem Siliziumoxidfilm **313a** enthalten war, in den ersten IGZO-Film **315** und den zweiten IGZO-Film **317**. In **Fig. 33H** werden der Siliziumoxidfilm, der erste IGZO-Film und der zweite IGZO-Film nach der Wärmebehandlung als ein Siliziumoxidfilm **313b**, ein erster IGZO-Film **315a** bzw. ein zweiter IGZO-Film **317a** bezeichnet.

[0571] Hier wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Stickstoffatmosphäre durchgeführt, und danach wurde eine weitere Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt.

[0572] Dann wurden wie in **Fig. 33I** der erste IGZO-Film **315a** und der zweite IGZO-Film **317a** entfernt.

[0573] Durch die vorstehenden Schritte wurde die Probe A2 hergestellt.

<ESR-Messung>

[0574] Die Proben A1 und A2 wurden einer ESR-Messung unterzogen. Dabei wurde die ESR-Messung unter den folgenden Bedingungen durchgeführt. Für die Probe A1 betrug die Messtemperatur 10 K, die Hochfrequenzleistung von 9,45 GHz betrug 0,05 mW, und die Richtung eines Magnetfeldes war parallel zu einer Oberfläche der Probe. Für die Probe A2 betrug die Messtemperatur 100 K, die Hochfrequenzleistung von 9,15 GHz betrug 4 mW, und die Richtung eines Magnetfeldes war parallel zu einer Oberfläche der Probe. Die untere Nachweisgrenze der Spin-Dichte eines Signals, das auf NO_x zurückzuführen ist, beträgt $1,0 \times 10^{17}$ Spins/cm³ bei einer Messtemperatur von 100 K. Eine kleinere Anzahl von Spins bedeutet eine kleinere Anzahl von Defekten in dem Film.

[0575] **Fig. 34A** und **Fig. 34B** zeigen die Messergebnisse der Probe A1 bzw. der Probe A2. Die Spin-Dichte der Probe A1 war niedriger als die Nachweisgrenze. Bei der Probe A2 wurden ein erstes Signal, das bei einem g-Faktor von größer als oder gleich 2,037 und kleiner als oder gleich 2,039 erscheint, ein zweites Signal, das bei einem g-Faktor von größer als oder gleich 2,001 und kleiner als oder gleich 2,003 erscheint, und ein drittes Signal, das bei einem g-Faktor von größer als oder gleich 1,964 und kleiner als oder gleich 1,966 erscheint, beobachtet. Diese drei Signale sind auf NO_x zurückzuführen und stellen Spaltungen einer Hyperfine-Struktur dar, die aus dem Kernspin eines N-Atoms stammt. Die Signale, die auf NO_x zurückzuführen sind, weisen anisotrope Spin-Arten auf, und die Wellenform ist daher asymmetrisch. Die Spin-Dichte der Probe A2 betrug $5,5 \times 10^{17}$ Spins/cm³.

[0576] **Fig. 34A** und **Fig. 34B** deuten darauf hin, dass die Anzahl von Defekten in dem Siliziumoxidfilm, der als Basisfilm des Oxidhalbleiterfilms dient, zunimmt, wenn Sauerstoffatomionen dem Siliziumoxidfilm zugesetzt werden und die Wärmebehandlung durchgeführt wird. Im Gegensatz dazu nimmt dann, wenn Sauerstoffatomionen dem Oxidhalbleiterfilm zugesetzt werden, die Anzahl von Defekten in dem Siliziumoxidfilm ab, der als Basisfilm des Oxidhalbleiterfilms dient.

[0577] Als Nächstes wird die Beziehung zwischen der Ausbildungstemperatur des Siliziumoxidfilms, der als Basisfilm des Oxidhalbleiterfilms dient, und der Anzahl von Defekten in dem Siliziumoxidfilm beschrieben. Es

wird auch die Anzahl von Defekten in dem Siliziumoxidfilm in Bezug auf den Zusatz von Sauerstoffatomionen zu dem Oxidhalbleiterfilm beschrieben.

<Probe A3>

[0578] Ein Herstellungsverfahren einer Probe A3 wird anhand von **Fig. 35A** und **Fig. 35B** beschrieben.

[0579] Wie in **Fig. 35A** dargestellt, wurde ein 400 nm dicker Siliziumoxidfilm **322** an der Oberfläche eines Siliziumwafers **321** ausgebildet, indem der Siliziumwafer **321** erwärmt wurde. Dann wurde ein 100 nm dicker Siliziumoxidfilm **323** über dem Siliziumoxidfilm **322** ausgebildet. Danach wurde ein 20 nm dicker erster IGZO-Film **325** über dem Siliziumoxidfilm **323** ausgebildet. Danach wurde ein 20 nm dicker zweiter IGZO-Film **327** über dem ersten IGZO-Film **325** ausgebildet.

[0580] Der Siliziumoxidfilm **322** wurde an der Oberfläche des Siliziumwafers **321** ausgebildet, indem der Siliziumwafer **321** bei 950°C in einer Wasserdampfatmosfera erwärmt wurde.

[0581] Der Siliziumoxidfilm **323** wurde durch ein Plasma-CVD-Verfahren unter den Bedingungen ausgebildet, bei denen 1 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 500°C betrug und eine Leistung von 150 W zugeführt wurde.

[0582] Der erste IGZO-Film **325** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:3:4 als Sputtertarget verwendet wurde, ein 11% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 200°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0583] Der zweite IGZO-Film **327** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:1:1 als Sputtertarget verwendet wurde, ein 33% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 300°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0584] Als Nächstes wurde eine Wärmebehandlung durchgeführt. In **Fig. 35B** werden der erste IGZO-Film und der zweite IGZO-Film nach der Wärmebehandlung als ein erster IGZO-Film **325a** bzw. ein zweiter IGZO-Film **327a** bezeichnet.

[0585] Hier wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Stickstoffatmosfera durchgeführt, und danach wurde eine weitere Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosfera durchgeführt.

[0586] Durch die vorstehenden Schritte wurde die Probe A3 hergestellt.

<Probe A4>

[0587] Die Herstellungsbedingungen einer Probe A4 unterscheiden sich von denjenigen der Probe A3 in der Ausbildungstemperatur des Siliziumoxidfilms **323**.

[0588] Der Siliziumoxidfilm **323** wurde durch ein Plasma-CVD-Verfahren unter den Bedingungen ausgebildet, bei denen 1 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 400°C betrug und eine Leistung von 150 W zugeführt wurde.

<Probe A5>

[0589] Ein Herstellungsverfahren einer Probe A5 wird anhand von **Fig. 35C** bis **Fig. 35F** beschrieben. Die Probe A5 unterscheidet sich von der Probe A3 darin, dass Sauerstoffatomionen dem ersten IGZO-Film zugeetzt werden.

[0590] Wie in **Fig. 35C** dargestellt, wurde der 400 nm dicke Siliziumoxidfilm **322** an der Oberfläche des Siliziumwafers **321** ausgebildet, indem der Siliziumwafer **321** erwärmt wurde. Dann wurde der 100 nm dicke Siliziumoxidfilm **323** über dem Siliziumoxidfilm **322** ausgebildet. Danach wurde der 20 nm dicke erste IGZO-Film **325** über dem Siliziumoxidfilm **323** ausgebildet. Dann wurden Sauerstoffatome **326** dem ersten IGZO-Film **325** zugesetzt. Folglich wurde ein erster IGZO-Film **325a**, dem die Sauerstoffatome zugesetzt worden waren, wie in **Fig. 35D** erhalten.

[0591] Der Siliziumoxidfilm **322**, der Siliziumoxidfilm **323** und der erste IGZO-Film **325** wurden unter den gleichen Bedingungen wie bei der Probe A3 ausgebildet. Das heißt, dass der Siliziumoxidfilm **323** in der Probe A5 bei einer Substrattemperatur von 500°C ausgebildet wurde.

[0592] Die Sauerstoffatome **326** wurden dem ersten IGZO-Film **325** durch ein Ionenimplantationsverfahren bei einer Beschleunigungsspannung von 5 kV in einer Dosierung von 1×10^{16} Ionen/cm² zugesetzt.

[0593] Dann wurde wie in **Fig. 35E** der 20 nm dicke zweite IGZO-Film **327** über dem ersten IGZO-Film **325a** ausgebildet.

[0594] Der zweite IGZO-Film **327** wurde durch ein Sputterverfahren unter den Bedingungen ausgebildet, bei denen ein In-Ga-Zn-Oxidtarget mit einem Atomverhältnis von In:Ga:Zn = 1:1:1 als Sputtertarget verwendet wurde, ein 33% Sauerstoff (mit Argon verdünnt) enthaltendes Gas als Sputtergas verwendet wurde, der Druck in einer Reaktionskammer 0,7 Pa betrug, die Substrattemperatur 300°C betrug und eine Gleichstromleistung von 0,5 kW zugeführt wurde.

[0595] Als Nächstes wurde eine Wärmebehandlung durchgeführt. Als Ergebnis diffundierte ein Teil von Sauerstoff, der in dem ersten IGZO-Film **325a** enthalten war, in den zweiten IGZO-Film **327**. In **Fig. 35F** werden der erste IGZO-Film und der zweite IGZO-Film nach der Wärmebehandlung als ein erster IGZO-Film **325b** bzw. ein zweiter IGZO-Film **327a** bezeichnet.

[0596] Hier wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Stickstoffatmosphäre durchgeführt, und danach wurde eine weitere Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt.

[0597] Durch die vorstehenden Schritte wurde die Probe A5 hergestellt.

<Probe A6>

[0598] Die Herstellungsbedingungen einer Probe A6 unterscheiden sich von denjenigen der Probe A5 in der Ausbildungstemperatur des Siliziumoxidfilms **323**.

[0599] Der Siliziumoxidfilm **323** wurde durch ein Plasma-CVD-Verfahren unter den Bedingungen ausgebildet, bei denen 1 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 400°C betrug und eine Leistung von 150 W zugeführt wurde.

<ESR-Messung>

[0600] Als Nächstes wurden die Proben A3 bis A6 einer ESR-Messung unterzogen. Hierbei wurde die ESR-Messung unter den folgenden Bedingungen durchgeführt: Die Messtemperatur betrug 10 K, die Hochfrequenzleistung von 9,55 GHz betrug 0,1 mW, und die Richtung eines Magnetfeldes war parallel zu einer Oberfläche der Probe. Die untere Nachweisgrenze der Spin-Dichte eines Signals, das auf NO_x zurückzuführen ist, beträgt $8,7 \times 10^{15}$ Spins/cm³ bei einer Messtemperatur von 10 K.

[0601] **Fig. 36A** zeigt die Messergebnisse der Proben A3 und A4, und **Fig. 36B** zeigt die Messergebnisse der Proben A5 und A6. **Fig. 36A** und **Fig. 36B** zeigen auch die Spin-Dichten der drei Signale, die auf NO_x zurückzuführen sind, in den Proben A3 bis A6. Wie in **Fig. 36A** gezeigt, war die Spin-Dichte der Probe A3 niedriger als die Nachweisgrenze. Die Spin-Dichte der Probe A4 betrug $8,7 \times 10^{15}$ Spins/cm³. Die Spin-Dichte der Probe A5 betrug $7,2 \times 10^{16}$ Spins/cm³. Die Spin-Dichte der Probe A6 betrug $1,6 \times 10^{17}$ Spins/cm³. Wie in **Fig. 36B** gezeigt, wurden die drei Signale, die auf NO_x zurückzuführen sind, in jeder der Proben A5 und A6 beobachtet.

[0602] Fig. 37 zeigt die Spin-Dichten der drei Signale, die auf NO_x zurückzuführen sind, in den Proben A3 bis A6.

[0603] Fig. 36A und Fig. 36B sowie Fig. 37 deuten darauf hin, dass dann, wenn der Siliziumoxidfilm, der als Basisfilm des ersten IGZO-Films dient, bei einer höheren Temperatur ausgebildet wird, die Anzahl von Defekten in dem Siliziumoxidfilm verringert werden kann.

[0604] Fig. 36A und Fig. 36B sowie Fig. 37 deuten auch darauf hin, dass Defekte in dem Siliziumoxidfilm, der als Basisfilm dient, erzeugt werden, wenn Sauerstoffatomionen dem Oxidhalbleiterfilm zugesetzt werden.

[Beispiel 4]

[0605] In diesem Beispiel werden die Beziehung zwischen der Ausbildungstemperatur eines Oxidisolierfilms und der Menge an Wasser, das durch eine Wärmebehandlung von dem Film abgegeben wird, und die Beziehung zwischen der Ausbildungstemperatur des Oxidisolierfilms und der Stickstoffkonzentration des Films beschrieben.

<Herstellungsverfahren von Proben>

[0606] In diesem Beispiel wurden Proben B1 bis B5 hergestellt.

<Probe B1>

[0607] Ein 100 nm dicker Siliziumoxidfilm wurde an der Oberfläche eines Siliziumwafers ausgebildet, indem der Siliziumwafer erwärmt wurde. Dann wurde ein 100 nm dicker Siliziumoxidfilm über dem Siliziumoxidfilm ausgebildet.

[0608] Der Siliziumoxidfilm wurde an der Oberfläche des Siliziumwafers ausgebildet, indem der Siliziumwafer bei 950°C in einer Sauerstoffatmosphäre, der HCL zugesetzt worden war, erwärmt wurde.

[0609] Der Siliziumoxidfilm wurde durch ein Plasma-CVD-Verfahren unter den Bedingungen ausgebildet, bei denen 1 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 350°C betrug und eine Leistung von 150 W zugeführt wurde.

[0610] Durch die vorstehenden Schritte wurde die Probe B1 hergestellt.

<Probe B2>

[0611] Die Probe B2 wurde in ähnlicher Weise wie die Probe B1 hergestellt, mit der Ausnahme, dass der Siliziumoxidfilm bei 400°C ausgebildet wurde.

<Probe B3>

[0612] Die Probe B3 wurde in ähnlicher Weise wie die Probe B1 hergestellt, mit der Ausnahme, dass der Siliziumoxidfilm bei 450°C ausgebildet wurde.

<Probe B4>

[0613] Die Probe B4 wurde in ähnlicher Weise wie die Probe B1 hergestellt, mit der Ausnahme, dass der Siliziumoxidfilm bei 500°C ausgebildet wurde.

<Probe B5>

[0614] Die Probe B5 wurde in ähnlicher Weise wie die Probe B1 hergestellt, mit der Ausnahme, dass der Siliziumoxidfilm bei 550°C ausgebildet wurde.

<TDS-Messung>

[0615] Als Nächstes wurden die Proben B1 bis B5 einer TDS-Analyse unterzogen.

[0616] Die Peaks der Kurven, die in den durch die TDS-Analyse erhaltenen Ergebnissen gezeigt sind, erscheinen wegen einer Abgabe von Atomen oder Molekülen nach außen, die in den analysierten Proben (den Proben B1 bis B5 in diesem Beispiel) enthalten sind. Die Gesamtmenge der Atome oder Moleküle, die nach außen abgegeben werden, entspricht dem Integralwert des Peaks. Deshalb kann die Gesamtmenge der Atome oder Moleküle, die in dem Siliziumoxynitridfilm enthalten sind, aus dem Grad der Peakintensität bestimmt werden.

[0617] Fig. 38 zeigt die Ergebnisse der TDS-Analyse an den Proben B1 bis B5. Fig. 38 ist ein Diagramm, das die Menge an abgegebenem Wasser gegenüber der Substrattemperatur zeigt.

[0618] Fig. 38 zeigt, dass die Menge an abgegebenem Wasser mit der erhöhten Temperatur bei der Wärmebehandlung zunimmt, auch wenn der Siliziumoxidfilm bei hoher Temperatur ausgebildet wird. Im Besonderen ist die Wahrscheinlichkeit hoch, dass sich die Menge an abgegebenem Wasser erhöht, wenn die Wärmebehandlung bei einer Temperatur durchgeführt wird, die höher ist als die Ausbildungstemperatur des Siliziumoxidfilms.

<SIMS-Analyse>

[0619] Als Nächstes wurden die Siliziumoxidfilme, die in den Proben B1 bis B5 enthalten waren, einer SIMS-Analyse unterzogen. Es sei angemerkt, dass hier der Siliziumoxidfilm nicht durch die Erwärmung des Siliziumwafers ausgebildet wurde; Stattdessen wurde ein 100 nm dicker Siliziumoxidfilm auf einem Siliziumwafer unter den Bedingungen der Proben B1 bis B5 ausgebildet. Proben, die die Siliziumoxidfilme beinhalten, die unter den jeweiligen Bedingungen der Proben B1 bis B5 ausgebildet wurden, werden als Proben B1a bis B5a bezeichnet. Bei jeder der Proben wurde die Stickstoffkonzentration von dem Siliziumwafer (Si) bis zu dem Siliziumoxidfilm (SiON) gemessen. Fig. 39 zeigt die Messergebnisse der Proben B1a bis B5a.

[0620] In Fig. 39 stellt die horizontale Achse den Abstand in der Tiefenrichtung dar, und die vertikale Achse stellt die Stickstoffkonzentration dar.

[0621] Die Sauerstoffkonzentration der Probe B1a betrug 6×10^{20} Atome/cm³; diejenige der Probe B2a betrug 4×10^{20} Atome/cm³; diejenige der Probe B3a betrug 2×10^{20} Atome/cm³; diejenige der Probe B4a betrug 7×10^{19} Atome/cm³; und diejenige der Probe B5a betrug 2×10^{19} Atome/cm³.

[0622] Die Wasserstoffkonzentrationen der Proben B1a bis B5a wurden auch gemessen. Bei jeder der Proben wurde die Wasserstoffkonzentration von dem Siliziumwafer (Si) bis zu dem Siliziumoxidfilm (SiON) gemessen. Fig. 46 zeigt die Messergebnisse der Proben B1a bis B5a.

[0623] In Fig. 46 stellt die horizontale Achse den Abstand in der Tiefenrichtung dar, und die vertikale Achse stellt die Wasserstoffkonzentration dar.

[0624] Die Wasserstoffkonzentration der Probe B1a betrug 7×10^{20} Atome/cm³, die Wasserstoffkonzentration der Probe B2a betrug 6×10^{20} Atome/cm³, die Wasserstoffkonzentration der Probe B3a betrug 5×10^{20} Atome/cm³, die Wasserstoffkonzentration der Probe B4a betrug 4×10^{19} Atome/cm³, und die Wasserstoffkonzentration der Probe B5a betrug 3×10^{19} Atome/cm³.

[0625] Es ist bekannt, dass es aufgrund des Messprinzips der SIMS-Analyse schwierig ist, präzise Daten in der Nachbarschaft zu einer Oberfläche einer Probe oder in der Nachbarschaft zu einer Grenzfläche zwischen angeordneten Filmen aus verschiedenen Materialien zu erhalten. Daher wird in dem Fall, in dem die Verteilungen der Konzentrationen von Stickstoff in dem Film in der Dickenrichtung durch SIMS analysiert werden, als Konzentration von Stickstoff ein Durchschnittswert in einem Bereich verwendet, in dem der Film bereitgestellt ist, sich der Wert nicht stark verändert und eine im Wesentlichen konstante Intensität erhalten werden kann.

[0626] Fig. 39 zeigt, dass sich die Stickstoffkonzentration des Siliziumoxidfilms verringert, wenn dessen Ausbildungstemperatur ansteigt. Fig. 46 zeigt, dass sich die Wasserstoffkonzentration des Siliziumoxidfilms verringert, wenn dessen Ausbildungstemperatur ansteigt. Der Vergleich zwischen Fig. 39 und Fig. 46 deutet darauf hin, dass sich dann, wenn die Ausbildungstemperatur ansteigt, die Stickstoffkonzentration stärker verringert als die Wasserstoffkonzentration.

[Beispiel 5]

[0627] Dieses Beispiel zeigt die Herstellung von Transistoren und die Messergebnisse der elektrischen Eigenschaften der Transistoren.

<Herstellungsverfahren einer Probe C1>

[0628] Zuerst wird ein Herstellungsprozess der Probe C1, die einen Transistor beinhaltet, beschrieben. In diesem Beispiel wird ein Verfahren zum Herstellen des Transistors anhand von **Fig. 3A bis Fig. 3D**, **Fig. 6A bis Fig. 6C** und **Fig. 7A bis Fig. 7D** beschrieben.

[0629] Wie in **Fig. 3A** dargestellt, wurde ein Isolierfilm (nicht dargestellt) über dem Substrat **101** ausgebildet, und die Gate-Elektrode **103** wurde über dem Isolierfilm ausgebildet. Als Nächstes wurde der Isolierfilm **104** über dem Isolierfilm und der Gate-Elektrode **103** ausgebildet, und der Oxidhalbleiterfilm **106** wurde über dem Isolierfilm **104** ausgebildet. Als Nächstes wurde der Sauerstoff **108** dem Oxidhalbleiterfilm **106** zugesetzt, so dass der Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden ist, wie in **Fig. 3B** ausgebildet wurde.

[0630] Ein Siliziumwafer wurde als das Substrat **101** verwendet.

[0631] Das Substrat **101** wurde bei 950°C in einer Wasserdampfatmosphäre erwärmt, so dass ein 400 nm dicker Siliziumoxidfilm als Isolierfilm an der Oberfläche des Substrats **101** ausgebildet wurde.

[0632] Des Weiteren wurde ein 50 nm dicker Wolframfilm durch ein Sputterverfahren über dem Isolierfilm ausgebildet, eine Maske wurde durch einen Fotolithografieprozess über dem Wolframfilm ausgebildet, und der Wolframfilm wurde selektiv geätzt, so dass die Gate-Elektrode **103** ausgebildet wurde. Dann wurde die Maske entfernt.

[0633] Als der Isolierfilm **104** wurde ein 100 nm dicker Siliziumoxidfilm durch ein Plasma-CVD-Verfahren ausgebildet.

[0634] Der Siliziumoxidfilm wurde unter den Bedingungen ausgebildet, bei denen 1 sccm Silan und 800 sccm Distickstoffmonoxid als Quellengase verwendet wurden, der Druck in einer Reaktionskammer 40 Pa betrug, die Substrattemperatur 500°C betrug und eine Leistung von 150 W zugeführt wurde.

[0635] Als der Oxidhalbleiterfilm **106** wurde ein 40 nm dicker In-Ga-Zn-Oxidfilm durch ein Sputterverfahren ausgebildet. Die Sputterbedingungen zu diesem Zeitpunkt waren wie folgt: Ein Target mit einem Verhältnis von In:Ga:Zn = 1:3:4 wurde verwendet, 11% Sauerstoff wurde als Sputtergas in eine Kammer unter einem Druck von 0,7 Pa eingeleitet, die Substrattemperatur betrug 200°C, und eine Leistung von 0,5 kW wurde zugeführt.

[0636] Sauerstoffmolekülonen wurden als der Sauerstoff **108** durch ein Ionenimplantationsverfahren bei einer Beschleunigungsspannung von 5 kV in einer Dosierung von 1×10^{16} Ionen/cm² zugesetzt.

[0637] Als Nächstes wurde wie in **Fig. 3B** der Oxidhalbleiterfilm **109** über dem Oxidhalbleiterfilm **106a**, dem Sauerstoff zugesetzt worden war, ausgebildet.

[0638] Als der Oxidhalbleiterfilm **109** wurde ein 20 nm dicker In-Ga-Zn-Oxidfilm durch ein Sputterverfahren ausgebildet. Die Sputterbedingungen zu diesem Zeitpunkt waren wie folgt: Ein Target mit einem Verhältnis von In:Ga:Zn = 1:1:1 wurde verwendet, 33% Sauerstoff wurde als Sputtergas in eine Kammer unter einem Druck von 0,7 Pa eingeleitet, die Substrattemperatur betrug 300°C, und eine Leistung von 0,5 kW wurde zugeführt.

[0639] Dann wurde eine Wärmebehandlung durchgeführt, so dass ein Teil von Sauerstoff, der in dem Oxidhalbleiterfilm **106a** enthalten war, auf den Oxidhalbleiterfilm **109** übertragen wurde; somit wurden der Oxidhalbleiterfilm **106b** und der Oxidhalbleiterfilm **109a**, in denen Sauerstofffehlstellen verringert worden waren, wie in **Fig. 3C** ausgebildet. An der Probe C1 wurde die Wärmebehandlung bei einer Temperatur durchgeführt, die niedriger ist als die Ausbildungstemperatur des Isolierfilms **104**.

[0640] Hier wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Stickstoffatmosphäre durchgeführt, und danach wurde eine weitere Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt.

[0641] Als Nächstes wurde wie in **Fig. 8A** der leitende Film **112** über dem Oxidhalbleiterfilm **109a** ausgebildet.

[0642] Hier wurde als der leitende Film **112** ein 100 nm dicker Wolframfilm durch ein Sputterverfahren ausgebildet.

[0643] Als Nächstes wurde eine Maske über dem leitenden Film **112** durch einen Fotolithografieprozess ausgebildet, und dann wurden der Isolierfilm **104**, der Oxidhalbleiterfilm **106a**, der Oxidhalbleiterfilm **109a** und der leitende Film **112** geätzt; daher wurden der Gate-Isolierfilm **105**, der Oxidhalbleiterfilm **107**, der Oxidhalbleiterfilm **110** und der leitende Film **113** wie in **Fig. 8B** ausgebildet.

[0644] Als Nächstes wurden ein Oxidhalbleiterfilm, ein Isolierfilm und ein leitender Film über dem Paar von Elektroden **113a** und **113b** sowie dem Oxidhalbleiterfilm **111** übereinander angeordnet. Dann wurde eine Maske durch einen Fotolithografieprozess über dem leitenden Film ausgebildet, und der Oxidhalbleiterfilm, der Isolierfilm und der leitende Film wurden geätzt, um den Oxidhalbleiterfilm **115**, den Gate-Isolierfilm **117** und die Gate-Elektrode **119** wie in **Fig. 7A** bis **Fig. 7D** auszubilden.

[0645] Als der zu dem Oxidhalbleiterfilm **115** zu werdende Oxidhalbleiterfilm wurde ein 5 nm dicker In-Ga-Zn-Oxidfilm durch ein Sputterverfahren ausgebildet. Die Sputterbedingungen zu diesem Zeitpunkt waren wie folgt: Ein Target mit einem Verhältnis von In:Ga:Zn = 1:3:2 wurde verwendet, 33% Sauerstoff wurde als Sputtergas in eine Kammer unter einem Druck von 0,4 Pa eingeleitet, die Substrattemperatur betrug 200°C, und eine Leistung von 0,5 kW wurde zugeführt.

[0646] Als der zu dem Gate-Isolierfilm **117** zu werdende Isolierfilm wurde ein 20 nm dicker Siliziumoxynitridfilm durch ein Plasma-CVD-Verfahren ausgebildet.

[0647] Als der zu der Gate-Elektrode **119** zu werdende leitende Film wurden ein 30 nm dicker Tlitanitridfilm und ein 135 nm dicker Wolframfilm durch ein Sputterverfahren übereinander angeordnet.

[0648] Als Nächstes wurde der Isolierfilm **121** ausgebildet, und eine Wärmebehandlung wurde durchgeführt, um den Isolierfilm **123** auszubilden.

[0649] Als der Isolierfilm **121** wurde ein 140 nm dicker Aluminiumoxidfilm durch ein Sputterverfahren ausgebildet.

[0650] Die Wärmebehandlung wurde eine Stunde lang bei 400°C in einer Sauerstoffatmosphäre durchgeführt.

[0651] Als der Isolierfilm **123** wurde ein 300 nm dicker Siliziumoxidfilm durch ein Plasma-CVD-Verfahren ausgebildet.

[0652] Als Nächstes wurde eine Maske über dem Isolierfilm **121** und dem Isolierfilm **123** durch einen Fotolithografieprozess ausgebildet, ein Teil des Isolierfilms **121** und ein Teil des Isolierfilms **123** wurden geätzt, so dass ein Teil des Paares von Elektroden **113a** und **113b** freiliegt, und die Stecker **127a** und **127b** in **Fig. 7A** bis **Fig. 7D** wurden ausgebildet.

[0653] Hier wurden als die Stecker **127a** und **127b** ein 50 nm dicker Titanfilm, ein 300 nm dicker Aluminiumfilm und ein 5 nm dicker Titanfilm durch ein Sputterverfahren übereinander angeordnet.

[0654] Durch die vorstehenden Schritte wurde der Transistor hergestellt. Es sei angemerkt, dass der Transistor gestaltet wurde, um eine Kanallänge von 0,8 µm und eine Kanalbreite von 0,8 µm aufzuweisen.

<Herstellungsverfahren einer Probe C2>

[0655] Ein Transistor in der Probe C2 wurde in ähnlicher Weise wie das Probenelement C1 hergestellt, mit der Ausnahme, dass eine Wärmebehandlung nach der Ausbildung des Oxidhalbleiterfilms **109** bei 550°C durchgeführt wurde. Mit anderen Worten: Für die Probe C2 wurde die Wärmebehandlung bei einer Temperatur von höher als die Ausbildungstemperatur des Isolierfilms **104** durchgeführt.

<Messergebnisse der elektrischen Eigenschaften>

[0656] Als Nächstes wurden die elektrischen Eigenschaften der Transistoren gemessen. Zuerst wurden die elektrischen Eigenschaften vor einem Belastungstest (nachstehend als anfängliche Eigenschaften bezeichnet) gemessen. Die hier gemessenen Eigenschaften waren die V_g - I_d -Eigenschaften, nämlich ein Source-Drain-Strom (nachstehend als Drain-Strom bezeichnet), die sich veränderten, wenn eine Source-Gate-Spannung (nachstehend als Gate-Spannung bezeichnet) von -3 V bis zu $+3$ V bei einer Source-Drain-Spannung (nachstehend als Drain-Spannung bezeichnet) von $0,1$ V oder $1,8$ V variierte.

[0657] Als Nächstes wurde ein Belastungstest, hier ein BT-Belastungstest, an dem Transistor durchgeführt.

[0658] Der +GBT-Belastungstest wurde unter den Bedingungen durchgeführt, bei denen die Spannung (V_g) der Gate-Elektrode **119** $+3,3$ V betrug, die Spannung (V_d) der Elektrode **113c** 0 V betrug, die Spannung (V_s) der Elektrode **113d** 0 V betrug, die Spannung (V_{bg}) der Gate-Elektrode **103** 0 V betrug, die Substrattemperatur 150°C betrug und die Belastungszeit eine Stunde war. Dann wurden die V_g - I_d -Eigenschaften der Transistoren gemessen.

[0659] Der -GBT-Belastungstest wurde unter den Bedingungen durchgeführt, bei denen die Spannung (V_g) der Gate-Elektrode **119** $-1,8$ V betrug, die Spannung (V_d) der Elektrode **113c** 0 V betrug, die Spannung (V_s) der Elektrode **113d** 0 V betrug, die Spannung (V_{bg}) der Gate-Elektrode **103** 0 V betrug, die Substrattemperatur 85°C betrug und die Belastungszeit eine Stunde war. Dann wurden die V_g - I_d -Eigenschaften der Transistoren gemessen.

[0660] Die Schwellenspannung und der Verschiebungswert in dieser Beschreibung werden beschrieben. Die Schwellenspannung (V_{th}) wird bei der V_g - I_d -Kurve, bei der die horizontale Achse die Gate-Spannung (V_g [V]) darstellt und die vertikale Achse die Quadratwurzel des Drain-Stroms ($I_d^{1/2}$ [$\text{A}^{1/2}$]) darstellt, als Gate-Spannung an dem Kreuzungspunkt zwischen der Linie von $I_d^{1/2} = 0$ (V_g -Achse) und der Tangente an die Kurve an einem Punkt, an dem die Neigung der Kurve am größten ist, definiert. Es sei angemerkt, dass hier die Schwellenspannung bei einer Drain-Spannung V_d von $1,8$ V berechnet wird.

[0661] Des Weiteren wird der Verschiebungswert (Shift) in dieser Beschreibung bei der V_g - I_d -Kurve, bei der die horizontale Achse die Gate-Spannung (V_g [V]) darstellt und die vertikale Achse den Logarithmus des Drain-Stroms (I_d [A]) darstellt, als Gate-Spannung an dem Kreuzungspunkt zwischen der Linie von $I_d = 1,0 \times 10^{-12}$ [A] und der Tangente an die Kurve bei einem Punkt, an dem die Neigung der Kurve am größten ist, definiert. Es sei angemerkt, dass hier der Verschiebungswert bei einer Drain-Spannung V_d von $1,8$ V berechnet wird.

[0662] Fig. 40 zeigt die Messergebnisse der V_g - I_d -Eigenschaften des Transistors in der Probe C1 vor und nach dem +GBT-Belastungstest sowie vor und nach dem -GBT-Belastungstest. Fig. 41 zeigt die Ergebnisse des +GBT-Belastungstests und des -GBT-Belastungstests an der Probe C2.

[0663] In Fig. 40 und Fig. 41 stellt die horizontale Achse die Spannung der Gate-Elektrode **119** dar, und die vertikale Achse stellt den Drain-Strom dar. Die anfänglichen Eigenschaften werden durch die gestrichelten Linien dargestellt, und die V_g - I_d -Eigenschaften nach den Belastungstests werden durch die durchgezogenen Linien dargestellt.

[0664] Fig. 40 deutet darauf hin, dass der Transistor in der Probe C1 selbstsperrende Eigenschaften aufweist. Fig. 40 zeigt auch einen geringen Änderungsbetrag der Schwellenspannung und des Verschiebungswerts vor und nach dem +GBT-Belastungstest und dem -GBT-Belastungstest.

[0665] Im Gegensatz dazu zeigt Fig. 41, dass der Transistor in der Probe C2 einen großen Änderungsbetrag der Schwellenspannung vor und nach dem +GBT-Belastungstest aufweist, obwohl er selbstsperrende Eigenschaften aufweist.

[0666] Als Nächstes wurde die Zeit, über die auf die Probe C1 Belastung einwirkte, auf 60 Stunden verlängert. Fig. 42A und Fig. 42B zeigen den Änderungsbetrag der Schwellenspannung (ΔV_{th}) und des Verschiebungswerts (ΔShift) vor und nach dem +GBT-Belastungstest.

[0667] Der Transistor in der Probe C1 weist eine geringe Änderung der Schwellenspannung und des Verschiebungswerts auch nach dem +GBT-Belastungstest auf, der lange Zeit dauerte, typischerweise mehr als oder gleich $-0,1$ V und weniger als oder gleich $0,1$ V. Dies deutet darauf hin, dass die Abscheidung des Silizium-

oxidfilms, der als Basisfilm des Oxidhalbleiterfilms dient, bei hoher Temperatur und der Zusatz von Sauerstoff zu dem Oxidhalbleiterfilm zu geringen Schwankungen der elektrischen Eigenschaften des Transistors führen.

[0668] Die Schwankungen der elektrischen Eigenschaften des Transistors können auch verringert werden, indem der Siliziumoxidfilm, der als Basisfilm des Oxidhalbleiterfilms dient, bei einer Temperatur ausgebildet wird, die höher ist als diejenige einer Wärmebehandlung, die an dem Oxidhalbleiterfilm durchgeführt wird, und Sauerstoff dem Oxidhalbleiterfilm zugesetzt wird.

[0669] Das Beispiel 3 zeigt, dass die Ausbildung des Siliziumoxidfilms, der als Basisfilm des Oxidhalbleiterfilms dient, bei hoher Temperatur die Abnahme der Stickstoffkonzentration des Siliziumoxidfilms ermöglicht. Des Weiteren können auch dann, wenn eine Wärmebehandlung durchgeführt wird, nachdem Sauerstoff dem Oxidhalbleiterfilm über dem Siliziumoxidfilm, der als Basisfilm dient, zugesetzt worden ist, die Erzeugung von NO_x und die Zunahme von Defekten in dem Siliziumoxidfilm unterdrückt werden.

[0670] Der Siliziumoxidfilm, der bei hoher Temperatur ausgebildet wird, weist eine verringerte Stickstoffkonzentration auf. Daher wird auch dann, wenn Sauerstoff dem Siliziumoxidfilm, der als Basisfilm des Oxidhalbleiterfilms dient, durch den Zusatz von Sauerstoff zu dem Oxidhalbleiterfilm zugesetzt wird, eine Stickstoff-Sauerstoff-Bindung unwahrscheinlich in dem Siliziumoxidfilm gebildet. Folglich werden Einfangstellen für Ladungsträger, die auf NO_x zurückzuführen sind, in einem Rückkanal des Transistors nicht leicht erzeugt, was zur Abnahme des Änderungsbetrags der Schwellenspannung des Transistors infolge des GBT-Belastungstests führt.

[0671] Das Beispiel 4 zeigt, dass eine große Menge an Wasser von dem Siliziumoxidfilm, der als Basisfilm des Oxidhalbleiterfilms dient, abgegeben wird, wenn eine Wärmebehandlung bei 550°C durchgeführt wird, im Vergleich zu dem Fall, in dem eine Wärmebehandlung bei 450°C durchgeführt wird. Die Menge an abgegebenem Wasser neigt auch dazu, sich zu erhöhen, wenn eine Wärmebehandlung bei einer Temperatur durchgeführt wird, die höher ist als die Ausbildungstemperatur des Siliziumoxidfilms. Diese Ergebnisse deuten darauf hin, dass dann, wenn der Oxidhalbleiterfilm bei 550°C erwärmt wird, Wasser von dem Siliziumoxidfilm in den Oxidhalbleiterfilm diffundieren oder in dem Siliziumoxidfilm erzeugt werden könnte. Es wird auch darauf hingedeutet, dass dann, wenn der Oxidhalbleiterfilm bei einer Temperatur erwärmt wird, die höher ist als die Ausbildungstemperatur des Siliziumoxidfilms, Wasser von dem Siliziumoxidfilm in den Oxidhalbleiterfilm diffundieren oder in dem Siliziumoxidfilm erzeugt werden könnte.

[0672] An der Probe C1 dieses Beispiels wird eine Wärmebehandlung bei einer Temperatur durchgeführt, die niedriger ist als die Ausbildungstemperatur des Siliziumoxidfilms, der als Basisfilm des Oxidhalbleiterfilms dient. Außerdem weist der Transistor in der Probe C1 einen geringen Änderungsbetrag der Schwellenspannung infolge des GBT-Belastungstests auf. Diese Ergebnisse deuten darauf hin, dass dann, wenn der Oxidhalbleiterfilm bei einer Temperatur erwärmt wird, die niedriger ist als die Ausbildungstemperatur des Siliziumoxidfilms, der als Basisfilm des Oxidhalbleiterfilms dient, Einfangstellen für Elektronen, die durch Wasser hervorgerufen werden, nicht leicht erzeugt werden und der Änderungsbetrag der Schwellenspannung des Transistors infolge des GBT-Belastungstests verringert werden kann.

Erläuterung der Bezugszeichen

100: Transistor, **100a:** Transistor, **100b:** Transistor, **100c:** Transistor, **100d:** Transistor, **100e:** Transistor, **100f:** Transistor, **100g:** Transistor, **100h:** Transistor, **100j:** Transistor, **101:** Substrat, **103:** Gate-Elektrode, **104:** Isolierfilm, **105:** Gate-Isolierfilm, **106:** Oxidhalbleiterfilm, **106a:** Oxidhalbleiterfilm, **106b:** Oxidhalbleiterfilm, **107:** Oxidhalbleiterfilm, **108:** Sauerstoff, **109:** Oxidhalbleiterfilm, **109a:** Oxidhalbleiterfilm, **110:** Oxidhalbleiterfilm, **110a:** Oxidhalbleiterfilm, **111:** Oxidhalbleiterfilm, **111a:** Oxidhalbleiterfilm, **111b:** Oxidhalbleiterfilm, **111c:** Oxidhalbleiterfilm, **111e:** Verunreinigungsbereich, **111f:** Verunreinigungsbereich, **112:** leitender Film, **113:** leitender Film, **113a:** Elektrode, **113b:** Elektrode, **113c:** Elektrode, **113d:** Elektrode, **113g:** Elektrode, **113h:** Elektrode, **114:** Oxidhalbleiterfilm, **114a:** Oxidhalbleiterfilm, **114b:** Oxidhalbleiterfilm, **115:** Oxidhalbleiterfilm, **115a:** Oxidhalbleiterfilm, **115b:** Oxidhalbleiterfilm, **115c:** Oxidhalbleiterfilm, **115d:** Oxidhalbleiterfilm, **115e:** Oxidhalbleiterfilm, **116:** Isolierfilm, **116a:** Isolierfilm, **116b:** Isolierfilm, **117:** Gate-Isolierfilm, **117a:** Gate-Isolierfilm, **117b:** Gate-Isolierfilm, **119:** Gate-Elektrode, **119a:** Gate-Elektrode, **121:** Isolierfilm, **123:** Isolierfilm, **125a:** Öffnung, **125b:** Öffnung, **127a:** Stecker, **127b:** Stecker, **133a:** niederohmiger Bereich, **133b:** niederohmiger Bereich, **134:** Cu-X-Legierungsfilm, **135:** Bedeckungsfilm, **136:** leitender Film, **137:** Cu-X-Legierungsfilm, **138:** Bedeckungsfilm, **200:** Transistor, **203:** leitender Film, **204:** leitender Film, **205:** Isolierfilm, **206:** Isolierfilm, **215:** Isolierfilm, **216:** Stecker, **230:** Kondensator, **301:** Quarzsubstrat, **303:** Siliziumoxidfilm, **305:** IGZO-Film, **305a:** IGZO-Film, **305b:** IGZO-Film, **306:** Sauerstoffatomionen, **307:** IGZO-Film, **307a:** IGZO-Film, **311:** Siliziumwafer, **312:** Siliziumoxidfilm, **313:** Siliziumoxidfilm, **313a:** Siliziumoxid-

film, **313b**: Siliziumoxidfilm, **315**: IGZO-Film, **315a**: IGZO-Film, **316**: Sauerstoffatomionen, **317**: IGZO-Film, **317a**: IGZO-Film, **321**: Siliziumwafer, **322**: Siliziumoxidfilm, **323**: Siliziumoxidfilm, **324**: IGZO-Film, **325**: IGZO-Film, **325a**: IGZO-Film, **325b**: IGZO-Film, **326**: Sauerstoffatomionen, **327**: IGZO-Film, **327a**: IGZO-Film, **700**: Substrat, **701**: Pixel-Abschnitt, **702**: Abtastleitungstreiberschaltung, **703**: Abtastleitungstreiberschaltung, **704**: Signalleitungstreiberschaltung, **710**: Kondensatorleitung, **712**: Gate-Leitung, **713**: Gate-Leitung, **714**: Drain-Elektrode, **716**: Transistor, **717**: Transistor, **718**: Flüssigkristallelement, **719**: Flüssigkristallelement, **720**: Pixel, **721**: Schalttransistor, **722**: Treibertransistor, **723**: Kondensator, **724**: Licht emittierendes Element, **725**: Signalleitung, **726**: Abtastleitung, **727**: Stromversorgungsleitung, **728**: gemeinsame Elektrode, **750**: Transistor, **751**: Gate-Elektrode, **752**: Gate-Isolierfilm, **753**: Kanalbildungsbereich, **754**: p-Typ-Verunreinigungsbereich, **755**: p-Typ-Verunreinigungsbereich, **756**: Seitenwand-Isolierfilm, **760**: Speicherzelle, **770**: Transistor, **789**: Elementtrennungsbereich, **790**: Isolierfilm, **791**: Isolierfilm, **901**: Gehäuse, **902**: Gehäuse, **903**: Anzeigeabschnitt, **904**: Anzeigeabschnitt, **905**: Mikrofon, **906**: Lautsprecher, **907**: Bedienungstaste, **908**: Stift, **911**: Gehäuse, **912**: Gehäuse, **913**: Anzeigeabschnitt, **914**: Anzeigeabschnitt, **915**: Gelenk, **916**: Bedienungstaste, **921**: Gehäuse, **922**: Anzeigeabschnitt, **923**: Tastatur, **924**: Zeigevorrichtung, **931**: Gehäuse, **932**: Tür für einen Kühlschrank, **933**: Tür für einen Gefrierschrank, **941**: Gehäuse, **942**: Gehäuse, **943**: Anzeigeabschnitt, **944**: Bedienungstaste, **945**: Linse, **946**: Gelenk, **951**: Karosserie, **952**: Räder, **953**: Armaturenbrett, **954**: Scheinwerfer, **5100**: Pellet, **5120**: Substrat, **5161**: Bereich, **8000**: Anzeigemodul, **8001**: obere Abdeckung, **8002**: untere Abdeckung, **8003**: FPC, **8004**: Touchscreen, **8005**: FPC, **8006**: Anzeigefeld, **8007**: Hintergrundbeleuchtungseinheit, **8008**: Lichtquelle, **8009**: Rahmen, **8010**: Leiterplatte, **8011**: Batterie.

[0673] Diese Anmeldung basiert auf der japanischen Patentanmeldung mit der Seriennr. 2014-107570, eingereicht beim japanischen Patentamt am 23. Mai 2014, deren gesamter Inhalt hiermit zum Gegenstand der vorliegenden Offenlegung gemacht ist.

Patentansprüche

1. Ein Verfahren zum Herstellen einer Halbleitervorrichtung, das die folgenden Schritte umfasst:
 Ausbilden einer ersten Gate-Elektrode über einem Substrat;
 Ausbilden eines ersten Isolierfilms in Kontakt mit der ersten Gate-Elektrode, während das Substrat bei einer Temperatur von höher als oder gleich 450°C und niedriger als eine untere Entspannungsgrenze des Substrats erwärmt wird;
 Ausbilden eines ersten Oxidhalbleiterfilms in Kontakt mit dem ersten Isolierfilm;
 Zusetzen von Sauerstoff zu dem ersten Oxidhalbleiterfilm;
 Ausbilden eines zweiten Oxidhalbleiterfilms in Kontakt mit dem ersten Oxidhalbleiterfilm, nachdem der Sauerstoff dem ersten Oxidhalbleiterfilm zugesetzt worden ist;
 Durchführen einer ersten Wärmebehandlung, nachdem der zweite Oxidhalbleiterfilm ausgebildet worden ist;
 Ätzen eines Teils des ersten Isolierfilms, eines Teils des ersten Oxidhalbleiterfilms und eines Teils des zweiten Oxidhalbleiterfilms, um einen ersten Gate-Isolierfilm mit einem Vorsprung, einen geätzten ersten Oxidhalbleiterfilm und einen geätzten zweiten Oxidhalbleiterfilm auszubilden;
 Ausbilden eines Paares von Elektroden in Kontakt mit dem geätzten zweiten Oxidhalbleiterfilm;
 Ausbilden eines dritten Oxidhalbleiterfilms in Kontakt mit dem geätzten zweiten Oxidhalbleiterfilm und dem Paar von Elektroden;
 Ausbilden eines zweiten Gate-Isolierfilms in Kontakt mit dem dritten Oxidhalbleiterfilm; und
 Ausbilden einer zweiten Gate-Elektrode in Kontakt mit dem zweiten Gate-Isolierfilm.
2. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 1, wobei der Sauerstoff dem ersten Oxidhalbleiterfilm durch ein Ionenimplantationsverfahren, ein Ionendotierverfahren oder eine Plasmabehandlung zugesetzt wird.
3. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 1, wobei nach der Ausbildung des dritten Oxidhalbleiterfilms Sauerstoff dem dritten Oxidhalbleiterfilm zugesetzt wird und dann eine zweite Wärmebehandlung durchgeführt wird, und wobei der zweite Gate-Isolierfilm in Kontakt mit dem erwärmten dritten Oxidhalbleiterfilm ausgebildet wird.
4. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 1, wobei eine Temperatur der ersten Wärmebehandlung niedriger ist als eine Temperatur, bei der der erste Isolierfilm ausgebildet wird.
5. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 3, wobei eine Temperatur der zweiten Wärmebehandlung niedriger ist als eine Temperatur, bei der der erste Isolierfilm ausgebildet wird.

6. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 1, wobei der erste Oxidhalbleiterfilm, der zweite Oxidhalbleiterfilm und der dritte Oxidhalbleiterfilm jeweils In oder Ga enthalten.

7. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 1, wobei ein Energieniveau am Minimum des Leitungsbandes jedes der ersten und dritten Oxidhalbleiterfilme näher an einem Vakuumniveau liegt als dasjenige des zweiten Oxidhalbleiterfilms.

8. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 1, wobei ein Unterschied zwischen einem Energieniveau am Minimum des Leitungsbandes des zweiten Oxidhalbleiterfilms und einem Energieniveau am Minimum des Leitungsbandes jedes der ersten und dritten Oxidhalbleiterfilme größer als oder gleich 0,05 eV und kleiner als oder gleich 2 eV ist.

9. Ein Verfahren zum Herstellen einer Halbleitervorrichtung, das die folgenden Schritte umfasst:
Ausbilden einer ersten Gate-Elektrode über einem Substrat;
Ausbilden eines ersten Isolierfilms in Kontakt mit der ersten Gate-Elektrode, während das Substrat bei einer Temperatur von höher als oder gleich 450°C und niedriger als eine untere Entspannungsgrenze des Substrats erwärmt wird;
Ausbilden eines ersten Oxidhalbleiterfilms in Kontakt mit dem ersten Isolierfilm;
Zusetzen von Sauerstoff zu dem ersten Oxidhalbleiterfilm;
Ausbilden eines zweiten Oxidhalbleiterfilms in Kontakt mit dem ersten Oxidhalbleiterfilm, nachdem der Sauerstoff dem ersten Oxidhalbleiterfilm zugesetzt worden ist;
Durchführen einer ersten Wärmebehandlung, nachdem der zweite Oxidhalbleiterfilm ausgebildet worden ist;
Ausbilden eines leitenden Films über dem zweiten Oxidhalbleiterfilm, nachdem die erste Wärmebehandlung durchgeführt worden ist;
Ätzen eines Teils des ersten Isolierfilms, eines Teils des ersten Oxidhalbleiterfilms, eines Teils des zweiten Oxidhalbleiterfilms und eines Teils des leitenden Films, um einen ersten Gate-Isolierfilm mit einem Vorsprung, einen geätzten ersten Oxidhalbleiterfilm, einen geätzten zweiten Oxidhalbleiterfilm und einen geätzten leitenden Film auszubilden;
Ausbilden eines Paares von Elektroden, indem der geätzte leitende Film geätzt wird;
Ausbilden eines dritten Oxidhalbleiterfilms in Kontakt mit dem geätzten zweiten Oxidhalbleiterfilm und dem Paar von Elektroden;
Ausbilden eines zweiten Gate-Isolierfilms in Kontakt mit dem dritten Oxidhalbleiterfilm; und
Ausbilden einer zweiten Gate-Elektrode in Kontakt mit dem zweiten Gate-Isolierfilm.

10. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 9, wobei der Sauerstoff dem ersten Oxidhalbleiterfilm durch ein Ionenimplantationsverfahren, ein Ionendotierverfahren oder eine Plasmabehandlung zugesetzt wird.

11. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 9, wobei nach der Ausbildung des dritten Oxidhalbleiterfilms Sauerstoff dem dritten Oxidhalbleiterfilm zugesetzt wird und dann eine zweite Wärmebehandlung durchgeführt wird, und wobei der zweite Gate-Isolierfilm in Kontakt mit dem erwärmten dritten Oxidhalbleiterfilm ausgebildet wird.

12. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 9, wobei eine Temperatur der ersten Wärmebehandlung niedriger ist als eine Temperatur, bei der der erste Isolierfilm ausgebildet wird.

13. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 11, wobei eine Temperatur der zweiten Wärmebehandlung niedriger ist als eine Temperatur, bei der der erste Isolierfilm ausgebildet wird.

14. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 9, wobei der erste Oxidhalbleiterfilm, der zweite Oxidhalbleiterfilm und der dritte Oxidhalbleiterfilm jeweils In oder Ga enthalten.

15. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 9, wobei ein Energieniveau am Minimum des Leitungsbandes jedes der ersten und dritten Oxidhalbleiterfilme näher an einem Vakuumniveau liegt als dasjenige des zweiten Oxidhalbleiterfilms.

16. Das Verfahren zum Herstellen der Halbleitervorrichtung nach Anspruch 9, wobei ein Unterschied zwischen einem Energieniveau am Minimum des Leitungsbandes des zweiten Oxidhalbleiterfilms und einem En-

ergieniveau am Minimum des Leitungsbandes jedes der ersten und dritten Oxidhalbleiterfilme größer als oder gleich 0,05 eV und kleiner als oder gleich 2 eV ist.

Es folgen 51 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1A

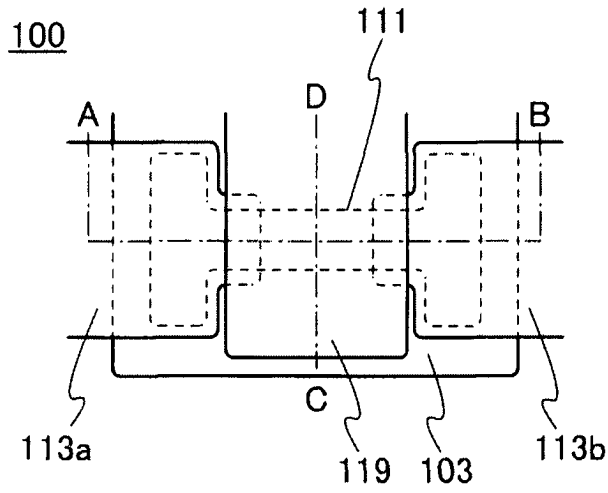


FIG. 1C

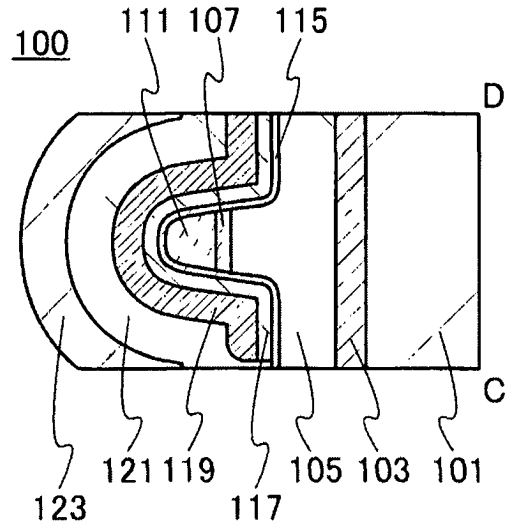


FIG. 1B

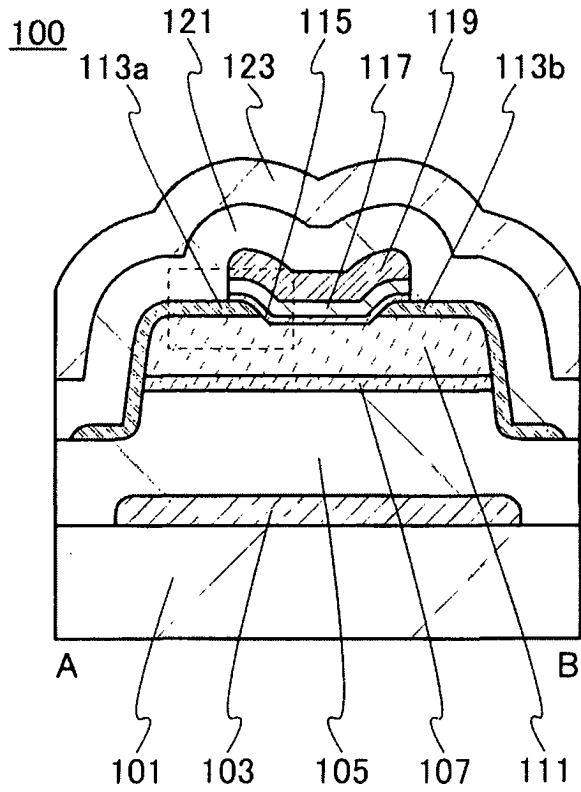


FIG. 2

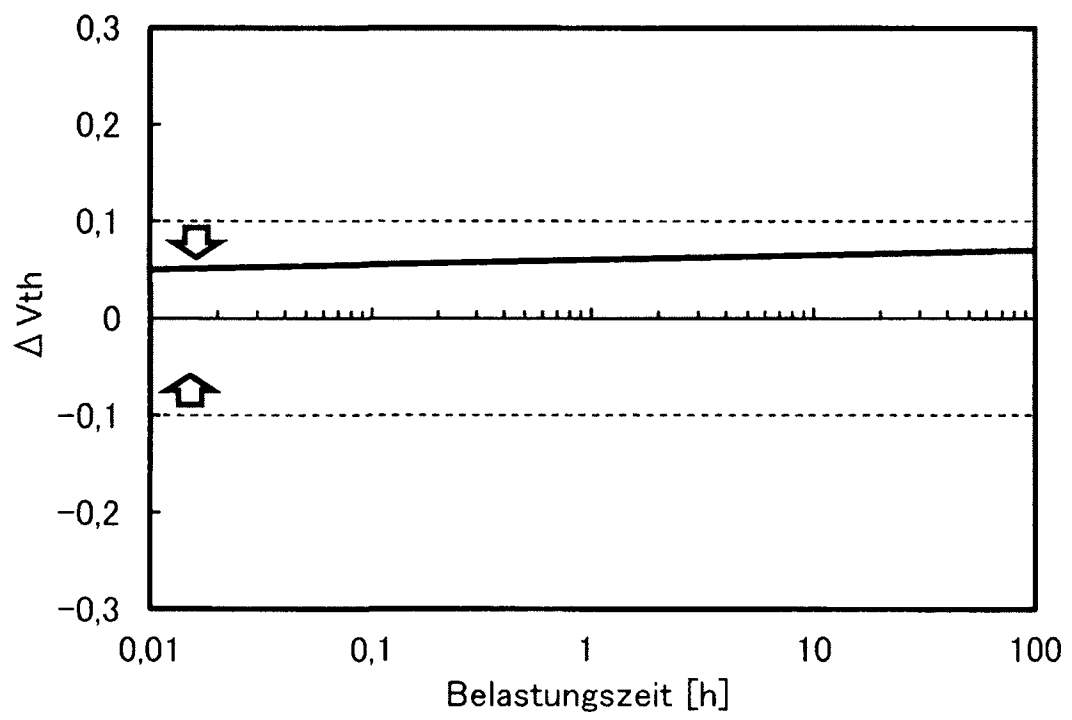


FIG. 3A

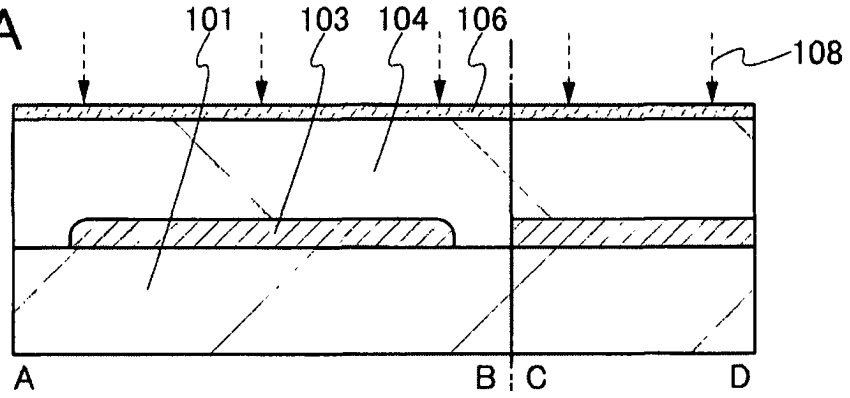


FIG. 3B

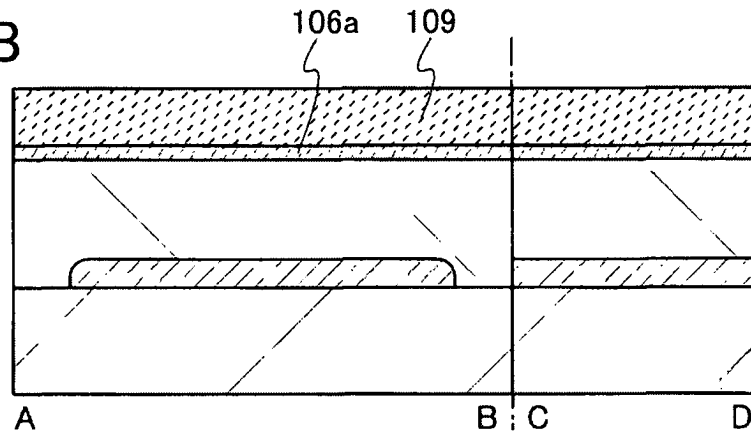


FIG. 3C

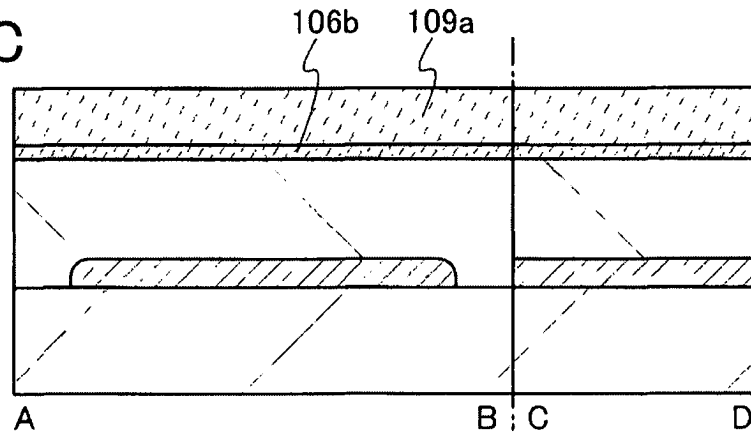


FIG. 3D

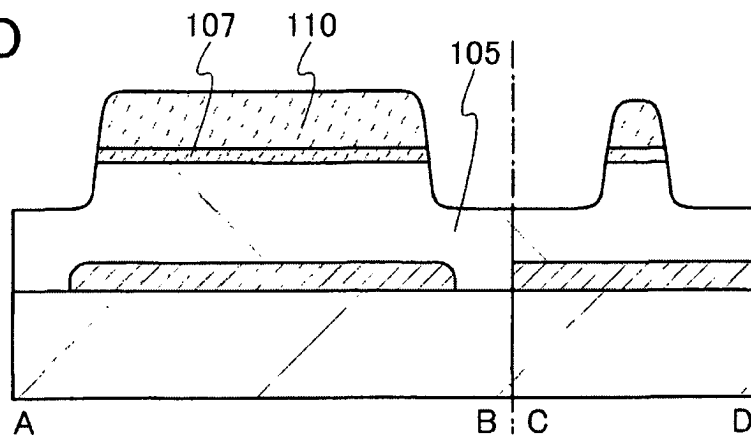


FIG. 4A

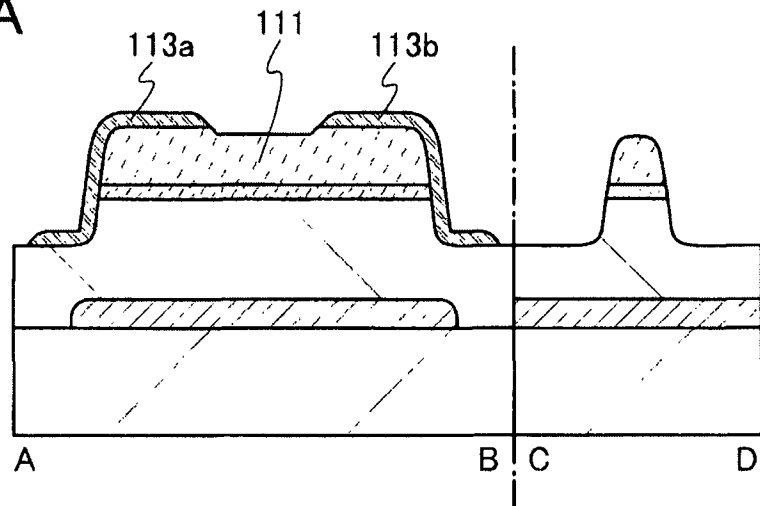


FIG. 4B

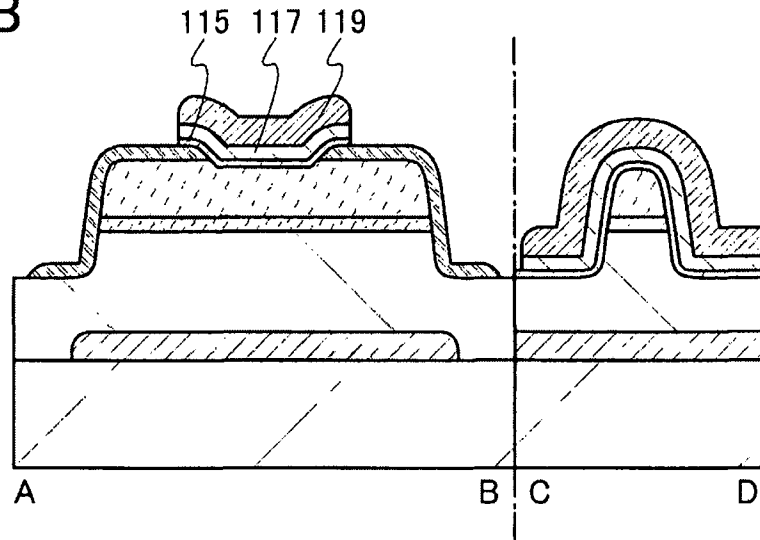


FIG. 4C

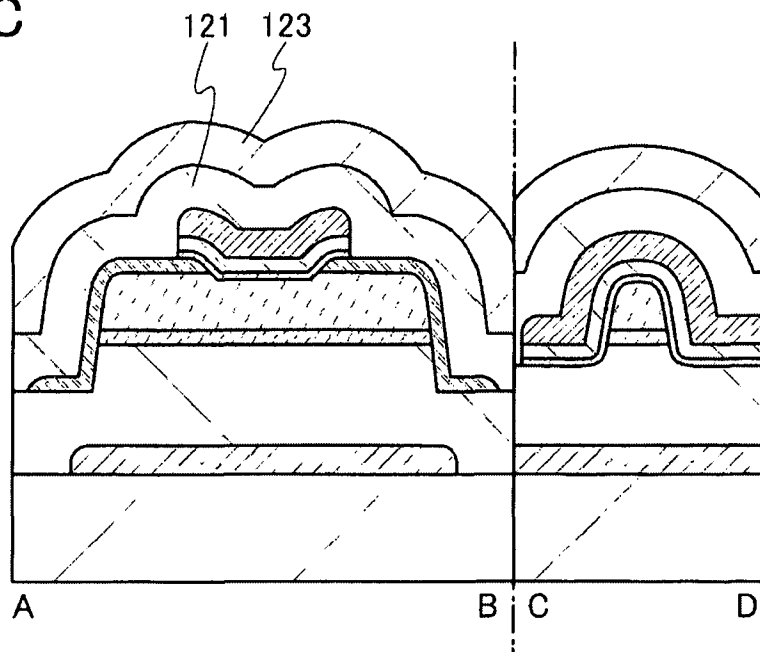


FIG. 5A

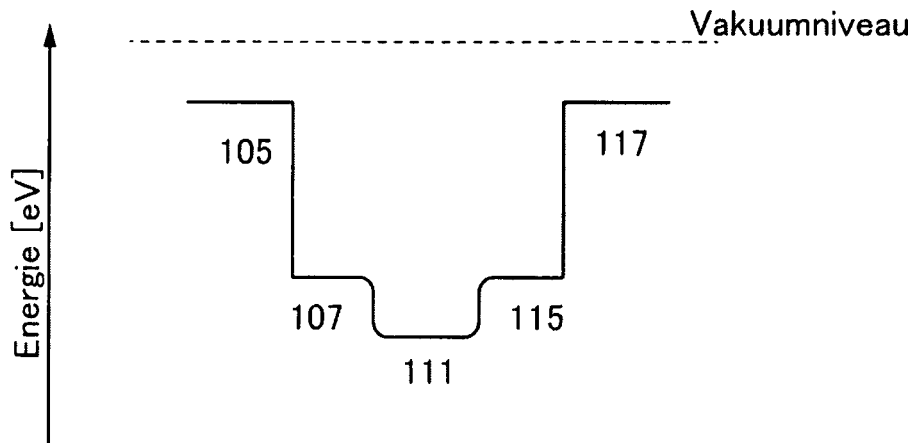


FIG. 5B

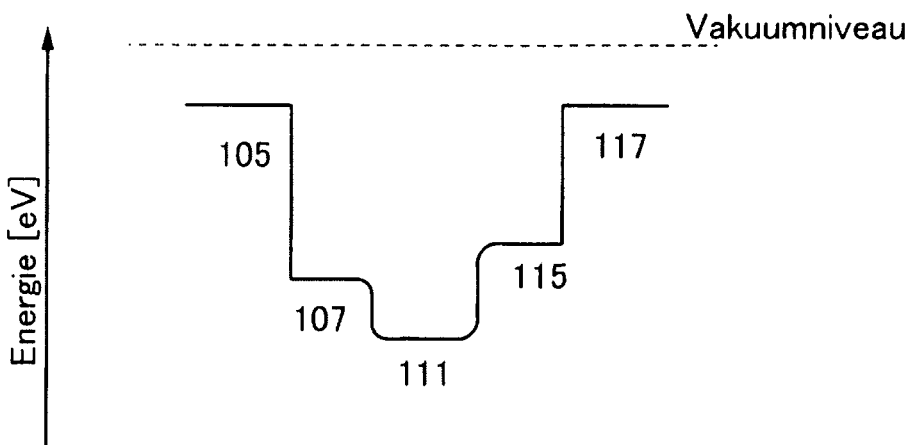


FIG. 6A

100a

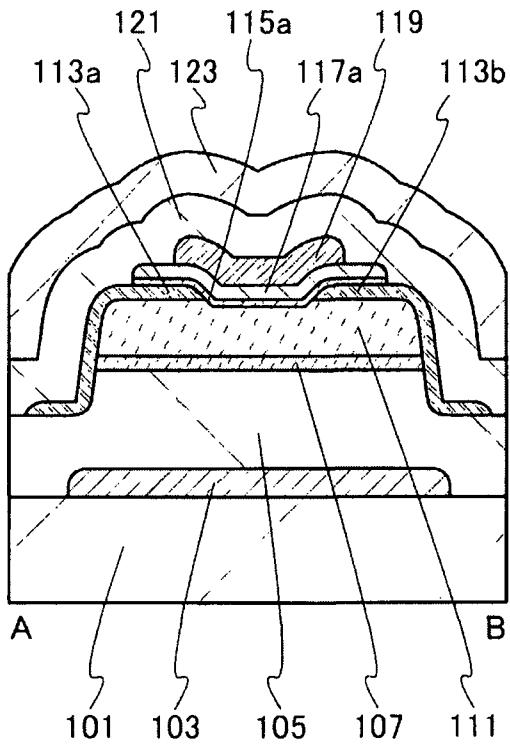


FIG. 6B

100b

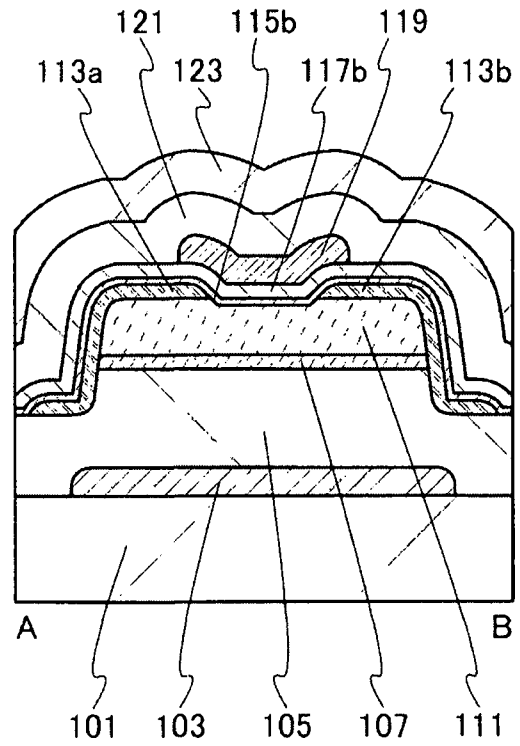


FIG. 6C

100c

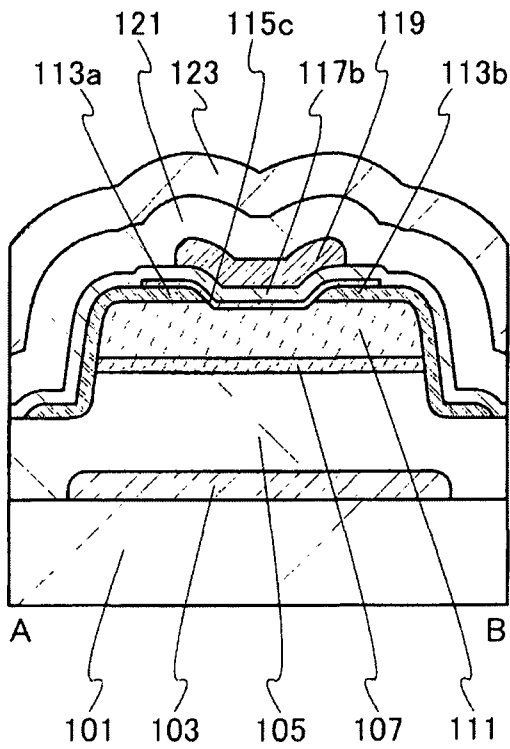


FIG. 7A

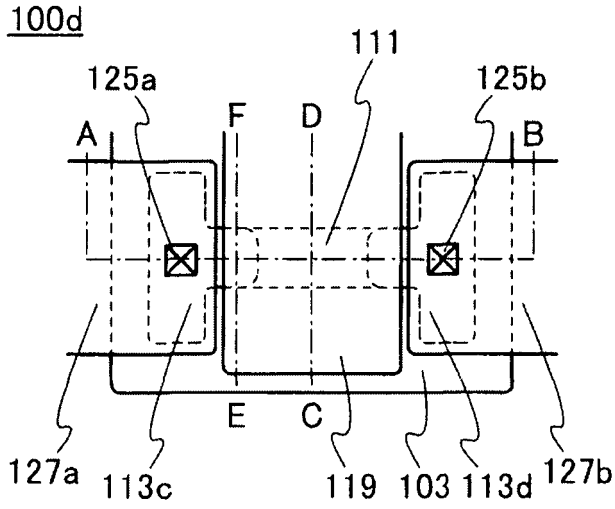


FIG. 7C

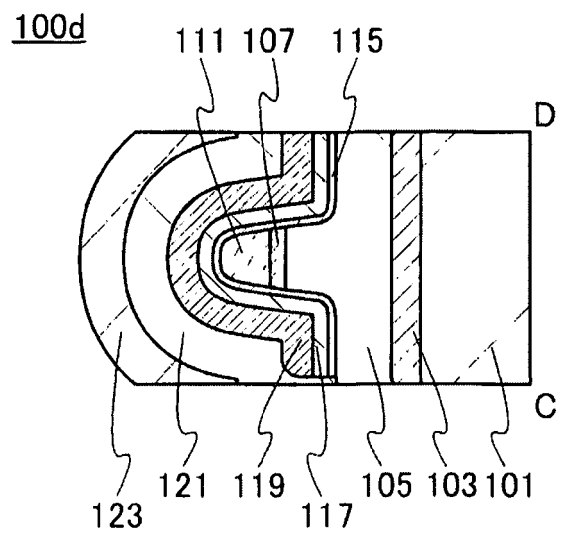


FIG. 7B

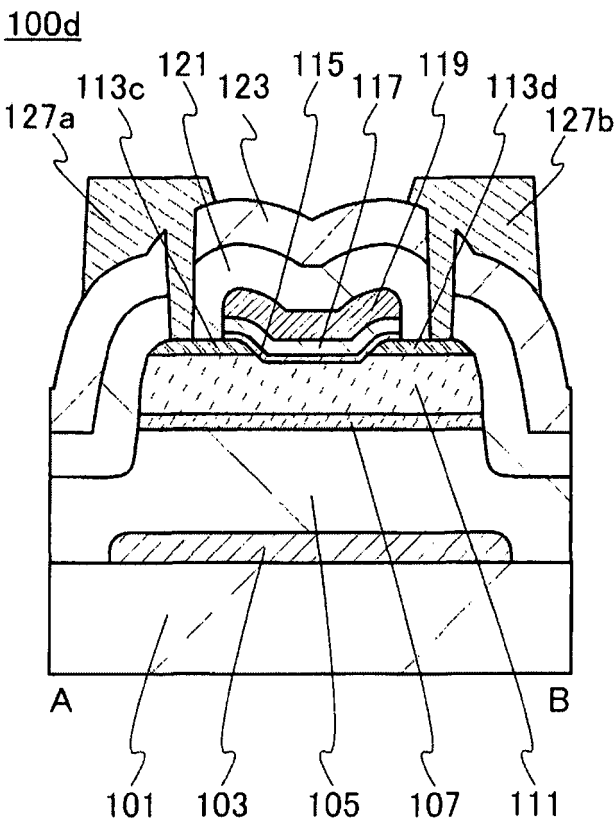


FIG. 7D

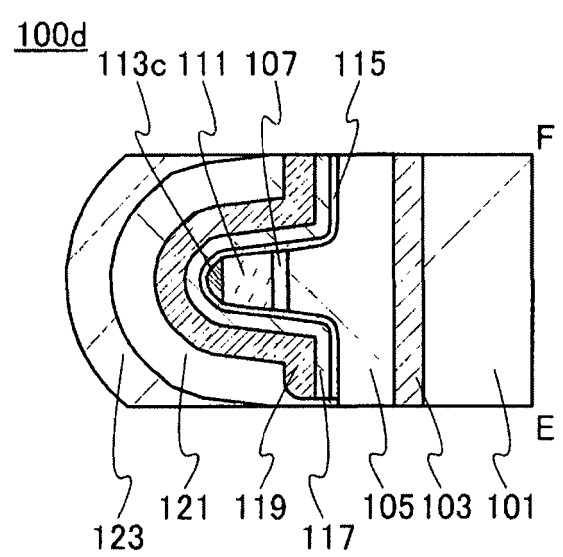


FIG. 8A

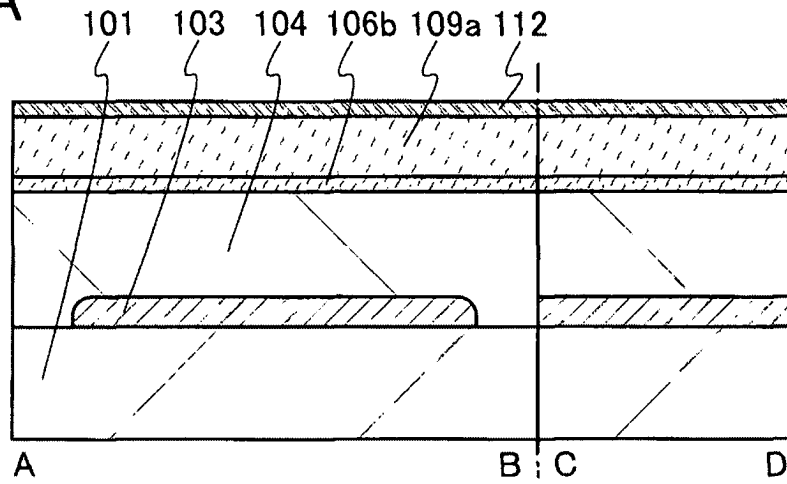


FIG. 8B

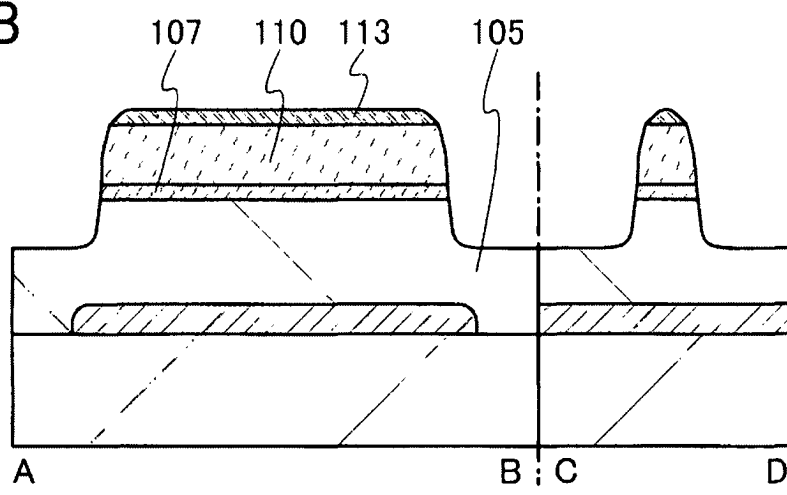


FIG. 8C

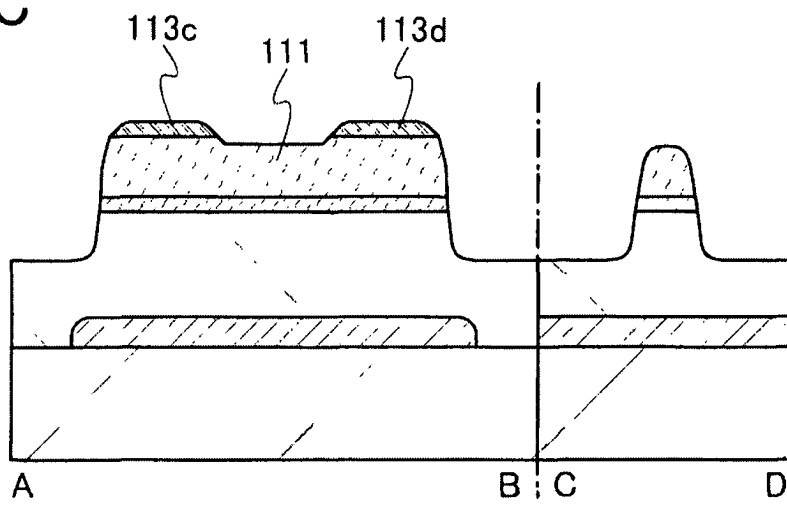


FIG. 9

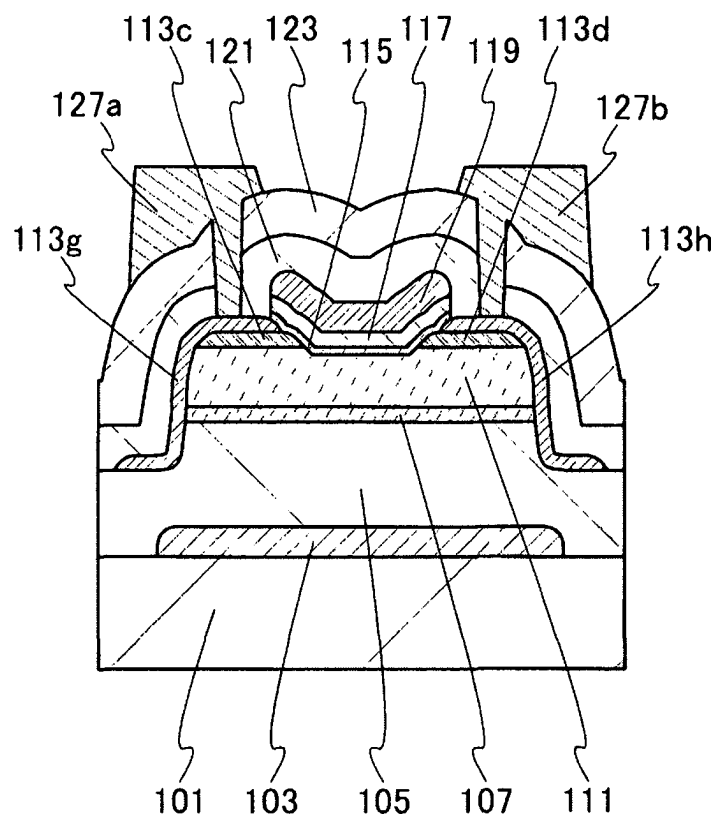


FIG. 10A

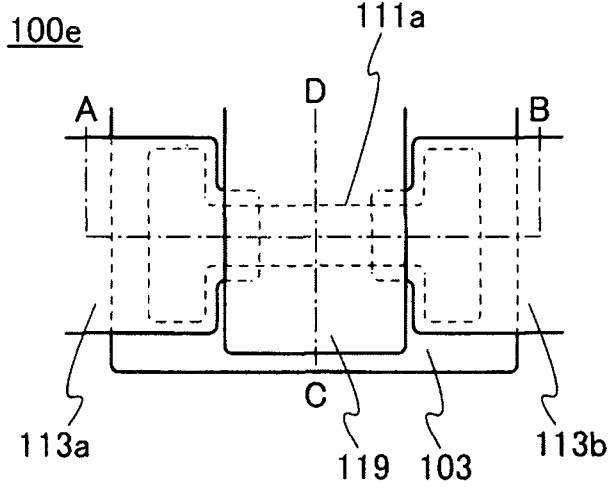


FIG. 10C

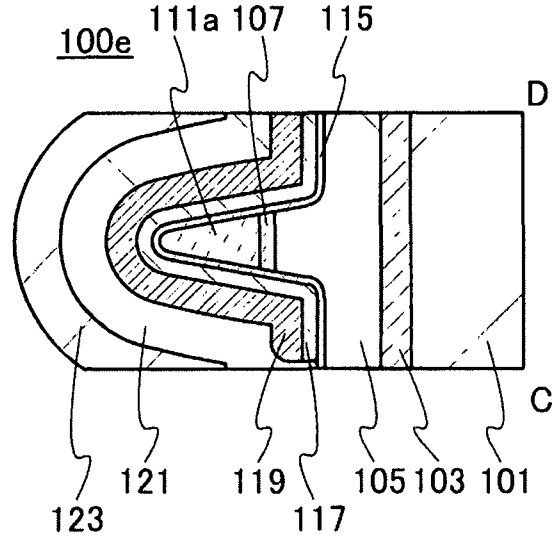


FIG. 10B

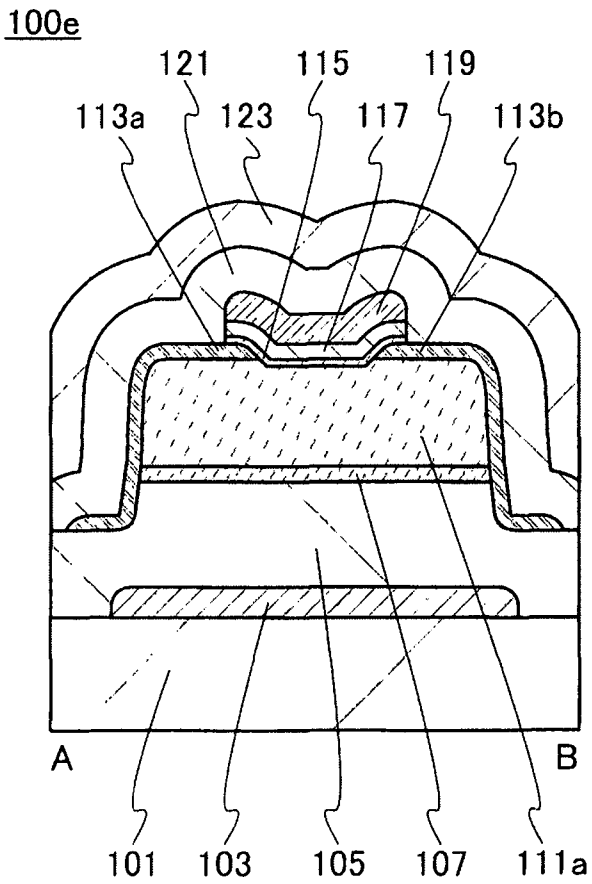


FIG. 11A

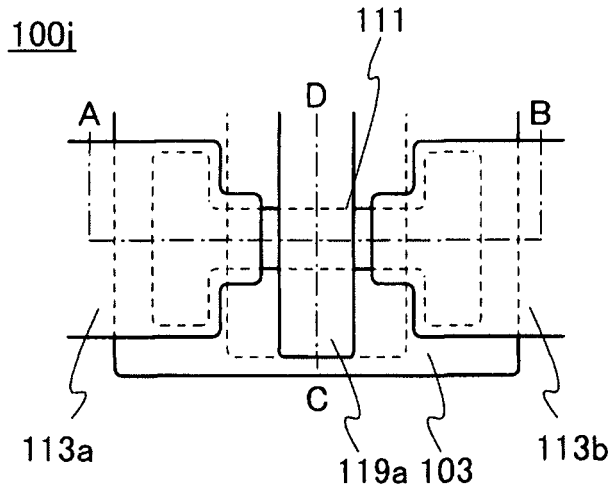


FIG. 11C

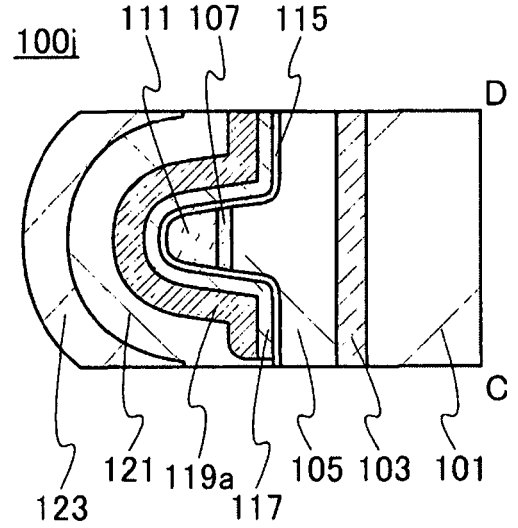


FIG. 11B

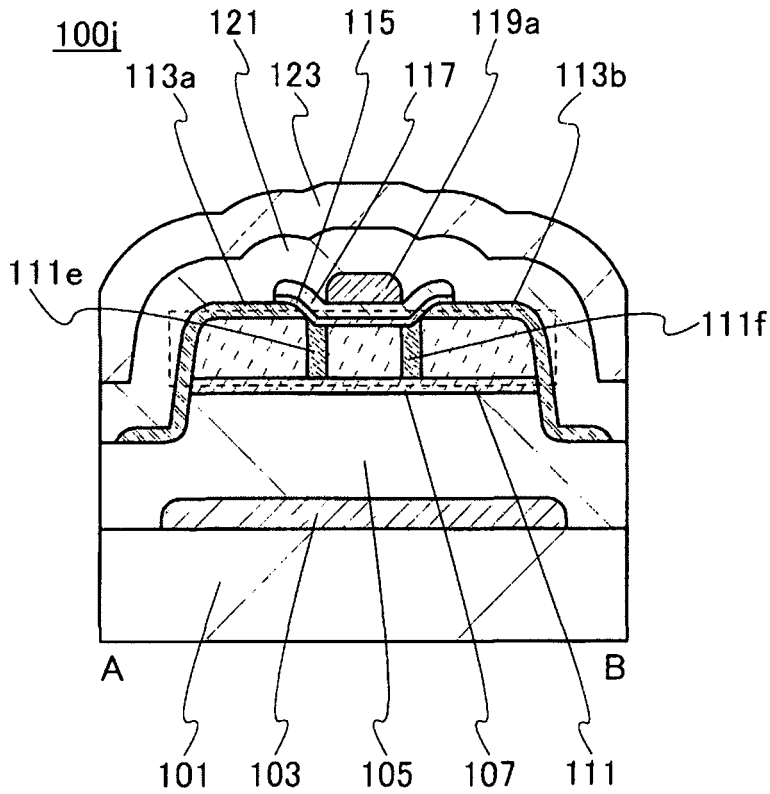


FIG. 12A

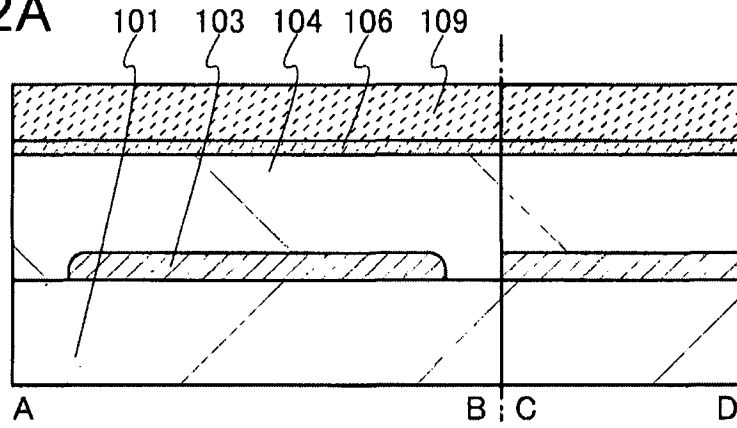


FIG. 12B

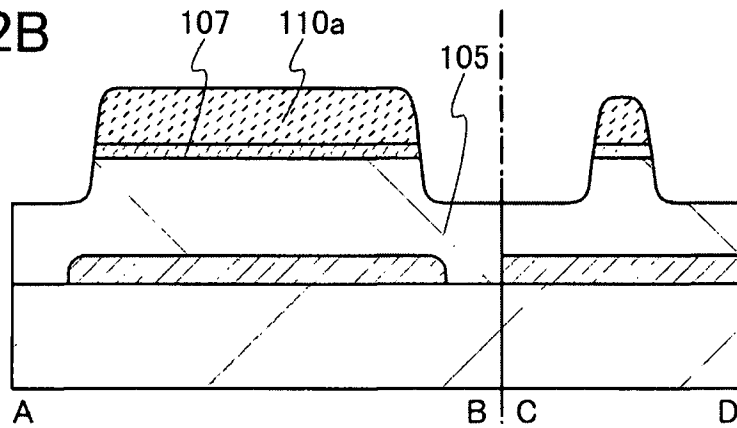


FIG. 12C

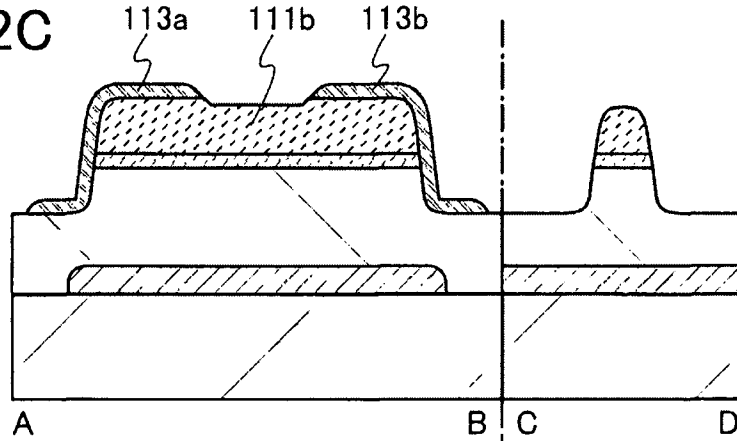


FIG. 12D

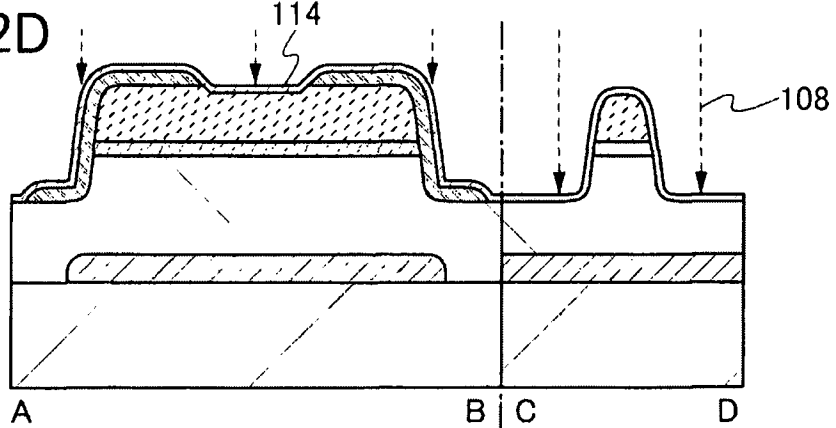


FIG. 13A

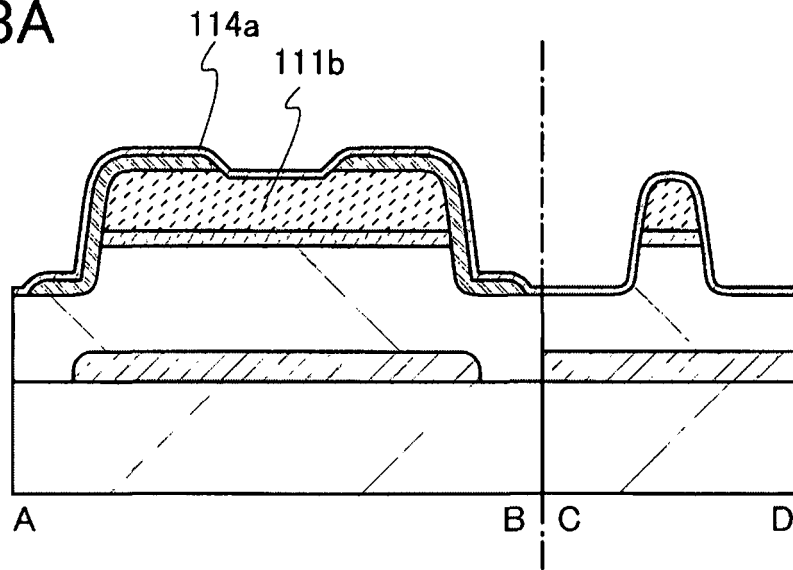


FIG. 13B

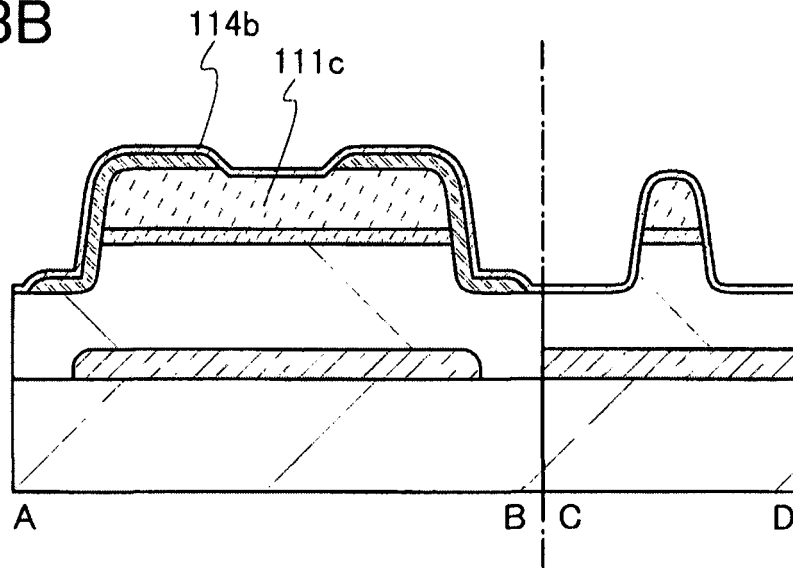


FIG. 13C

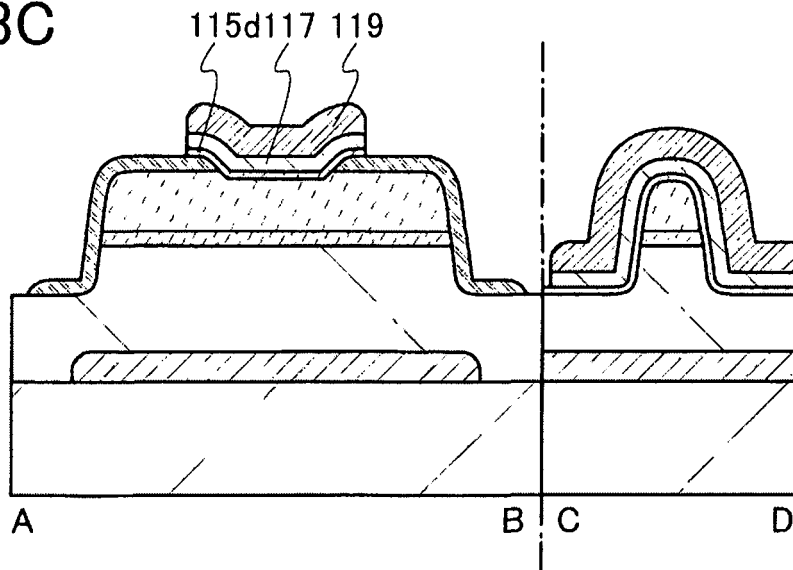


FIG. 14A

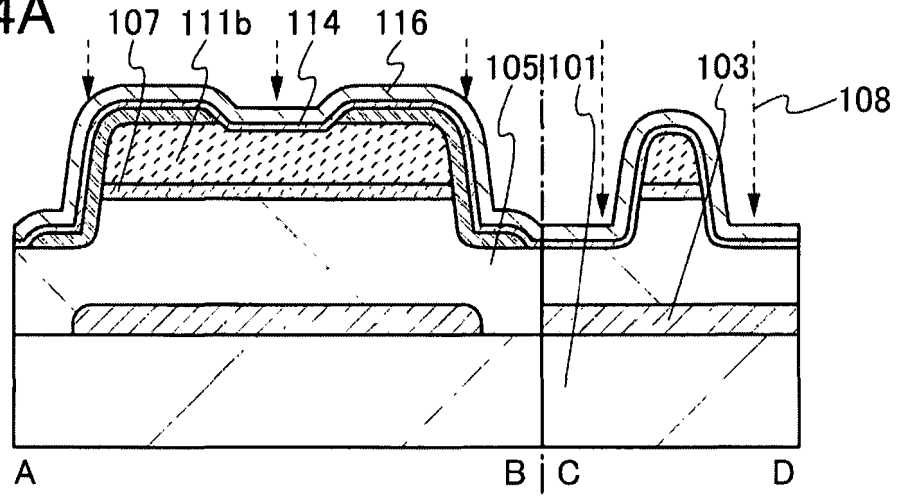


FIG. 14B

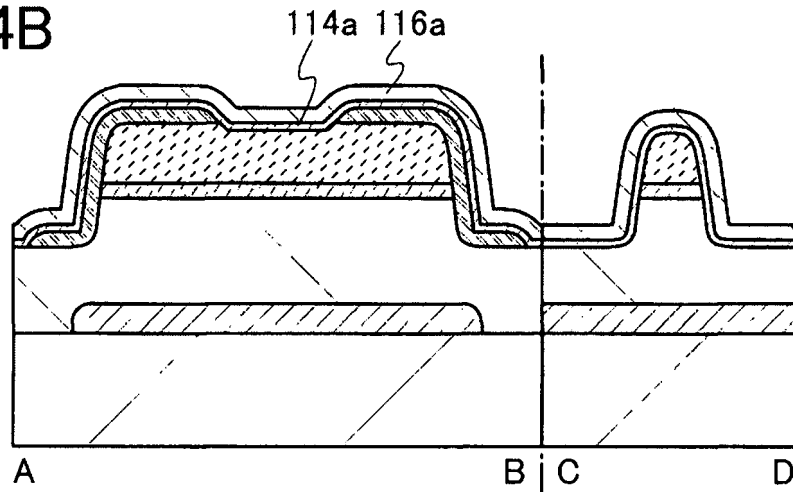


FIG. 14C

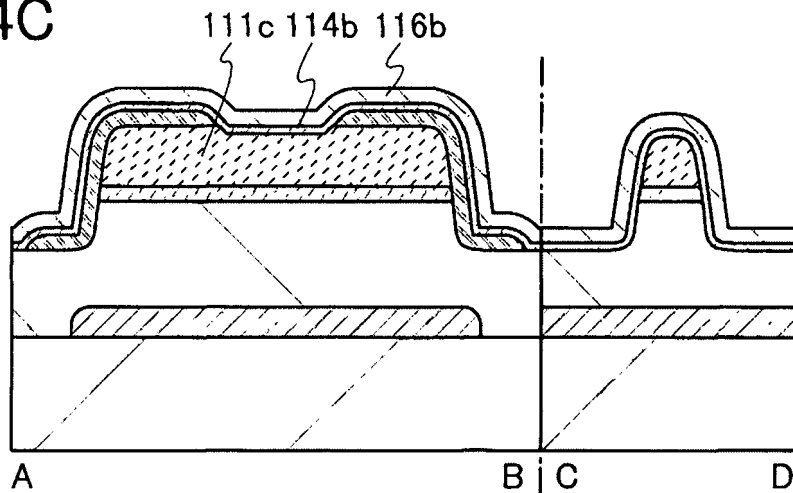


FIG. 15A

100f

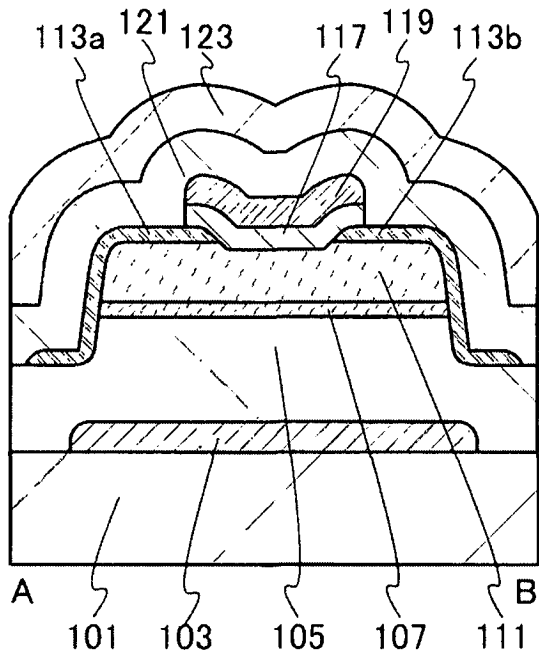


FIG. 15B

100g

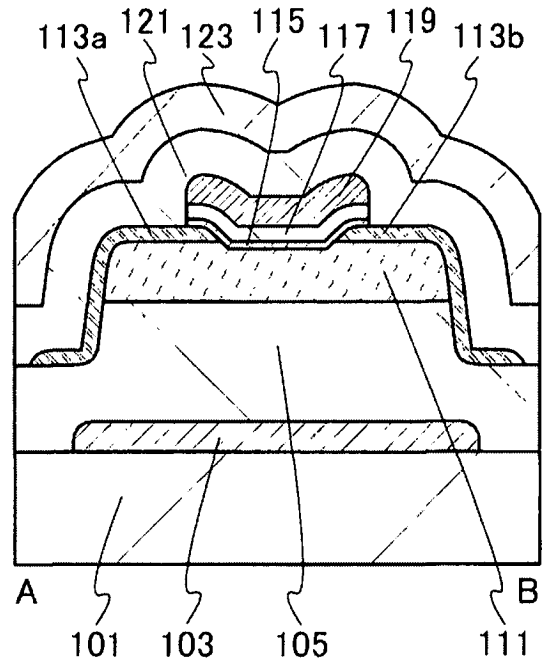


FIG. 15C

100h

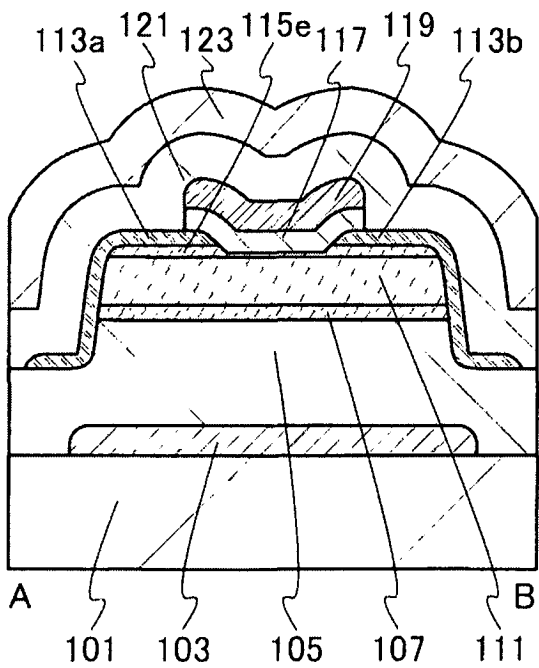


FIG. 16A

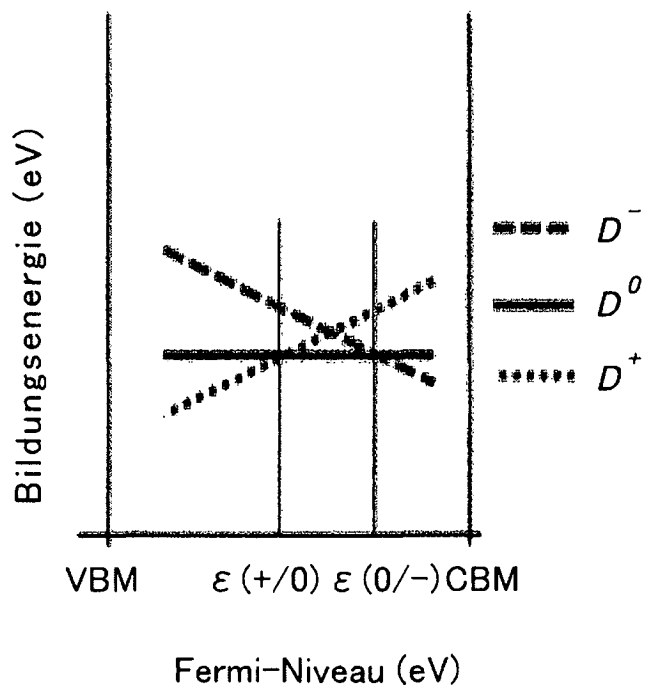


FIG. 16B

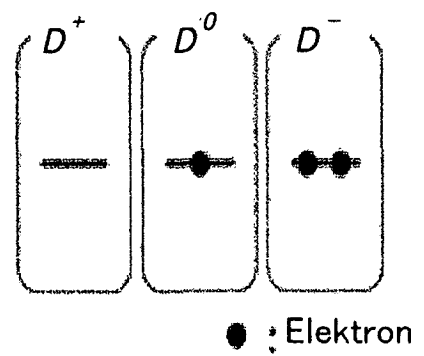


FIG. 17

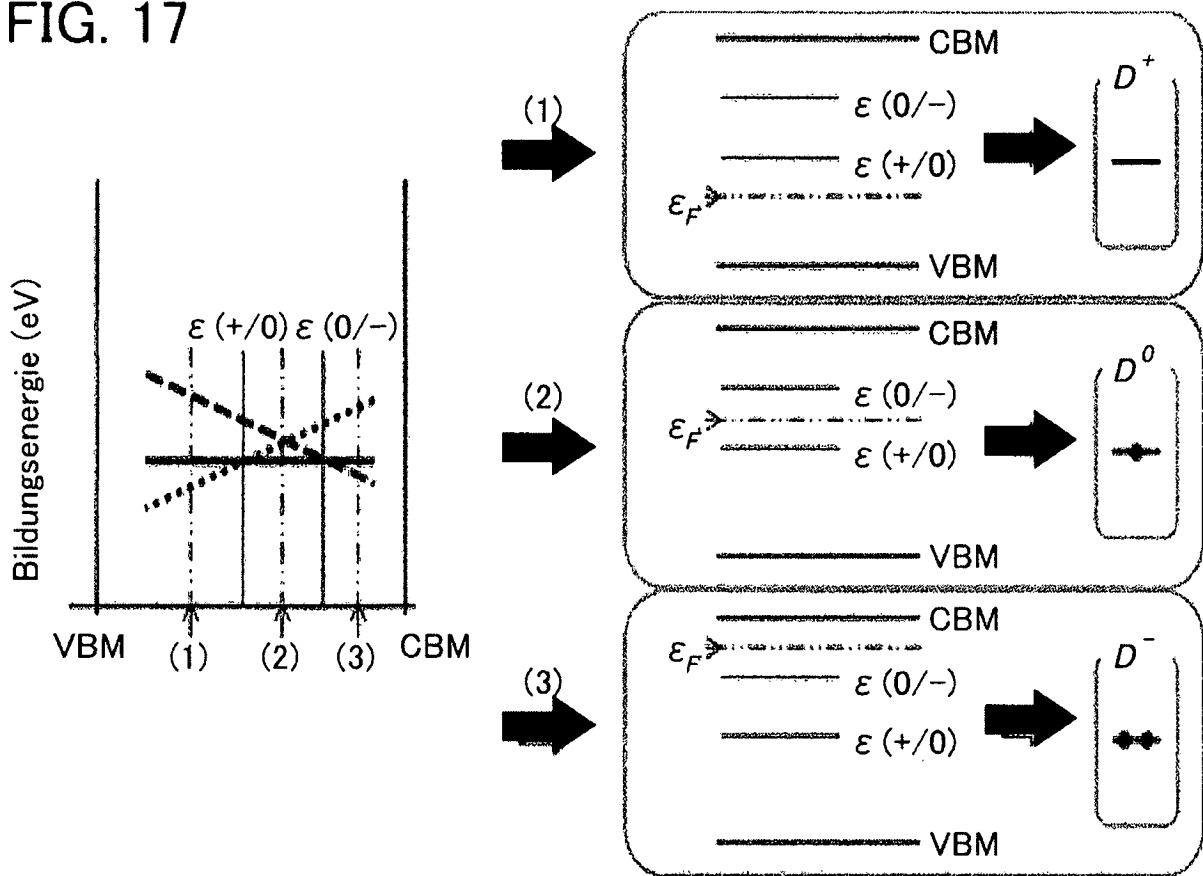


FIG. 18

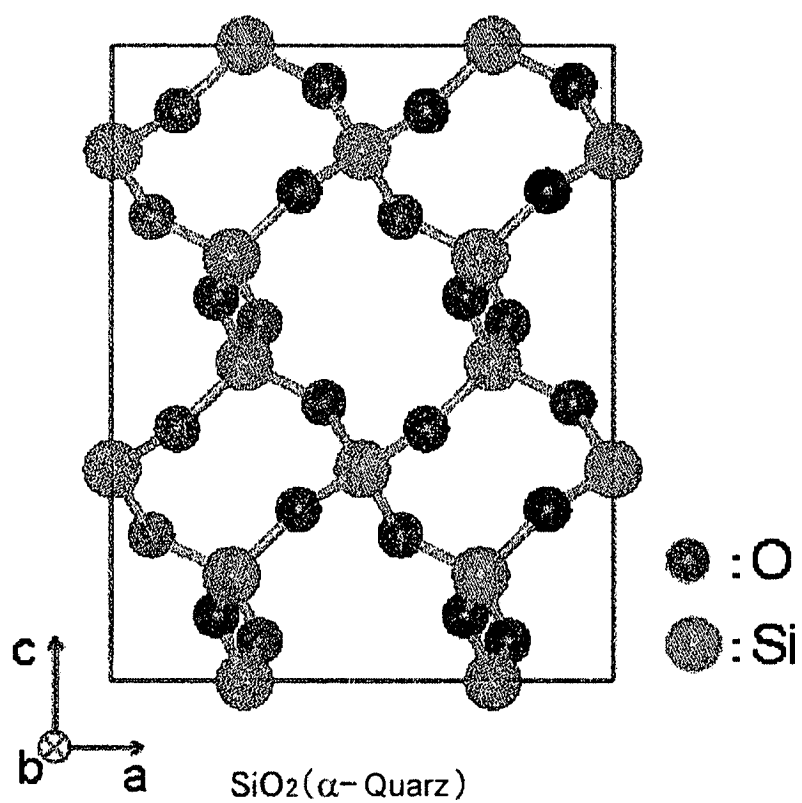
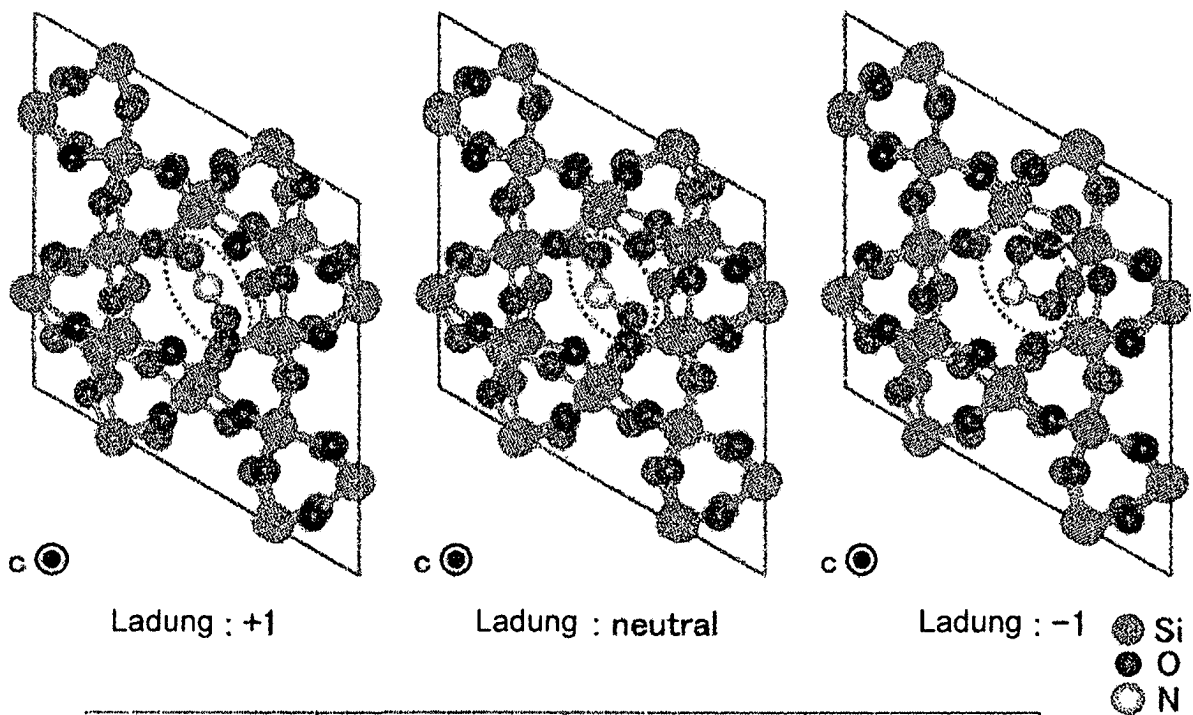


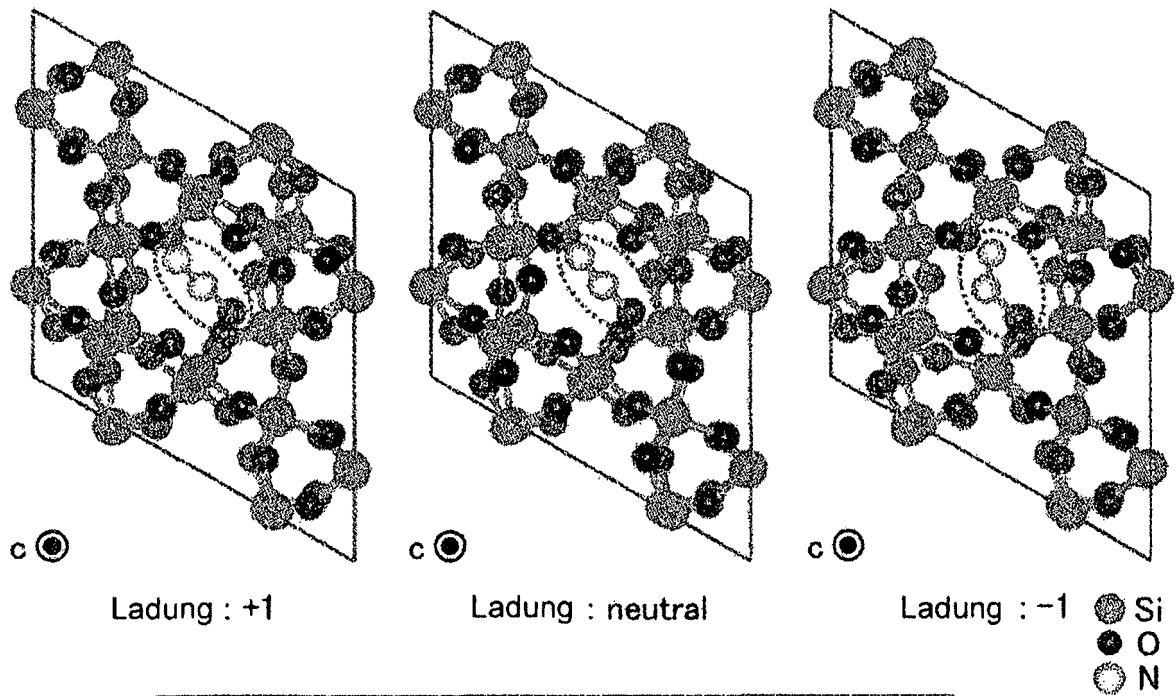
FIG. 19



	Ladung : +1	Ladung:neutral	Ladung : -1
$d(\text{N-O}) [\text{\AA}]$	1,109(1,154)	1,178(1,197)	1,241(1,236)
$\angle \text{O-N-O} [^\circ]$	178,81(180)	133,65(134)	110,34(115)

※ () stellt den Bezugswert eines NO_2 -Moleküls in einem Gaszustand dar.

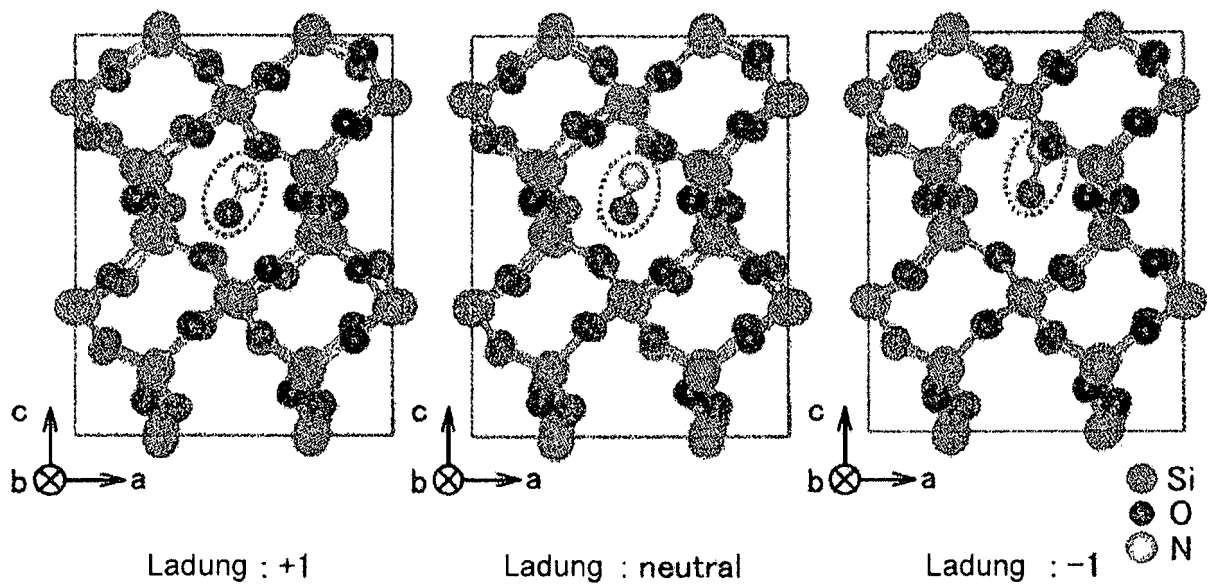
FIG. 20



	Ladung : +1	Ladung : neutral	Ladung : -1
d(N-N)[Å]	1,191	1,105(1,126)	1,163
d(N-O)[Å]	1,154	1,175(1,186)	1,310
∠N-N-O[°]	174,52	172,81(180)	130,71

※() stellt den Bezugswert eines NO₂-Moleküls in einem Gaszustand dar.

FIG. 21



	Ladung : +1	Ladung:neutral	Ladung : -1
d(N-O) [Å]	1,081	1,146	1,224

FIG. 22

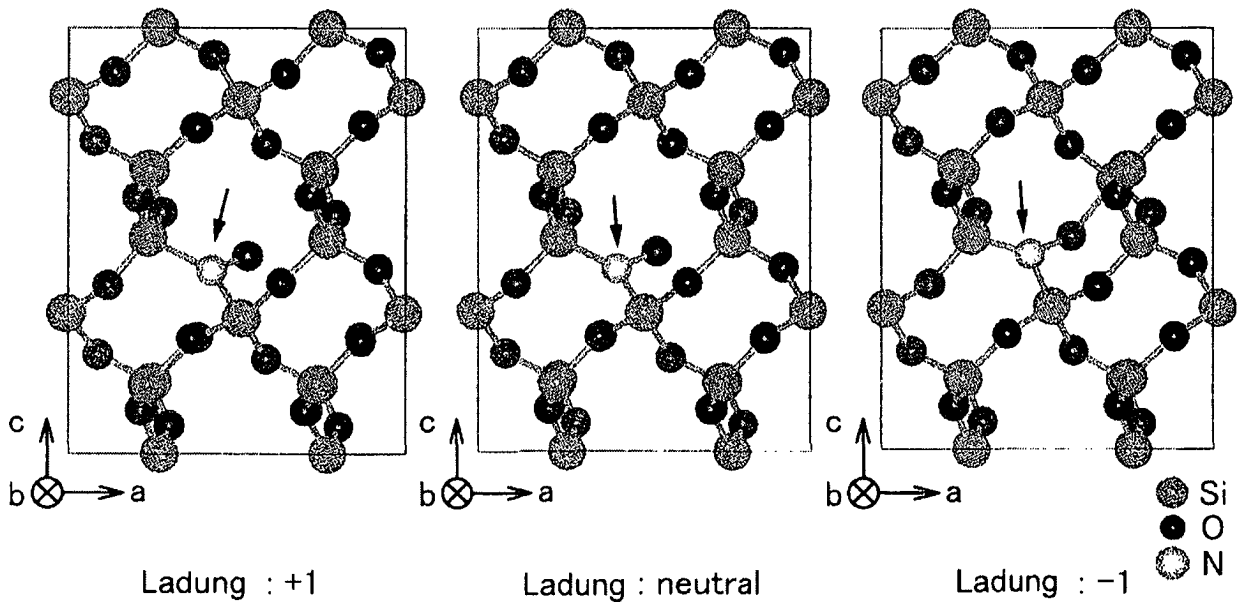


FIG. 23

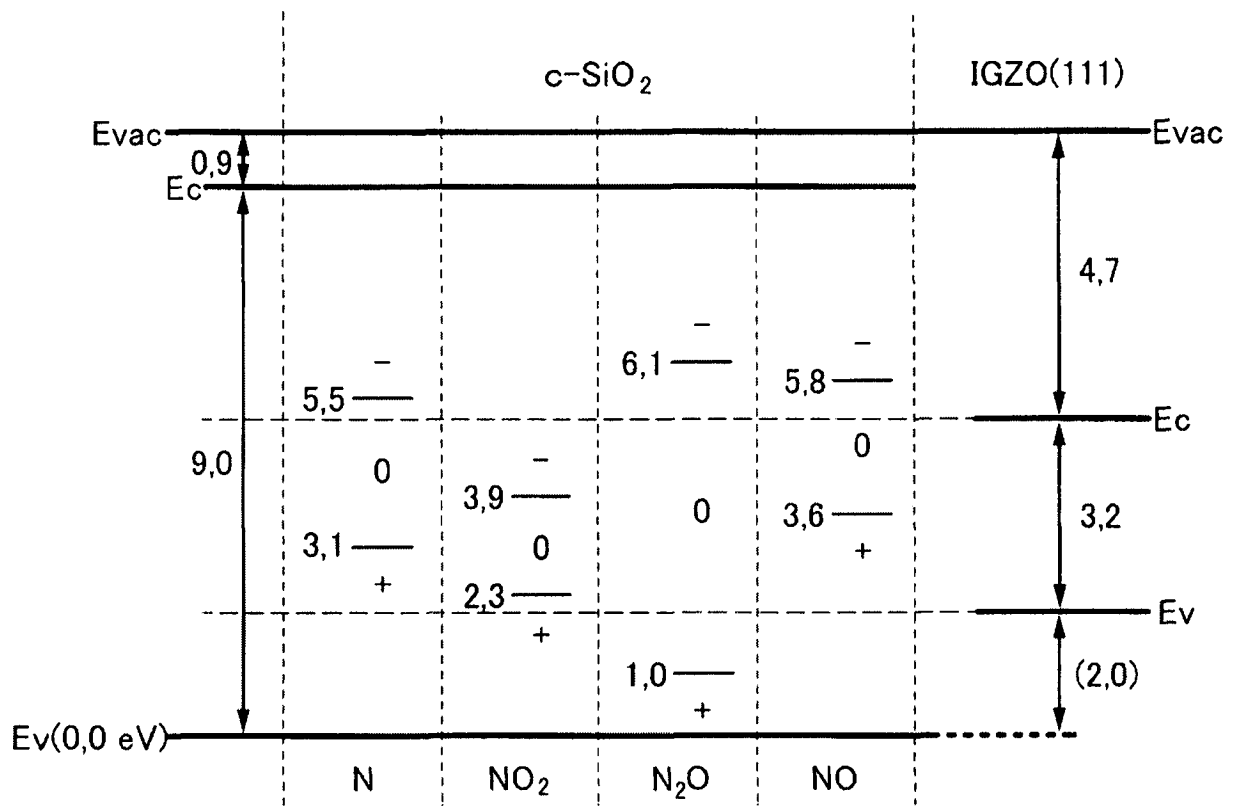


FIG. 24A

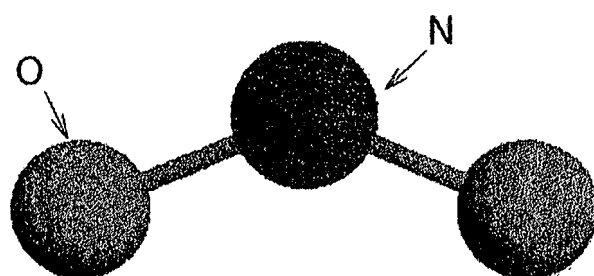


FIG. 24B

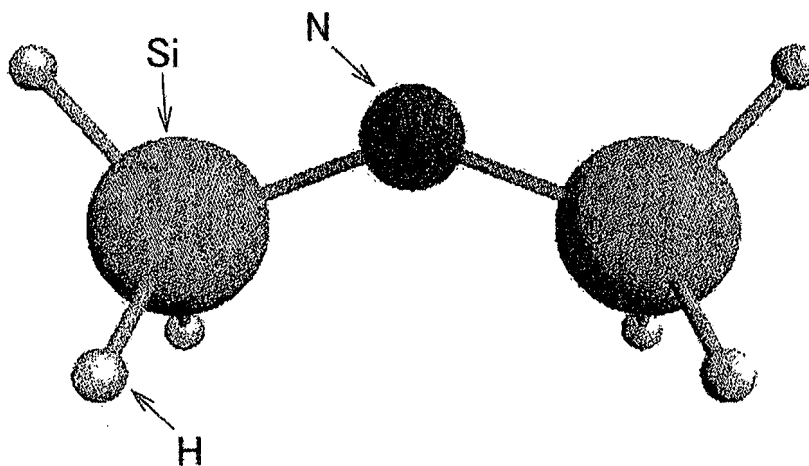


FIG. 25

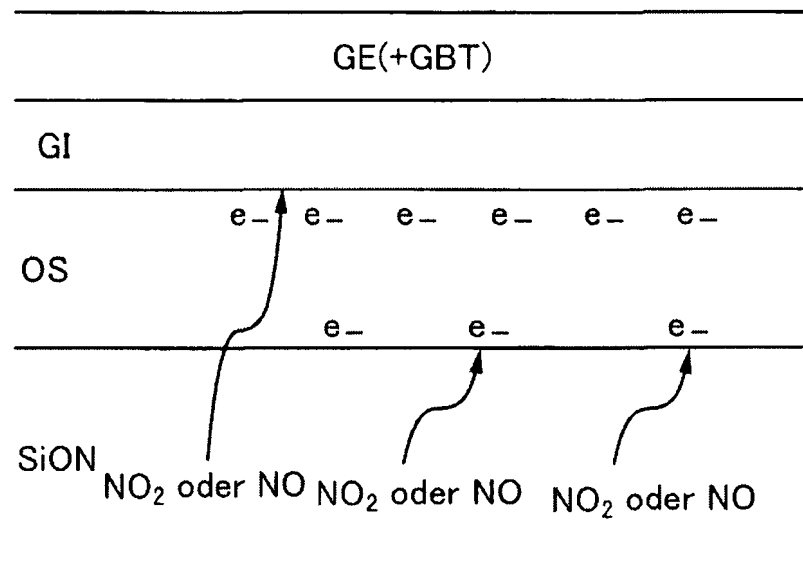


FIG. 26A

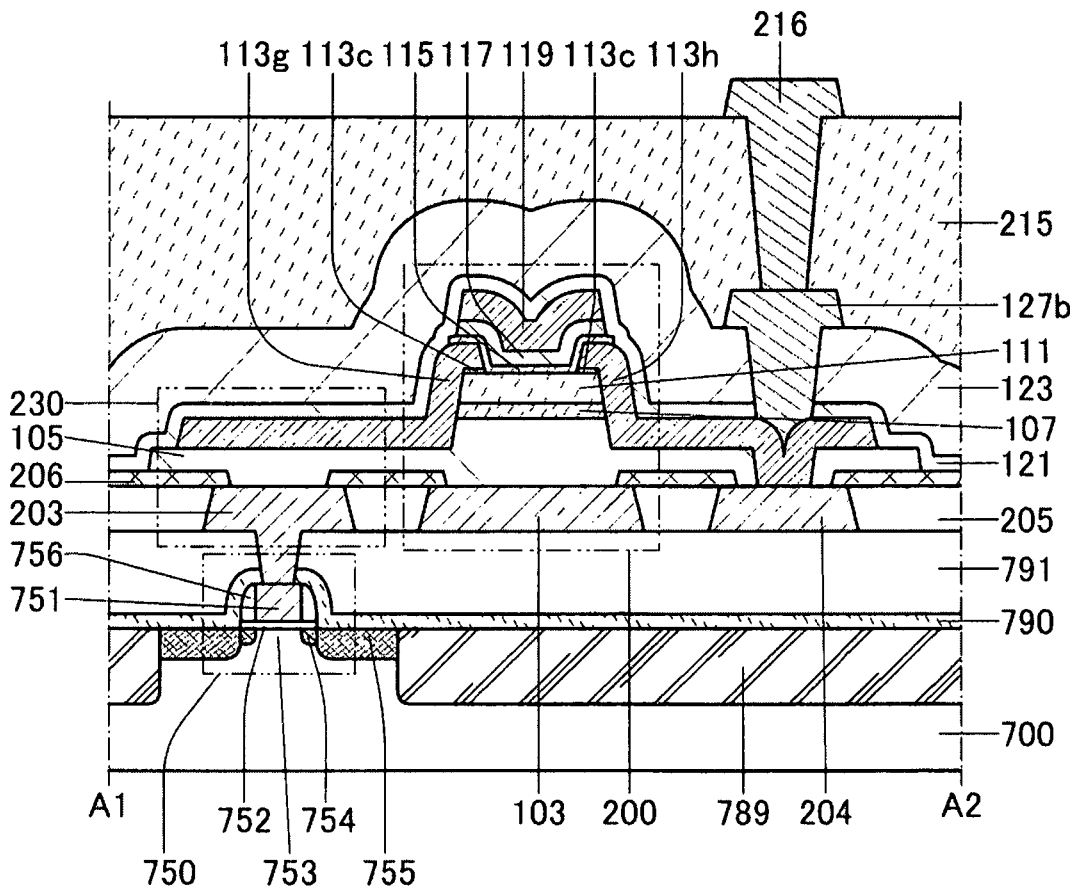


FIG. 26B

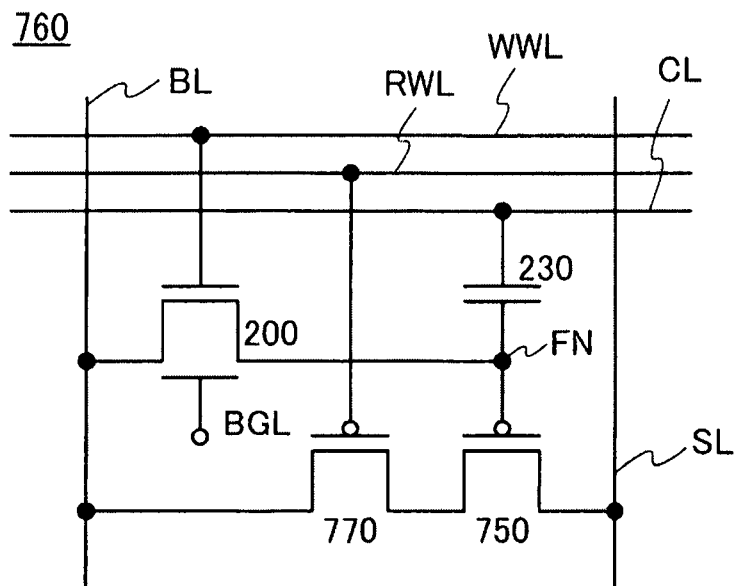


FIG. 27

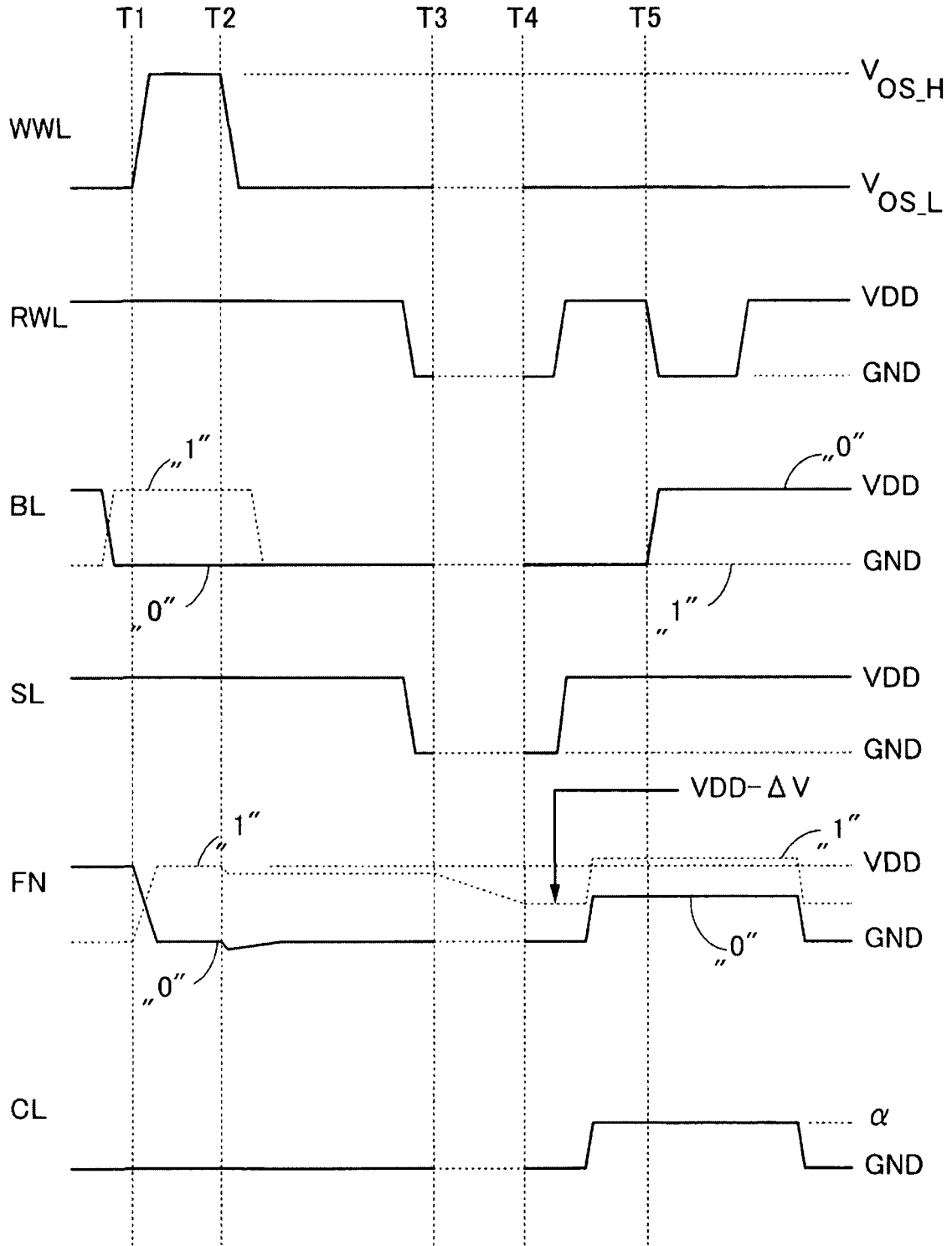


FIG. 28A

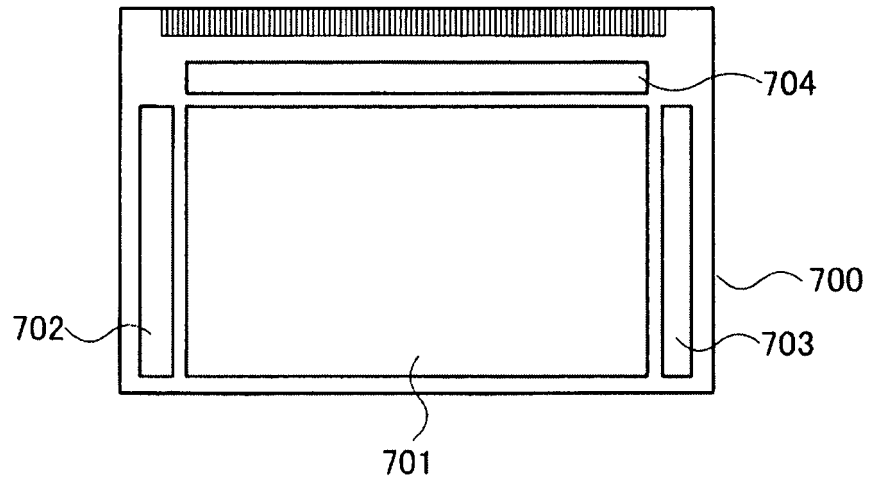


FIG. 28B

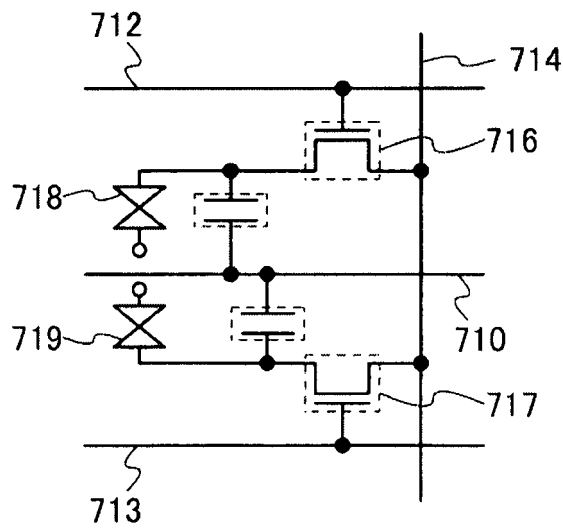


FIG. 28C

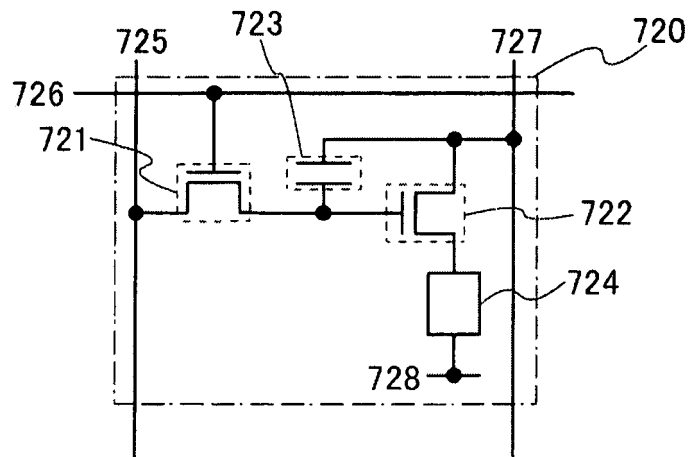


FIG. 29

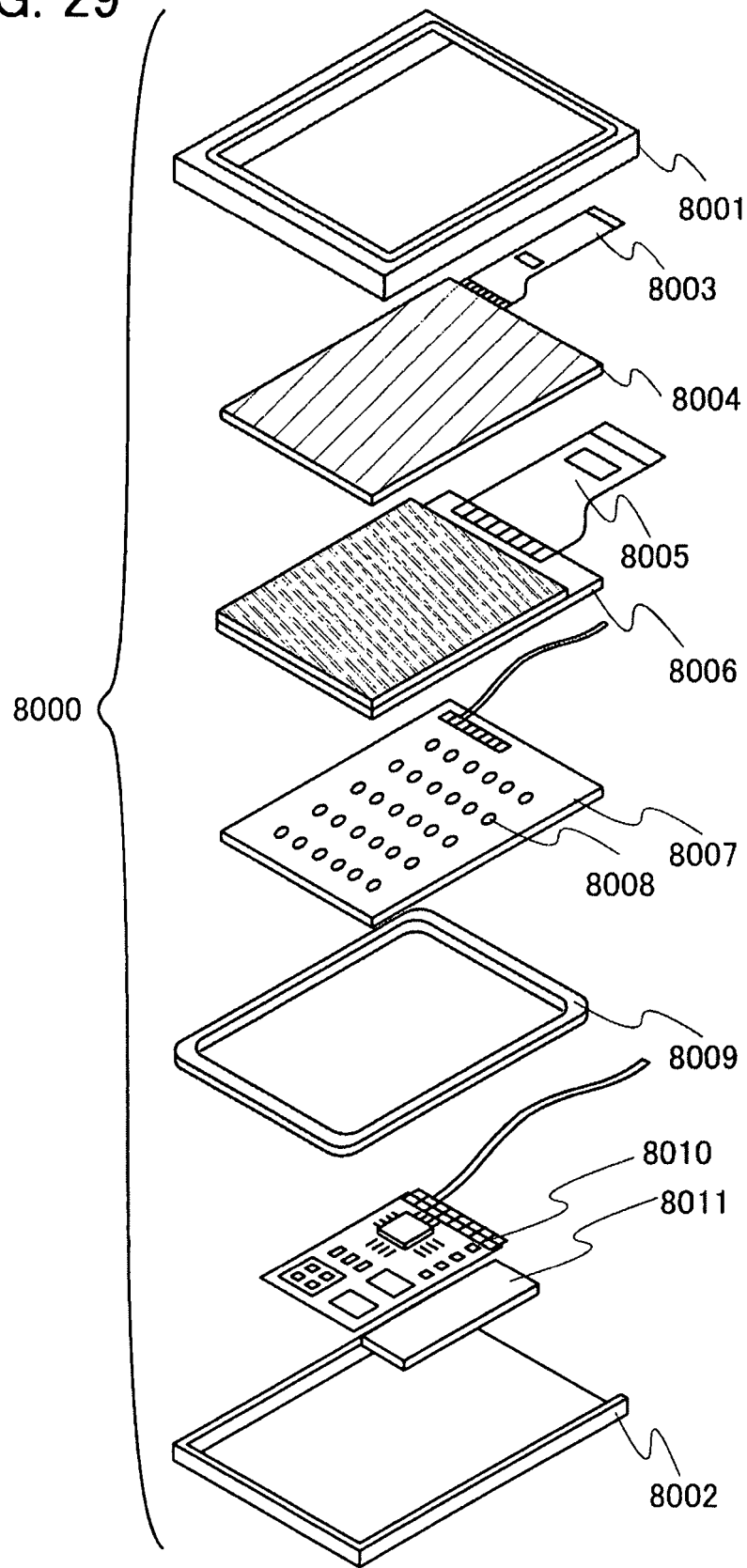


FIG. 30A

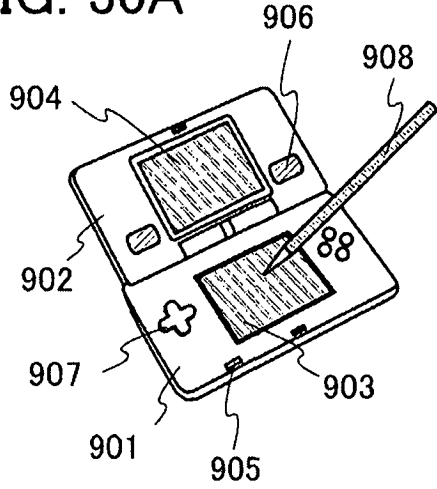


FIG. 30B

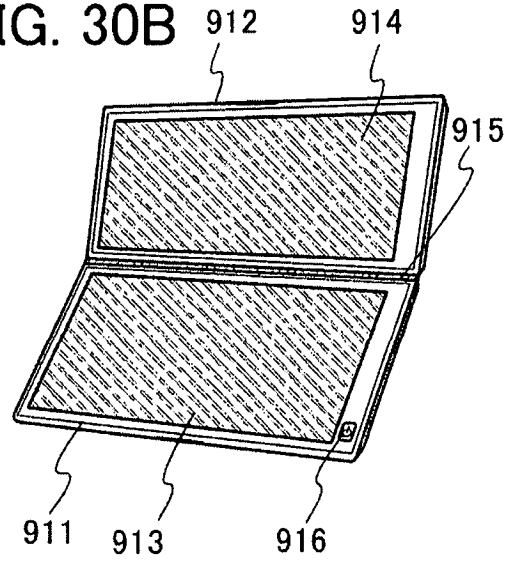


FIG. 30C

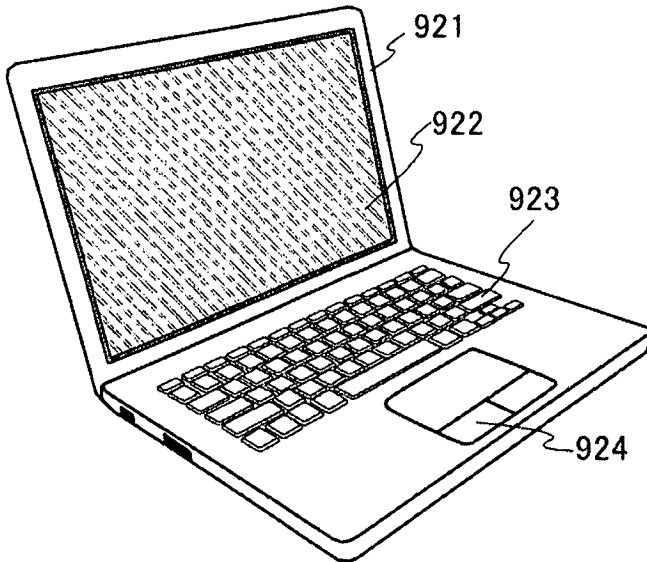


FIG. 30D

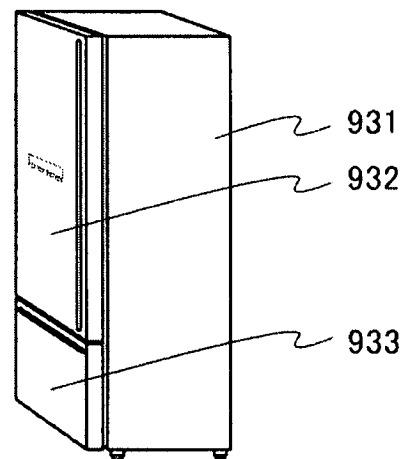


FIG. 30E

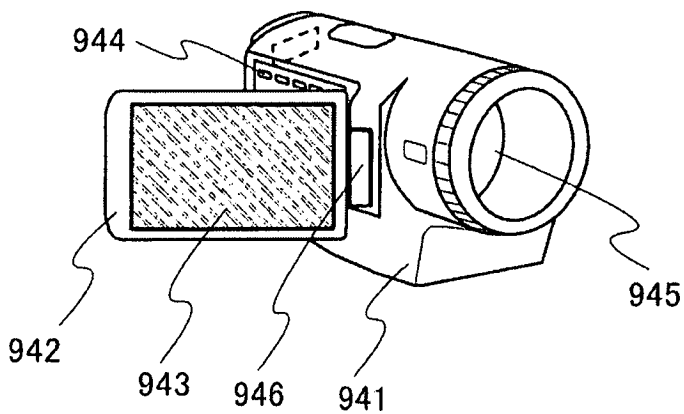


FIG. 30F

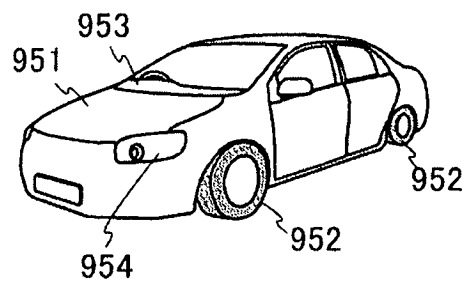


FIG. 31

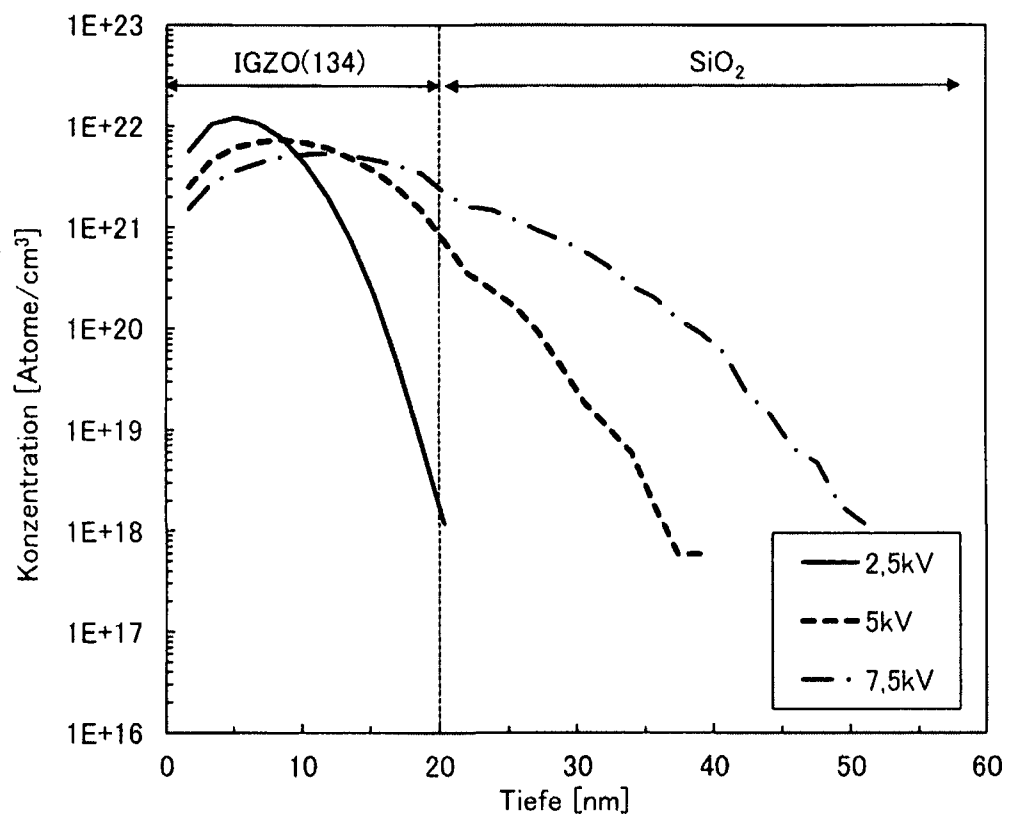


FIG. 32

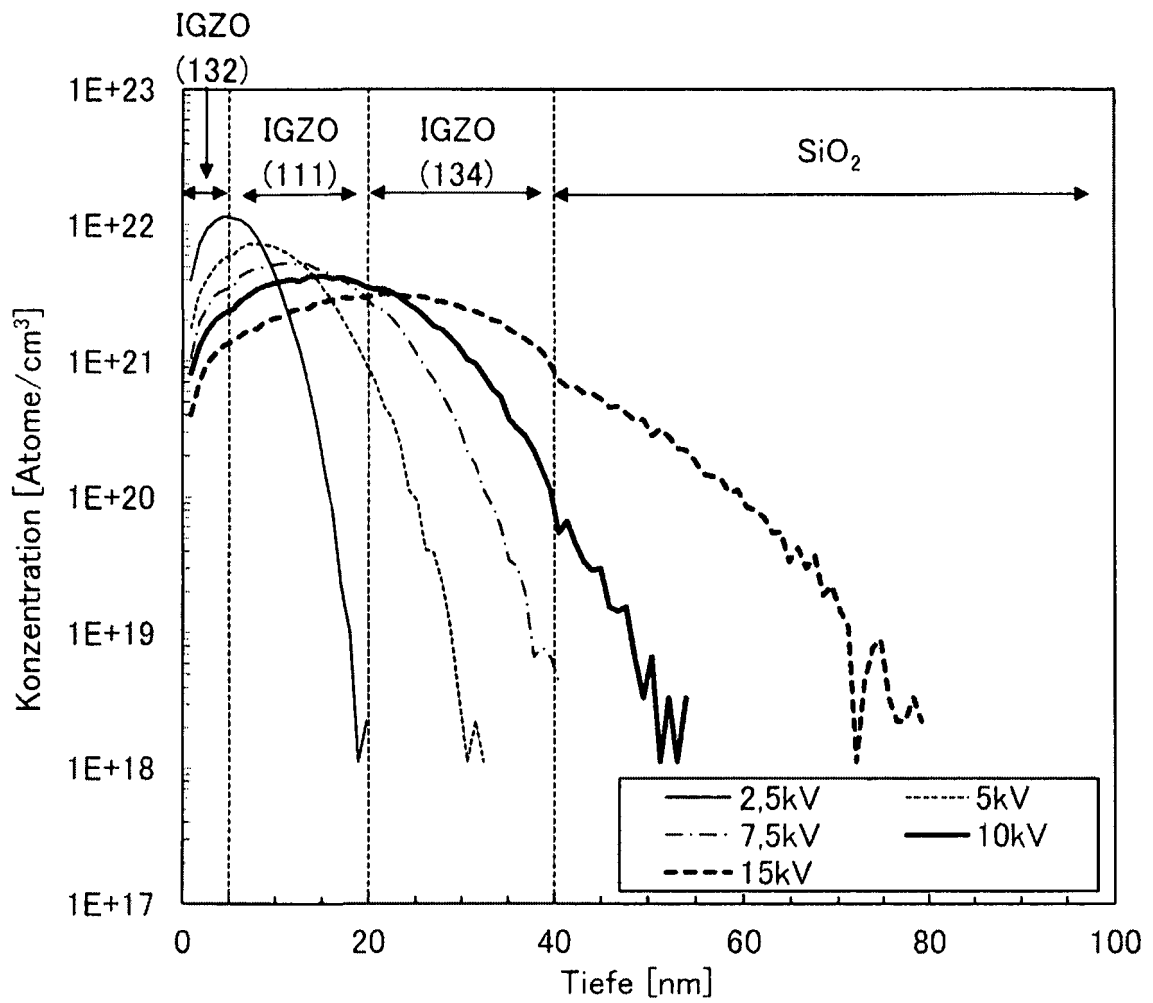


FIG. 33A

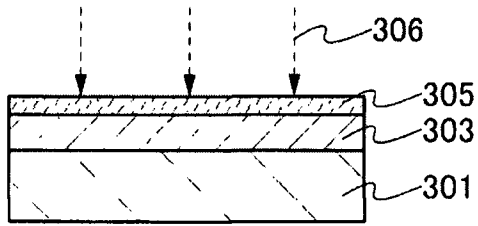


FIG. 33E

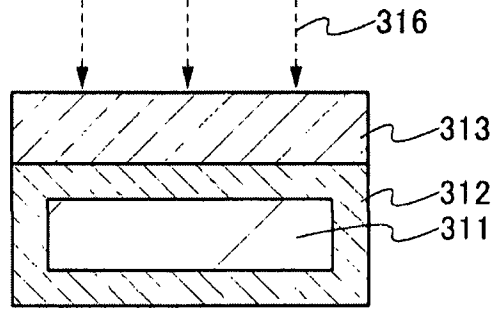


FIG. 33B

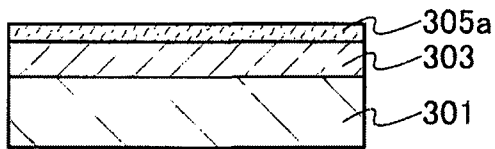


FIG. 33F

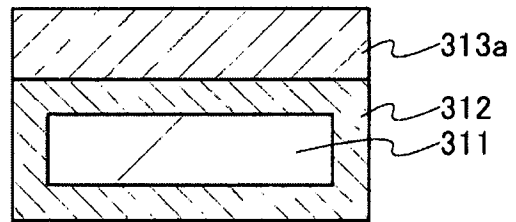


FIG. 33C

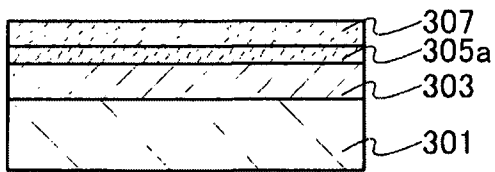


FIG. 33G

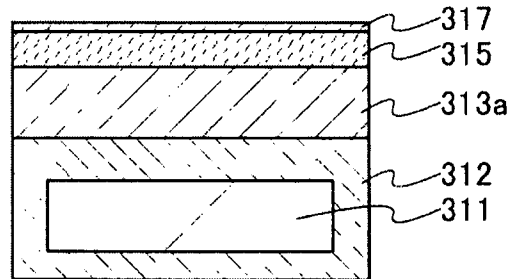


FIG. 33D

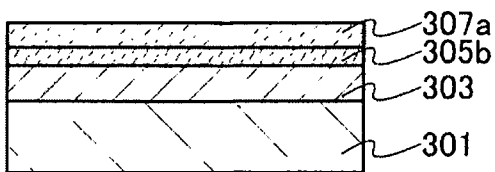


FIG. 33H

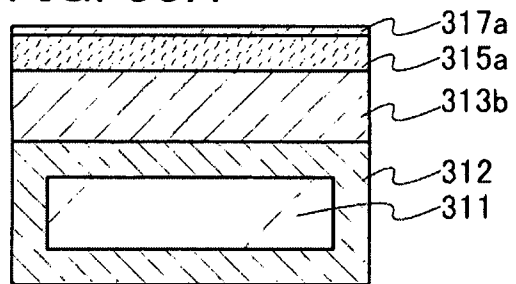


FIG. 33I

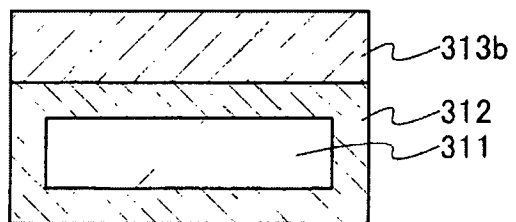


FIG. 34A

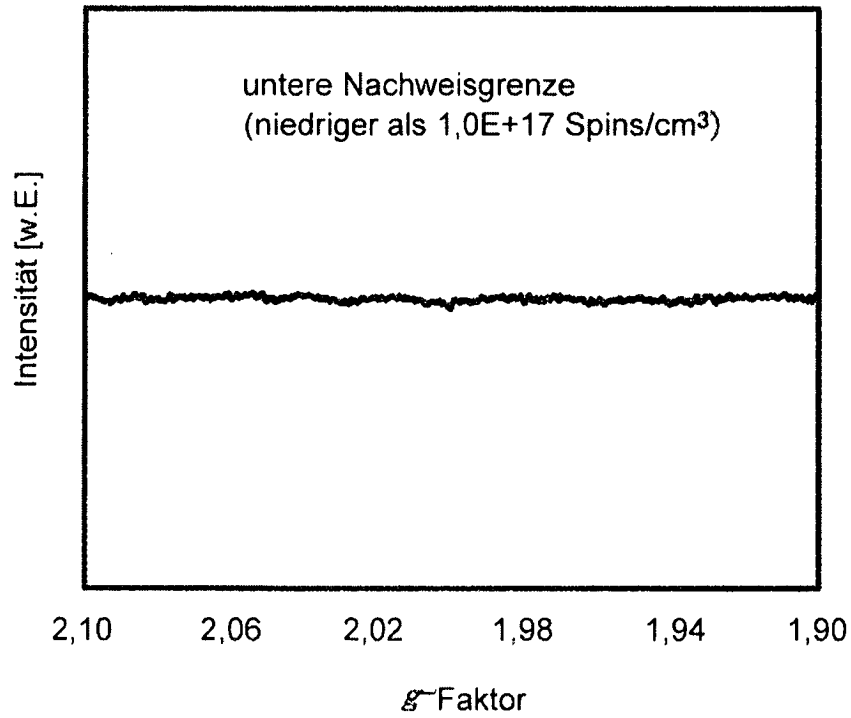


FIG. 34B

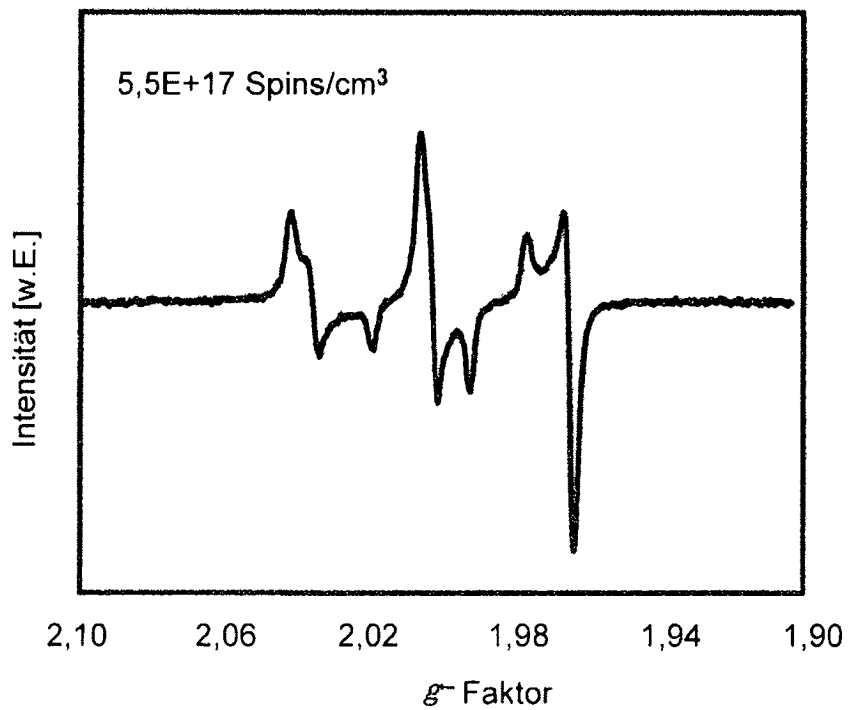


FIG. 35A

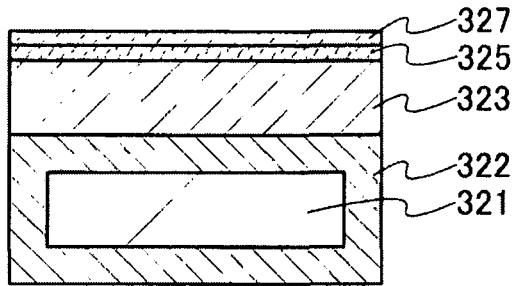


FIG. 35C

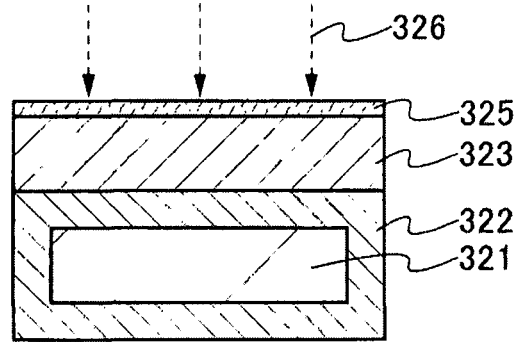


FIG. 35B

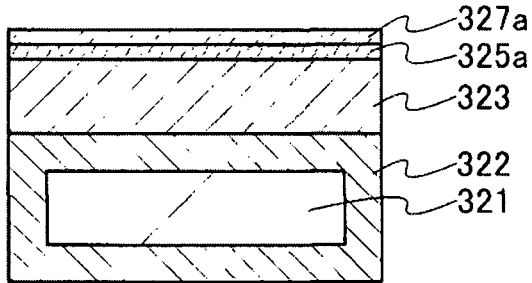


FIG. 35D

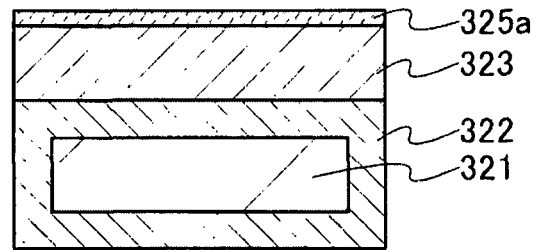


FIG. 35E

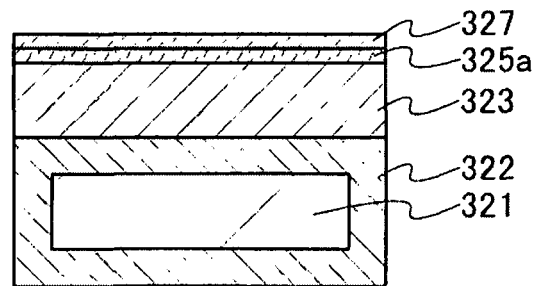
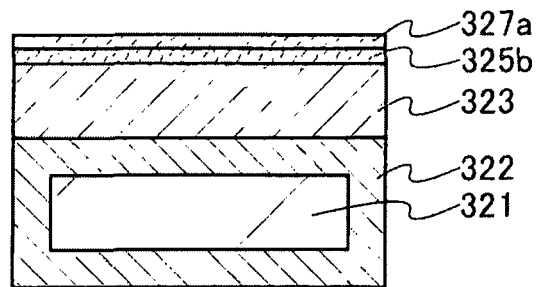
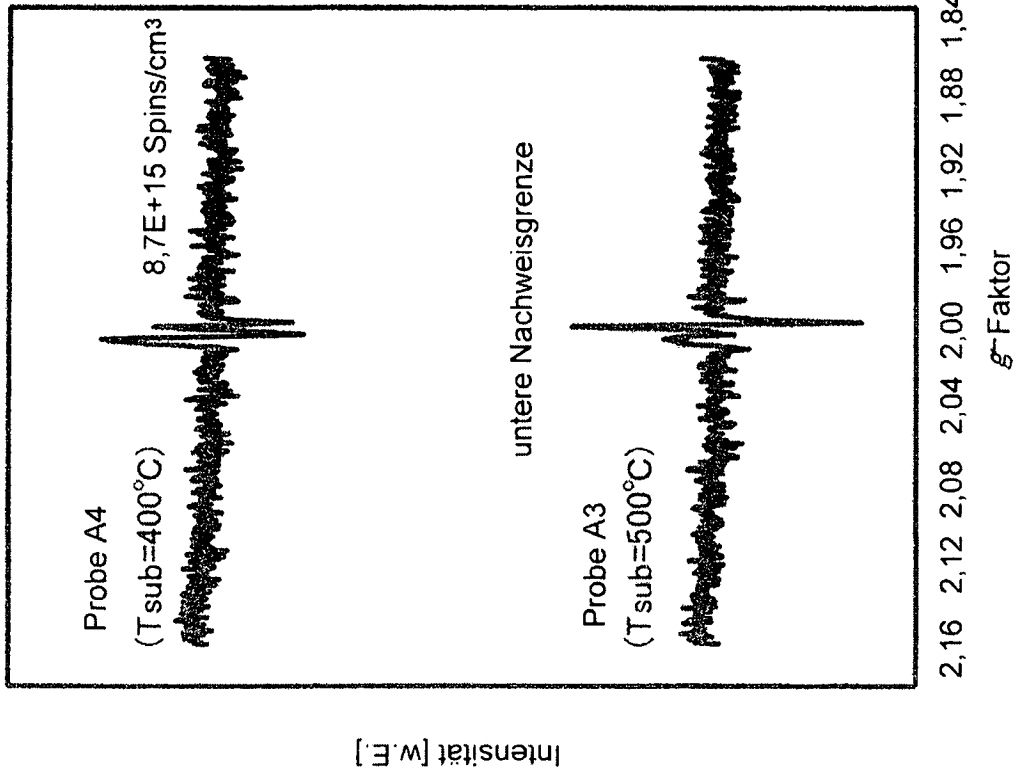


FIG. 35F



ohne Zusatz von Sauerstoff **FIG. 36A**



mit Zusatz von Sauerstoff **FIG. 36B**

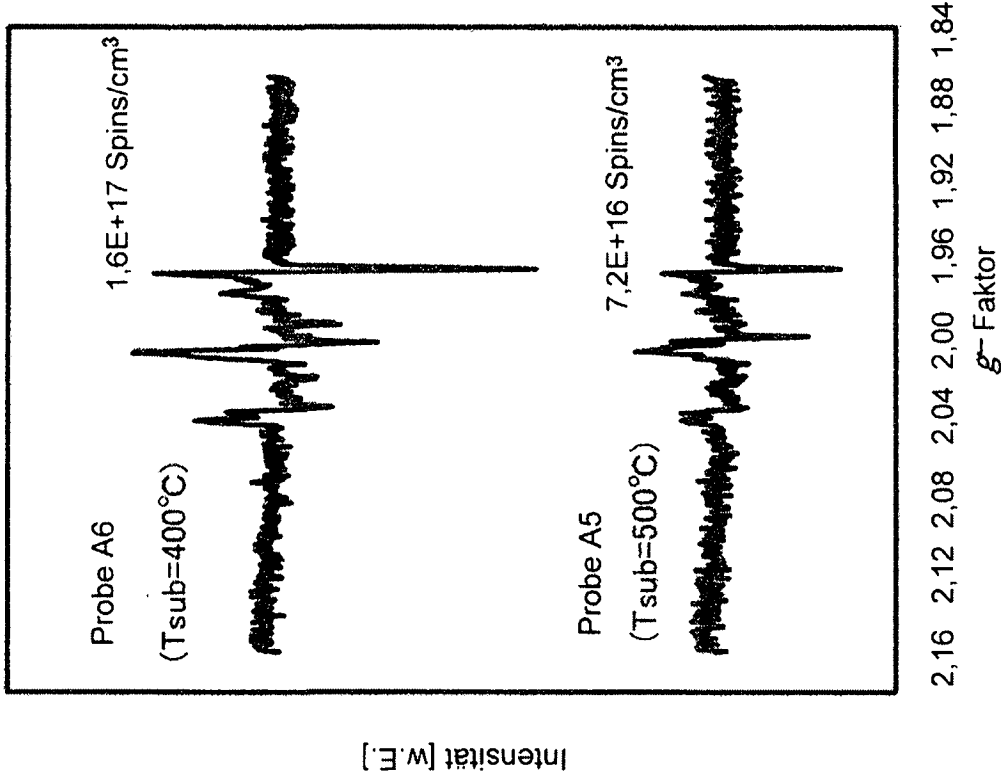


FIG. 37

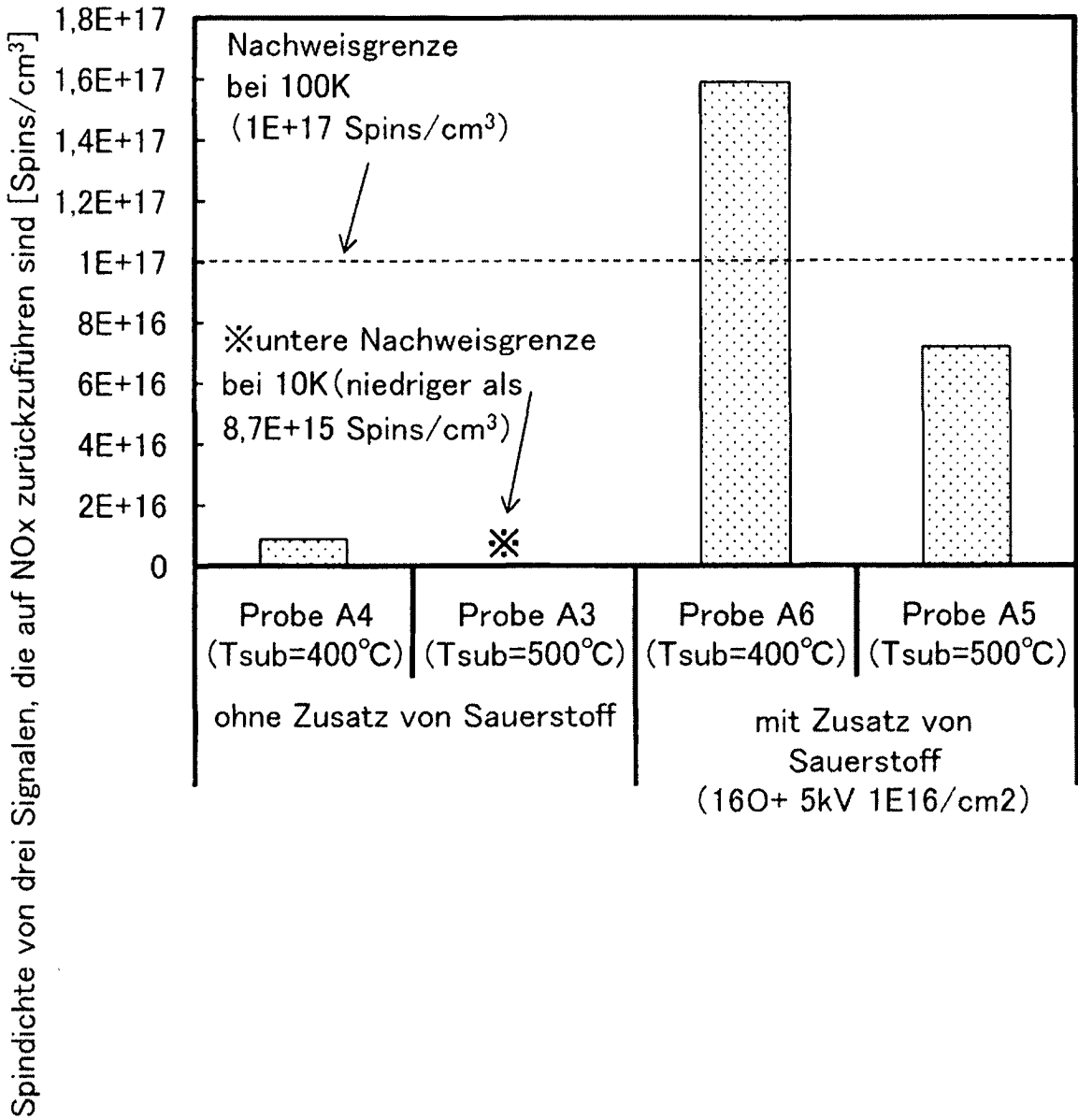


FIG. 38

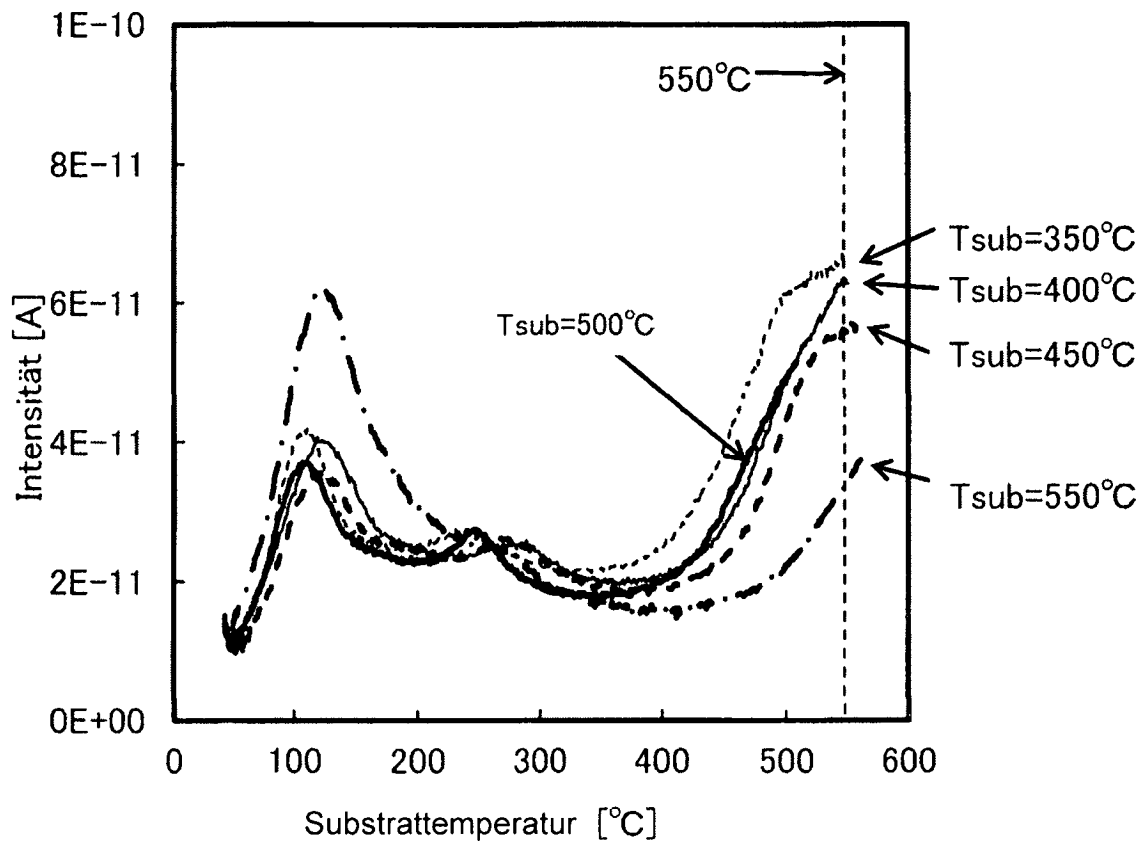


FIG. 39

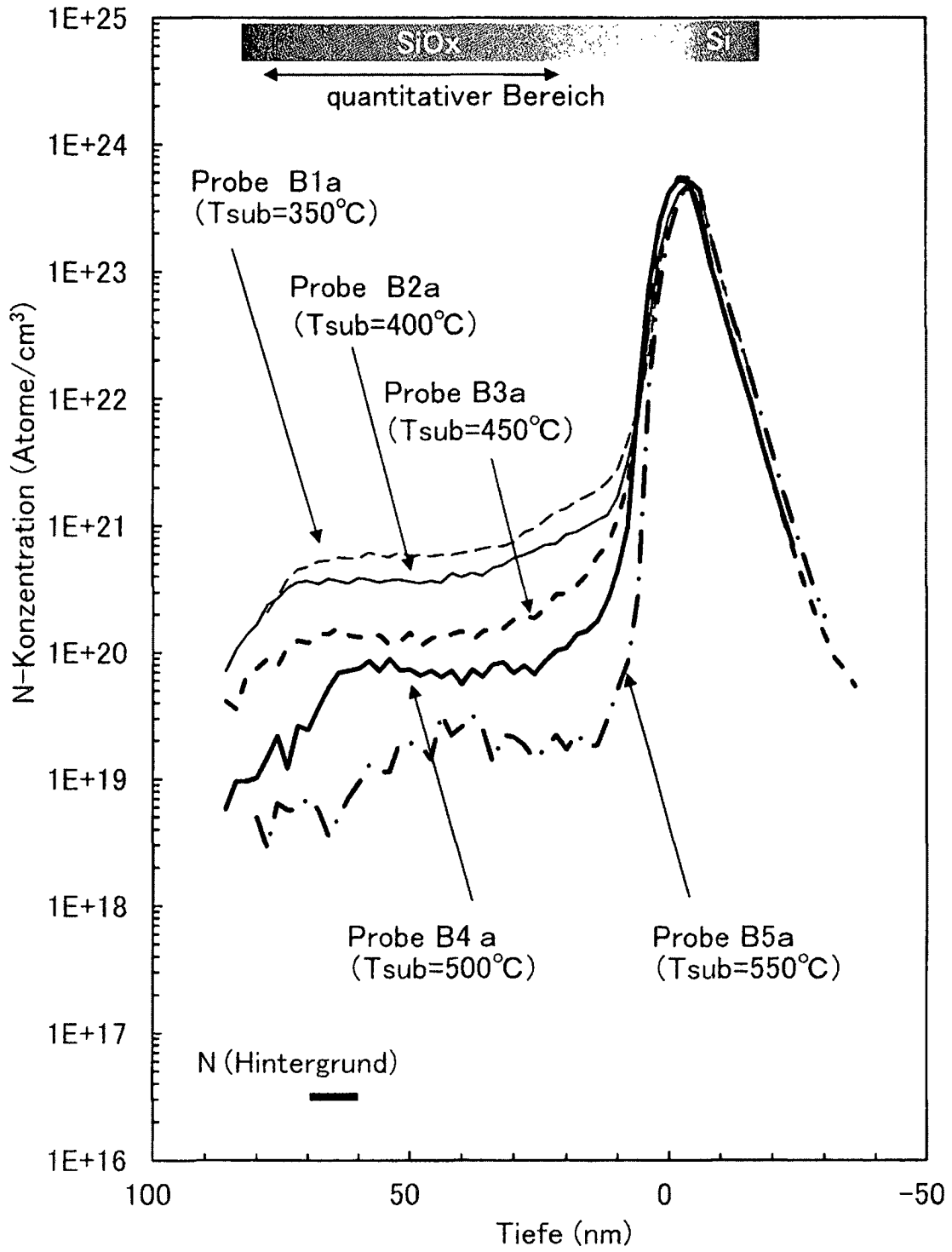


FIG. 40

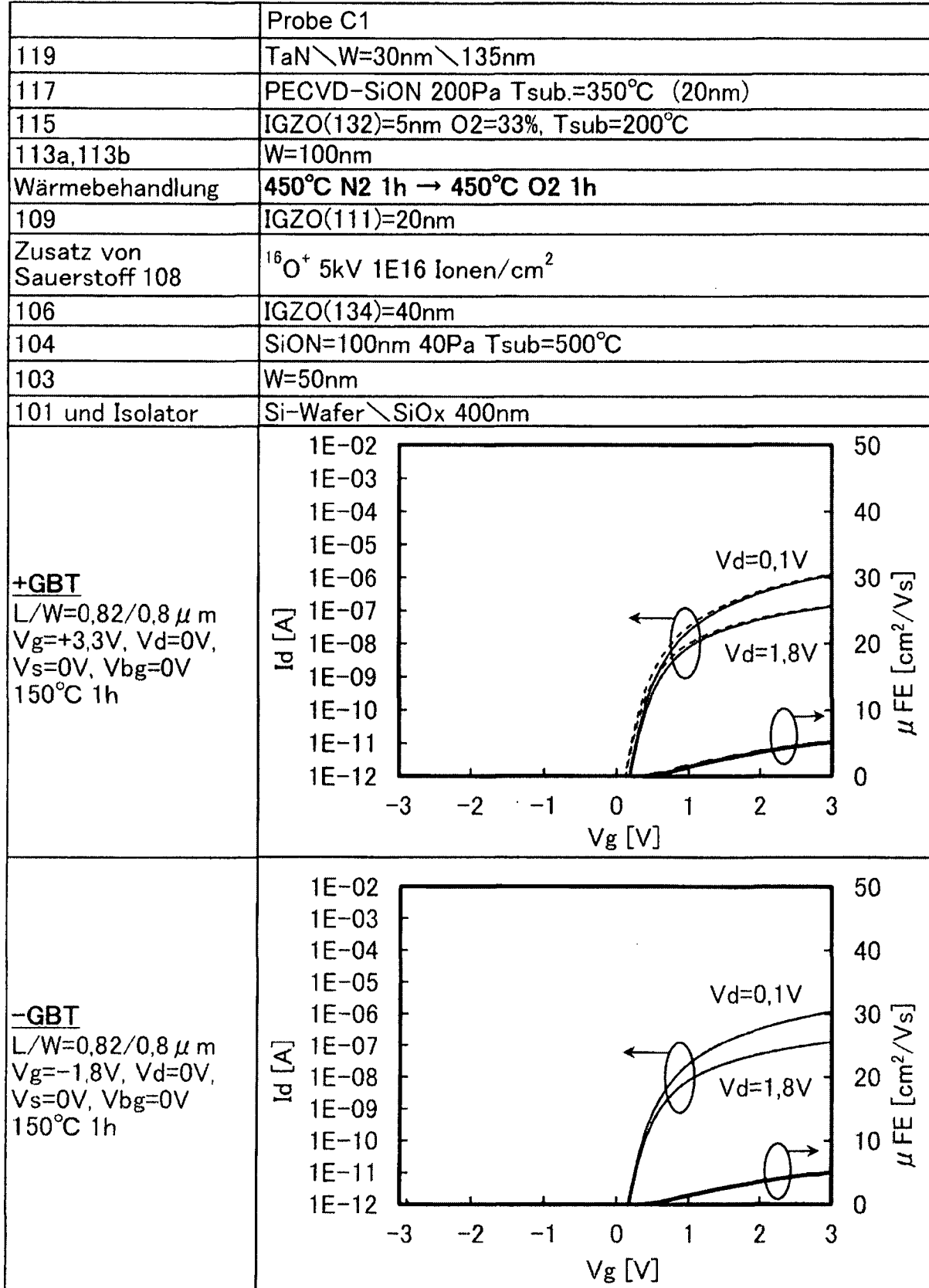


FIG. 41

	Probe C2
119	TaN \ W=30nm \ 135nm
117	PECVD-SiON 200Pa Tsub.=350°C (20nm)
115	IGZO(132)=5nm O2=33%, Tsub=200°C
113a, 113b	W=100nm
Wärmebehandlung	550°C N2 1h → 550°C O2 1h
109	IGZO(111)=20nm
Zusatz von Sauerstoff 108	¹⁶ O ⁺ 5kV 1E16Ionen/cm ²
106	IGZO(134)=40nm
104	SiON=100nm 40Pa Tsub=500°C
103	W=50nm
101 und Isolator	Si-Wafer \ SiOx 400nm
<p>+GBT L/W= 0,82/0,8 μm Vg=+3,3V, Vd=0V, Vs=0V, Vbg=0V 150°C1h</p>	
<p>-GBT L/W= 0,82/0,8 μm Vg=-1,8V, Vd=0V, Vs=0V, Vbg=0V 150°C1h</p>	

FIG. 42A

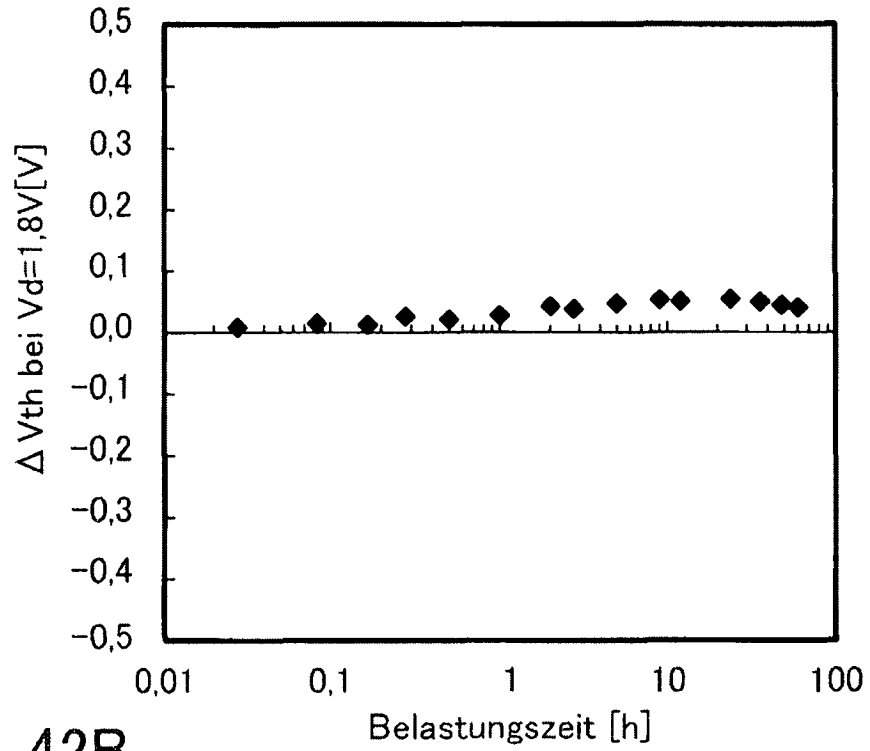


FIG. 42B

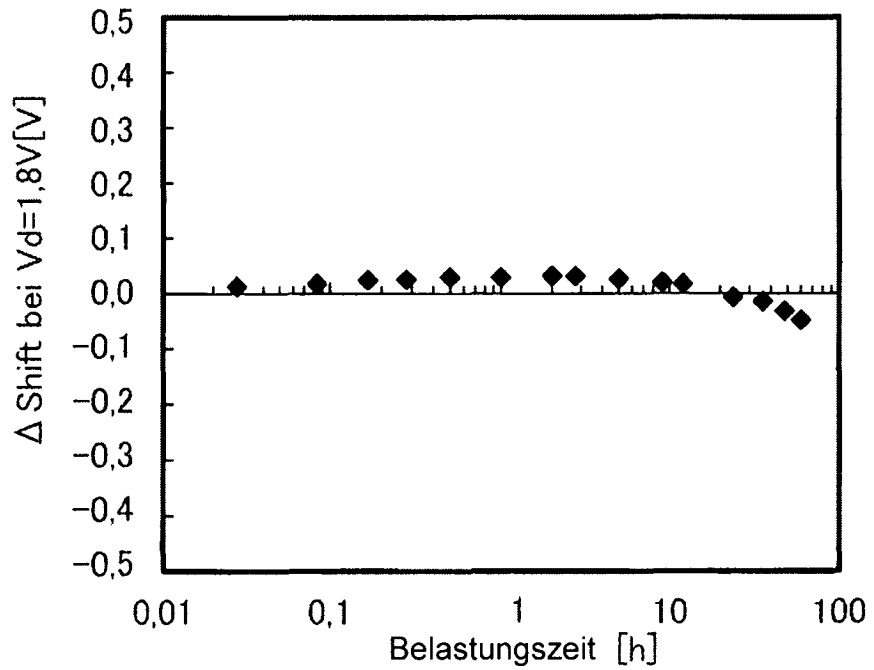


FIG. 43

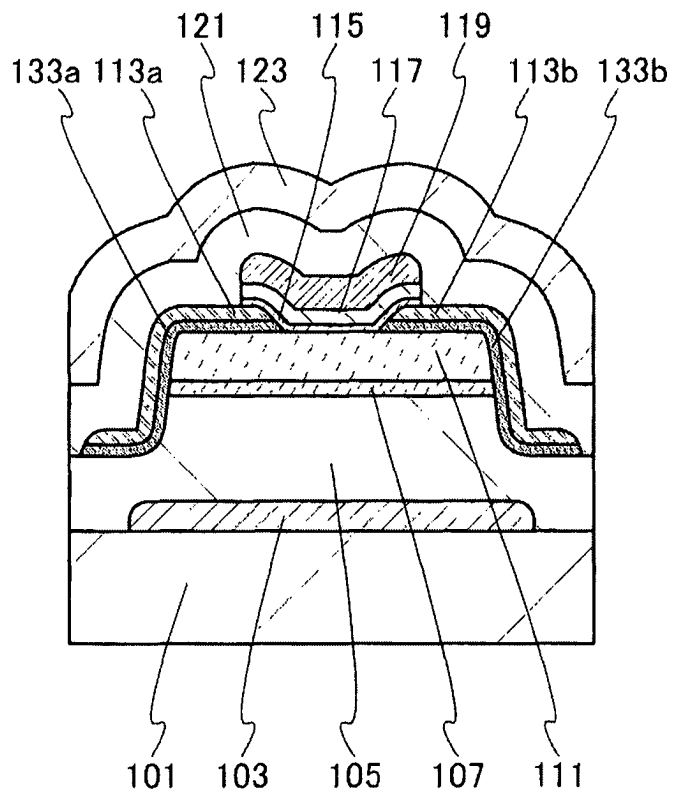


FIG. 44A

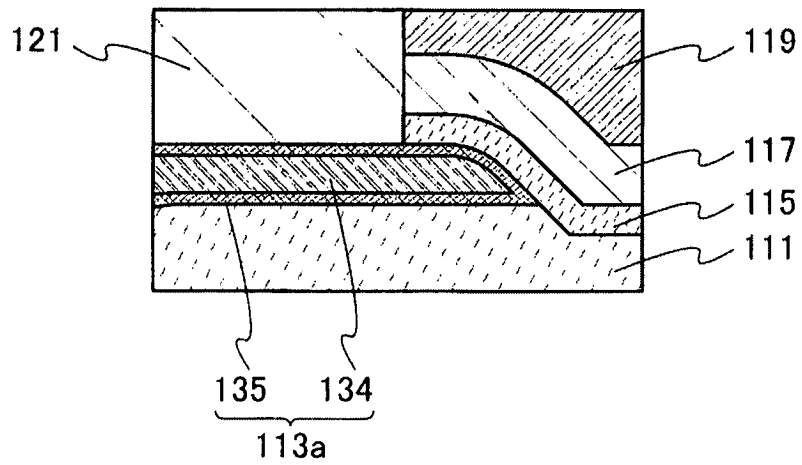


FIG. 44B

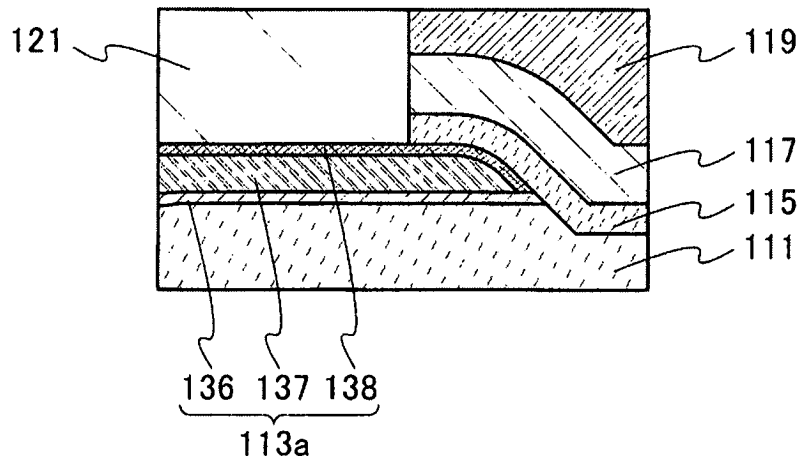


FIG. 45A

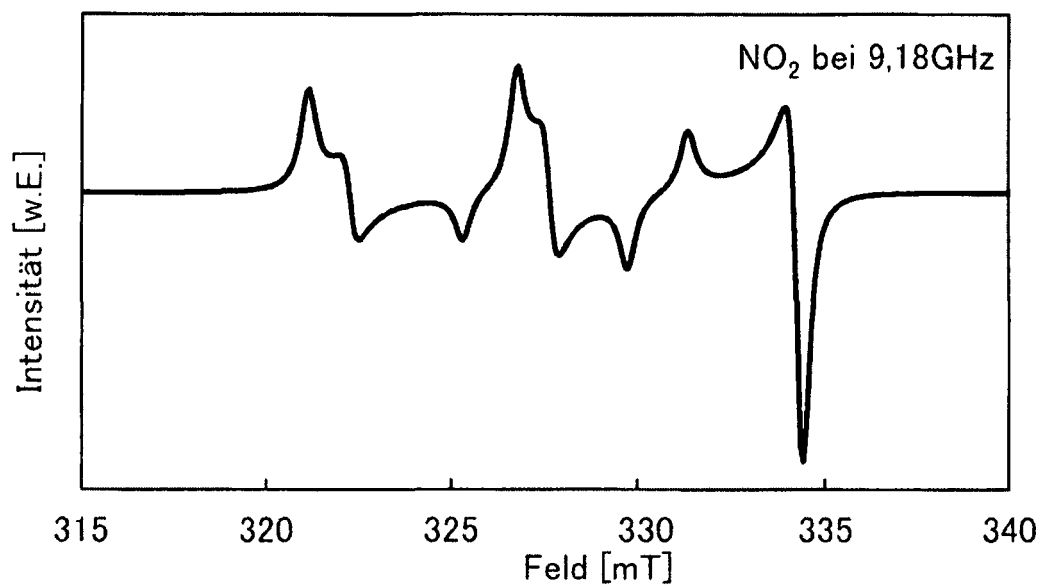


FIG. 45B

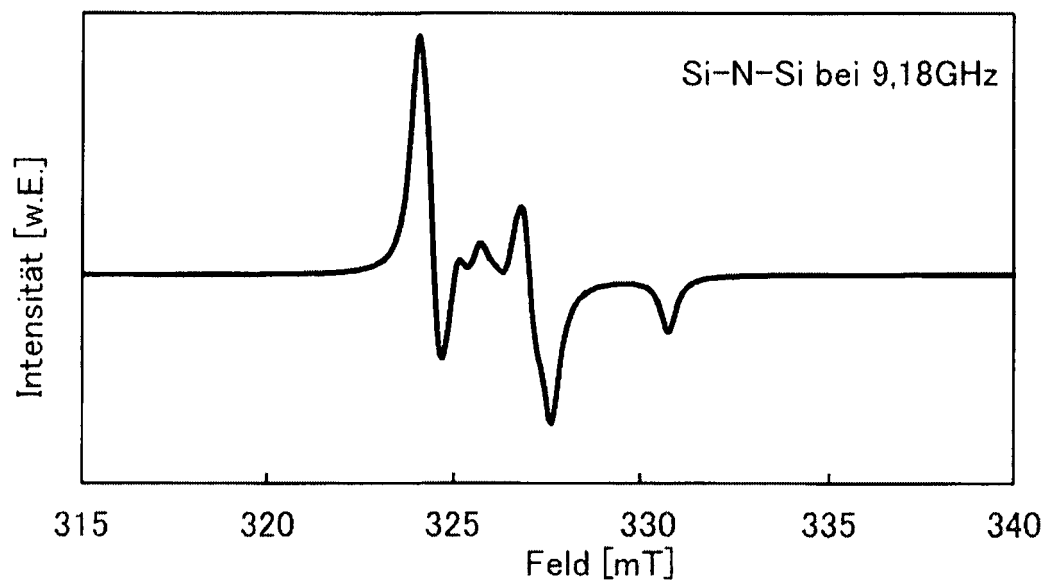


FIG. 46

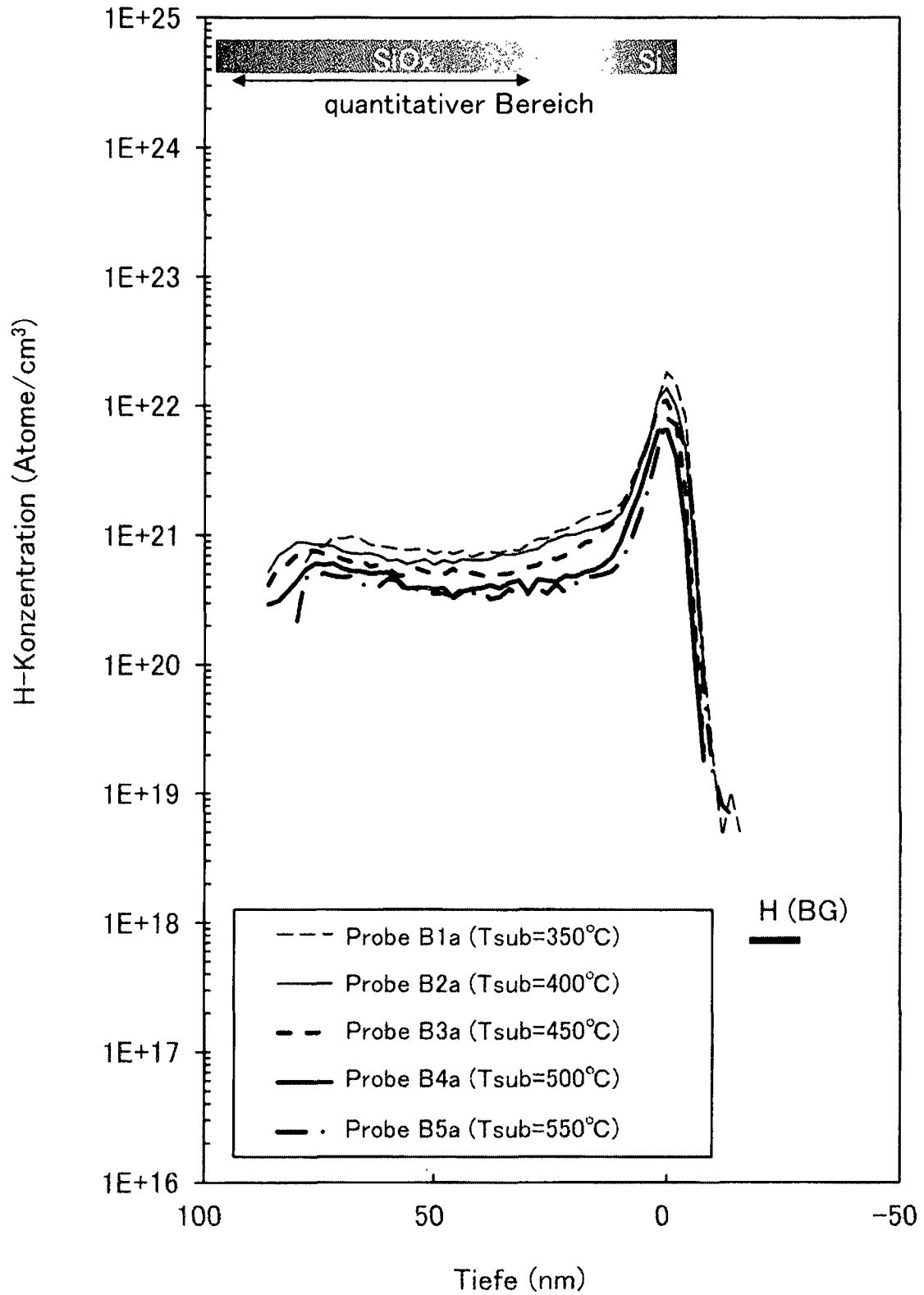


FIG. 47A

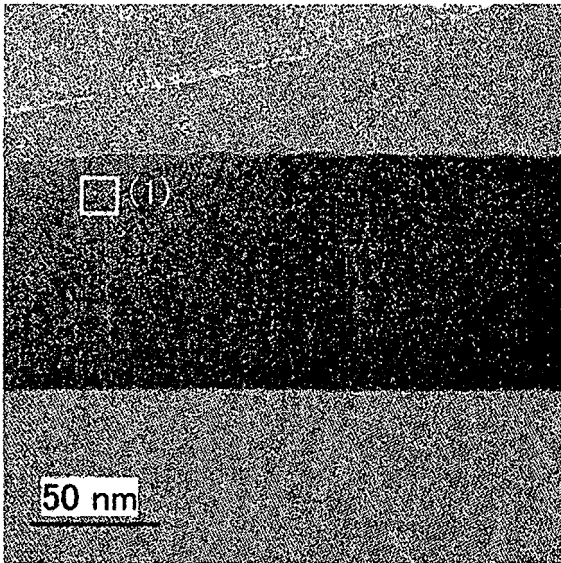


FIG. 47B

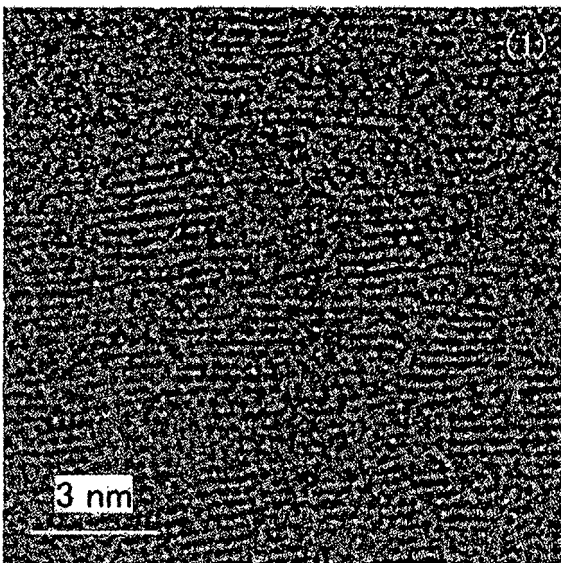


FIG. 47C

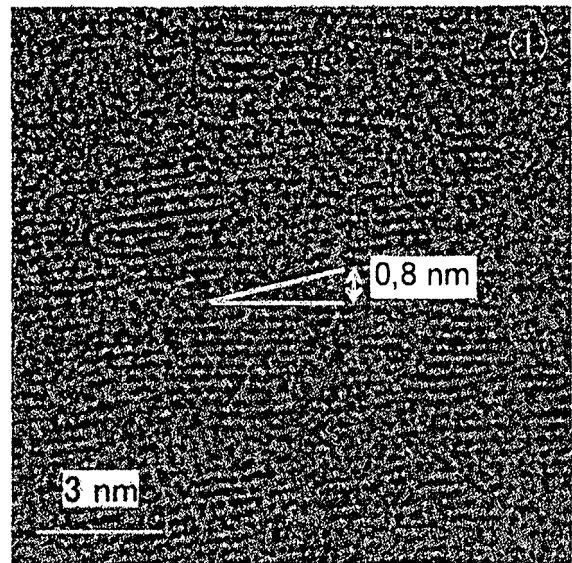


FIG. 47D

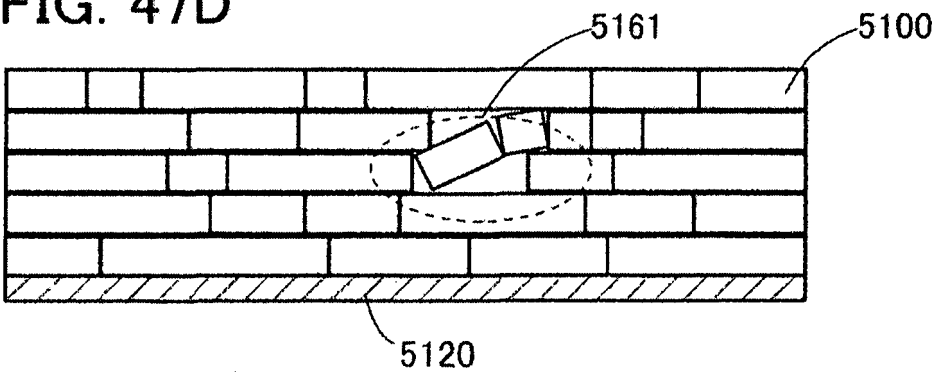


FIG. 48A

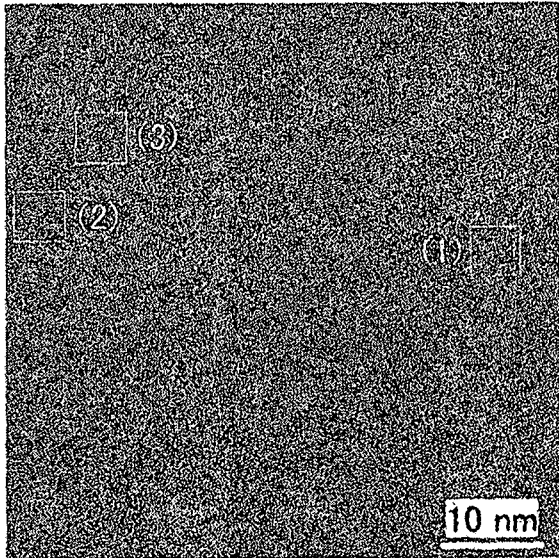


FIG. 48B

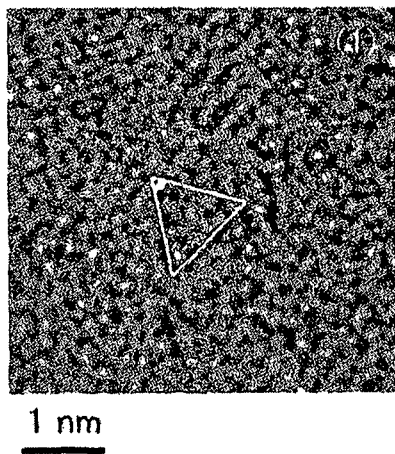


FIG. 48C

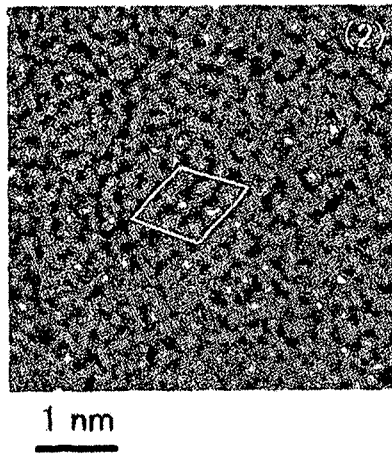


FIG. 48D

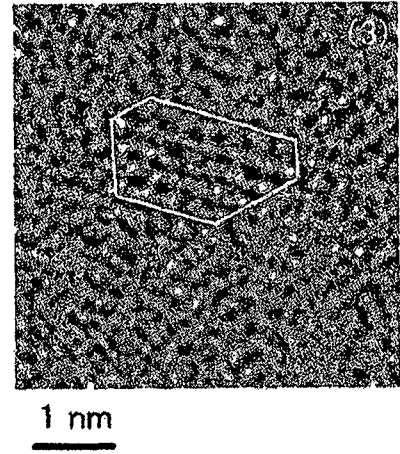


FIG. 49A

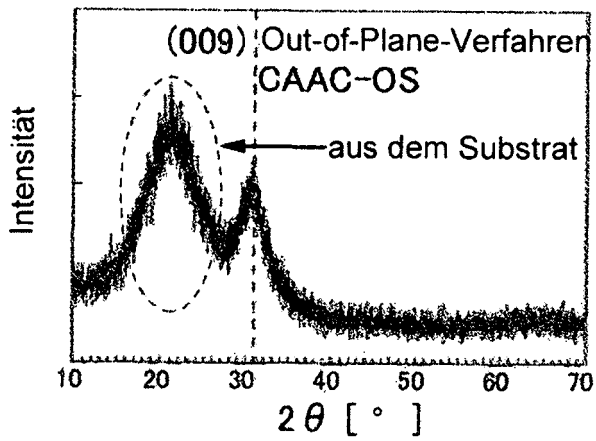


FIG. 49B

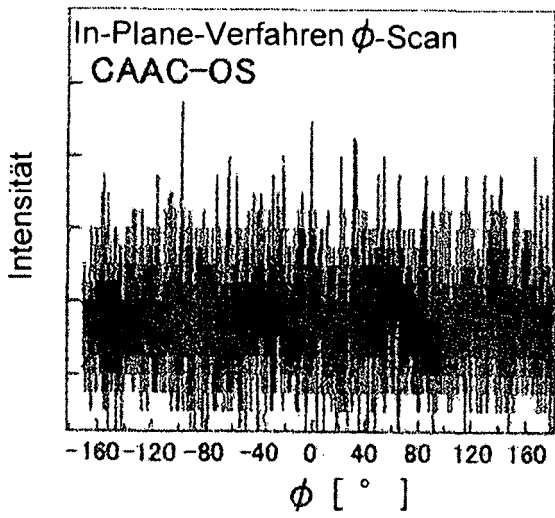


FIG. 49C

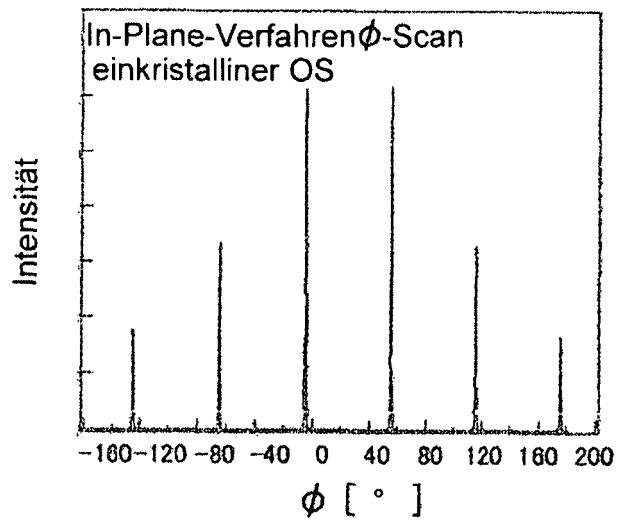


FIG. 50A

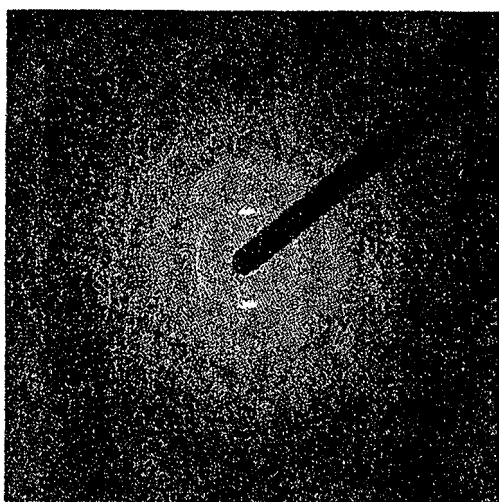


FIG. 50B

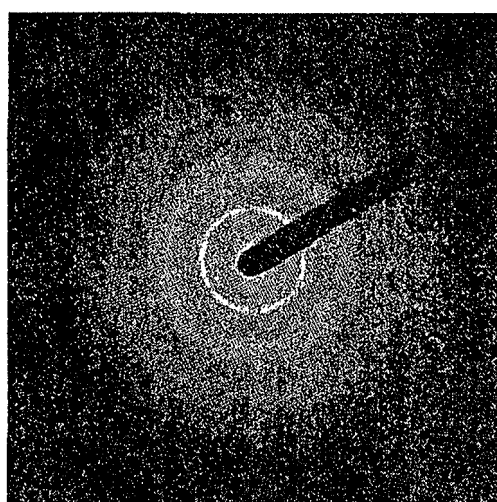


FIG. 51

