

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年8月4日(2005.8.4)

【公開番号】特開2003-249829(P2003-249829A)

【公開日】平成15年9月5日(2003.9.5)

【出願番号】特願2002-46740(P2002-46740)

【国際特許分類第7版】

H 03 F 3/45

H 03 K 19/017

H 03 K 19/0175

【F I】

H 03 F 3/45 Z

H 03 K 19/017

H 03 K 19/00 101K

【手続補正書】

【提出日】平成17年1月7日(2005.1.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置と半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一対の第1入力端子にそれぞれゲートが接続された第1導電型の第1差動MOSFET対と、該第1差動MOSFET対の共通ソースに設けられて上記第1差動MOSFET対の動作電流を形成する第1導電型の第1電流源MOSFETとを含む第1增幅部と、

上記一対の第1入力端子にそれぞれゲートが接続された第2導電型の第2差動MOSFET対と、該第2差動MOSFET対の共通ソースに設けられて上記第2差動MOSFET対の動作電流を形成する第2導電型の第2電流源MOSFETを含む第2增幅部と、

上記第1差動MOSFET対のソース・ドレイン経路に接続された第2導電型の第1MOSFET対と、上記第2差動MOSFET対のソース・ドレイン経路に接続された第1導電型の第2MOSFET対とを有する回路を含む第1の回路と、

一対の第2入力端子にそれぞれゲートが接続された第1導電型の第3差動MOSFET対及びその共通ソースに設けられて上記第3差動MOSFET対の動作電流を形成する第1導電型の第3電流源MOSFETを含む第3增幅部と、

上記一対の第2入力端子にそれぞれゲートが接続された第2導電型の第4差動MOSFET対及びその共通ソースに設けられて上記第4差動MOSFET対の動作電流を形成する第2導電型の第4電流源MOSFETを含む第4增幅部と、

上記第3差動MOSFET対のソース・ドレイン経路に接続された第2導電型の第3MOSFET対と、上記第4差動MOSFET対のソース・ドレイン経路に接続された第1導電型の第4MOSFET対とを有する回路を含む第2の回路とを備え、

上記第2の回路の出力は、上記第1ないし第4電流源MOSFETのゲート及び第1な

いし第4MOSFET対のゲートに供給してなることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

上記第1差動MOSFET対のドレインと上記第1MOSFET対のドレインとが接続され、

上記第2差動MOSFET対のドレインと上記第2MOSFET対のドレインとが接続され、

上記第1MOSFET対の一方と、上記第2MOSFET対の一方との間に、第2導電型の第5MOSFET及び第1導電型の第6MOSFETが直列に接続され、

上記第1MOSFET対の他方と、上記第2MOSFET対の他方との間に、第2導電型の第7MOSFET及び第1導電型の第8MOSFETが直列に接続され、

上記第3差動MOSFET対のドレインと上記第3MOSFET対のドレインとが接続され、

上記第4差動MOSFET対のドレインと上記第4MOSFET対のドレインとが接続され、

上記第3MOSFET対の一方と、上記第4MOSFET対の一方との間に、第2導電型の第9MOSFET及び第1導電型の第10MOSFETが直列に接続され、

上記第3MOSFET対の他方と、上記第4MOSFET対の他方との間に、第2導電型の第11MOSFET及び第1導電型の第12MOSFETが直列に接続されていることを特徴とする半導体集積回路装置。

【請求項3】

請求項2において、

上記一対の第1入力端子には、互いに相補の一対の入力信号が供給され、

上記一対の第2入力端子には、互いに相補の一対の入力信号が供給されてなることを特徴とする半導体集積回路装置。

【請求項4】

請求項2において、

上記一対の第1入力端子には、一方の入力端子に入力信号が供給され、

他方の入力端子には、前記入力信号レベルを判定する参照電圧が供給され、

上記一対の第2入力端子には上記参照電圧が供給されてなることを特徴とする半導体集積回路装置。

【請求項5】

請求項2において、

上記第1及び第2のMOSFET対及び上記第5ないし第8MOSFETのサイズはそれぞれ等しい、または上記第3及び第4のMOSFET対及び上記第9ないし第12MOSFETのサイズよりも大きいことを特徴とする半導体集積回路装置。

【請求項6】

請求項2において、

スタンバイモードにおいて上記第1の回路と上記第2の回路とを互いに切り離す第1スイッチ回路と、

上記第1ないし第4MOSFET対のゲートに電源電圧を供給する第3スイッチ回路とを更に有することを特徴とするスタンバイモードを備えた半導体集積回路装置。

【請求項7】

請求項6において、

上記スタンバイモードにおいて上記第1スイッチ回路により上記第1の回路と上記第2の回路とを互いに切り離し、

上記スタンバイモードにおいて上記第2スイッチ回路により上記第1ないし第4電流源MOSFETをオフ状態にさせることを特徴とする半導体集積回路装置。

【請求項8】

一対の第1入力端子にそれぞれゲートが接続された第1導電型の第1差動MOSFET対と、該第1差動MOSFET対の共通ソースに設けられて上記第1差動MOSFET対の動作電流を形成する第1導電型の第1電流源MOSFETを含む第1增幅部と、

上記一対の第1入力端子にそれぞれゲートが接続された第2導電型の第2差動MOSFET対と、該第2差動MOSFET対の共通ソースに設けられて上記第2差動MOSFET対の動作電流を形成する第2導電型の第2電流源MOSFETを含む第2增幅部と、

上記第1差動MOSFET対に流れる電流を供給する第2導電型の第1MOSFET対を含む第1出力部と、

上記第2差動MOSFET対に流れる電流を供給する第1導電型の第2MOSFET対を含む第2出力部と、

上記第1出力部の第1MOSFET対の一方と、上記第2出力部の第2MOSFET対の一方との間に設けられ、第1出力端子に接続された、第2導電型の第5MOSFET及び第1導電型の第6MOSFETと、

上記第1出力部の第1MOSFET対の他方と、上記第2出力部の第2MOSFET対の他方との間に設けられ、第2出力端子に接続された、第2導電型の第7MOSFET及び第1導電型の第8MOSFETとを具備して成り、

上記第1增幅部の第1差動MOSFET対のドレインと上記第1出力部の第1MOSFET対のドレインとが接続され、

上記第2增幅部の第2差動MOSFET対のドレインと上記第2出力部の第2MOSFET対のドレインとが接続され、

上記第1電流源MOSFETは、上記第1差動MOSFET対に比べてオン抵抗値が大きくなるように形成され、

上記第2電流源MOSFETは、上記第2差動MOSFET対に比べてオン抵抗値が大きくなるように形成されている特徴とする半導体集積回路装置。

【請求項9】

請求項8において、

一対の第2入力端子にそれぞれゲートが接続された第1導電型の第3差動MOSFET対及びその共通ソースに設けられて上記第3差動MOSFET対の動作電流を形成する第1導電型の第3電流源MOSFETを含む第3增幅部と、

上記一対の第2入力端子にそれぞれゲートが接続された第2導電型の第4差動MOSFET対及びその共通ソースに設けられて上記第4差動MOSFET対の動作電流を形成する第2導電型の第4電流源MOSFETを含む第4增幅部と、

上記第3差動MOSFET対に流れる電流を供給する第2導電型の第3MOSFET対を含む第3出力部と、

上記第4差動MOSFET対に流れる電流を供給する第1導電型の第4MOSFET対を含む第4出力部とを含むバイアス回路を更に備え、

上記バイアス回路の出力は、上記第1ないし第4電流源MOSFETのゲート及び第1ないし第4MOSFETのゲートに供給してなることを特徴とする半導体集積回路装置。

【請求項10】

請求項9において、

上記第5ないし第8MOSFETは、上記第1ないし第4MOSFET対及び差動MOSFET対に比べてゲート長が短く形成されていることを特徴とする半導体集積回路装置。

【請求項11】

第1の電圧に設定された第1電圧端子と、

上記第1の電圧よりも高い電圧の第2の電圧に設定された第2電圧端子と、

增幅回路とを具備して成り、

上記增幅回路は、

第1入力端子と、第2入力端子と、第1出力端子とを有する第1の回路と、

第3入力端子と第4入力端子とを有する第2の回路とを含んで成り、

上記第1の回路は、第1導電型の第1ないし第5のトランジスタと、上記第1導電型とは異なる第2導電型の第6ないし第10のトランジスタと、第3の回路と、第4の回路とを含んで成り、

上記第2の回路は、第1導電型の第11ないし第15のトランジスタと、上記第1導電型とは異なる第2導電型の第16ないし第20のトランジスタと、第5の回路と、第6の回路とを有して成り、

上記第1のトランジスタは、上記第2電圧端子に接続されたソースを含んで成り、

上記第2のトランジスタは、上記第1入力端子に接続されたゲートと、上記第1のトランジスタのドレインに接続されたソースとを含んで成り、

上記第3のトランジスタは、上記第1のトランジスタのドレインに接続されたソースを含んで成り、

上記第4のトランジスタは、上記第2電圧端子に接続されたソースを含んで成り、

上記第5のトランジスタは、上記第2電圧端子に接続されたソースを含んで成り、

上記第6のトランジスタは、上記第1電圧端子に接続されたソースを含んで成り、

上記第7のトランジスタは、上記第4のトランジスタのドレインに接続されたドレインと、上記第6のトランジスタのドレインに接続されたソースと、上記第1入力端子に接続されたゲートとを含んで成り、

上記第8のトランジスタは、上記第5のトランジスタのドレインに接続されたドレインと、上記第6のトランジスタのドレインに接続されたソースと、上記第2入力端子に接続されたゲートとを含んで成り、

上記第9のトランジスタは、上記第2のトランジスタのドレインに接続されたドレインと、上記第1電圧端子に接続されたソースとを含んで成り、

上記第10のトランジスタは、上記第3のトランジスタのドレインに接続されたドレインと、上記第1電圧端子に接続されたソースとを含んで成り、

上記第3の回路は、上記第4のトランジスタのドレインと上記第9のトランジスタのドレインとの間の電流経路と、上記第1出力端子に接続された出力端子とを含んで成り、

上記第4の回路は、上記第5のトランジスタのドレインと上記第10のトランジスタのドレインとの間の電流経路を含んで成り、

上記第11のトランジスタは、上記第2電圧端子に接続されたソースを含んで成り、

上記第12のトランジスタは、上記第3入力端子に接続されたゲートと、上記第11のトランジスタのドレインに接続されたソースとを含んで成り、

上記第13のトランジスタは、上記第11のトランジスタのドレインに接続されたソースを含んで成り、

上記第14のトランジスタは、上記第2電圧端子に接続されたソースを含んで成り、

上記第15のトランジスタは、上記第2電圧端子に接続されたソースを含んで成り、

上記第16のトランジスタは、上記第1電圧端子に接続されたソースを含んで成り、

上記第17のトランジスタは、上記第14のトランジスタのドレインに接続されたドレインと、上記第16のトランジスタのドレインに接続されたソースと、上記第3入力端子に接続されたゲートとを含んで成り、

上記第18のトランジスタは、上記第15のトランジスタのドレインに接続されたドレインと、上記第16のトランジスタのドレインに接続されたソースと、上記第4入力端子に接続されたゲートとを含んで成り、

上記第19のトランジスタは、上記第12のトランジスタのドレインに接続されたドレインと、上記第1電圧端子に接続されたソースとを含んで成り、

上記第20のトランジスタは、上記第13のトランジスタのドレインに接続されたドレインと、上記第1電圧端子に接続されたソースとを含んで成り、

上記第5の回路は、上記第14のトランジスタのドレインと上記第19のトランジスタのドレインとの間の電流経路と、出力端子とを含んで成り、

上記第6の回路は、上記第15のトランジスタのドレインと上記第20のトランジスタのドレインとの間の電流経路と、出力端子とを含んで成り、

上記第4、第5、第9、第10、第14、第15、第19、及び第20のトランジスタのゲートは、前記第5及び第6の回路の出力端子と接続されていることを特徴とする半導体装置。

【請求項12】

請求項11において、

上記第1及び第11のトランジスタのゲートが、上記第2電圧端子に接続され、

上記第6及び第16のトランジスタのゲートが、上記第1電圧端子に接続されていることを特徴とする半導体装置。

【請求項13】

請求項11において、

上記第1の電圧は接地電位であり、

上記第2の電圧は電源電圧であることを特徴とする半導体装置。

【請求項14】

請求項11において、

上記第1入力端子には、第1の信号が入力され、

上記第2入力端子には、上記第1の信号の相補の信号に使用される第2の信号が入力され、

上記第3入力端子には、上記第1の信号が入力され、

上記第4入力端子には、上記第2の信号が入力されることを特徴とする半導体装置。

【請求項15】

請求項11において、

上記第1入力端子には、第1の信号が入力され、

上記第2ないし第4入力端子には、参照電圧が入力されることを特徴とする半導体装置。

。【請求項16】

請求項11において、

上記第1ないし第10のトランジスタは、上記第11ないし20のトランジスタのサイズと略同じサイズのトランジスタであることを特徴とする半導体装置。

【請求項17】

請求項11において、

上記第1ないし第10のトランジスタは、上記第11ないし20のトランジスタのサイズよりも大きいサイズのトランジスタであることを特徴とする半導体装置。

【請求項18】

請求項11において、

上記第1導電型はP導電型であり、

上記第2導電型はN導電型であり、

上記第1ないし第5及び上記第11ないし第15のトランジスタはそれぞれP導電型のMOSFETであり、

上記第6ないし第10及び上記第16ないし第20のトランジスタはそれぞれN導電型のMOSFETであることを特徴とする半導体装置。

【請求項19】

請求項11において、

上記第3の回路は、

上記第4のトランジスタのドレインに接続されたソースと、上記第1出力端子に接続されたドレインとを含んで成る、上記第1導電型の第21のトランジスタと、

上記第21のトランジスタのドレインに接続されたドレインと、上記第2のトランジスタのドレインに接続されたソースとを含んで成る、上記第2導電型の第22のトランジスタとを含んで成り、

上記第4の回路は、

上記第5のトランジスタのドレインに接続されたソースを含んで成る、上記第1導電型

の第23のトランジスタと、

上記第23のトランジスタのドレインに接続されたドレインと、上記第3のトランジスタのドレインに接続されたソースとを含んで成る、上記第2導電型の第24のトランジスタとを含んで成り、

上記第5の回路は、

上記第14のトランジスタのドレインに接続されたソースと、上記第5の回路の出力端子に接続されたドレインとを含んで成る、上記第1導電型の第25のトランジスタと、

上記第25のトランジスタのドレインに接続されたドレインと、上記第12のトランジスタのドレインに接続されたソースとを含んで成る、上記第2導電型の第26のトランジスタとを含んで成り、

上記第6の回路は、

上記第15のトランジスタのドレインに接続されたソースと、上記第6の回路の出力端子に接続されたドレインとを含んで成る、上記第1導電型の第27のトランジスタと、

上記第27のトランジスタのドレインに接続されたドレインと、上記第13のトランジスタのドレインに接続されたソースとを含んで成る、上記第2導電型の第28のトランジスタとを含んで成り、

上記第21ないし第28のトランジスタのゲートは、上記第5の回路の出力端子及び上記第6の回路の出力端子にそれぞれ接続されていることを特徴とする半導体装置。

【請求項20】

請求項11において、

上記第4、第5、第9、第10、第14、第15、第19、及び第20のトランジスタのゲートは、前記第5及び第6の回路の出力端子とそれぞれ接続されていることを特徴とする半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

この実施例の入力回路は、前記レール・ツー・レール回路が利用される。すなわち、Pチャネル型の差動MOSFET Q1とQ2、その動作電流を形成するPチャネル型の電流源MOSFET Q3からなる第1増幅部と、Nチャネルの差動MOSFET Q4とQ5、その動作電流を流すNチャネル型の電流源MOSFET Q6により第2増幅部が構成される。上記Pチャネル型の電流源MOSFET Q3のソースは、電源電圧VDDQが与えられ、Nチャネル型の電流源MOSFET Q6のソースには、回路の接地電位VSSが与えられる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

上記第1増幅部、第2増幅部の電流源MOSFET Q3とQ6、及び上記第1出力部と第2出力部のMOSFET Q7～Q14のゲートには、バイアス電圧VBが共通に接続される。このように、電流源MOSFET Q3、Q6及び上記第1出力部と第2出力部のMOSFET Q7～Q14のゲート共通のバイアス電圧を供給する構成は、前記図14に示した自己バイアス型のレール・ツー・レール回路と同様である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

図5には、本発明に係る半導体集積回路装置に設けられる入力回路の更に他の一実施例の回路図が示されている。この実施例の入力回路は、前記レール・ツー・レール回路と、CMOS回路との2通りの入力動作に切り換えることが可能な機能が付加される。前記図3(図4)の回路において、入力端子INと、出力信号を形成するカスコード部の各MOSFETのゲートとの間に、スイッチ12が設けられる。同様に、他方のカスコード部のMOSFETのゲートと、それに対応した入力端子INBとの間にスイッチ13が設けられる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

図7には、本発明に係る半導体集積回路装置に設けられる入力回路の更に他の一実施例の回路図が示されている。この実施例は、前記のようなレール・ツー・レール回路ではなく、Nチャネル差動MOSFET、Nチャネル電流源MOSFET及びPチャネル負荷MOSFETにより第1差動増幅回路を構成し、同様にPチャネル差動MOSFET、Pチャネル電流源MOSFET及びNチャネル負荷MOSFETにより第2差動増幅回路を構成し、上記第1と第2の差動増幅回路の入力端子を共通にして入力端子CK, CKBに接続する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

バイアス回路は、前記レール・ツー・レール回路に設けられたバイアス回路と同様に、入力回路と同じ回路構成のものが用いられる。つまり、前記図7の入力回路の第1ないし第4差動増幅回路と同じ回路構成にされた4つの差動増幅回路が用いられる。前段の2つの差動増幅回路には、それぞれ入力回路と同じく入力端子CKとCKBに接続される。前段の差動増幅回路の差動出力が後段の差動増幅回路の入力端子に接続されるまでは前記入力回路と同様である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

上記のようなMOSFETのサイズのゲート長Lg、ゲート幅W設定は、前記実施例のレール・ツー・レール回路の他に、前記図13や図14の示されたレール・ツー・レール回路にも適用することによって、高速化や動作の安定化を図るようにすることができる。