

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 8 月 4 日 (2005.8.4)

【公開番号】特開 2003-249829 (P2003-249829A)
 【公開日】平成 15 年 9 月 5 日 (2003.9.5)
 【出願番号】特願 2002-46740 (P2002-46740)

【国際特許分類第 7 版】

H 0 3 F 3/45
 H 0 3 K 19/017
 H 0 3 K 19/0175

【F I】

H 0 3 F 3/45 Z
 H 0 3 K 19/017
 H 0 3 K 19/00 1 0 1 K

【手続補正書】

【提出日】平成 17 年 1 月 7 日 (2005.1.7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置と半導体装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一対の第 1 入力端子にそれぞれゲートが接続された第 1 導電型の第 1 差動 MOS FET 対と、該第 1 差動 MOS FET 対の共通ソースに設けられて上記第 1 差動 MOS FET 対の動作電流を形成する第 1 導電型の第 1 電流源 MOS FET とを含む第 1 増幅部と、

上記一対の第 1 入力端子にそれぞれゲートが接続された第 2 導電型の第 2 差動 MOS FET 対と、該第 2 差動 MOS FET 対の共通ソースに設けられて上記第 2 差動 MOS FET 対の動作電流を形成する第 2 導電型の第 2 電流源 MOS FET とを含む第 2 増幅部と、

上記第 1 差動 MOS FET 対のソース・ドレイン経路に接続された第 2 導電型の第 1 MOS FET 対と、上記第 2 差動 MOS FET 対のソース・ドレイン経路に接続された第 1 導電型の第 2 MOS FET 対とを有する回路を含む第 1 の回路と、

一対の第 2 入力端子にそれぞれゲートが接続された第 1 導電型の第 3 差動 MOS FET 対及びその共通ソースに設けられて上記第 3 差動 MOS FET 対の動作電流を形成する第 1 導電型の第 3 電流源 MOS FET とを含む第 3 増幅部と、

上記一対の第 2 入力端子にそれぞれゲートが接続された第 2 導電型の第 4 差動 MOS FET 対及びその共通ソースに設けられて上記第 4 差動 MOS FET 対の動作電流を形成する第 2 導電型の第 4 電流源 MOS FET とを含む第 4 増幅部と、

上記第 3 差動 MOS FET 対のソース・ドレイン経路に接続された第 2 導電型の第 3 MOS FET 対と、上記第 4 差動 MOS FET 対のソース・ドレイン経路に接続された第 1 導電型の第 4 MOS FET 対とを有する回路を含む第 2 の回路とを備え、

上記第 2 の回路の出力は、上記第 1 ないし第 4 電流源 MOS FET のゲート及び第 1 な

いし第4 MOSFET対のゲートに供給してなることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

上記第1差動MOSFET対のドレインと上記第1 MOSFET対のドレインとが接続され、

上記第2差動MOSFET対のドレインと上記第2 MOSFET対のドレインとが接続され、

上記第1 MOSFET対の一方と、上記第2 MOSFET対の一方との間に、第2導電型の第5 MOSFET及び第1導電型の第6 MOSFETが直列に接続され、

上記第1 MOSFET対の他方と、上記第2 MOSFET対の他方との間に、第2導電型の第7 MOSFET及び第1導電型の第8 MOSFETが直列に接続され、

上記第3差動MOSFET対のドレインと上記第3 MOSFET対のドレインとが接続され、

上記第4差動MOSFET対のドレインと上記第4 MOSFET対のドレインとが接続され、

上記第3 MOSFET対の一方と、上記第4 MOSFET対の一方との間に、第2導電型の第9 MOSFET及び第1導電型の第10 MOSFETが直列に接続され、

上記第3 MOSFET対の他方と、上記第4 MOSFET対の他方との間に、第2導電型の第11 MOSFET及び第1導電型の第12 MOSFETが直列に接続されていることを特徴とする半導体集積回路装置。

【請求項3】

請求項2において、

上記一对の第1入力端子には、互いに相補の一对の入力信号が供給され、

上記一对の第2入力端子には、互いに相補の一对の入力信号が供給されてなることを特徴とする半導体集積回路装置。

【請求項4】

請求項2において、

上記一对の第1入力端子には、一方の入力端子に入力信号が供給され、

他方の入力端子には、前記入力信号レベルを判定する参照電圧が供給され、

上記一对の第2入力端子には上記参照電圧が供給されてなることを特徴とする半導体集積回路装置。

【請求項5】

請求項2において、

上記第1及び第2のMOSFET対及び上記第5ないし第8 MOSFETのサイズはそれぞれ等しい、または上記第3及び第4のMOSFET対及び上記第9ないし第12 MOSFETのサイズよりも大きいことを特徴とする半導体集積回路装置。

【請求項6】

請求項2において、

スタンバイモードにおいて上記第1の回路と上記第2の回路とを互いに切り離す第1スイッチ回路と、

上記第1ないし第4電流源MOSFETオフ状態にさせる第2スイッチ回路と、

上記第1ないし第4 MOSFET対のゲートに電源電圧を供給する第3スイッチ回路とを更に有することを特徴とするスタンバイモードを備えた半導体集積回路装置。

【請求項7】

請求項6において、

上記スタンバイモードにおいて上記第1スイッチ回路により上記第1の回路と上記第2の回路とを互いに切り離し、

上記スタンバイモードにおいて上記第2スイッチ回路により上記第1ないし第4電流源MOSFETをオフ状態にさせることを特徴とする半導体集積回路装置。

【請求項8】

一对の第1入力端子にそれぞれゲートが接続された第1導電型の第1差動MOSFET対と、該第1差動MOSFET対の共通ソースに設けられて上記第1差動MOSFET対の動作電流を形成する第1導電型の第1電流源MOSFETを含む第1増幅部と、

上記一对の第1入力端子にそれぞれゲートが接続された第2導電型の第2差動MOSFET対と、該第2差動MOSFET対の共通ソースに設けられて上記第2差動MOSFET対の動作電流を形成する第2導電型の第2電流源MOSFETを含む第2増幅部と、

上記第1差動MOSFET対に流れる電流を供給する第2導電型の第1MOSFET対を含む第1出力部と、

上記第2差動MOSFET対に流れる電流を供給する第1導電型の第2MOSFET対を含む第2出力部と、

上記第1出力部の第1MOSFET対の一方と、上記第2出力部の第2MOSFET対の一方との間に設けられ、第1出力端子に接続された、第2導電型の第5MOSFET及び第1導電型の第6MOSFETと、

上記第1出力部の第1MOSFET対の他方と、上記第2出力部の第2MOSFET対の他方との間に設けられ、第2出力端子に接続された、第2導電型の第7MOSFET及び第1導電型の第8MOSFETとを具備して成り、

上記第1増幅部の第1差動MOSFET対のドレインと上記第1出力部の第1MOSFET対のドレインとが接続され、

上記第2増幅部の第2差動MOSFET対のドレインと上記第2出力部の第2MOSFET対のドレインとが接続され、

上記第1電流源MOSFETは、上記第1差動MOSFET対に比べてオン抵抗値が大きくなるように形成され、

上記第2電流源MOSFETは、上記第2差動MOSFET対に比べてオン抵抗値が大きくなるように形成されている特徴とする半導体集積回路装置。

【請求項9】

請求項8において、

一对の第2入力端子にそれぞれゲートが接続された第1導電型の第3差動MOSFET対及びその共通ソースに設けられて上記第3差動MOSFET対の動作電流を形成する第1導電型の第3電流源MOSFETを含む第3増幅部と、

上記一对の第2入力端子にそれぞれゲートが接続された第2導電型の第4差動MOSFET対及びその共通ソースに設けられて上記第4差動MOSFET対の動作電流を形成する第2導電型の第4電流源MOSFETを含む第4増幅部と、

上記第3差動MOSFET対に流れる電流を供給する第2導電型の第3MOSFET対を含む第3出力部と、

上記第4差動MOSFET対に流れる電流を供給する第1導電型の第4MOSFET対を含む第4出力部とを含むバイアス回路を更に備え、

上記バイアス回路の出力は、上記第1ないし第4電流源MOSFETのゲート及び第1ないし第4MOSFETのゲートに供給してなることを特徴とする半導体集積回路装置。

【請求項10】

請求項9において、

上記第5ないし第8MOSFETは、上記第1ないし第4MOSFET対及び差動MOSFET対に比べてゲート長が短く形成されていることを特徴とする半導体集積回路装置。

【請求項11】

第1の電圧に設定された第1電圧端子と、

上記第1の電圧よりも高い電圧の第2の電圧に設定された第2電圧端子と、増幅回路とを具備して成り、

上記増幅回路は、

第1入力端子と、第2入力端子と、第1出力端子とを有する第1の回路と、

第3入力端子と第4入力端子とを有する第2の回路とを含んで成り、

上記第 1 の回路は、第 1 導電型の第 1 ないし第 5 のトランジスタと、上記第 1 導電型とは異なる第 2 導電型の第 6 ないし第 10 のトランジスタと、第 3 の回路と、第 4 の回路とを含んで成り、

上記第 2 の回路は、第 1 導電型の第 11 ないし第 15 のトランジスタと、上記第 1 導電型とは異なる第 2 導電型の第 16 ないし第 20 のトランジスタと、第 5 の回路と、第 6 の回路とを有して成り、

上記第 1 のトランジスタは、上記第 2 電圧端子に接続されたソースを含んで成り、

上記第 2 のトランジスタは、上記第 1 入力端子に接続されたゲートと、上記第 1 のトランジスタのドレインに接続されたソースとを含んで成り、

上記第 3 のトランジスタは、上記第 1 のトランジスタのドレインに接続されたソースを含んで成り、

上記第 4 のトランジスタは、上記第 2 電圧端子に接続されたソースを含んで成り、

上記第 5 のトランジスタは、上記第 2 電圧端子に接続されたソースを含んで成り、

上記第 6 のトランジスタは、上記第 1 電圧端子に接続されたソースを含んで成り、

上記第 7 のトランジスタは、上記第 4 のトランジスタのドレインに接続されたドレインと、上記第 6 のトランジスタのドレインに接続されたソースと、上記第 1 入力端子に接続されたゲートとを含んで成り、

上記第 8 のトランジスタは、上記第 5 のトランジスタのドレインに接続されたドレインと、上記第 6 のトランジスタのドレインに接続されたソースと、上記第 2 入力端子に接続されたゲートとを含んで成り、

上記第 9 のトランジスタは、上記第 2 のトランジスタのドレインに接続されたドレインと、上記第 1 電圧端子に接続されたソースとを含んで成り、

上記第 10 のトランジスタは、上記第 3 のトランジスタのドレインに接続されたドレインと、上記第 1 電圧端子に接続されたソースとを含んで成り、

上記第 3 の回路は、上記第 4 のトランジスタのドレインと上記第 9 のトランジスタのドレインとの間の電流経路と、上記第 1 出力端子に接続された出力端子とを含んで成り、

上記第 4 の回路は、上記第 5 のトランジスタのドレインと上記第 10 のトランジスタのドレインとの間の電流経路を含んで成り、

上記第 11 のトランジスタは、上記第 2 電圧端子に接続されたソースを含んで成り、

上記第 12 のトランジスタは、上記第 3 入力端子に接続されたゲートと、上記第 11 のトランジスタのドレインに接続されたソースとを含んで成り、

上記第 13 のトランジスタは、上記第 11 のトランジスタのドレインに接続されたソースを含んで成り、

上記第 14 のトランジスタは、上記第 2 電圧端子に接続されたソースを含んで成り、

上記第 15 のトランジスタは、上記第 2 電圧端子に接続されたソースを含んで成り、

上記第 16 のトランジスタは、上記第 1 電圧端子に接続されたソースを含んで成り、

上記第 17 のトランジスタは、上記第 14 のトランジスタのドレインに接続されたドレインと、上記第 16 のトランジスタのドレインに接続されたソースと、上記第 3 入力端子に接続されたゲートとを含んで成り、

上記第 18 のトランジスタは、上記第 15 のトランジスタのドレインに接続されたドレインと、上記第 16 のトランジスタのドレインに接続されたソースと、上記第 4 入力端子に接続されたゲートとを含んで成り、

上記第 19 のトランジスタは、上記第 12 のトランジスタのドレインに接続されたドレインと、上記第 1 電圧端子に接続されたソースとを含んで成り、

上記第 20 のトランジスタは、上記第 13 のトランジスタのドレインに接続されたドレインと、上記第 1 電圧端子に接続されたソースとを含んで成り、

上記第 5 の回路は、上記第 14 のトランジスタのドレインと上記第 19 のトランジスタのドレインとの間の電流経路と、出力端子とを含んで成り、

上記第 6 の回路は、上記第 15 のトランジスタのドレインと上記第 20 のトランジスタのドレインとの間の電流経路と、出力端子とを含んで成り、

上記第 4、第 5、第 9、第 10、第 14、第 15、第 19、及び第 20 のトランジスタのゲートは、前記第 5 及び第 6 の回路の出力端子と接続されていることを特徴とする半導体装置。

【請求項 12】

請求項 11 において、

上記第 1 及び第 11 のトランジスタのゲートが、上記第 2 電圧端子に接続され、

上記第 6 及び第 16 のトランジスタのゲートが、上記第 1 電圧端子に接続されていることを特徴とする半導体装置。

【請求項 13】

請求項 11 において、

上記第 1 の電圧は接地電位であり、

上記第 2 の電圧は電源電圧であることを特徴とする半導体装置。

【請求項 14】

請求項 11 において、

上記第 1 入力端子には、第 1 の信号が入力され、

上記第 2 入力端子には、上記第 1 の信号の相補の信号に使用される第 2 の信号が入力され、

上記第 3 入力端子には、上記第 1 の信号が入力され、

上記第 4 入力端子には、上記第 2 の信号が入力されることを特徴とする半導体装置。

【請求項 15】

請求項 11 において、

上記第 1 入力端子には、第 1 の信号が入力され、

上記第 2 ないし第 4 入力端子には、参照電圧が入力されることを特徴とする半導体装置。

【請求項 16】

請求項 11 において、

上記第 1 ないし第 10 のトランジスタは、上記第 11 ないし 20 のトランジスタのサイズと略同じサイズのトランジスタであることを特徴とする半導体装置。

【請求項 17】

請求項 11 において、

上記第 1 ないし第 10 のトランジスタは、上記第 11 ないし 20 のトランジスタのサイズよりも大きいサイズのトランジスタであることを特徴とする半導体装置。

【請求項 18】

請求項 11 において、

上記第 1 導電型は P 導電型であり、

上記第 2 導電型は N 導電型であり、

上記第 1 ないし第 5 及び上記第 11 ないし第 15 のトランジスタはそれぞれ P 導電型の MOSFET であり、

上記第 6 ないし第 10 及び上記第 16 ないし第 20 のトランジスタはそれぞれ N 導電型の MOSFET であることを特徴とする半導体装置。

【請求項 19】

請求項 11 において、

上記第 3 の回路は、

上記第 4 のトランジスタのドレインに接続されたソースと、上記第 1 出力端子に接続されたドレインとを含んで成る、上記第 1 導電型の第 21 のトランジスタと、

上記第 21 のトランジスタのドレインに接続されたドレインと、上記第 2 のトランジスタのドレインに接続されたソースとを含んで成る、上記第 2 導電型の第 22 のトランジスタとを含んで成り、

上記第 4 の回路は、

上記第 5 のトランジスタのドレインに接続されたソースを含んで成る、上記第 1 導電型

の第 2 3 のトランジスタと、

上記第 2 3 のトランジスタのドレインに接続されたドレインと、上記第 3 のトランジスタのドレインに接続されたソースとを含んで成る、上記第 2 導電型の第 2 4 のトランジスタとを含んで成り、

上記第 5 の回路は、

上記第 1 4 のトランジスタのドレインに接続されたソースと、上記第 5 の回路の出力端子に接続されたドレインとを含んで成る、上記第 1 導電型の第 2 5 のトランジスタと、

上記第 2 5 のトランジスタのドレインに接続されたドレインと、上記第 1 2 のトランジスタのドレインに接続されたソースとを含んで成る、上記第 2 導電型の第 2 6 のトランジスタとを含んで成り、

上記第 6 の回路は、

上記第 1 5 のトランジスタのドレインに接続されたソースと、上記第 6 の回路の出力端子に接続されたドレインとを含んで成る、上記第 1 導電型の第 2 7 のトランジスタと、

上記第 2 7 のトランジスタのドレインに接続されたドレインと、上記第 1 3 のトランジスタのドレインに接続されたソースとを含んで成る、上記第 2 導電型の第 2 8 のトランジスタとを含んで成り、

上記第 2 1 ないし第 2 8 のトランジスタのゲートは、上記第 5 の回路の出力端子及び上記第 6 の回路の出力端子にそれぞれ接続されていることを特徴とする半導体装置。

【請求項 2 0】

請求項 1 1 において、

上記第 4、第 5、第 9、第 1 0、第 1 4、第 1 5、第 1 9、及び第 2 0 のトランジスタのゲートは、前記第 5 及び第 6 の回路の出力端子とそれぞれ接続されていることを特徴とする半導体装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

この実施例の入力回路は、前記レール・ツー・レール回路が利用される。すなわち、Pチャネル型の差動MOSFET Q 1 と Q 2、その動作電流を形成するPチャネル型の電流源MOSFET Q 3 からなる第 1 増幅部と、Nチャネルの差動MOSFET Q 4 と Q 5、その動作電流を流すNチャネル型の電流源MOSFET Q 6 により第 2 増幅部が構成される。上記Pチャネル型の電流源MOSFET Q 3 のソースは、電源電圧VDDQが与えられ、Nチャネル型の電流源MOSFET Q 6 のソースには、回路の接地電位VSSが与えられる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【0 0 1 3】

上記第 1 増幅部、第 2 増幅部の電流源MOSFET Q 3 と Q 6、及び上記第 1 出力部と第 2 出力部のMOSFET Q 7 ~ Q 1 4 のゲートには、バイアス電圧VBが共通に接続される。このように、電流源MOSFET Q 3、Q 6 及び及び上記第 1 出力部と第 2 出力部のMOSFET Q 7 ~ Q 1 4 のゲート共通のバイアス電圧を供給する構成は、前記図 1 4 に示した自己バイアス型のレール・ツー・レール回路と同様である。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 0

【補正方法】変更

【補正の内容】

【0030】

図5には、本発明に係る半導体集積回路装置に設けられる入力回路の更に他の一実施例の回路図が示されている。この実施例の入力回路は、前記レール・ツー・レール回路と、CMOS回路との2通りの入力動作に切り換えることが可能な機能が付加される。前記図3(図4)の回路において、入力端子INと、出力信号を形成するカスコード部の各MOSFETのゲートとの間に、スイッチ12が設けられる。同様に、他方のカスコード部のMOSFETのゲートと、それに対応した入力端子INBとの間にスイッチ13が設けられる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

図7には、本発明に係る半導体集積回路装置に設けられる入力回路の更に他の一実施例の回路図が示されている。この実施例は、前記のようなレール・ツー・レール回路ではなく、Nチャネル差動MOSFET、Nチャネル電流源MOSFET及びPチャネル負荷MOSFETにより第1差動増幅回路を構成し、同様にPチャネル差動MOSFET、Pチャネル電流源MOSFET及びNチャネル負荷MOSFETにより第2差動増幅回路を構成し、上記第1と第2の差動増幅回路の入力端子を共通にして入力端子CK, CKBに接続する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

バイアス回路は、前記レール・ツー・レール回路に設けられたバイアス回路と同様に、入力回路と同じ回路構成のものが用いられる。つまり、前記図7の入力回路の第1ないし第4差動増幅回路と同じ回路構成にされた4つの差動増幅回路が用いられる。前段の2つの差動増幅回路には、それぞれ入力回路と同じく入力端子CKとCKBに接続される。前段の差動増幅回路の差動出力が後段の差動増幅回路の入力端子に接続されるまでは前記入力回路と同様である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

上記のようなMOSFETのサイズのゲート長 L_g 、ゲート幅 W 設定は、前記実施例のレール・ツー・レール回路の他に、前記図13や図14の示されたレール・ツー・レール回路にも適用することによって、高速化や動作の安定化を図ることができる。