



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0035397  
(43) 공개일자 2015년04월06일

(51) 국제특허분류(Int. Cl.)  
**H01L 27/146** (2006.01)  
(21) 출원번호 10-2014-0121980  
(22) 출원일자 2014년09월15일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2013-202123 2013년09월27일 일본(JP)

(71) 출원인  
**소니 주식회사**  
일본국 도쿄도 미나토구 코난 1-7-1  
(72) 발명자  
**만다 슈지**  
일본국 후쿠오카현 후쿠오카시 사와라구 모모치하  
마 2-3-2 소니 세미콘덕터 주식회사 내  
**히야마 스스무**  
일본국 후쿠오카현 후쿠오카시 사와라구 모모치하  
마 2-3-2 소니 세미콘덕터 주식회사 내  
**시가 야스유키**  
일본국 후쿠오카현 후쿠오카시 사와라구 모모치하  
마 2-3-2 소니 세미콘덕터 주식회사 내  
(74) 대리인  
**최달용**

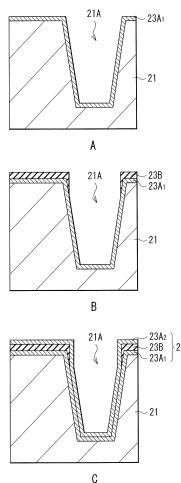
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 활상 소자 및 그 제조 방법 및 전자 기기

### (57) 요약

본 기술의 활상 소자는, 화소마다 광전 변환부를 갖는 반도체 기판과, 반도체 기판에 마련된 화소 분리홀과, 반도체 기판의 수광면측에 마련된 고정 전하막을 구비한 것이고, 고정 전하막은, 수광면부터 화소 분리홀의 벽면 및 저면에 걸쳐서 연속해서 마련된 제1 절연막과, 제1 절연막의 적어도 수광면에 대응하는 부분에 마련된 제2 절연막을 갖는다.

### 대표도 - 도2



## 명세서

### 청구범위

#### 청구항 1

활상 소자에 있어서,  
화소마다 광전 변환부를 갖는 반도체 기판과,  
상기 반도체 기판에 마련된 화소 분리홈과,  
상기 반도체 기판의 수광면측에 마련된 고정 전하막을 구비하고,  
상기 고정 전하막은, 제1 절연막 및 제2 절연막을 갖고, 상기 제1 절연막은 상기 수광면부터 상기 화소 분리홈의 벽면 및 저면에 걸쳐서 연속해서 마련되고, 상기 제2 절연막은 상기 제1 절연막상의 적어도 상기 수광면에 대응하는 부분에 마련된 제2 절연막을 갖는 것을 특징으로 하는 활상 소자.

#### 청구항 2

제1항에 있어서,  
상기 제1 절연막 및 상기 제2 절연막의 막수는 서로 다른 것을 특징으로 하는 활상 소자.

#### 청구항 3

제1항에 있어서,  
상기 제1 절연막의 막수는 2층이고, 상기 제2 절연막의 막수는 1층인 것을 특징으로 하는 활상 소자.

#### 청구항 4

제1항에 있어서,  
상기 고정 전하막에서, 상기 반도체 기판측부터 상기 제1 절연막, 상기 제2 절연막 및 상기 제1 절연막이 순서대로 형성되어 있는 것을 특징으로 하는 활상 소자.

#### 청구항 5

제1항에 있어서,  
상기 고정 전하막에서, 상기 반도체 기판측부터 상기 제1 절연막, 상기 제1 절연막 및 상기 제2 절연막이 순서대로 형성되어 있는 것을 특징으로 하는 활상 소자.

#### 청구항 6

제1항에 있어서,  
상기 제2 절연막은, 상기 수광면부터 상기 화소 분리홈의 벽면의 일부에 걸쳐서 연속하고 있는 것을 특징으로 하는 활상 소자.

#### 청구항 7

제1항에 있어서,  
상기 제1 절연막 및 상기 제2 절연막은, 각각, 산화하프늄( $HfO_2$ ), 산화지르코늄( $ZrO_2$ ), 산화알루미늄( $Al_2O_3$ ), 산화티탄( $TiO_2$ ) 및 산화탄탈( $Ta_2O_5$ )의 어느 1종에 의해 형성되어 있는 것을 특징으로 하는 활상 소자.

#### 청구항 8

화소마다 광전 변환부를 갖음과 함께, 화소 분리홈을 갖는 반도체 기판의 수광면에 고정 전하막을 성막하는 공

정을 포함하고, 상기 고정 전하막의 제조 공정은,

상기 반도체 기판의 상기 수광면부터 상기 화소 분리홈의 벽면 및 저면에 걸쳐서 연속한 제1 절연막을 형성하는 공정과,

상기 제1 절연막상의 적어도 상기 수광면에 부분적으로 제2 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 활상 소자의 제조 방법.

### 청구항 9

제8항에 있어서,

상기 제1 절연막을 원자층 증착법 또는 유기금속 화학 기상 성장법에 의해 형성하는 것을 특징으로 하는 활상 소자의 제조 방법.

### 청구항 10

제8항에 있어서,

상기 제2 절연막을 물리적 기상 성장법에 의해 형성하는 것을 특징으로 하는 활상 소자의 제조 방법.

### 청구항 11

활상 소자를 포함하고,

상기 활상 소자는,

화소마다 광전 변환부를 갖는 반도체 기판과,

상기 반도체 기판에 마련된 화소 분리홈과,

상기 반도체 기판의 수광면측에 마련된 고정 전하막을 구비하고,

상기 고정 전하막은, 상기 수광면부터 상기 화소 분리홈의 벽면 및 저면에 걸쳐서 연속해서 마련된 제1 절연막과, 상기 제1 절연막상의 적어도 상기 수광면에 대응하는 부분에 마련된 제2 절연막을 갖는 것을 특징으로 하는 전자 기기.

## 발명의 설명

### 기술 분야

#### [0001] 우선권 정보

본 출원은, 2013년 9월 27일자로 출원된 JP2013-202123호의 우선권 주장을 수반하는 것이고, 그 개시 내용은, 그대로 본원의 일부를 구성하는 것이다.

본 개시는, 반도체 기판상에 고정 전하막을 갖는 활상 소자 및 상기 활상 소자의 제조 방법, 및 상기 활상 소자를 구비한 전자 기기에 관한 것이다.

### 배경 기술

[0004] CCD(Charge Coupled Device) 이미지 센서 및 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서 등의 고체 활상 장치(활상 장치)에서는, 광전 변환부를 구비한 고체 활상 소자(활상 소자)가 화소마다 배치되어 있다. 활상 소자의 광전 변환부는, 예를 들면 실리콘(Si) 등의 반도체 재료에 의해 구성되어 있지만, 그 표면에는 결정 구조가 도중 절단됨에 의한 결정 결함이나 땅글링 본드가 존재하고 있다. 이 결정 결함이나 땅글링 본드는 광전 변환부에 생긴 전자-정공 쌍의 재결합에 의한 소멸이나 암전류의 발생의 원인이 된다.

[0005] 예를 들면, WO2012/117931호는 이면 조사형의 고체 활상 장치를 개시하고 있다. 이러한 이면 조사형의 고체 활상 장치에서는, 암전류의 발생을 억제하기 위해, 부의 고정 전하를 갖는 절연막(고정 전하막)이 Si 기판의 수광면(이면)에 형성되어 있다. 상기 Si 기판에는 포토 다이오드(PhotoDiode ; PD)가 광전 변환부로서 매입되어 있다. 고정 전하막이 형성된 Si면상에는 반전층이 형성된다. Si계면은 이 반전층에 의해 피닝(pinning)되고, 이에 의해 암전류의 발생이 억제된다.

[0006] 또한, Si 기판에는, 이웃하는 화소 사이에 홈을 마련하고, 이 홈 내를 절연막으로 매입함에 의해 광학 혼색을 억제할 수 있다.

### 선행기술문헌

#### 특허문헌

[0007] (특허문헌 0001) 특허 문헌 1 : WO2012/117931호

### 발명의 내용

#### 해결하려는 과제

[0008] 일반적으로, 상기 설명된 홈은 일반적으로 드라이 에칭에 의해 형성된다. 그러나, 드라이 에칭에 의해 처리된 Si 기판의 표면(특히, 홈의 벽면 및 저면)에는 결정 결함이나 맹글링 본드 등에 의한 계면 준위가 증가하여, 암전류가 발생하기 쉽다는 문제가 있다.

[0009] 본 기술은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 암전류의 발생을 억제하는 것이 가능한 활상 소자 및 그 제조 방법 및 전자 기기를 제공하는 것에 있다.

#### 과제의 해결 수단

[0010] 본 기술의 활상 소자는, 화소마다 광전 변환부를 갖는 반도체 기판과, 반도체 기판에 마련된 화소 분리홈과, 반도체 기판의 수광면측에 마련된 고정 전하막을 구비한 것이고, 고정 전하막은, 수광면부터 화소 분리홈의 벽면 및 저면에 걸쳐서 연속해서 마련된 제1 절연막과, 제1 절연막의 적어도 수광면에 대응하는 부분에 마련된 제2 절연막을 갖는다.

[0011] 본 기술의 활상 소자의 제조 방법은, 화소마다 광전 변환부를 갖음과 함께, 화소 분리홈을 갖는 반도체 기판의 수광면에 고정 전하막을 성막하는 공정을 포함하고, 고정 전하막의 제조 공정은, 반도체 기판의 수광면부터 화소 분리홈의 벽면 및 저면에 걸쳐서 연속한 제1 절연막을 형성하는 공정과, 제1 절연막상의 적어도 수광면에 부분적으로 제2 절연막을 형성하는 공정을 포함하는 것이다.

[0012] 본 기술의 전자 기기는, 화소마다 광전 변환부를 갖는 반도체 기판과, 반도체 기판에 마련된 화소 분리홈과, 반도체 기판의 수광면측에 마련된 고정 전하막을 구비한 것이고, 고정 전하막은, 수광면부터 화소 분리홈의 벽면 및 저면에 걸쳐서 연속해서 마련된 제1 절연막과, 제1 절연막의 적어도 수광면에 대응하는 부분에 마련된 제2 절연막을 갖는 활상 소자를 구비한 것이다.

[0013] 본 기술의 활상 소자 및 그 제조 방법 및 전자 기기에서는, 반도체 기판의 수광면측에 형성된 고정 전하막을, 수광면에 마련된 제1 절연막과, 수광면부터 반도체 기판에 마련된 화소 분리홈의 벽면 및 저면에 걸쳐서 마련된 제2 절연막과의 적층막으로 한다. 이와 같이 고정 전하막을 형성 영역이 다른 2종류의 절연막에 의해 구성함에 의해, 반도체 기판의 표면(구체적으로는, 화소 분리홈의 벽면 및 저면)의 계면준위가 개선된다.

### 발명의 효과

[0014] 본 기술의 활상 소자 및 그 제조 방법 및 전자 기기에서는, 수광면측의 반도체 기판상에 형성하는 고정 전하막을, 형성 영역이 다른 2종류의 절연막(제1 절연막 및 제2 절연막)의 적층막으로서 형성하도록 하였다. 이에 의해, 반도체 기판에 형성된 화소 분리홈의 벽면 및 저면의 계면준위가 개선되어, 암전류의 발생을 억제하는 것이 가능해진다.

### 도면의 간단한 설명

[0015] 도 1은 본 개시된 한 실시의 형태에 관한 활상 소자의 단면도.

도 2A는 도 1에 도시한 활상 소자의 고정 전하막의 제조 방법을 설명하기 위한 단면도.

도 2B는 도 2A에 계속된 공정을 도시하는 단면도.

도 2C는 도 2B에 계속된 공정과 함께, 고정 전하막의 구성의 한 예를 도시하는 단면도.

도 3A는 도 1에 도시한 활상 소자의 고정 전하막의 다른 제조 방법을 설명하기 위한 단면도.

도 3B는 도 3A에 계속된 공정을 도시하는 단면도.

도 3C는 도 3B에 계속된 공정과 함께, 고정 전하막의 다른 구성례를 도시하는 단면도.

도 4는 본 개시된 변형례에 관한 활상 소자의 단면도.

도 5는 적용례에 따른 고체 활상 장치의 기능 블록도.

도 6은 다른 적용례에 따른 전자 기기의 기능 블록도.

### 발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 개시된 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0017] 1. 실시의 형태(고정 전하막을 다층 구조로 하고, 각각 다른 제조 방법을 이용하여 형성한 예)

[0018] 2. 변형례(차광막을 화소 분리홈 내에도 마련한 예)

[0019] 3. 적용례(전자 기기에의 적용례)

[0020] <실시의 형태>

[0021] 도 1은, 본 개시된 한 실시의 형태에 관한 활상 소자(활상 소자(10))의 단면 구성을 도시한 것이다. 활상 소자(10)는, 예를 들면 CCD 이미지 센서 또는 CMOS 이미지 센서 등의 활상 장치(활상 장치(1))에서 하나의 화소(예를 들면 화소(P))를 구성하는 것이다(도 5 참조). 이 활상 소자(10)는 이면 조사형이고, 광전 변환부(22)를 갖는 수광부(20)의 광입사면측에 집광부(40)가, 광입사면측과는 반대측의 면에 배선층(30)이 마련된 구성을 갖는다. 수광부(20)는, 광입사면(수광면(S1))측에 화소(P) 사이에 홈(화소 분리홈(21A))을 갖는 반도체 기판(21), 반도체 기판(21)의 광입사면측의 전면에 마련된 고정 전하막(23) 및 보호막(24)으로 구성되어 있다. 본 실시의 형태의 활상 소자(10)는, 이 고정 전하막(23)이, 각각 형성 영역이 다른 2종류의 절연막(제1 절연막(23A) 및 제2 절연막(23B))에 의해 형성되어 있고, 부분적으로 적층 구조를 갖는 것이다.

[0022] 이하에, 활상 소자(10)의 구성을 수광부(20), 배선층(30) 및 집광부(40)의 순서로 설명한다.

[0023] (수광부)

[0024] 수광부(20)는, 예를 들면 광전 변환부(22)로서 포토 다이오드가 매설된 반도체 기판(21)과, 반도체 기판(21)의 이면(광입사면측, 수광면(S1))에 마련된 고정 전하막(23)으로 구성되어 있다.

[0025] 반도체 기판(21)은, 예를 들면 p형의 실리콘(Si)에 의해 구성되고, 상술한 바와 같이, 수광면(S1)측의 각 화소(P) 사이에는 반도체 기판(21)의 두께 방향(Z방향)으로 늘어나는 화소 분리홈(21A)이 마련되어 있다. 이 화소 분리홈(21A)의 깊이(높이(h))는 크로스토크를 억제할 수 있는 깊이라면 좋고, 예를 들면  $0.25\mu\text{m}$  이상  $5\mu\text{m}$  이하이다. 폭(W)은, 크로스토크를 억제할 수 있는 폭으로 되어 있으면 좋고, 예를 들면  $100\text{nm}$  이상  $1000\text{nm}$  이하이다.

[0026] 반도체 기판(21)의 표면(면(S2)) 부근에는 광전 변환부(22)에서 발생한 신호 전하를, 예를 들면 수직 신호선(Lsig)(도 5 참조)에 전송하는 전송 트랜지스터(Tr1)가 배치되어 있다. 전송 트랜지스터(Tr1)의 게이트 전극(TG1)은, 예를 들면 배선층(30)에 마련되어 있다. 신호 전하는, 광전 변환에 의해 생기는 전자 및 정공의 어느 쪽이라도 좋지만, 여기서는 전자를 신호 전하로서 판독하는 경우를 예로 들어 설명한다.

[0027] 반도체 기판(21)의 면(S2) 부근에는 상기 전송 트랜지스터(Tr1)와 함께, 예를 들면 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터 등이 마련되어 있다. 이와 같은 트랜지스터는 예를 들면 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)이고, 각 화소(P)마다 회로를 구성한다. 각 회로는, 예를 들면 전송 트랜지스터, 리셋 트랜지스터 및 증폭 트랜지스터를 포함하는 3트랜지스터 구성이라도 좋고, 또는 이에 선택 트랜지스터가 더하여진 4트랜지스터 구성이라도 좋다. 전송 트랜지스터 이외의 트랜지스터는, 화소 사이으로 공유하는 것도 가능하다.

[0028] 광전 변환부(22)(포토 다이오드)는, 화소(P)마다, 반도체 기판(21)(여기서는 Si 기판)의 두께 방향(Z방향)으로 형성된, 예를 들면 n형 반도체 영역이고, 반도체 기판(21)의 표면 및 이면 부근에 마련된 p형 반도체 영역과의

pn 접합형의 포토 다이오드이다. 또한, 반도체 기판(21)은 각 화소(P) 사이에도 p형 반도체 영역이 형성되어 있고, 상기 화소 분리홈(21A)은 이 p형 반도체 영역에 형성되어 있다.

[0029] 고정 전하막(23)은, 부의 전하를 갖는 것이고, 제1 절연막(23A)과 제2 절연막(23B)이 부분적으로 적층된 구성을 갖는다(예를 들면, 도 2C 참조). 구체적으로는, 제1 절연막(23A)은, 반도체 기판(21)의 이면 전면, 즉, 반도체 기판(21)의 수광면(S1) 및 화소 분리홈(21A)의 벽면으로부터 저면에 걸쳐서 연속해서 마련되어 있다. 또한, 제1 절연막(23A)은 다층(여기서는 2층(23A<sub>1</sub>, 23A<sub>2</sub>))으로 이루어진다. 제2 절연막(23B)은, 반도체 기판(21)의 화소 분리홈(21A)의 내벽(벽면 및 저면)을 제외한 영역(수광면(S1))상에 마련되어 있다. 또한, 제2 절연막(23B)은, 수광면(S1)으로부터 화소 분리홈의 벽면의 일부에 걸쳐서 연속해서 형성되어 있다.

[0030] 제1 절연막(23A)은, 예를 들면 원자층 증착(Atomic Layer Deposition ; ALD)법 또는 유기금속 화학 기상 성장(Metal Organic Vapor Deposition ; MOCVD)법에 의해 형성되어 있다. 제2 절연막(23B)은, 예를 들면 물리적 기상 성장(Physical Vapor Deposition)법에 의해 형성되어 있다. 제1 절연막(23A) 및 제2 절연막(23B)의 적층 순서는, 적어도 제1 절연막(23A)이 반도체 기판(21)상에 직접 형성되어 있으면 되다. 본 실시의 형태에서는, 고정 전하막(23)은, 예를 들면 도 2C에 도시한 바와 같이, 반도체 기판(21)측부터 제1 절연막(23A<sub>1</sub>), 제2 절연막(23B), 제1 절연막(23A<sub>2</sub>)의 순서로 적층된 구성을 갖는다. 또한, 도 3C에 도시한 바와 같이, 반도체 기판(21)측부터 제1 절연막(23A<sub>1</sub>), 제1 절연막(23A<sub>2</sub>), 제2 절연막(23B)의 순서로 적층되어 있어도 좋다.

[0031] 제1 절연막(23A<sub>1</sub>, 23A<sub>2</sub>)의 막두께는, 각각, 예를 들면 1nm 이상 25nm 이하인 것이 바람직하고, 제1 절연막(23A)(23A<sub>1</sub>, 23A<sub>2</sub>) 전체의 두께가 2nm 이상 100nm 이하가 되도록 형성하는 것이 바람직하다. 이에 의해, 화소 분리홈(21A)의 벽면 및 저면에서의 반도체 기판(21)의 피닝 성능을 향상시킬 수 있다. 제2 절연막(23B)의 막두께는, 예를 들면 10nm 이상 80nm 이하인 것이 바람직하다.

[0032] 고정 전하막(23)(23A, 23B)의 재료로서는, 고정 전하를 갖는 고유전 재료를 사용하는 것이 바람직하고, 구체적으로는, 산화하프늄(HfO<sub>2</sub>), 산화지르코늄(ZrO<sub>2</sub>), 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화티탄(TiO<sub>2</sub>) 및 산화탄탈(Ta<sub>2</sub>O<sub>5</sub>) 등을 들 수 있다. 이들 산화물은, 절연 게이트형 전계 효과 트랜지스터의 게이트 절연막 등에 사용되고 있는 실적이 있기 때문에 성막 방법이 확립되어 있고, 용이하게 성막할 수 있다. 특히, 굴절률이 비교적 고정적인 HfO<sub>2</sub>(굴절률 2.05), Ta<sub>2</sub>O<sub>5</sub>(굴절률 2.16) 및 TiO<sub>2</sub>(굴절률 2.20) 등을 사용함에 의해, 고정 전하막(23)에 반사 방지 효과가 부가된다. 상기 이외의 재료로서는, 예를 들면, 희토류 원소의 산화물을 들 수 있다. 구체적으로는, 란탄(La), 프라세오디뮴(Pr), 세륨(Ce), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu), 이트륨(Y)의 각 산화물을 들 수 있다. 또한, 상기 산화물에는, 절연성을 손상시키지 않는 범위에서 실리콘(Si)이 첨가되어 있어도 좋다. 또한, 산화물 이외에, 질화하프늄, 질화알루미늄, 산질화하프늄 및 산질화알루미늄 등의 질화물 또는 산질화물을 사용하여도 좋다. 고정 전하막(23)에 Si나 Ni를 첨가함에 의해, 내열성이나 프로세스 중에서의 Si 계면이나 Si 기판 내에의 이온 주입의 저지 능력이 향상한다.

[0033] 제1 절연막(23A)(23A<sub>1</sub>, 23A<sub>2</sub>) 및 제2 절연막(23B)은, 동일재료에 의해 구성하여도 좋지만, 제1 절연막(23A)과 제2 절연막(23B)에서 재료를 바꾸어도 좋다. 제조 방법이 공통된 제1 절연막(23A<sub>1</sub>, 23A<sub>2</sub>)을 같은 재료를 사용함에 의해 제조 공정을 간략화할 수 있다. 또한, 제1 절연막(23A<sub>1</sub>, 23A<sub>2</sub>) 및 제2 절연막(23B)은 각각 다른 재료를 사용하여 형성하여도 좋다. 각 절연막(23A<sub>1</sub>, 23A<sub>2</sub>, 23B)을 구성한 바람직한 재료는 이하와 같다. 우선, 제1 절연막(23A<sub>1</sub>)의 바람직한 재료는, 예를 들면 HfO<sub>2</sub>, ZrO<sub>2</sub> 또는 Al<sub>2</sub>O<sub>3</sub>를 들 수 있다. 제1 절연막(23A<sub>2</sub>)의 바람직한 재료는, HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub> 및 Ta<sub>2</sub>O<sub>5</sub>를 들 수 있다. 제2 절연막(23B)이 바람직한 재료는, HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub> 및 Ta<sub>2</sub>O<sub>5</sub>를 들 수 있다. 특히, 제1 절연막(23A)보다도 후막에 형성되는 제2 절연막(23B)에 고굴절률의 재료를 사용함에 의해 반사 방지 효과를 효율적으로 얻어지는 외에, 광전 변환부(22)에 입사하는 광을 늘려서 활성화 소자(10)의 감도를 향상시키는 것이 가능해진다.

[0034] 고정 전하막(23)상에는 보호막(24)이 마련되어 있고, 화소 분리홈(21) 내에 이 보호막(24)을 매설함으로써 수광부(20)의 이면이 평坦화되어 있다. 보호막(24)은, 예를 들면 질화실리콘(Si<sub>2</sub>N<sub>3</sub>), 산화실리콘(SiO<sub>2</sub>) 및 산질화실리콘(SiON) 등의 단층막 또는 이들의 적층막에 의해 구성되어 있다.

[0035] (배선층)

배선층(30)은, 반도체 기판(21)의 표면(면(S2))에 접하여 마련되어 있다. 배선층(30)은 층간 절연막(31)을 통하여 복수의 배선(32)(예를 들면 배선(32A), 32B, 32C)을 갖는 것이다. 배선층(30)은, 예를 들면 Si로 이루어지는 지지 기판(11)에 부착되어 있고, 지지 기판(11)과 반도체 기판(21)과의 사이에 배선층(30)이 배치되어 있다.

[0037] (집광부)

집광부(40)는, 수광부(20)의 수광면(S1)측에 마련됨과 함께, 광 입사측에 광학 기능층으로서 각 화소(P)의 광전 변환부(22)에 각각 대향 배치된 온 칩 렌즈(41)를 갖는다. 수광부(20)(구체적으로는 보호막(24))과 온 칩 렌즈(41)와의 사이에는, 수광부(20)측부터 차례로, 평탄화막(43) 및 컬러 필터(44)가 적층되어 있다. 또한, 각 화소(P) 사이의 보호막(24)상에는 차광막(42)이 각각 마련되어 있다.

온 칩 렌즈(41)는, 수광부(20)(구체적으로는, 수광부(20)의 광전 변환부(22))를 향하여 광을 집광시키는 기능을 갖는 것이다. 이 온 칩 렌즈(41)의 렌즈 지름은, 화소(P)의 사이즈에 응한 값으로 설정되어 있고, 예를 들면  $0.9\mu\text{m}$  이상  $8\mu\text{m}$  이하이다. 또한, 온 칩 렌즈(41)의 굴절률은, 예를 들면 1.5 이상 1.9 이하이다. 렌즈 재료로서는, 예를 들면 유기 재료나 실리콘 산화막( $\text{SiO}_2$ ) 등을 들 수 있다.

차광막(42)은, 보호막(24)의 화소(P) 사이, 예를 들면 화소 분리홈(21A)에 대응하는 위치에 마련되어 있다. 차광막(42)은, 인접 화소 사이에서의 사입사광(斜入射光)의 크로스토크에 의한 혼색을 억제하는 것이다. 차광막(42)의 재료로서는, 예를 들면 텅스텐(W), 알루미늄(Al) 또는 Al과 구리(Cu)와의 합금 등으로 이루어지고, 그 막두께는, 예를 들면  $20\text{nm}$  이상  $5000\text{nm}$  이하이다.

평탄화막(43)은, 예를 들면 질화실리콘( $\text{Si}_2\text{N}_3$ ), 산화실리콘( $\text{SiO}_2$ ) 및 산질화실리콘( $\text{SiON}$ ) 등의 단층막 또는 이들의 적층막에 의해 구성되어 있다.

컬러 필터(44)는, 예를 들면 적색(R) 필터, 녹색(G) 필터, 청색(B) 필터 및 백색 필터(W)의 어느 하나이고, 예를 들면 화소(P)마다 마련되어 있다. 이들의 컬러 필터(44)는, 규칙적인 색 배열(예를 들면 베이어 배열)로 마련되어 있다. 이와 같은 컬러 필터(44)를 마련함에 의해, 활상 소자(10)에서는, 그 색 배열에 대응한 컬러의 수광 데이터를 얻을 수 있다.

이와 같은 활상 소자(10)는, 예를 들면 이하와 같이 하여 제조할 수 있다.

[0044] (제조 방법)

우선, 각종 트랜지스터 및 주변 회로를 구비한 반도체 기판(21)을 형성한다. 반도체 기판(21)은 예를 들면 Si 기판을 이용하고, 이 반도체 기판(21)의 표면(면(S2)) 부근에 전송 트랜지스터(Tr1) 등의 트랜지스터 및 로직 회로 등의 주변 회로를 마련한다. 뒤이어, 반도체 기판(21)에의 이온 주입에 의해 불순물 반도체 영역을 형성한다. 구체적으로는, 각 화소(P)에 대응하는 위치에 n형 반도체 영역(광전 변환부(22))를, 각 화소간에 p형 반도체 영역을 형성한다. 계속해서, 반도체 기판(21)의 수광면(S1)의 소정의 위치, 구체적으로는, 각 화소(P) 사이에 마련된 P형 반도체 영역에, 예를 들면 드라이 에칭에 의해 화소 분리홈(21A)을, 예를 들면 깊이(h)  $1\text{nm}$ 로 형성한다.

다음에, 반도체 기판(21)의 수광면(S1)측에 고정 전하막(23)을 형성한다. 구체적으로는, 우선, 도 2A에 도시한 바와 같이, 예를 들면 ALD법 또는 MOCVD법을 이용하여, 반도체 기판(21)의 수광면(S1) 및 화소 분리홈(21A)의 벽면으로부터 저면에 걸쳐서 연속하는 제1 절연막( $23\text{A}_1$ )을 형성한다. ALD법을 이용하는 경우에는, 예를 들면, 각 조건을 각각, 기판 온도를 200 내지  $500^\circ\text{C}$ , 프리커서의 유량을 10 내지  $500\text{sccm}$ , 프리커서의 조사(照射) 시간을 1 내지 15초, 오존( $\text{O}_3$ )의 유량이 5 내지  $50\text{sccm}$ 로 하여 제1 절연막( $23\text{A}_1$ )을 성막한다. MOCVD법을 이용한 경우에는, 예를 들면, 기판 온도를 100 내지  $600^\circ\text{C}$ 로 하여 형성하다. 또한, 반도체 기판(21)으로서 Si 기판을 이용하고, Si 기판상에 제1 절연막( $23\text{A}_1$ )을 ALD법을 이용하여 형성하는 경우에는, 동시에 Si 기판의 표면에 계면준위를 저감하는 산화실리콘 막을  $1\text{nm}$  정도의 두께로 형성하는 것이 가능해진다.

다음에, 도 2B에 도시한 바와 같이, 제1 절연막( $23\text{A}_1$ )상에, 예를 들면 PVD법을 이용하여 제2 절연막( $23\text{B}$ )을 형성한다. 각 조건은, 예를 들면, 압력을 0.01 내지  $50\text{Pa}$ , 파워를 500 내지  $2000\text{W}$ , Ar의 유량을 5 내지  $50\text{sccm}$ , 산소( $\text{O}_2$ )의 유량을 5 내지  $50\text{sccm}$ 으로 하다. 또한, PVD법에 의해 형성되는 제2 절연막( $23\text{B}$ )은, 새도잉 효과에 의해 반도체 기판(21)의 수광면(S1)상 및 수광면(S1)에 연속하는 화소 분리홈(21A)의 벽면의 일부에만

형성되고, 화소 분리홈(21A)의 내부(벽면의 대부분 및 저면)에는 형성되지 않는다.

[0048] 계속해서, 도 2C에 도시한 바와 같이, 예를 들면 ALD법 또는 MOCVD법을 이용하여, 제2 절연막(23B) 및 화소 분리홈(21A)의 벽면 및 저면을 덮는 제2 절연막(23A<sub>1</sub>)상에 제1 절연막(23A<sub>2</sub>)을 형성한다. ALD법 및 MOCVD법에서의 각 조건은, 상기한 바와 마찬가지이다. 이상에 의해, 고정 전하막(23)이 형성된다.

[0049] 이와 같이, 반도체 기판(21)의 이면 전면에 ALD법 또는 MOCVD법에 의해 제1 절연막(23A<sub>1</sub>)을 형성한 후, PVD법에 의해 제1 절연막(23A<sub>1</sub>)의 수광면(S1)상에 제2 절연막(23B)을 성막한다. 반도체 기판(21)의 표면 부분에는 계면 특성을 악화시키는 일 없고, 반사 방지 기능을 갖는 고정 전하막(23A<sub>1</sub>, 23B, 23A<sub>2</sub>)을 형성하고, 동시에, 홈 내에는 계면준위를 개선하는 고정 전하막(23A<sub>1</sub>, 23A<sub>2</sub>)을 형성하는 것이 가능해진다.

[0050] 또한, 고정 전하막(23)은, 상술한 바와 같이, 도 2A 내지 도 2C에 도시한 적층 순서 이외의 성막 순서를 이용하여도 좋다. 구체적으로는, 도 3A 내지 도 3C에 도시한 바와 같이, 우선, 상기 제조 공정과 마찬가지로, ALD법 또는 MOCVD법을 이용하여, 반도체 기판(21)의 수광면(S1)부터 화소 분리홈(21A)의 벽면 및 저면에 걸쳐서 제1 절연막(23A<sub>1</sub>)을 형성한 후, 재차, ALD법 또는 MOCVD법을 이용하여 제1 절연막(23A<sub>2</sub>)을 형성한다. 이후, PVD법에 의해 제2 절연막(23B)을 성막한다. 이와 같이, 적어도 반도체 기판(21)의 이면에 직접 형성된 절연막을, 괴성막 면에의 손상이 적은 ALD법 또는 MOCVD법으로 형성하면, 이후에 적층한 절연막의 제조 방법은 특히 묻지 않는다.

[0051] 다음에, 보호막(24)으로서, 예를 들면 Si<sub>2</sub>O<sub>5</sub>막을, 예를 들면 ALD법 또는 CVD법을 이용하여 수광면(S1)의 고정 전하막(22)상에 형성함과 함께, 화소 분리홈(21A)에 매설한다. 계속해서, 보호막(24)상에, 예를 들면 스퍼터링법 또는 CVD법을 이용하여 예를 들면 W막을 형성한 후, 포토 리소그래피 등에 의해 패터닝하여 차광막(42)을 형성한다. 다음에, 보호막(24) 및 차광막(42)상에 평탄화막(43)을 형성한 후, 평탄화막(43)상에, 예를 들면 베이어 배열의 컬러 필터(44) 및 온 칩 렌즈(41)를 차례로 형성한다. 이와 같이 하여 활상 소자(10)를 얻을 수 있다.

[0052] (활상 소자의 동작)

[0053] 이와 같은 활상 소자(10)에서는, 예를 들면 활상 장치의 화소(P)로서, 다음과 같이 하여 신호 전하(여기서는 전자)가 취득된다. 활상 소자(10)에, 온 칩 렌즈(41)를 통하여 광(L)이 입사하면, 광(L)은 컬러 필터(44) 등을 통과하여 각 화소(P)에서의 광전 변환부(22)에서 검출(흡수)되어, 적, 녹 또는 청의 색광이 광전 변환된다. 광전 변환부(22)에서 발생한 전자-정공 쌍 중, 전자는 반도체 기판(21)(예를 들면, Si 기판에서는 n형 반도체 영역)으로 이동하여 축적되고, 정공은 p형 영역으로 이동하여 배출된다.

[0054] (작용 및 효과)

[0055] 전술한 바와 같이, 광전 변환부가, 예를 들면 Si 등의 반도체 재료에 의해 구성되어 있는 활상 소자에서는, 그 표면에 존재하는 결정 결함이나 댕글링 본드에 의해 암전류가 발생하기 쉽다는 문제가 있다. 암전류는, 반도체 기판의 표면에 고정 전하를 갖는 절연막(고정 전하막)을 형성함에 의해 억제된다.

[0056] 또한, 활상 소자는 반도체 기판의 화소 사이에 홈을 마련하고, 이 홈 내를 절연막으로 매입함에 의해 광학 혼색을 억제할 수 있다. 그러나, 일반적으로 이 홈은 드라이 에칭에 의해 형성되기 때문에, 반도체 기판의 표면에는 드라이 에칭에 의한 손상에 의해 결정 결함이나 계면준위가 형성되기 쉬워진다. 이 때문에, 광학 혼색은 억제되는 것이지만, 암전류가 생기기 쉽다는 문제가 있다.

[0057] 홈 내에 생기는 암전류는, 홈의 벽면 및 저면에 상기 고정 전하막을 형성함으로써 억제할 수 있다. 또한, 고정 전하막의 구성 재료로서, 예를 들면 2 이상의 굴절률을 갖는 절연 재료를 사용하여, 홈 내를 포함하는 이면 전면에 성막함에 의해, 홈 내의 암전류 억제 효과와 반사 방지 효과를 양립하는 절연막을 실현할 수 있다. 단, 고정 전하막은, 제조 효율의 관점에서 일반적으로 성막 속도가 빠른 PVD법이 선택되지만, PVD법은 괴성막 영역, 즉, 여기서는 반도체 기판의 홈 내를 포함하는 이면 전면에 손상을 주어, 계면 특성을 악화시킨다는 문제가 있다. 특히, 홈을 형성할 때의 드라이 에칭에 의해 손상을 받고 있는 홈의 표면(벽면 및 저면)에서는 보다 암전류가 발생하기 쉬워진다.

[0058] 이에 대해, 본 실시의 형태의 활상 소자(10) 및 그 제조 방법에서는, 고정 전하막(23)을 적층막(제1 절연막(23A) 및 제2 절연막(23B))으로 하고, 각각 다른 방법을 이용하여 형성하도록 하였다. 구체적으로는, 우선, ALD 법 또는 MOCVD법을 이용하여 반도체 기판(21)상에 제1 절연막(23A<sub>1</sub>)을 형성한 후, PVD법을 이용하여 제2 절연막(23B)을 형성한다. 계속해서, ALD법 또는 MOCVD법을 이용하여 제1 절연막(23A<sub>2</sub>)을 형성한다. 이와 같이, PVD법

에 의한 성막 전에 ALD법 또는 MOCVD법에 의해 형성된 막(제1 절연막(23A<sub>1</sub>))을 형성하여 둡으로써, PVD법에 의한 성막면의 손상을 막을 수 있다. 이것은, ALD법 또는 MOCVD법에 의해 형성된 제1 절연막(23A<sub>1</sub>)의 성질에 의한다.

[0059] ALD법 또는 MOCVD법을 이용하여 성막한 경우에는, 결정화의 정도가 강하고, 보다 치밀한 막이 형성된다. 이 때문에, 제1 절연막(23A<sub>1</sub>)은 반도체 기판(21)의 보호막으로서 작용하여, PVD법에 의해 형성된 제2 절연막(23B)의 성막시에 있어서의 반도체 기판(21)의 표면에의 손상이 저감된다. 따라서, 수광면(S1)의 계면 특성을 향상시킬 수 있다. 또한, 화소 분리홈(21A)을 형성할 때의 화소 분리홈(21A)의 벽면 및 저면에서의 물리적 손상이나 이온 조사에 의한 불순물 불활성화에 의해 생기는 피닝 벗어남의 악화를 억제할 수 있다. 또한, PVD법에 의한 반도체 기판(21)의 표면에의 손상의 저감에 필요한 제1 절연막(23A<sub>1</sub>)의 막두께의 하한은 막두께 1nm 이상이고, 성막 시간의 균형으로부터 상한은 25nm 이하로 한 것이 바람직하다.

[0060] 또한, ALD법 또는 MOCVD법을 이용한 제1 절연막(23A<sub>1</sub>, 23A<sub>2</sub>)은, 반도체 기판(21)의 광입사면측의 전면(수광면(S1), 화소 분리홈(21A)의 벽면 및 측면)에 형성되고, PVD법을 이용한 제2 절연막(23B)은, 후술하는 새도잉 효과에 의해 수광면(S1) 및 수광면(S1)상부터 연속하는 화소 분리홈(21A)의 벽면의 일부에 형성된다. 제2 절연막(23B)에서의 새도잉 효과는, 화소 분리홈(21A)의 깊이(h)에 의존한다. 깊이(h)가 깊을수록 새도잉 효과는 커지고, 화소 분리홈(21A)의 벽면에의 성막이 억제된다. 벽면에의 성막을 억제하는 깊이(h)은 1μm 이상인 것이 바람직하고, 1μm 이하로 하는 경우에는, 홈형상을 오버행형으로 하는 것이 바람직하다.

[0061] 이상과 같이, 본 실시의 형태에서는, 광전 변환부(22)를 구비한 반도체 기판(21)의 수광면측에 형성한 고정 전하막(23)을, 형성 영역이 다른 2종류의 절연막(제1 절연막(23A) 및 제2 절연막(23B))의 적층막으로서 형성하도록 하였다. 구체적으로는, ALD법 또는 MOCVD법을 이용하여 반도체 기판(21)의 광입사면측의 전면(수광면(S1), 화소 분리홈(21A)의 벽면 및 측면)에 제1 절연막(23A)을 형성하고, PVD법을 이용하여 수광면(S1)에 제2 절연막(23B)을 형성한다. 특히, 제1 절연막(23A)을 형성한 후, 제2 절연막(23B)을 형성하도록 하였기 때문에, 반도체 기판(21)의 표면에 손상을 주는 일 없이, 고정 전하막을 형성하는 것이 가능해진다. 즉, 반도체 기판(21)의 표면(수광면(S1), 화소 분리홈의 벽면 및 저면)의 계면준위가 개선되어, 암전류의 발생이 억제된 활상 장치를 제공하는 것이 가능해진다.

[0062] 또한, 반도체 기판(21)상에 제1 절연막(23A<sub>1</sub>)을 성막한 후의 제1 절연막(23A<sub>2</sub>) 및 제2 절연막(23B)의 적층 순서는 특히 묻지 않지만, 도 2A 내지 도 2C에 도시한 바와 같이 제2 절연막(23B)을 형성한 후, 제1 절연막(23A<sub>2</sub>)을 형성함에 의해, 반도체 기판(21)에의 산소나 수소 등의 불순물의 침입을 막을 수 있다. 이에 의해, 수광면(S1)에서의 계면준위나 피닝 성능을 보다 향상시키는 것이 가능해진다.

[0063] 또한, PVD법은 ALD법이나 MOCVD법과 비교하여 성막 속도가 빨리, 비교적 단시간에 어느 정도의 두꺼운 막을 형성할 수 있다. 이 때문에, 제2 절연막(23B)을 비교적 굴절률이 높은 재료를 사용하여 형성함에 의해, 고정 전하막(23)의 사입사광에 대한 반사 방지성능을 향상시켜, 광전 변환부(22)에서의 혼색을 억제하는 것이 가능해진다.

[0064] 또한, 본 실시의 형태에서는, 고정 전하막(23)을 2층의 제1 절연막(23A) 및 1층의 제2 절연막(23B)의 구성으로 하였지만, 각각 2층 또는 3층 이상 형성하여도 상관없다.

## <2. 변형례>

[0066] 도 4는, 상기 실시의 형태의 변형례에 관한 활상 소자(활상 소자(10A))의 단면 구성을 도시한 것이다. 이 활상 소자(10A)은, 상기 실시의 형태와 마찬가지로, 이면 조사형의 활상 소자이고, 복수의 화소(P)가 2차원 배열된 구조를 갖는다. 활상 소자(10A)의 수광부(20)에는, 실시의 형태와 마찬가지로, 반도체 기판(21)의 각 화소(P) 사이에 화소 분리홈(21A)이 마련되어 있고, 반도체 기판(21)의 수광면(S1)부터 화소 분리홈(21A)의 벽면 및 저면에 걸쳐서 고정 전하막(23)이 형성되고, 고정 전하막(23)상에 보호막(24)이 형성되어 있다. 집광부(50)도, 실시의 형태와 마찬가지로, 수광부(20)와 온 칩 렌즈(51) 사이에 평탄화막(53), 차광막(52) 및 컬러 필터(54)가 적층되어 있다. 본 변형례에서의 활상 소자(10A)에서는, 차광막(52)이 화소 분리홈(21A) 내로 연재되어 있는 점이 상기 실시의 형태와는 다르다. 이 점을 제외하고, 활상 소자(10A)는 활상 소자(10)와 같은 구성을 가지며, 그 작용 및 효과도 마찬가지이다.

[0067] 이와 같이, 본 변형례에서는, 차광막(52)을 수광부(20)의 화소 분리홈(21A) 내에 매설하도록 하였기 때문에, 광

전 변환부(22)에서의 사입사광에 의한 혼색을 보다 억제하는 것이 가능해진다.

[0068] <3. 적용례>

도 5는 상기 실시의 형태 및 변형례에서 설명한 활상 소자(활상 소자(10, 10A))를 각 화소에 이용한 고체 활상 장치(활상 장치(1))의 전체 구성을 도시하고 있다. 이 활상 장치(1)는 CMOS 이미지 센서이고, 반도체 기판(21)상의 중앙부에 활상 에어리어로서의 화소부(1a)를 갖고 있다. 화소부(1a)의 주변 영역에는, 예를 들면 행주사부(131), 시스템 제어부(132), 수평 선택부(123) 및 열주사부(134)를 포함하는 주변 회로부(130)가 마련되어 있다.

[0070] 화소부(1a)는, 예를 들면 행렬형상으로 2차원 배치된 복수의 단위 화소(P)(활상 소자(10, 10A)에 상당)를 갖고 있다. 이 단위 화소(P)에는, 예를 들면 화소행마다 화소 구동선(Lread)(구체적으로는 행선택선 및 리셋 제어선)이, 화소열마다 수직 신호선(Lsig)이 배선되어 있다. 화소 구동선(Lread)은, 화소로부터의 신호 판독을 위한 구동 신호를 전송하는 것이고, 그 일단은 행주사부(131)의 각 행에 대응한 출력단에 접속되어 있다.

[0071] 행주사부(131)는, 시프트 레지스터나 어드레스 디코더 등에 의해 구성되고, 화소부(1a)의 각 화소(P)를 예를 들면 행 단위로 구동하는 화소 구동부이다. 행주사부(131)에 의해 선택된 화소행의 각 화소(P)로부터 출력되는 신호는, 수직 신호선(Lsig)의 각각을 통하여 수평 선택부(123)에 공급된다. 수평 선택부(123)는, 예를 들면 수직 신호선(Lsig)마다 마련된 앰프나 수평 선택 스위치 등에 의해 구성되어 있다.

[0072] 열주사부(134)는, 시프트 레지스터나 어드레스 디코더 등에 의해 구성되고, 수평 선택부(123)의 각 수평 선택 스위치를 주사하면서 순번대로 구동하는 것이다. 이 열주사부(134)에 의한 선택 주사에 의해, 수직 신호선(Lsig)의 각각을 통하여 전송되는 각 화소(P)의 신호가 순번대로 수평 신호선(135)에 출력되고, 당해 수평 신호선(135)을 통하여 반도체 기판(21)의 외부에 전송된다.

[0073] 행주사부(131), 수평 선택부(123), 열주사부(134) 및 수평 신호선(135)으로 이루어지는 회로부분은, 반도체 기판(21)상에 직접적으로 형성되어 있어도 좋고, 또는 외부 제어 IC에 마련된 것이라도 좋다. 케이블 등에 의해 접속된 다른 기판에 이 회로부분을 마련하는 것도 가능하다.

[0074] 시스템 제어부(132)는, 반도체 기판(21)의 외부에서 주어지는 클록이나 동작 모드를 지령하는 데이터 등을 수취함과 함께, 활상 장치(1)의 내부 정보를 출력하는 것이다. 시스템 제어부(132)는, 이에 더하여, 예를 들면 각종의 타이밍 신호를 생성하는 타이밍 제너레이터를 가지며, 당해 타이밍 제너레이터에서 생성된 각종의 타이밍 신호를 기초로 행주사부(131), 수평 선택부(123) 및 열주사부(134) 등의 주변 회로의 구동 제어를 행한다.

[0075] 이와 같은 활상 장치(1)는, 활상 기능을 갖는 모든 타입의 전자 기기에 탑재할 수 있고, 예를 들면 디지털 스틸 카메라나 비디오 카메라 등의 카메라 시스템이나, 휴대 전화 등에 적용할 수 있다. 도 6에는, 그 한 예로서, 카메라(전자 기기(2))의 개략 구성을 도시한다. 전자 기기(2)는, 예를 들면 정지화 또는 동화를 촬영 가능한 비디오 카메라이이고, 활상 장치(활상 장치(1)), 광학계(광학 렌즈)(310), 셔터 장치(311), 신호 처리부(312) 및 구동부(313)를 갖고 있다.

[0076] 광학계(310)는, 피사체로부터의 상광(입사광)을 활상 장치(1)의 화소부(1a)로 유도하는 것이다. 광학계(310)는 복수의 광학 렌즈를 포함하고 있어도 좋다. 셔터 장치(311)는 활상 장치(1)에의 광조사 기간 및 차광 기간을 제어하고, 구동부(313)는, 이 셔터 장치(311)의 셔터 동작 및 활상 장치(1)의 전송 동작을 제어한다. 신호 처리부(312)는, 활상 장치(1)로부터 출력된 신호에 대해, 각종의 신호 처리를 행하는 것이다. 신호 처리 후의 영상 신호(Dout)는, 예를 들면 메모리 등의 기억 매체에 기억되든지, 또는 모니터 등에 출력되도록 되어 있다.

[0077] 또한, 상기 실시의 형태 등에서는, 이면 조사형의 활상 소자(10, 10A)의 구성을 예시하였지만, 표면 조사형에 적용시키는 것도 가능하다.

[0078] 또한, 수광부(20)와 집광부(40)(, 50)의 컬러 필터(44)(, 54)와의 사이에 이너 렌즈(도시 생략)를 배설하여도 상관없다.

[0079] 또한, 상기 실시의 형태 등에서 설명한 각 구성 요소를 전부 구비하고 있을 필요는 없고, 또한, 다른 구성 요소를 구비하고 있어도 좋다.

[0080] 또한, 본 기술은 이하와 같은 구성을 취하는 것도 가능하다.

[0081] (1) 화소마다 광전 변환부를 갖는 반도체 기판과, 상기 반도체 기판에 마련된 화소 분리홈과, 상기 반도체 기판의 수광면측에 마련된 고정 전하막을 구비하고, 상기 고정 전하막은, 상기 수광면부터 상기 화소 분리홈의 벽면

및 저면에 걸쳐서 연속해서 마련된 제1 절연막과, 상기 제1 절연막상의 적어도 상기 수광면에 부분적으로 마련된 제2 절연막을 갖는 활상 소자.

[0082] (2) 상기 제1 절연막 및 상기 제2 절연막의 막수는 서로 다른, 상기 (1) 또는 (2)에 기재된 활상 소자.

[0083] (3) 상기 제1 절연막의 막수는 2층, 상기 제2 절연막의 막수는 1층인, 상기 (1) 또는 (2)에 기재된 활상 소자.

[0084] (4) 상기 고정 전하막은, 상기 반도체 기판측부터 상기 제1 절연막, 상기 제2 절연막 및 상기 제1 절연막의 순서로 형성되어 있는, 상기 (1) 내지 (3)의 어느 하나에 기재된 활상 소자.

[0085] (5) 상기 고정 전하막은, 상기 반도체 기판측부터 상기 제1 절연막, 상기 제1 절연막 및 상기 제2 절연막의 순서로 형성되어 있는, 상기 (1) 내지 (4)의 어느 하나에 기재된 활상 소자.

[0086] (6) 상기 제2 절연막은, 상기 수광면부터 상기 화소 분리홈의 벽면의 일부에 걸쳐서 연속하고 있는, 상기 (1) 내지 (5)의 어느 하나에 기재된 활상 소자.

[0087] (7) 상기 제1 절연막 및 상기 제2 절연막은, 각각, 산화하프늄( $HfO_2$ ), 산화지르코늄( $ZrO_2$ ), 산화알루미늄( $Al_2O_3$ ), 산화티탄( $TiO_2$ ) 및 산화탄탈( $Ta_2O_5$ )의 어느 1종에 의해 형성되어 있는, 상기 (1) 내지 (6) 중 어느 하나에 기재된 활상 소자.

[0088] (8) 화소마다 광전 변환부를 갖음과 함께, 화소 분리홈을 갖는 반도체 기판의 수광면에 고정 전하막을 성막하는 공정을 포함하고, 상기 고정 전하막의 제조 공정은, 상기 반도체 기판의 상기 수광면부터 상기 화소 분리홈의 벽면 및 저면에 걸쳐서 연속한 제1 절연막을 형성하는 공정과, 상기 제1 절연막상의 적어도 상기 수광면에 부분적으로 제2 절연막을 형성하는 공정을 포함하는 활상 소자의 제조 방법.

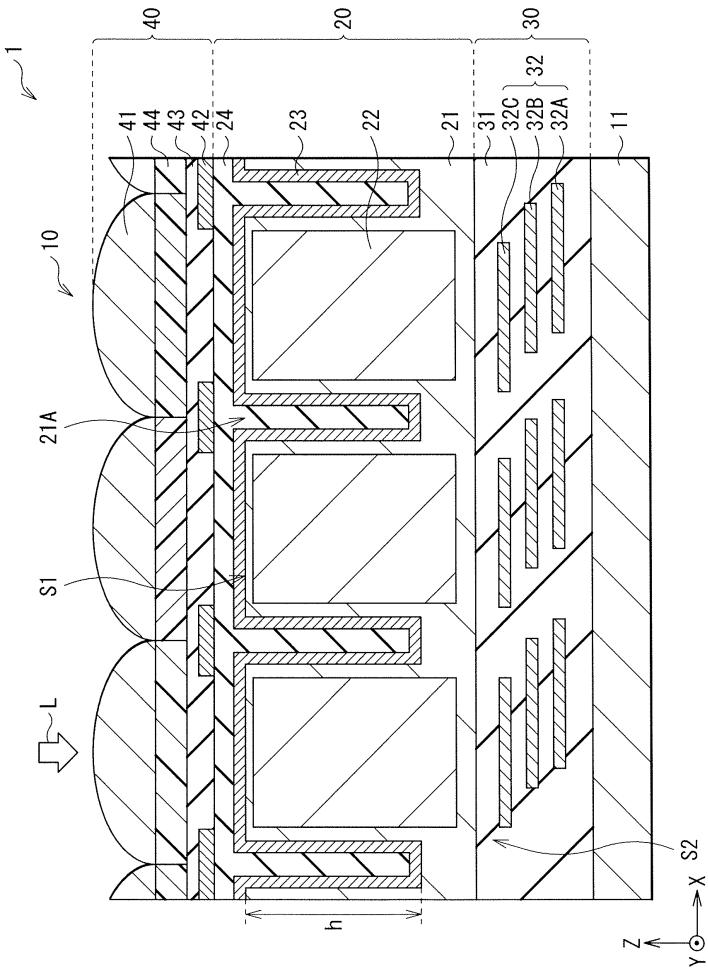
[0089] (9) 상기 제1 절연막을 원자층 증착법 또는 유기금속 화학 기상 성장법에 의해 형성하는, 상기 (8)에 기재된 활상 소자의 제조 방법.

[0090] (10) 상기 제2 절연막을 물리적 기상 성장법에 의해 형성하는, 상기 (8) 또는 (9)에 기재된 활상 소자의 제조 방법.

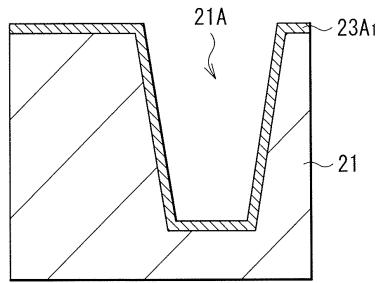
[0091] (11) 활상 소자를 포함하고, 상기 활상 소자는, 화소마다 광전 변환부를 갖는 반도체 기판과, 상기 반도체 기판에 마련된 화소 분리홈과, 상기 반도체 기판의 수광면측에 마련된 고정 전하막을 구비하고, 상기 고정 전하막은, 상기 수광면부터 상기 화소 분리홈의 벽면 및 저면에 걸쳐서 연속해서 마련된 제1 절연막과, 상기 제1 절연막상의 적어도 상기 수광면에 대응하는 부분에 마련된 제2 절연막을 갖는 전자 기기.

도면

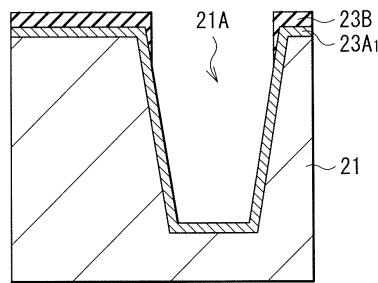
도면1



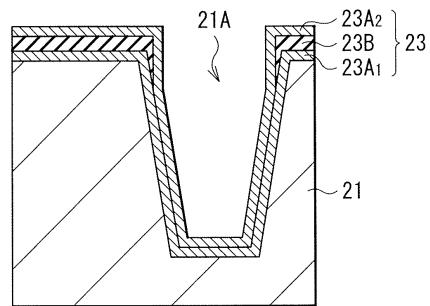
도면2



A

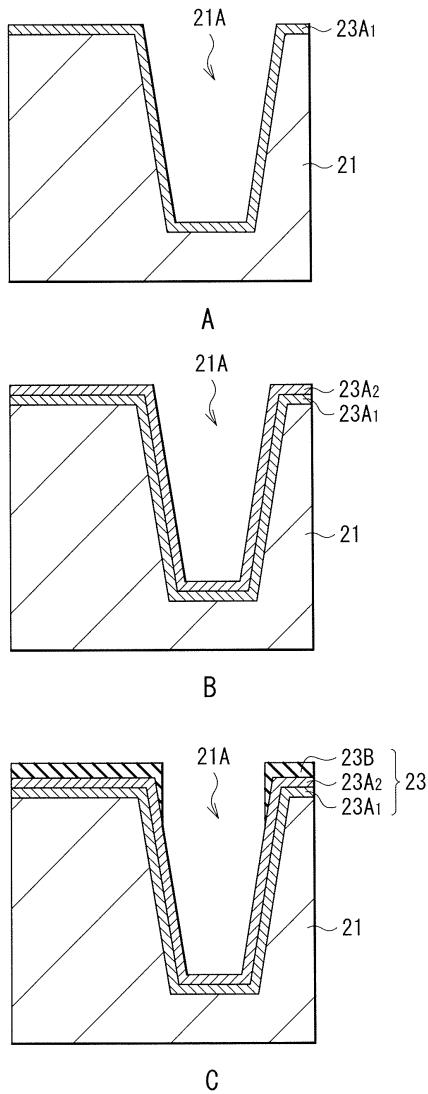


B

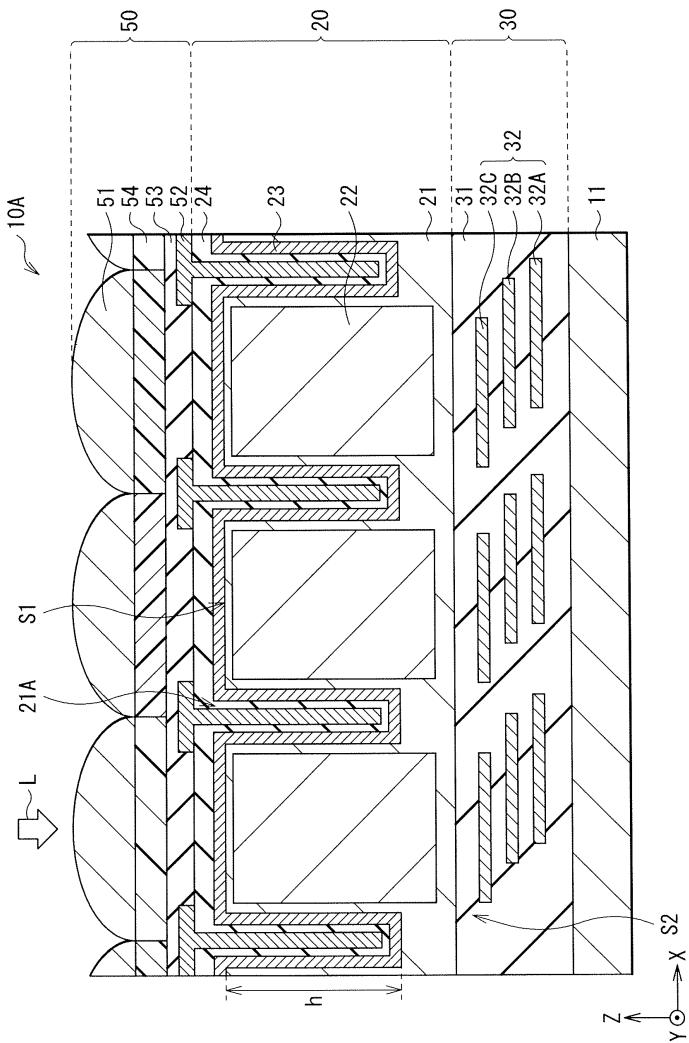


C

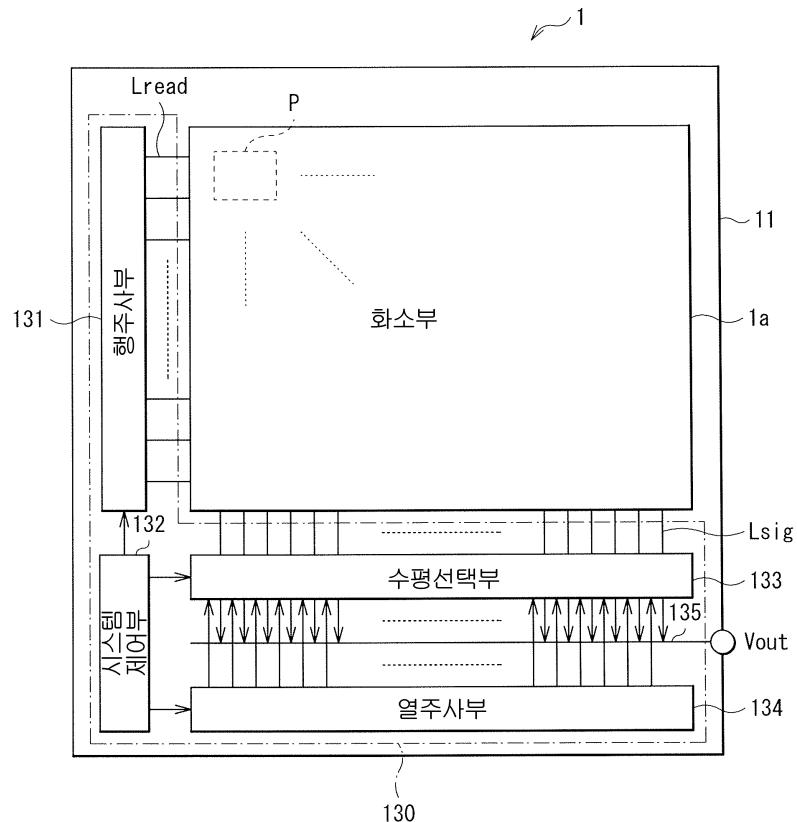
도면3



## 도면4



## 도면5



### 도면6

