

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H03L 7/097	(11) 공개번호 특2001-0006902
	(43) 공개일자 2001년01월26일
(21) 출원번호	10-2000-0016093
(22) 출원일자	2000년03월29일
(30) 우선권주장	99-153590 1999년06월01일 일본(JP) 99-153591 1999년06월01일 일본(JP)
(71) 출원인	후지쯔 가부시끼가이샤 아끼구사 나오유키 일본국 가나가와켄 가와사키시 나카하라꾸 가미코다나카 4초메 1-1
(72) 발명자	세가와유지 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쓰가부시끼가이샤나이 오츠카마사루 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쓰가부시끼가이샤나이 기쿠치오사무 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쓰가부시끼가이샤나이 하가아키라 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쓰가부시끼가이샤나이 요시카와요시노리 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쓰가부시끼가이샤나이
(74) 대리인	조태연, 김성택, 김승호

심사청구 : 없음

(54) 비교기 및 전압 제어 발진 회로

요약

본 발명은 인버터를 이용한 비교기에 있어서, 고속으로 또한 정확한 비교 동작을 연속으로 행하는 것을 목적으로 한다. 비교기로서 기능하는 인버터(31)와 동등한 전기적 특성을 갖는 더미 인버터(32)를 설치한다. 더미 인버터(32)에 제어 회로(33)로부터 Vth 검출용 입력 전압 (Vin')을 입력시키고, 더미 인버터(32)로부터 출력되는 Vth 검출용 출력 전압 (Vout')을 제어 회로(33)에 입력시켜 더미 인버터(32)의 문턱 전압(Vth)을 검출한다. 그 문턱 전압(Vth)이 외부의 기준 전압(VR)에 일치하도록, 더미 인버터(32) 및 인버터(31)를 각각 구성하는 MOS 트랜지스터(Q3, Q4)의 백 게이 트전압을 제어함으로써 인버터(31)의 문턱 전압(Vth)을 제어한다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 종래의 인버터형 비교기의 회로 기호도.
- 도 2는 종래의 인버터형 비교기의 회로도.
- 도 3은 종래의 인버터형 비교기의 출력 특성도.
- 도 4는 종래의 차동 비교기의 회로 기호도.
- 도 5는 종래의 차동 비교기의 회로도.
- 도 6은 종래의 차동 비교기의 출력 특성도.

- 도 7은 종래의 초퍼형 비교기의 회로도.
- 도 8은 종래의 초퍼형 비교기의 동작 타이밍도.
- 도 9는 비교기를 이용한 발진 회로의 회로도.
- 도 10은 비교기를 이용한 발진 회로의 동작 타이밍도.
- 도 11은 종래의 전압 제어 발진 회로의 구성을 나타낸 개략도.
- 도 12는 도 11에 나타내는 전압 제어 발진 회로의 동작을 설명하기 위한 타이밍 차트.
- 도 13은 본 발명에 관한 비교기의 원리 설명도.
- 도 14는 본 발명에 관한 비교기를 구성하는 인버터의 임계 전압의 제어 원리를 설명하기 위한 원리 설명도.
- 도 15는 본 발명의 제1 실시예에 관한 비교기의 구성을 나타내는 회로도.
- 도 16은 본 발명의 제1 실시예에 관한 비교기의 인버터의 구성을 나타내는 회로도.
- 도 17은 인버터의 다른 예를 나타내는 회로도.
- 도 18은 인버터의 다른 예를 나타내는 회로도.
- 도 19는 인버터의 다른 예를 나타내는 회로도.
- 도 20은 본 발명의 제2 실시예에 관한 비교기의 구성을 나타내는 회로도.
- 도 21은 본 발명의 제2 실시예에 관한 비교기의 동작 타이밍도.
- 도 22는 본 발명에 관한 전압 제어 발진 회로의 원리를 설명하기 위한 회로 구성을 나타내는 개략도.
- 도 23은 도 22에 나타내는 전압 제어 발진 회로의 동작을 설명하기 위한 타이밍 차트.
- 도 24는 발명의 제3 실시예에 관한 전압 제어 발진 회로의 회로 구성을 나타내는 개략도.
- 도 25는 도 24에 나타내는 전압 제어 발진 회로의 동작을 설명하기 위한 타이밍 차트.

〈도면의 주요 부분에 대한 부호의 설명〉

- Q3 : PMOS 트랜지스터
- Q4 : NMOS 트랜지스터
- Q7 : 제2 PMOS 트랜지스터
- Q8 : 제2 NMOS 트랜지스터
- 3, 4, 5 : 비교기
- 31, 41, 51 : 인버터
- 32, 42, 52 : 더미 인버터
- 33, 43, 53 : 제어 회로
- 44, 54 : 차동 증폭 회로
- 55 : 내부 비교기
- 58 : 삼각파 발생 회로(교류 신호 발생 회로)
- 103, 120 : 제1 초퍼형 비교기
- 104, 121 : 제2 초퍼형 비교기
- 105, 122 : 커패시터
- 107, 125 : 변환 회로
- 108, 129 : 논리 회로(출력 변환 회로)
- 123, 124, 161, 162 : 전류원
- 183 : 지연 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비교기에 관한 것으로서, 특히 인버터의 임계 전압을 제어하는 구성의 비교기에 관한 것이다. 또한, 전압 제어 발진 회로에 관하여, 특히 높은 주파수로 발진하는 전압 제어 발진 회로에 관한 것이

다.

비교기는 휴대 무선 기기나 클럭 주파수 변환 등에 이용되는 위상 동기 루프(PLL: phase-locked loop)를 구성하는 VCO 회로(전압 제어 발진 회로)나 A/D 변환기(아날로그 디지털 변환기) 등의 아날로그 회로에 사용된다. 최근, 아날로그 회로는 고속화가 진행되고, 그에 따라 비교기에도 지연 시간이 작은 고속 특성을 갖도록 요구되고 있다.

또한, 전압 제어 발진 회로는 휴대 무선 기기나 클럭 주파수 변환 등에 이용되는 PLL의 구성 요소로서 사용되며, 2개의 비교기를 내장하고 있는 것이 있다. 전압 제어 발진 회로의 발진 주파수는 내장하는 비교기의 지연 시간의 영향을 받기 때문에, 발진 주파수가 높은 전압 제어 발진 회로를 얻기 위해서는 고속으로 동작하는 비교기를 이용할 필요가 있다.

도 1, 도 2 및 도 3은 각각, 종래의 인버터형 비교기의 회로 기호, 회로 및 출력 특성을 나타내는 도면이다. 이 비교기(11)는 PMOS 트랜지스터(Q1) 및 NMOS 트랜지스터(Q2)로 이루어지는 CMOS 인버터로 구성되어 있고, 이들 트랜지스터(Q1, Q2)의 게이트에 입력 전압(Vin)이 입력되어, 이들 트랜지스터(Q1, Q2)의 공통 접속된 드레인으로부터 출력 전압(Vout)이 출력된다.

이 CMOS 인버터로 이루어지는 비교기(11)는 동작의 지연 시간이 수 나노초 정도로 작고, 고속으로 동작한다. 이 비교기(11)의 기준 전압, 즉 비교 대상인 입력 전압의 대소를 비교하기 위한 기준이 되는 전압은 트랜지스터(Q1, Q2)의 임계 전압이다. 따라서, 도 3에 나타내는 바와 같이, 입력 전압(Vin)이 임계 전압(Vth)보다 낮은 경우에는 PMOS 트랜지스터(Q1)가 온으로 되 때문에, 출력 전압(Vout)은 상대적으로 전위가 높은 「H」(High) 레벨이 된다. 한편, 입력 전압(Vin)이 임계 전압(Vth)보다 높은 경우에는, NMOS 트랜지스터(Q2)가 온으로 되 때문에, 출력 전압(Vout)은 상대적으로 전위가 낮은 「L」(Low) 레벨이 된다.

도 4, 도 5 및 도 6은 각각 종래의 차동 비교기의 회로 기호, 회로 및 출력특성을 나타내는 도면이다. 이 비교기(12)는 PMOS 트랜지스터(Q3, Q4), NMOS 트랜지스터(Q5, Q6) 및 전류원(13)으로 이루어지는 차동 증폭 회로와, PMOS 트랜지스터(Q7) 및 NMOS 트랜지스터(Q8)로 이루어지는 싱글 엔드 증폭 회로를 조합한 구성으로 되어 있다.

NMOS의 트랜지스터(Q5) 및 트랜지스터(Q6)의 각 게이트에는 각각 기준 전압(VR) 및 입력 전압(Vin)이 입력된다. 트랜지스터(Q6)의 드레인 출력은 PMOS 트랜지스터(Q7) 및 NMOS 트랜지스터(Q8)의 각 게이트에 입력되어, 이들 트랜지스터(Q7, Q8)의 공통 접속된 드레인으로부터 출력 전압(Vout)이 출력된다.

이 차동 비교기(12)는 차동 증폭 회로를 이용하고 있기 때문에, 입력 전압(Vin)과 기준 전압(VR)의 정확한 비교 동작을 할 수 있다. 즉, 입력 전압(Vin)이 기준 전압(VR)보다 낮은 경우에는 트랜지스터(Q6)의 드레인 출력은 「H」레벨이 되기 때문에, NMOS 트랜지스터(Q8)가 온으로 하며, 도 6에 나타내는 바와 같이, 출력 전압(Vout)은 「L」레벨이 된다. 한편, 입력 전압(Vin)이 기준 전압(VR)보다 높은 경우에는, 트랜지스터(Q6)의 드레인 출력은 「L」레벨이 되기 때문에, PMOS 트랜지스터(Q7)가 온으로 하여 출력 전압 Vout은 「H」레벨이 된다.

도 7은 종래의 초퍼형 비교기의 회로도이다. 이 비교기는 인버터(14), 커패시터(15), 래치 회로(16) 및 제1~제3의 3가지의 스위칭 소자(17, 18, 19)로 구성된다. 제1 및 제2 스위칭 소자(17, 18)는 클럭 신호 ϕ 에 의해 온/오프 제어되며, 제3 스위칭 소자(19)는 클럭 신호 ϕ 의 반전 신호 ϕ (「/」는 반전을 의미한다)에 의해 온/오프 제어된다.

도 8은 도 7에 나타내는 초퍼형 비교기의 동작 타이밍도이다. 클럭 신호 ϕ 가 「H」레벨일 때(/ ϕ 가 「L」일 때)는 제1 및 제2 스위칭 소자(17, 18)가 온으로 되어 오토 제로 동작이 된다. 이 오토 제로 동작 기간에서는 인버터(14)의 입력측 및 출력측의 각 노드에 있어서의 전압(V1, V2)은 인버터의 임계 전압(Vth)이 되어, 이 임계 전압(Vth)과 기준 전압(VR)의 전위차가 커패시터(15)의 양단에 축적된다.

클럭 신호 ϕ 가 「L」레벨일 때(/ ϕ 가 「H」일 때)는 제3 스위칭 소자(19)가 온으로 되어 비교 동작이 된다. 이 비교 동작 기간에서는 입력 전압(Vin)이 기준 전압(VR)보다 높으면, 인버터(14)의 출력 전압(V2)은 「L」레벨이 된다. 이것이 다음의 클럭 신호의 상승에 동기하여 래치 회로(16)에서 「L」레벨의 출력 전압(Vout)으로서 출력된다. 한편, 비교 동작 기간에 있어서, 입력 전압(Vin)이 기준 전압(VR)보다 낮으면, 인버터(14)의 출력 전압(V2)은 「H」레벨이 되며, 이것이 다음의 클럭 신호의 상승에 동기하여 래치 회로(16)에서 「H」레벨의 출력 전압(Vout)으로서 출력된다.

도 9는 비교기를 2개 이용하여 구성된 발진 회로의 회로도이다. 이 발진 회로(2)는 2개의 비교기(21a, 21b), 이들 2개의 비교기(21a, 21b)에 비교 전압(Vc)을 공급하기 위해서 충전 또는 방전되는 커패시터(22), 그 커패시터(22)를 충전 또는 방전시키기 위한 2개의 전류원(23a, 23b), 이들 2개의 전류원(23a, 23b)의 온/오프를 각각 제어하기 위한 2개의 스위칭 소자(24a, 24b) 및 인버터(25), 한쪽의 비교기(21a)의 출력 신호를 인버터(26)로 반전한 신호 및 또 한쪽의 비교기(21b)의 출력 신호를 래치하고, 출력 전압(Vout)의 발진 신호를 출력하는 2개의 NAND 게이트(27a, 27b)로 이루어지는 래치 회로를 구비한 구성으로 되어 있다.

한쪽의 비교기(21a)에는 기준 전압으로서 상대적으로 전위가 높은 「H」레벨의 전압 신호(이하, 고기준 전압 VRH로 한다)가 입력된다. 또 한쪽의 비교기(21b)에는 기준 전압으로서 상대적으로 전위가 낮은 「L」레벨의 전압 신호(이하, 저기준 전압 VRL로 한다)가 입력된다. 한쪽의 스위칭 소자(24a)는 래치 회로의 출력 신호, 즉 발진 신호에 의해 제어되며, 또 한쪽의 스위칭 소자(24b)는 발진 신호를 인버터(25)에 따라 반전한 신호에 의해 제어된다.

도 10은 도 9에 나타내는 발진 회로(2)의 동작 타이밍도이다. 커패시터(22)의 단자 전압, 즉 충전에 의해 상승하는 비교 전압(Vc)이 고기준 전압(VRH)을 넘으면, 비교기(21a)는 지연 시간(td)만 지연한 후 비교 동작을 행한다. 그 결과, 그 비교기(21a)의 출력 신호를 입력으로 하는 인버터(26)의 출력 전압[인버

터(26)의 출력측의 노드 A의 전압]은 「H」 레벨로부터 「L」 레벨로 전환한다. 그에 따라, 래치 회로는 리셋되어 래치 회로의 출력 전압(Vout)은 「H」 레벨로부터 「L」 레벨로 전환한다.

또한, 방전에 의해 커패시터(22)의 단자 전압, 즉 비교 전압(Vc)이 하강하여, 저기준 전압 VRL보다 낮아지면, 비교기(21b)는 지연 시간(td)만 지연된 후, 비교 동작을 행한다. 그 결과, 그 비교기(21b)의 출력 전압[비교기(21b)의 출력측의 노드 B의 전압]은 「H」 레벨로부터 「L」 레벨로 전환한다. 그에 따라, 래치 회로는 세트되고, 래치 회로의 출력 전압(Vout)은 「L」 레벨로부터 「H」 레벨로 전환한다.

또한, 도 11은 종래의 전압 제어 발진 회로의 구성을 나타내는 개략도이다. 이 전압 제어 발진 회로는 2개의 차동형 비교기(110, 111)와, 이들 2개의 비교기(110, 111)에 비교 전압(Vc)을 공급하기 위한 커패시터(112)와, 그 커패시터(112)를 충전 또는 방전시키기 위한 2개의 전류원(113, 114)과, 이들 2개의 전류원(113, 114)에 입력 전압에 비례한 전류를 생성시키기 위한 변환 회로(115)와, 2개의 전류원(113, 114)의 온/오프를 제어하기 위한 2개의 스위칭 소자(116, 117) 및 인버터(118)와, 2개의 비교기(110, 111)의 출력 신호를 래치하여, 전압제어 발진 회로의 발진 신호를 출력하는 래치 회로(119)를 구비한 구성으로 되어 있다.

변환 회로(115)는 도 11에 나타내는 전압 제어 발진 회로의 발진 주파수를 제어하기 위해서 외부에서 입력되는 제어 전압을 입력 전압(Vin)으로 한다. 그리고, 변환 회로(115)는 2개의 전류원(113, 114)에 작용하여, 입력 전압(Vin)에 비례한 전류(I)를 각각의 전류원(113, 114)에 생성시킨다.

2개의 전류원(113, 114)은 변환 회로(115)의 출력에 기초하여 구동하고, 입력 전압(Vin)에 비례한 전류(I)를 생성한다. 한쪽의 전류원(113)은 그 플러스극측의 단자를 전원 단자에 접속하며, 또한 마이너스극측의 단자를 한쪽의 스위칭 소자(116)에 접속한다. 또 한쪽의 전류원(114)은 그 플러스극측의 단자를 또 한쪽의 스위칭 소자(116)에 접속하며, 또한 마이너스극측의 단자를 접지 단자에 접속한다.

그리고, 2개의 스위칭 소자(116, 117)는 직렬로 접속되어 있다. 따라서, 전원 단자와 접지 단자와의 사이에서, 전류원(113), 스위칭 소자(116), 스위칭 소자(117) 및 전류원(114)이 직렬로 접속되어 있게 된다.

스위칭 소자(116) 및 스위칭 소자(117)는 래치 회로(119)의 출력 전압 (Vout), 즉 도 11에 나타내는 전압 제어 발진 회로의 발진 신호에 기초하여 온/오프한다. 다만, 스위칭 소자(116)와 스위칭 소자(117)가 동시에 양쪽 모두 온으로 되지 않도록, 즉 어느 한쪽이 배타적으로 온으로 하도록, 스위칭 소자(116)와 스위칭 소자(117)는 전압 제어 발진 회로의 발진 신호가 서로 180° 변이된 위상으로 입력되도록 되어 있다. 구체적으로는, 예컨대 전압 제어 발진 회로의 발진 신호는 스위칭 소자(116)에는 그대로 입력되며, 한편, 스위칭 소자(117)에는 인버터(118)에 의해 반전되어 입력된다.

2개의 스위칭 소자(116, 117)의 접속점(노드)은 커패시터(112)의 한쪽의 전극에 접속하며, 또한 2개의 비교기(110, 111)의 각각의 비반전 입력 단자에 접속한다. 커패시터(112)의 또 한쪽의 전극은 접지 단자에 접속하고 있으며, 따라서, 전류원(113)에 의해 흐르는 전류[스위칭 소자(116)가 폐쇄하고 있을 때]에 의해서 커패시터(112)가 충전되어, 그 충전에 의해 발생하는 전압(Vc)이 비교 전압으로서 비교기(110, 111)의 각각의 비반전 입력 단자에 인가된다.

한편, 스위칭 소자(117)가 폐쇄되어 있을 때에는 전류원(114)에 의해 흐르는 전류에 따라 커패시터(112)가 방전하여, 그 방전에 의해 발생하는 전압(Vc)이 비교 전압으로서 비교기(110, 111)의 각각의 비반전 입력 단자에 인가된다.

한쪽의 비교기(110)는 상대적으로 높은 전위 레벨의 기준 전압 VRH(이하, 고기준 전압 VRH로 한다)를 그 반전 입력 단자의 입력 신호로 하여, 그 고기준 전압(VRH)과 비교 전압(Vc)의 비교를 행한다. 비교기(110)의 출력 단자는 래치 회로(119)의 리셋 단자(Reset)에 접속한다.

또 한쪽의 비교기(111)는 상대적으로 낮은 전위 레벨의 기준 전압 VRL(이하, 저기준 전압 VRL로 한다)를 그 반전 입력 단자의 입력 신호로 하여 그 저기준 전압(VRL)과 비교 전압(Vc)의 비교를 행한다. 비교기(111)의 출력 단자는 래치 회로(119)의 세트 단자/Set에 접속한다. 이 세트 단자/Set는 입력 신호가 상대적으로 낮은 전위 레벨일 때에 유효해진다.

이어서, 도 11에 나타내는 전압 제어 발진 회로의 동작에 관해서 설명한다. 도 12는 그 동작을 설명하기 위한 타이밍 차트이다. 스위칭 소자(116)가 개방되며(오프), 또한 스위칭 소자(117)가 폐쇄된 상태에서는 전류원(117)에 의해 전류가 흐르고, 그 전류에 의해 커패시터(112)는 방전한다. 따라서, 그 커패시터(112)의 단자 전압, 즉 비교기(110, 111)의 비교 전압(Vc)은 서서히 하강한다.

그 동안에는 비교기(110)의 출력 전압은 상대적으로 낮은 전위 레벨(이하, 「L」 레벨로 한다)이 되며, 한편 비교기(111)의 출력 전압은 상대적으로 높은 전위 레벨(이하, 「H」 레벨로 한다)이 된다. 따라서, 래치 회로(119)는 그 출력 전압 (Vout), 즉 전압 제어 회로의 발진 신호를 그 전의 상태인 「L」 레벨로 유지한다. 또, 도 12에는 비교기(110, 111)의 각각의 출력 전압의 변화의 모습이 도 11의 노드(A, B)(비교기 110, 111의 출력 단자)의 전압 변화로서 나타내고 있다.

비교 전압(Vc)이 또한 하강하여, 저기준 전압(VRL) 이하가 되면 (타이밍 T1), 비교기(111)의 출력 전압은 「L」 레벨로 전환한다. 다만, 실제로는 비교기(111)의 동작에 지연이 생기기 때문에, 비교 전압(Vc)이 저기준 전압(VRL) 이하가 된 시점(타이밍 T1)부터 지연 시간(td)이 경과한 후(타이밍 T2), 비교기(111)의 출력 전압이 「L」 레벨로 전환한다.

이때, 비교기(110)의 출력 전압은 「L」 레벨 그대로이다. 따라서, 래치 회로(119)는 세트되어, 그 출력 전압(Vout)은 타이밍(T2)에 있어서 「H」 레벨로 전환한다.

래치 회로(119)의 출력 전압(Vout)이 「H」 레벨로 전환함으로써, 타이밍(T 2)에 있어서 스위칭 소자(17)가 오프로 전환하는 동시에, 스위칭 소자(116)가 폐쇄된다. 그에 따라, 전류원(113)에 의해 전류가 흐르

고, 그 전류에 의해 커패시터(112)가 충전되기 시작한다.

따라서, 커패시터(112)의 단자 전압, 즉 비교기(110, 111)의 비교 전압(Vc)은 상승으로 바뀐다. 그리고, 그 비교 전압(Vc)이 저기준 전압(VRL)을 넘으면 (타이밍 T3), 비교기(111)의 출력 전압은 「H」 레벨로 전환한다. 다만, 실제로는 비교기(111)의 동작에 지연이 생기기 때문에, 타이밍(T3)으로부터 지연 시간(td)이 경과한 후(타이밍 T4), 비교기(111)의 출력 전압이 「H」 레벨로 전환한다.

이때, 비교기(110)의 출력 전압은 「L」 레벨 그대로이다. 따라서, 래치 회로(119)는 출력 전압(Vout)을 「H」 레벨로 유지한다. 그리고, 커패시터(112)의 단자 전압, 즉 비교 전압(Vc)이 또한 상승하여, 고기준 전압(VRH)을 넘으면 (타이밍 T5), 비교기(110)의 출력 전압은 「H」 레벨로 전환한다.

다만, 실제로는 비교기(110)의 동작에 지연이 생기기 때문에, 타이밍(T5)으로부터 지연 시간(td)이 경과한 후(타이밍 T6), 비교기(110)의 출력 전압이 「H」 레벨로 전환한다. 이때, 비교기(111)의 출력 전압은 「H」 레벨 그대로이다. 따라서, 래치 회로(119)는 리셋되어 그 출력 전압(Vout)은 타이밍(T6)에 있어서 「L」 레벨로 전환한다.

래치 회로(119)의 출력 전압(Vout)이 「L」 레벨로 전환함으로써, 타이밍(T 6)에 있어서 스위칭 소자(116)가 오프로 전환하는 동시에, 스위칭 소자(117)가 다시 폐쇄된다. 그에 따라, 전류원(114)에 의해 흐르는 전류에 따라 커패시터(112)가 방전하기 시작한다. 따라서, 커패시터(112)의 단자 전압, 즉 비교기(110, 111)의 비교 전압(Vc)은 하강으로 바뀐다.

그리고, 그 비교 전압(Vc)이 고기준 전압(VRH) 이하가 되면 (타이밍 T 7), 비교기(110)의 출력 전압은 「L」 레벨로 전환한다. 다만, 실제로는 비교기(110)의 동작에 지연이 생기기 때문에, 타이밍(T7)으로부터 지연 시간(td)이 경과한 후(타이밍 T8), 비교기(110)의 출력 전압이 「L」 레벨로 전환한다.

이때, 비교기(111)의 출력 전압은 「H」 레벨 그대로이다. 따라서, 래치 회로(119)는 출력 전압(Vout)을 「L」 레벨로 유지한다. 도 11에 나타내는 전압 제어 발진 회로는 이러한 동작을 반복한다.

그런데, 도 11에 나타내는 전압 제어 발진 회로의 주기(T)는 단위 시간(Δt)당 비교 전압(Vc)의 변화량을 ΔV라고 하면, 다음의 수학적 식 (1)로 나타낸다.

$$T=2\cdot(VRH-VRL) / (\Delta V/\Delta t)+ 4\cdot td$$

상기 수학적 식 (1)의 ΔV/Δt는 커패시터(12)의 용량을 C, 전류원(13, 14)을 흐르는 전류를 I 라고 하면 다음의 수학적 식 (2)로 나타낸다.

$$\Delta V/\Delta t = I/C$$

또한, 입력 전압(Vin)에 비례한 전류(I)를 전류원(13, 14)에 흐르게 하는 변환 회로(15)의, 입력 전압(Vin)과 전류(I)와의 사이의 비례 정수를 K라고 하면, 전류(I)는 다음의 수학적 식 (3)으로 나타낸다. 따라서, 이 수학적 식 (3)에서, 상기 수학적 식 (2)은 다음의 수학적 식 (4)과 같이 변형된다. 그리고, 상기 수학적 식 (1)은 다음의 수학적 식 (5)과 같이 나타낸다.

$$I= K\cdot Vin$$

$$\Delta V/\Delta t = K\cdot Vin/C$$

$$T=2\cdot (VRH-VRL) / (K\cdot Vin)+ 4\cdot td$$

발명이 이루고자하는 기술적 과제

예컨대 도 9에 나타내는 구성의 발진 회로의 경우, 고속으로 또한 정확한 발진 주파수를 생성하기 위해서는 비교 전압과 고기준 전압(VRH) 및 저기준 전압 (VRL)의 비교를 고속으로 또한 정확히 행할 필요가 있다. 또한, 상술한 발진 회로(2)에서는 비교 전압(Vc)이 고기준 전압(VRH) 또는 저기준 전압(VRL)에 도달하는 타이밍을 외부의 클럭에 동기시킬 수 없다.

그 이유는 발진 회로(2)에 외부 클럭을 사용하면, 발진의 에지가 그 클럭에 동기하여 버리기 때문에, 발진 주기에 변동이 생기거나, 주기의 설정이 불연속이 되거나 하는 문제점이 생기기 때문이다. 따라서, 도 9에 나타내는 구성의 발진 회로(2)에 있어서는 2개의 비교기(21a, 21b)는 연속하여 비교 동작을 행할 필요가 있다.

그러나, 도 1 내지 도 3에 나타내는 종래의 인버터형 비교기에서는 PMOS 및 NMOS의 트랜지스터(Q1, Q2)의 특성으로 결정되는 임계 전압이 기준 전압이 되기 때문에, 전원 전압 의존, 온도 의존 및 샘플 의존 등의 요인에 따라, 기준 전압, 즉 임계 전압이 매우 부정확하다고 하는 문제점이 있다. 따라서, 종래의 인버터형 비교기는 정확한 비교 동작을 행하기 어렵기 때문에, 상술한 발진 회로에는 부적당하다.

또한, 도 4 내지 도 6에 나타내는 종래의 차동 비교기에서는 그 동작 속도는 차동 증폭 회로의 동작 속도에 제한받기 때문에, 예컨대, 차동 증폭 회로가 CMOS 구성의 경우에는 지연 시간이 수십 나노초가 되어 버린다. 따라서, 종래의 차동 비교기는 고속으로 비교 동작을 행하기 어렵기 때문에, 상술한 발진 회로에는 부적당하다.

또한, 도 7 및 도 8에 나타내는 종래의 초퍼형 비교기에서는 클럭 신호φ의 반주기의 기간은 오토 제어 동작이 되며, 그 기간은 비교 동작을 행할 수 없기 때문에, 비동기에서 비교를 행할 때에는 사용할 수 없다. 따라서, 종래의 초퍼형 비교기는 상술한 발진 회로에는 부적당하다.

또한, 전압 제어 발진 회로의 주기(T)는 상기 수학적 식 (5)에 나타내는 바와 같이, 본래의 발진 주기에 대

하여 비교기(110, 111)의 지연 시간(td)의 4배의 시간(4 · td)이 가산된 주기가 되어 버린다. 따라서, 계산상은 전압 제어 발진 회로의 발진 주파수(주기 T의 역수)의 최대치는 4 · td의 역수로 나타내는 주파수가 된다.

여기서, 일반적인 차동형 비교기의 지연 시간(td)은 50 ns 정도이므로, 종래의 전압 제어 발진 회로에서는 그 발진 주파수의 상한은 계산상, 20 MHz 정도이다. 따라서, 실제의 회로 설계에 있어서는 발진 주파수는 10 MHz 정도가 한계가 되어 버려 고속으로 전압 제어 발진 회로를 동작시키기 위해서는 불충분했다.

본 발명은 상기 문제점에 감안하여 이루어진 것으로, 고속으로 또한 정확한 비교 동작을 연속하여 행할 수 있는 비교기를 제공하는 것을 목적으로 한다. 또한, 본 발명은 고속으로 동작하는 초퍼형의 비교기를 이용함으로써, 고속으로 동작가능한 전압 제어 발진 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

도 13은 본 발명에 관한 비교기의 원리 설명도이다. 이 비교기(3)는 임계 전압(Vth)을 비교시의 기준 전압으로서, 입력 전압(Vin)을 그 임계 전압(Vth)과 비교하여, 출력 전압(Vout)을 출력하는 인버터(31)와, 더미 인버터(32)와, 인버터(31) 및 더미 인버터(32)의 각각의 임계 전압(Vth)을 제어하기 위한 제어 회로(33)를 구비한 구성으로 되어 있다.

인버터(31) 및 더미 인버터(32)는 어느쪽도 제어 회로(33)로부터 출력되는 Vth 제어 전압(Vtc)에 의해, 각각의 임계 전압(Vth)이 제어되도록 되어 있다. 그리고, 인버터(31) 및 더미 인버터(32)는 동일한 구성으로 또한 근접하여 배치되어 있으며, 또한 동일한 반도체 기판상에 동일한 프로세스에 의해 제작되어 있기 때문에, 이들의 전기적 특성, 예컨대 임계 전압(Vth)은 대략 같다고 볼 수 있다.

더미 인버터(32)는 제어 회로(33)로부터 출력되는 Vth 검출용 입력 전압 (Vin')을 입력 신호로 하여, Vth 검출용 출력 전압(Vout')을 제어 회로(33)에 출력한다. 제어 회로(33)는 Vth 검출용 입력 전압(Vin')을 생성하여 더미 인버터(32)에 출력하는 동시에, Vth 검출용 출력 전압(Vout')을 더미 인버터(32)로부터 수신한다. 또한, 제어 회로(33)에는 외부에서 기준 전압(VR)이 입력된다.

이어서, 도 13에 나타내는 구성의 비교기(3)의 동작에 관해서 설명한다. 제어 회로(33)는 더미 인버터(32)에 Vth 검출용 입력 전압(Vin')을 공급한다. 더미 인버터(32)는 그 Vth 검출용 입력 전압(Vin')과 임계 전압(Vth)에 기초하여 Vth 검출용 출력 전압(Vout')을 출력한다. 제어 회로(33)는 그 Vth 검출용 출력전압(Vout')과 Vth 검출용 입력 전압(Vin')에 기초하여 더미 인버터(32)의 문턱 전압(Vth)을 검출한다.

그리고, 제어 회로(33)는 검출한 더미 인버터(32)의 임계 전압(Vth)과, 외부에서 입력하는 기준 전압(VR)의 대소를 비교하며, 그 비교 결과에 기초하여, 더미 인버터(32)의 임계 전압(Vth), 즉 비교기로서 동작하는 인버터(31)의 임계 전압(Vth)이 외부의 기준 전압(VR)과 일치하도록, Vth 제어 전압(Vtc)을 조정하여 그것을 더미 인버터(32) 및 인버터(31)에 출력한다.

그에 따라, 인버터(31) 및 더미 인버터(32)의 각 임계 전압(Vth)은 일정한 기준 전압(VR)에 일치하게 된다. 따라서, 인버터(31)를 고정밀도로 비교 동작을 행하는 비교기로서 사용하는 것이 가능해진다. 또한, 인버터(31)는 지연 시간이 수나노초 정도로 작기 때문에, 고속으로 동작하는 비교기가 실현된다. 또한, 인버터(31)는 연속 동작이 가능하므로 비동기로 비교를 행하는 경우에도 사용 가능하다.

이어서, 제어 회로(33)로부터 출력되는 Vth 제어 전압(Vtc)에 의해서, 인버터(31) 및 더미 인버터(32)의 임계 전압(Vth)이 제어 가능한 것의 원리에 관하여 도 14를 참조하면서 설명한다. NMOS 트랜지스터(PMOS 트랜지스터도 같음)의 임계 전압에 관해서 설명하면, 기판 전압에 대한 NMOS 트랜지스터의 임계 전압(Vthn)은 NMOS 트랜지스터의 백게이트 전압(VBn)의 함수이며, 다음의 수학적 식 (6)으로 나타낸다.

$$V_{thn}(VBn) = V_{thn} + \Delta V_{thn}(VBn)$$

이 수학적 식 (6)에 있어서, $\Delta V_{thn}(VBn)$ 은 다음의 수학적 식 (7)로 나타낸다. 다만, 수학적 식 (7)에 있어서, Kn 및 ψFn 은 트랜지스터의 제조 프로세스나 온도에 따라 결정되는 계수이다.

$$\Delta V_{thn}(VBn) = Kn(\sqrt{2 \cdot \psi Fn - VBn} - \sqrt{2 \cdot \psi Fn})$$

기판 전압에 대한 PMOS 트랜지스터의 임계 전압을 Vthp로 하며, PMOS 트랜지스터의 백게이트 전압을 VBp로 하여, PMOS 트랜지스터의 전류 증폭율 βp 에 대한 NMOS 트랜지스터의 전류 증폭율 βn 의 비를 βR 로 하면 ($\beta R = \beta n / \beta p$), 인버터의 임계 전압(Vth)은 다음의 수학적 식 (8)로 나타낸다. 다만, 수학적 식 (8)에 있어서 VDD는 전원 전압이다.

$$V_{th} = (VDD - |V_{thp}(VBn)| + V_{thn}(VBp) \cdot \sqrt{\beta R}) / (1 + \sqrt{\beta R})$$

이 수학적 식 (8)에서, NMOS 트랜지스터 및 PMOS 트랜지스터의 백게이트 전압 (VBn, VBp)의 한쪽 또는 양방을 제어함으로써, 인버터의 임계 전압을 제어할 수 있는 것을 알 수 있다. 따라서, 본 발명에 있어서는 인버터(31) 및 더미 인버터(32)의 임계 전압을 제어하기 위해서, 인버터(31) 및 더미 인버터(32)를 구성하는 NMOS 트랜지스터 및 PMOS 트랜지스터의 백게이트 전압을 제어하도록 하여도 좋다.

또한, 도 22는 본 발명에 관한 전압 제어 발진 회로의 원리를 설명하기 위한 회로 구성을 나타내는 개략도이며, 도 23은 그 전압 제어 발진 회로의 동작을 설명하기 위한 타이밍 차트이다.

본 발명에 관한 전압 제어 발진 회로는 도 22에 나타내는 바와 같이, 2개의 초퍼형 비교기(120, 121)(제1 초퍼형 비교기, 제2 초퍼형 비교기)와, 이들 2개의 비교기(120, 121)에 비교 전압(Vc)을 공급하기 위한 커패시터(122)와, 그 커패시터(122)를 충전 또는 방전시키기 위한 2개의 전류원(123, 124)과,

이들 2개의 전류원(123, 124)에, 입력 전압(Vin)에 비례한 전류(I)를 생성시키기 위한 변환 회로(125)를 구비한 구성으로 되어 있다.

또한, 2개의 전류원(123, 124)의 온/오프를 제어하기 위한 2개의 스위칭 소자(126, 127) 및 인버터(128)와, 2개의 비교기(120, 121)의 출력 신호를 래치하여, 본 발명에 관한 전압 제어 발진 회로의 발진 신호가 되는 출력 전압(Vout)을 출력하는 동시에, 초퍼형 비교기(120, 121)의 동작을 전환하기 위한 클럭 신호 ϕ_1 , $/\phi_1$ ($/\phi_1$ 은 ϕ_1 의 반전 신호)를 생성하는 논리 회로(129)를 구비한 구성으로 되어 있다. 이 논리 회로(129)는 출력 변환 회로로서의 기능을 갖는다.

변환 회로(125)는 본 발명에 관한 전압 제어 발진 회로의 발진 주파수를 제어하기 위해서 외부에서 입력되는 제어 전압을 입력 전압(Vin)으로 한다. 그리고, 변환 회로(125)는 2개의 전류원(123, 124)에 작용하여 입력 전압(Vin)에 비례한 전류(I)를 각각의 전류원(123, 124)에 생성시킨다.

2개의 전류원(123, 124)은 변환 회로(125)의 출력에 기초하여 구동하며, 입력 전압(Vin)에 비례한 전류(I)를 생성한다. 한쪽의 전류원(123)은 그 플러스극측의 단자를 전원 단자에 접속하며, 또한 마이너스극측의 단자를 한쪽의 스위칭 소자(126)에 접속한다. 또 한 쪽의 전류원(124)은 그 플러스극측의 단자를 또 한쪽의 스위칭 소자(127)에 접속하고, 또한 마이너스극측의 단자를 접지 단자에 접속한다.

그리고, 2개의 스위칭 소자(126, 127)는 직렬로 접속되어 있다. 따라서, 전원 단자와 접지 단자의 사이에서, 전류원(123), 스위칭 소자(126), 스위칭 소자(127) 및 전류원(124)이 직렬로 접속되어 있게 된다.

스위칭 소자(126) 및 스위칭 소자(127)는 논리 회로(129)의 출력 전압 (Vout), 즉 본 발명에 관한 전압 제어 발진 회로의 발진 신호에 기초하여 온/오프한다. 다만, 스위칭 소자(126)와 스위칭 소자(127)가 동시에 양쪽 모두 온으로 하지 않도록, 즉 어느 한쪽이 배타적으로 온으로 하도록 스위칭 소자(126)와 스위칭 소자(127)는, 그 온/오프 제어를 위한 입력 신호, 즉 전압 제어 발진 회로의 발진 신호가 서로 180° 변이된 위상으로 입력되도록 되어 있다.

구체적으로는 예컨대 전압 제어 발진 회로의 발진 신호는 스위칭 소자(126)에는 그대로 입력되고, 한편, 스위칭 소자(127)에는 인버터(128)에 의해 반전되어 입력된다.

2개의 스위칭 소자(126, 127)의 접속점(노드)은 커패시터(122)의 한쪽의 전극에 접속하며, 또한 2개의 비교기(120, 121)의 각각의 비반전 입력 단자에 접속한다.

커패시터(122)의 또 한 쪽의 전극은 접지 단자에 접속되어 있으며, 따라서, 스위칭 소자(126)가 폐쇄하고 있을 때에는 전류원(123)에 의해 흐르는 전류에 의해서 커패시터(122)가 충전되어, 그 충전에 의해 발생하는 전압(Vc)이 비교 전압으로서 비교기(120, 121)에 입력된다. 한편, 스위칭 소자(127)가 폐쇄되어 있을 때에는 전류원(124)에 의해 흐르는 전류에 의해서 커패시터(122)가 방전하여, 그 방전에 의해 발생하는 전압(Vc)이 비교 전압으로서 비교기(120, 121)에 입력된다.

초퍼형 비교기(120, 121)는 클럭 신호(ϕ_1 , $/\phi_1$)에 의해 교대로 비교 동작을 행하는 상태와, 오토 제로 상태를 전환하도록 되어 있다. 예컨대, 클럭 신호(ϕ_1)이 「H」 레벨일 때, 상대적으로 전위 레벨이 높은 VRH를 기준 전압으로 하는 비교기(120)가 비교 동작을 행하며, 한편, 상대적으로 전위 레벨이 낮은 VRL을 기준 전압으로 하는 비교기(121)는 오토 제로 상태가 된다.

이 상태일 때, 스위칭 소자(126)가 폐쇄되고, 또한 스위칭 소자(127)는 개방하며, 그 결과, 그것에 의하여 커패시터(122)가 충전되기 때문에, 커패시터(122)의 단자 전압, 즉 비교기(120, 121)의 비교 전압(Vc)은 상승해 나간다. 따라서, 기준 전압(VRH)의 비교기(120)가 비교 전압(Vc)과 기준 전압(VRH)의 비교 동작을 행하고 있으면 충분하며, 기준 전압(VRL)의 비교기(121)는 오토 제로 상태라도 전혀 문제점은 생기지 않는다.

반대로, 클럭 신호(ϕ_1)가 「L」 레벨일 때, 기준 전압(VRH)의 비교기(120)는 오토 제로 상태가 되며, 한편, 기준 전압(VRL)의 비교기(121)는 비교 동작을 행한다. 이 상태일 때, 스위칭 소자(126)가 개방되고, 스위칭 소자(127)는 폐쇄되며, 그 결과, 커패시터(122)가 방전하기 때문에, 커패시터(122)의 단자 전압, 즉 비교기(120, 121)의 비교 전압(Vc)은 하강하여 간다.

따라서, 기준 전압(VRL)의 비교기(121)가 비교 전압(Vc)과 기준 전압 (VRL)의 비교 동작을 행하고 있으면 충분하며, 기준 전압(VRH)의 비교기(120)가 오토 제로 상태라도 전혀 문제점은 생기지 않는다.

논리 회로(129)는 2개의 비교기(120, 121)의 출력 신호를 래치하는 도시하지 않은 래치 회로를 내장하고 있는 동시에, 클럭 신호(ϕ_1 , $/\phi_1$)를 생성하는 도시하지 않은 클럭 신호 생성 회로를 내장한다. 그 클럭 신호 생성 회로는 논리 회로(129)의 출력 전압(Vout), 즉 본 발명에 관한 전압 제어 발진 회로의 발진 신호에 대하여, 조금 지연된 타이밍에 동기한 클럭 신호(ϕ_1)를 생성하여, 그것을 기준 전압(VRH)의 비교기(120)에 공급한다.

또한, 클럭 신호 생성 회로는 그 클럭 신호(ϕ_1)의 위상을 180° 변이시켜 기준 전압(VRL)의 비교기(121)에 공급한다. 따라서, 논리 회로(29)의 클럭 신호생성 회로는 논리 회로(129)의 출력 전압(Vout)을 소정의 타이밍만 지연시켜 출력하는 지연 회로의 기능을 갖는다.

이어서, 도 22에 나타내는 전압 제어 발진 회로의 동작에 관해서, 도 23을 참조하면서 설명한다. 스위칭 소자(126)가 개방(오프)되며, 또한 스위칭 소자(127)가 폐쇄(온)된 상태에서는 전류원(127)에 의해 전류가 흘러 그 전류에 의해 커패시터(122)는 방전한다. 따라서, 그 커패시터(122)의 단자 전압, 즉 비교기(121)의 비교 전압(Vc)은 서서히 하강한다.

이 상태일 때는 기준 전압(VRL)의 비교기(121)가 비교 동작을 행하여, 기준 전압(VRH)의 비교기(120)는 오토 제로 상태가 된다. 비교기(121)의 출력 전압은 「H」 레벨이며, 논리 회로(129)의 출력 전압(Vout)은 「L」 레벨이 된다. 또, 도 23에는 비교기(120, 121)의 각각의 출력 전압의 변화의 모습이 도 22의 노드

A, B(비교기 120, 121의 출력 단자)의 전압 변화로서 나타나 있다.

비교 전압(Vc)이 더욱 하강하여 저기준 전압(VRL) 이하가 되며(타이밍 T 11), 또한 비교기(121)에 의한 지연 시간이 경과하면(타이밍 T12), 비교기(121)의 출력 전압은 「L」 레벨로 전환한다. 그것에 따라, 논리 회로(129)의 출력 전압 (Vout)은 타이밍(T12)에 있어서 「H」 레벨로 전환한다.

논리 회로(129)의 출력 전압(Vout)이 「H」 레벨로 전환한 것에 따라, 타이밍(T12)에 있어서 스위칭 소자(127)가 오프로 전환하는 동시에, 스위칭 소자(126)가 폐쇄(온)된다. 그에 따라, 전류원(123)에 의해 전류가 흘러 그 전류에 따라 커패시터(122)가 충전되기 시작한다.

따라서, 커패시터(122)의 단자 전압, 즉 비교기(120)의 비교 전압(Vc)은 상승으로 바뀐다. 이 상태일 때는 기준 전압(VRH)의 비교기(120)가 비교 동작을 행하며, 기준 전압(VRL)의 비교기(121)는 오토 제로 상태가 된다. 비교기(120)의 출력 전압은 「L」 레벨이며, 논리 회로(129)의 출력 전압(Vout)은 「H」 레벨이다.

또한 커패시터(122)의 단자 전압, 즉 비교 전압(Vc)이 더욱 상승하여 고기준 전압(VRH)을 넘으며(타이밍 T13), 또한 비교기(120)에 의한 지연 시간이 경과하면 (타이밍 T14), 비교기(120)의 출력 전압은 「H」 레벨로 전환한다. 그에 의하여, 논리 회로(129)의 출력 전압(Vout)은 타이밍(T14)에 있어서 「L」 레벨로 전환한다.

논리 회로(129)의 출력 전압(Vout)이 「L」 레벨로 전환한 것에 의해, 타이밍(T14)에 있어서 스위칭 소자(126)가 오프로 전환하는 동시에, 스위칭 소자(127)가 다시 폐쇄(온)한다. 그에 따라, 다시 커패시터(122)가 방전하기 시작한다.

따라서, 커패시터(122)의 단자 전압, 즉 비교기(121)의 비교 전압(Vc)은 다시 하강으로 바뀌어, 기준 전압(VRH)의 비교기(120)는 오토 제로 상태가 되고, 한편, 기준 전압(VRL)의 비교기(121)가 비교 동작을 행한다. 그리고, 비교기(121)의 출력 전압은 「H」 레벨 그대로 이고, 논리 회로(129)의 출력 전압(Vout)은 「L」 레벨이다. 도 122에 나타내는 전압 제어 발진 회로는 이러한 동작을 반복한다.

이와 같이, 본 발명에 따르면 전압 제어 발진 회로의 발진 주파수를 제어하기 위한 제어 전압에 기초하는 비교 전압과, 기준 전압의 비교를 고속으로 동작하는 초퍼형의 비교기를 이용하여 행하므로써, 전압 제어 발진 회로를 고속으로 동작시킬 수 있다.

이하에, 본 발명의 실시의 형태에 관한 비교기에 대해서 도 15~도 21을 참조하면서 상세하게 설명한다.

(제1 실시예)

도 15는 본 발명의 제1 실시예에 관한 비교기의 구성을 회로 기호로 나타내는 회로도이다. 이 제1 실시예의 비교기(4)는 입력 전압(Vin)을 그 임계 전압(Vth)과 비교하여 출력 전압(Vout)을 출력하는 인버터(41)와, 인버터(41)의 임계 전압(Vth)을 제어하기 위해서 인버터(41)와 동일한 전기적 특성을 구비하고 있다고 간주할 수 있는 더미 인버터(42)와, 인버터(41) 및 더미 인버터(42)의 각각의 임계 전압(Vth)을 제어하기 위한 제어 회로(43)를 구비한 구성으로 되어 있다.

제어 회로(43)는 차동 증폭 회로(44)를 구비하고 있다. 차동 증폭 회로(44)는 그 비반전 입력 단자에 외부의 기준 전압(VR)이 입력되며, 한편, 더미 인버터(42)의 출력 신호인 Vth 검출용 출력 전압(Vout')이 반전 입력 단자에 입력되는 구성으로 되어 있다.

그리고, 차동 증폭 회로(44)는 인버터(41) 및 더미 인버터(42)에 이들 인버터(41, 42)의 임계 전압(Vth)을 제어하기 위한 Vth 제어 전압(Vtc)을 출력한다. 인버터(41) 및 더미 인버터(42)는 그 Vth 제어 전압(Vtc)의 입력에 의해서, 임계 전압(Vth)이 제어되는 구성으로 되어 있다. 또한, Vth 검출용 출력 전압(Vout')은 Vth 검출용 입력 전압(Vin')으로서, 인버터(41) 및 더미 인버터(42)의 각각의 입력 단자에 입력된다.

도 16은 인버터(41) 및 더미 인버터(42)의 일례를 나타내는 회로도이다. 또, 도 16에서는 인버터(41)의 부호를 붙여, 더미 인버터(42)에 대해서는 부호를 괄호내에 나타낸다 (도 17~도 19에 있어서도 동일함).

인버터(41)[더미 인버터(42)]는 PMOS 트랜지스터(Q3)의 백게이트에, 제어 회로(43)의 차동 증폭 회로(44)로부터 출력되는 Vth 제어 전압(Vtc)이 인가되며, 또한 NMOS 트랜지스터(Q4)의 백게이트에 Vth 제어 전압(Vtc)이 입력된 레벨 시프터(45)의 출력 전압이 인가되는 구성으로 되어 있다.

레벨 시프터(45)는 부하 저항이 되는 NMOS 트랜지스터(Q5) 및 전류원(46)에 의해 구성되어 있다. Vth 제어 전압(Vtc)은 NMOS 트랜지스터(Q5)의 게이트에 입력된다. 레벨 시프터(45)는 그 NMOS 트랜지스터(Q5)의 소스의 전압을 NMOS 트랜지스터(Q4)에 출력한다.

이어서, 제1 실시예의 작용에 관해서 설명한다. 더미 인버터(42)의 Vth 검출용 입력 전압(Vin')과 Vth 검출용 출력 전압(Vout')이 단락되어, 직류 귀환으로 되어 있음으로, Vth 검출용 출력 전압(Vout')은 더미 인버터(42)의 임계 전압(Vth)이 된다.

차동 증폭 회로(44)에 의해, Vth 검출용 출력 전압(Vout'), 즉 더미 인버터(42)의 임계 전압(Vth)과 기준 전압(VR)의 차가 증폭되어, 그것이 인버터(41) 및 더미 인버터(42)에, Vth 제어 전압(Vtc)으로서 입력되는 것에 따라, 인버터(41) 및 더미 인버터(42)의 임계 전압(Vth)이 기준 전압(VR)에 일치하도록 제어된다.

제1 실시예에 따르면, 비교기로서 기능하는 인버터(41)와 동등한 전기적 특성을 갖는 더미 인버터(42)를 설치하며, 더미 인버터(42)의 Vth 검출용 입력 전압(Vin')과 Vth 검출용 출력 전압(Vout')을 단락하여 Vth 검출용 출력 전압(Vout')을 더미 인버터(42)의 임계 전압(Vth)과 일치시킴으로써, 더미 인버터(42)

의 임계 전압(V_{th})을 검출한다.

그리고, 그 임계 전압(V_{th})이 외부의 기준 전압(V_R)에 일치하는 바와 같이 더미 인버터(42) 및 인버터(41)를 각각 구성하는 MOS 트랜지스터(Q3, Q4)의 백게이트 전압을 제어함으로써, 인버터(41)의 임계 전압(V_{th})을 제어할 수 있다. 따라서, 인버터(41)를 이용하여, 고속으로 또한 정확한 비교 동작을 연속하여 행할 수 있는 비교기를 얻을 수 있다.

또한, 제1 실시예에서는 PMOS 트랜지스터(Q3) 및 NMOS 트랜지스터(Q4)의 양방의 백게이트 전압을 제어하고 있기 때문에, 감도가 높다고 하는 이점이 있다.

또, 상기 실시의 형태에 있어서는 PMOS 트랜지스터(Q3) 및 NMOS 트랜지스터(Q4)의 양방의 백게이트 전압을 제어함으로써 인버터(4) 및 더미 인버터(42)의 임계 전압(V_{th})을 제어를 한다고 했지만, 이에 한하지 않고, 예컨대, 도 17에 나타내는 바와 같이, PMOS 트랜지스터(Q3)만의 백게이트 전압을 제어하도록 하여도 좋고, 도 18에 나타내는 바와 같이, NMOS 트랜지스터(Q4)만의 백게이트 전압을 제어하도록 하여도 좋다.

이와 같이 하면, 레벨 시프터(45)가 불필요해지기 때문에, 비교기의 회로 규모가 작아진다고 하는 이점과, PMOS 트랜지스터(Q3) 및 NMOS 트랜지스터(Q4)의 양방의 백게이트 전압을 제어할 수 없는 경우에 유효하다고 하는 이점이 있다.

또한, 도 19에 나타내는 바와 같이, PMOS 트랜지스터(Q3)의 소스 및 NMOS 트랜지스터(Q4)의 소스에, 각각 PMOS 트랜지스터(Q7) 및 NMOS 트랜지스터(Q8)를 직렬로 접속하여, PMOS 트랜지스터(Q7)의 게이트에 V_{th} 제어 전압(V_{tc})을 인가하는 동시에, V_{th} 제어 전압(V_{tc})을 레벨 시프터(45)에 의해 레벨 시프터하여 NMOS 트랜지스터(Q8)의 게이트에 인가하도록 하여도 좋다.

이와 같이 직렬로 접속한 PMOS 트랜지스터(Q7) 및 NMOS 트랜지스터(Q8)의 게이트 전압을 제어함으로써, PMOS 트랜지스터(Q3) 및 NMOS 트랜지스터(Q4)에 의해 구성되는 인버터의 임계 전압(V_{th})을 제어하도록 하여도 좋다. 그렇게 하면, 안정성이 높은 비교기를 얻을 수 있다.

(제2 실시예)

도 20은 본 발명의 제2 실시예에 관한 비교기의 구성을 회로 기호로 나타내는 회로도이다. 이 제2 실시예의 비교기(5)는 입력 전압(V_{in})을 그 슬레 슐드 전압(V_{th})과 비교하여 출력 전압(V_{out})을 출력하는 인버터(51)와, 인버터(51)의 임계 전압(V_{th})을 제어하기 위해서 인버터(45)와 동일한 전기적 특성을 구비하고 있다고 간주할 수 있는 더미 인버터(52)와, 인버터(51) 및 더미 인버터(52)의 각각의 임계 전압(V_{th})을 제어하기 위한 제어 회로(53)를 구비한 구성으로 되어 있다.

제어 회로(53)는 차동 증폭 회로(54), 예컨대 차동형의 내부 비교기(55), 저역 통과 필터(LPF)(56, 57) 및 교류 신호 발생 회로인 삼각파 발생 회로(58)를 구비하고 있다. 삼각파 발생 회로(58)는 교류 신호인 예컨대 삼각파를 생성하며, 그것을 V_{th} 검출용 입력 전압(V_{in}')으로서 더미 인버터(52)의 입력 단자에 출력한다. 더미 인버터(52)는 V_{th} 검출용 출력 전압(V_{out}')을 출력하며, 그 V_{th} 검출용 출력 전압(V_{out}')은 제1 저역 통과 필터(56)에 입력되어, 거기서 직류 성분의 전압 신호(V_0)가 추출된다.

또한, 삼각파 발생 회로(58)는 생성한 삼각파를 차동 비교기(55)의 반전 입력 단자에 출력한다. 차동 비교기(55)의 비반전 입력 단자에는 외부의 기준 전압(V_R)이 입력된다. 즉, 차동 비교기(55)는 삼각파 발생 회로(58)로 생성된 삼각파를 외부의 기준 전압(V_R)과 비교하여, 사각형파의 신호(V_1)를 출력한다. 차동 비교기(55)로부터 출력된 사각형파 신호(V_1)는 제2 저역 통과 필터(57)에 입력되어 거기서 직류 성분의 전압 신호(V_1')가 추출된다.

2개의 저역 통과 필터(56, 57)로부터 출력된 2개의 직류 성분의 전압 신호(V_0, V_1')는 각각 차동 증폭 회로(54)의 반전 입력 단자 및 비반전 입력 단자에 입력된다. 차동 증폭 회로(54)는 이들 직류 성분의 전압 신호(V_0, V_1')의 차를 증폭하여, 인버터(51) 및 더미 인버터(52)의 임계 전압(V_{th})을 제어하기 위한 V_{th} 제어 전압(V_{tc})으로서 출력한다.

인버터(51) 및 더미 인버터(52)는 각각 실시의 형태(1)의 인버터(41) 및 더미 인버터(42)의 구성과 동일하기 때문에 설명을 생략한다.

이어서, 제2 실시예의 작용에 관해서 설명한다. 도 21은 제2 실시예의 비교기(5)의 동작 타이밍도이다. 삼각파 발생 회로(58)로부터 출력된 삼각파로 이루어지는 V_{th} 검출용 입력 전압(V_{in}')은 더미 인버터(52)에 있어서, 그 임계 전압(V_{th})에 의해 슬라이스되며, 그에 따라, 사각형파로 이루어지는 V_{th} 검출용 출력 전압(V_{out}')을 얻을 수 있다. 또한, 삼각파 발생 회로(58)로부터 출력된 삼각파의 신호는 제어 회로(53) 내의 비교기(55)에 있어서, 외부의 기준 전압(V_R)에 의해 슬라이스되며, 그에 따라, 사각형파의 신호(V_1)를 얻을 수 있다.

그리고, 저역 통과 필터(56, 57)에 의해, 이들 2개의 사각형파 신호, 즉 V_{th} 검출용 출력 전압(V_{out}')과 신호(V_1)로부터 각각 직류 성분의 전압 신호(V_0, V_1')가 추출된다. 이들 전압 신호(V_0, V_1')의 차는 차동 증폭 회로(54)에 있어서 증폭되어 V_{th} 제어 전압(V_{tc})을 얻을 수 있다.

이 V_{th} 제어 전압(V_{tc})에 의해, 더미 인버터(52)의 임계 전압(V_{th})이 제어되고, V_{th} 검출용 출력 전압(V_{out}')의 듀티비가 변화된다. 그리고, V_{th} 검출용 출력 전압(V_{out}')의 듀티비와 신호(V_1)의 듀티비가 일치하면, V_{th} 검출용 출력 전압(V_{out}')으로부터 추출된 직류 성분의 전압 신호(V_0)와, 신호(V_1)로부터 추출된 직류 성분의 전압 신호(V_1')가 일치하여, 즉 차동 증폭 회로(54)의 2개의 입력 신호의 차가 제로가 된다.

따라서, 차동 증폭 회로(54)의 출력 신호, 즉 V_{th} 제어 전압(V_{tc})은 제로가 된다. 이때, 더미 인버터(52)의 임계 전압(V_{th}), 즉 인버터(51)의 임계 전압(V_{th})은 외부의 기준 전압(V_R)에 일치한다.

실시의 형태(2)에 따르면, 인버터(51)의 임계 전압(V_{th})을 제어할 수 있기 때문에, 인버터(51)를 이용하여, 고속으로 또한 정확한 비교 동작을 연속하여 행할 수 있는 비교기를 얻을 수 있다.

또, 상기 각 실시의 형태에 있어서는 비교기로서 기능하는 인버터(41, 51)를 1개 설치했지만, 이에 한하지 않고, 비교기로서 기능하는 인버터를 여러개 설치하여도 좋다. 이 경우, 더미 인버터는 1개라도 좋고, 여러개 설치되어 있어도 좋다.

(제3 실시예)

이어서, 본 발명의 제3 실시예에 관해서 도 24 및 도 25를 참조하면서 상세히 설명한다. 도 24는 본 발명에 관한 전압 제어 발진 회로의 일실시의 형태를 나타내는 개략도이며, 도 25는 그 전압 제어 발진 회로의 동작을 설명하기 위한 타이밍 차트이다.

이 전압 제어 발진 회로는 도 24에 나타내는 바와 같이, 2개의 초퍼형 비교기(103, 104)와, 이들 2개의 비교기(103, 104)에 비교 전압(V_c)을 공급하기 위한 커패시터(105)와, 그 커패시터(105)를 충전 또는 방전시키기 위한 2개의 전류원(161, 162)과, 이들 2개의 전류원(161, 162)에, 입력 전압(V_{in})에 비례한 전류 (1)를 생성시키기 위한 변환 회로(107)와 2개의 전류원(161, 162)의 온/오프를 제어하기 위한 2개의 스위칭 소자(166, 167) 및 인버터(165)와, 2개의 비교기(103, 104)의 출력 신호를 래치하여, 전압 제어 발진 회로의 발진 신호가 되는 출력 전압 (V_{out})을 출력하는 출력 변환 회로로서의 기능을 가지는 동시에, 초퍼형 비교기(103, 104)의 동작을 전환하기 위한 클럭 신호($\Phi 1$, $\Phi 2$)($\Phi 2$ 는 $\Phi 1$ 의 반전 신호)를 생성하는 논리 회로(108)를 구비한 구성으로 되어 있다. 여기서, 입력전압(V_{in})은 전압 제어 발진 회로의 발진 주파수를 제어하기 위해서 외부에서 입력되는 제어 전압이다.

변환 회로(107)는 예컨대, 연산 증폭기(171), 2개의 PMOS 트랜지스터(172, 173), NMOS 트랜지스터(174) 및 저항(175)을 구비한 구성으로 되어 있다. 연산 증폭기(171)는 그 반전 입력 단자에 입력 전압(V_{in})이 입력되고, 또한, 비반전 입력 단자에 저항(175)에 의해서 발생하는 전압 저항(175)의 저항치에 의해 결정됨)이 입력되는 구성으로 되어 있다.

저항(175)의 일단은 제1 PMOS 트랜지스터(172)의 드레인 단자에 접속되어 있고, 또한, 타단은 접지 단자에 접속되어 있다. 제1 PMOS 트랜지스터(172)는 그 소스 단자를 전원 단자에 접속하여, 게이트 단자를 연산 증폭기(171)의 출력단자에 접속한다.

한편, 제2 PMOS 트랜지스터(173)는 그 소스 단자를 전원 단자에 접속하여, 게이트 단자를 연산 증폭기(171)의 출력 단자에 접속하고, 드레인 단자를 NMOS 트랜지스터(174)의 드레인에 접속한다. NMOS 트랜지스터(174)는 그 소스 단자를 접지 단자에 접속하여, 게이트 단자를 전류원(162)을 구성하는 예컨대 제2 NMOS 트랜지스터(Tr_2)의 게이트 단자에 접속한다. NMOS 트랜지스터(174)의 게이트 단자와 드레인 단자는 단락하고 있어, NMOS 트랜지스터(174) 및 NMOS 트랜지스터(Tr_2)는 전류 미러 회로를 구성하고 있다.

전류원(161)은 예컨대 제3 PMOS 트랜지스터(Tr_1)에 의해 구성되어 있다. 그 PMOS 트랜지스터(Tr_1)는 그 소스 단자를 전원 단자에 접속하며, 게이트 단자를 연산 증폭기(171)의 출력 단자에 접속하여, 드레인 단자를 제1 스위칭 소자(166)의 일단에 접속한다.

전류원(162)을 구성하는 예컨대 제2 NMOS 트랜지스터(Tr_2)는 그 소스 단자를 접지 단자에 접속하며, 드레인 단자를 제2 스위칭 소자(167)의 일단에 접속하고, 게이트 단자를 상술한 바와 같이, 변환 회로(107)의 NMOS 트랜지스터(174)의 게이트 단자 및 드레인 단자에 접속한다.

제1 스위칭 소자(166)는 논리 회로(108)의 출력 전압(V_{out}), 즉 전압 제어발진 회로의 발진 신호에 의해, 그 온/오프의 전환이 제어된다. 제2 스위칭 소자(167)는 논리 회로(108)의 출력 전압(V_{out})이 인버터(165)에 의해 반전되어 이루어지는 신호에 따라 그 온/오프의 전환이 제어된다. 따라서, 제1 스위칭 소자(166)와 제2 스위칭 소자(167)는 그 온/오프 제어를 위한 입력 신호가 서로 180° 변이된 위상으로 입력되기 때문에, 항상 어느 한쪽만이 배타적으로 온으로 된다.

제1 및 제2 스위칭 소자(166, 167)는 특별히 한정하지 않지만, 예컨대, 온/오프의 전환 제어 신호가 상대적으로 전위가 높은 「H」 레벨일 때에 온 상태가 되며 상대적으로 전위가 낮은 「L」 레벨일 때에 오프 상태가 된다.

제1 및 제2 스위칭 소자(166, 167)의 타단끼리는 한쪽의 전극이 접지된 커패시터(105)의 또 한쪽의 전극에 공통 접속되어 있다. 따라서, 제1 스위칭 소자(166)가 폐쇄되어 있을 때에는, 제2 스위칭 소자(167)가 개방하고 있고, 전류원(161)에 의해 커패시터(105)에 주입되는 전류에 따라서 커패시터(105)가 충전된다.

한편, 제2 스위칭 소자(167)가 폐쇄되어 있을 때에는 제1 스위칭 소자(166)가 개방하고 있고, 전류원(162)에 의해 커패시터(105)로부터 방출되는 전류에 의해서 커패시터(105)가 방전한다.

제1 초퍼형 비교기(103)는 예컨대, 제2 인버터(131), OR 게이트(132,) 제2 커패시터(133) 및 제3 내지 제5의 3가지의 스위칭 소자(134, 135, 136)를 구비한 구성으로 되어 있다. 제2 커패시터(133)의 한쪽의 전극은 제3 및 제4 스위칭 소자(134, 135)의 일단에 접속되어 있고, 또 한 쪽의 전극은 제2 인버터(131)의 입력 단자에 접속되어 있다.

제3 스위칭 소자(134)의 타단은 커패시터(105)의 접지되어 있지 않은 측의 전극에 접속되어 있다. 제4 스위칭 소자(135)의 타단은 고기준 전압(V_{RH})이 인가되는 단자에 접속되어 있다.

따라서, 제2 커패시터(133)의 한쪽의 전극에는 제3 스위칭 소자(134)가 폐쇄하면, 커패시터(105)의 충전 또는 방전에 의해 발생하는 단자 전압(V_c)이 인가되며, 한편, 제4 스위칭 소자(135)가 폐쇄하면, 고기준 전압(V_{RH})이 인가된다.

제3 스위칭 소자(134)는 논리 회로(108)로부터 출력되는 클록 신호($\Phi 1$)에 의해 온/오프가 제어되어 있으며, 한편, 제4 스위칭 소자(135)는 논리 회로(108)로부터 출력되는 클록 신호($\Phi 2$)에 의해 온/오프가 제어되어 있다.

특별히 한정하지 않지만, 예컨대, 제3 스위칭 소자(134)는 클록 신호($\Phi 1$)가 「H」 레벨 또는 「L」 레벨일 때에 각각 온 상태 또는 오프 상태가 되며, 한편, 제4 스위칭 소자(135)는 클록 신호($\Phi 2$)가 「H」 레벨 또는 「L」 레벨일 때에 각각 온 상태 또는 오프 상태가 된다.

제2 인버터(131)의 출력 단자는 OR 게이트(132)의 한쪽의 입력 단자에 접속되어 있다. 또한, 제2 인버터(131)의 입력 단자와 출력 단자의 사이에는, 제5 스위칭 소자(136)가 접속되어 있다. 즉, 제2 인버터(131)와 제5 스위칭 소자(136)는 병렬로 접속되어 있다.

이 제5 스위칭 소자(136)는 클록 신호($\Phi 2$)에 의해 온/오프가 제어되어 있다. 제5 스위칭 소자(136)는 특별히 한정하지 않지만, 예컨대, 클록 신호($\Phi 2$)가 「H」 레벨 또는 「L」 레벨일 때에 각각 온 상태 또는 오프 상태가 된다.

따라서, 클록 신호($\Phi 1$)이 「H」 레벨일 때(클록 신호 $\Phi 2$ 는 「L」 레벨), 커패시터(105)의 단자 전압(V_c)이 비교 전압으로서 제1 초과형 비교기(103)에 입력된다. 그리고, 제1 초과형 비교기(103)는 그 비교 전압에 대하여, 제2 인버터(131)의 임계 전압(V_{thA})에 기초하여 비교 동작을 행한다.

한편, 클록 신호($\Phi 2$)가 「H」 레벨일 때(클록 신호 $\Phi 1$ 은 「L」 레벨)에는 고기준 전압(V_{RH})이 제1 초과형 비교기(103)에 입력되어 커패시터(105)의 단자 전압(V_c)은 입력되지 않는다. 따라서, 이 상태일 때, 제1 초과형 비교기(103)는 비교 동작을 하지 않고서, 오토 제로 상태가 되고, OR 게이트(132)의 한쪽의 입력 단자에는 제2 인버터(131)의 임계 전압(V_{thA})이 인가되게 된다. OR 게이트(132)의 또 한쪽의 입력 단자에는 클록 신호($\Phi 2$)가 입력된다.

제2 초과형 비교기(104)는 예컨대, 제3 인버터(141), NAND 게이트(142), 제3 커패시터(143) 및 제6 내지 제8의 3가지의 스위칭 소자(144, 145, 146)를 구비한 구성으로 되어 있다. 제3 커패시터(143)의 한쪽의 전극은 제6 및 제7의 스위칭 소자(144, 145)의 일단에 접속되어 있고, 또 한쪽의 전극은 제3 인버터(141)의 입력 단자에 접속되어 있다. 제6 스위칭 소자(144)의 타단은 커패시터(105)의 접지되어 있지 않은 측의 전극에 접속되어 있다. 제7 스위칭 소자(145)의 타단은 저기준 전압(V_{RL})이 인가되는 단자에 접속되어 있다.

따라서, 제3 커패시터(143)의 한쪽의 전극에는 제6 스위칭 소자(144)가 폐쇄되면, 커패시터(105)의 단자 전압(V_c)이 인가되며, 한편, 제7 스위칭 소자(145)가 폐쇄되면, 저기준 전압(V_{RL})이 인가된다. 제6 스위칭 소자(144)는 클록 신호($\Phi 2$)에 의해 온/오프가 제어되어 있고, 한편, 제7 스위칭 소자(145)는 클록 신호($\Phi 1$)에 의해 온/오프가 제어되어 있다.

특별히 한정하지 않으나, 예컨대, 제6 스위칭 소자(144)는 클록 신호($\Phi 2$)가 「H」 레벨 또는 「L」 레벨일 때에 각각 온 상태 또는 오프 상태가 되며, 한편, 제7 스위칭 소자(145)는 클록 신호($\Phi 1$)가 「H」 레벨 또는 「L」 레벨일 때에 각각 온 상태 또는 오프 상태가 된다.

제3 인버터(141)의 출력 단자는 NAND 게이트(142)의 한쪽의 입력 단자에 접속되어 있다. 또한, 제3 인버터(141)의 입력 단자와 출력 단자의 사이에는, 제8의 스위칭 소자(146)가 접속되어 있다. 즉, 제3 인버터(141)와 제8 스위칭 소자(146)는 병렬로 접속되어 있다.

이 제8 스위칭 소자(146)는 클록 신호($\Phi 1$)에 의해 온/오프가 제어되어 있고, 특별히 한정하지 않지만, 예컨대, 클록 신호($\Phi 1$)이 「H」 레벨 또는 「L」 레벨일 때에 각각 온 상태 또는 오프 상태가 된다.

따라서, 클록 신호($\Phi 2$)가 「H」 레벨일 때(클록 신호 $\Phi 1$ 은 「L」 레벨), 커패시터(105)의 단자 전압(V_c)이 비교 전압으로서 제2 초과형 비교기(104)에 입력된다. 그리고, 제2 초과형 비교기(104)는 그 비교 전압에 대하여, 제3 인버터(141)의 임계 전압(V_{thB})에 기초하여 비교 동작을 행한다.

한편, 클록 신호($\Phi 1$)가 「H」 레벨일 때(클록 신호 $\Phi 2$ 는 「L」 레벨)에는 저기준 전압(V_{RL})이 제2 초과형 비교기(104)에 입력되어, 커패시터(105)의 단자 전압(V_c)은 입력되지 않는다. 따라서, 이 상태일 때, 제2 초과형 비교기(104)는 비교 동작을 행하지 않고서, 오토 제로 상태가 되며, NAND 게이트(142)의 한쪽의 입력 단자에는 제3 인버터(141)의 임계 전압(V_{thB})이 인가되게 된다. NAND 게이트(142)의 또 한쪽의 입력 단자에는 클록 신호($\Phi 2$)가 입력된다.

논리 회로(8)는 제1 초과형 비교기(103)의 OR 게이트(132)의 출력 신호, 및 제2 초과형 비교기(104)의 NAND 게이트(142)의 출력 신호를 래치하기 위한 래치 회로를 구성하는, 제2 및 제3의 2개의 NAND 게이트(181, 182)와, 지연 회로(183)와, 제4 인버터(184)를 구비한 구성으로 되어 있다.

제2 NAND 게이트(181)는 그 한쪽의 입력 단자를 제1 초과형 비교기(103)의 OR 게이트(132)의 출력 단자에 접속하며, 또한 한쪽의 입력 단자를 제3 NAND 게이트(182)의 출력 단자에 접속하고 있다. 한편, 제3 NAND 게이트(182)는 그 한쪽의 입력 단자를 제2 초과형 비교기(104)의 NAND 게이트(142)의 출력 단자에 접속하고, 또한, 또 한쪽의 입력 단자를 제2 NAND 게이트(181)의 출력 단자에 접속하고 있다.

제3 NAND 게이트(182)는 전압 제어 발진 회로의 발진 신호가 되는 출력전압(V_{out})을 외부로 출력하는 동시에, 출력 전압(V_{out})을 상기 제1 및 제2 스위칭 소자(166, 167)에 출력하며, 또한 지연 회로(183)에도 출력한다. 지연 회로(183)는 출력 전압(V_{out})을 소정의 타이밍만 지연시켜(지연 시간 : T_D), 클록 신호 $\Phi 1$ 로서 출력한다.

또한, 그 클록 신호($\Phi 1$)는 제4 인버터(184)에 의해 반전되며, 클록 신호($\Phi 2$)로서 출력된다. 따라서, 제2 및 제3 NAND 게이트(181, 182)(래치 회로), 지연 회로(183) 및 제4 인버터(184)는 클록 신호 생성 회로의 기능을 갖는다.

이어서, 상술한 구성의 전압 제어 발진 회로의 동작에 관해서, 도 25를 참조하면서 설명한다. 또, 도 25에 제1 초퍼형 비교기(103)에 있어서, 커패시터(133)의 한쪽의 전극과 스위칭 소자(134, 135)의 접속점, 커패시터(133)의 또 한쪽의 전극과 인버터(131)의 입력 단자와의 접속점, 및 인버터(131)의 출력 단자와 OR 게이트(132)의 입력 단자와의 접속점의 각 전압 변화를 각각 VA1, VA2 및 VA3으로서 도시하는 동시에, OR 게이트(132)의 출력 전압의 변화를 도 24의 노드(A)의 전압 변화로서 나타낸다.

또한, 제2 초퍼형 비교기(104)에 있어서, 커패시터(143)의 한쪽의 전극과 스위칭 소자(144, 145)의 접속점, 커패시터(143)의 또 한쪽의 전극과 인버터(141)의 입력 단자와의 접속점, 및 인버터(141)의 출력 단자와 NAND 게이트(142)의 입력 단자와의 접속점의 각 전압 변화를 각각 VB1, VB2 및 VB3으로서 도 25에 나타내는 동시에, NAND 게이트(142)의 출력 전압의 변화를 도 24의 노드 B의 전압 변화로서 나타낸다.

출력 전압(Vout)이 「H」 레벨로부터 「L」 레벨로 전환하면(타이밍 T21), 그 타이밍(T21)으로부터 지연 회로(183)의 지연 시간(TD)이 경과한 후(타이밍 T 22), 클록 신호(Φ1)는 「H」 레벨로부터 「L」 레벨로 전환하며, 또한, 클록 신호(Φ 2)는 「L」 레벨로부터 「H」 레벨로 전환한다. 그리고, 제2 초퍼형 비교기(104)는 비교 동작을 행하는 상태가 되며, 한편, 제1 초퍼형 비교기(103)는 오토 제로 상태가 된다.

오토 제로 상태로 있어서, 제1 초퍼형 비교기(103)에서는 다음의 비교동작에 구비하기 위해서, 비교기(103)내의 인버터(131)의 임계 전압(Vtkm)과 고기준 전압(VRH)의 전위차(ΔVA)가 커패시터(133)의 양단에 저장된다. 한편, 제2 초퍼형 비교기(104)에서는 타이밍(T22)에 있어서, 커패시터(143)의 커패시터(105)에 접속된 측의 전극의 전압, 즉 VB1은 Vc가 된다.

또한, 제2 초퍼형 비교기(104)에서는 그 직전의 오토 제로 상태에 있어서 비교기(104)내의 인버터(141)의 임계 전압(VthB)과 저기준 전압(VRL)의 전위차(ΔVB)가 커패시터(143)의 양단에 저장되어 있기 때문에, 타이밍(T22)에 있어서, 커패시터(143)의 인버터(141)측의 전극의 전압, 즉 VB2는 Vc+ΔVB가 된다.

그리고, 커패시터(105)의 방전에 의해 그 단자 전압(Vc)이 하강해 가는데 따라, VB1 및 VB2도 하강하여, Vc가 저기준 전압(VRL)에 달하는, 즉 Vc= VRL이 되면, VB2의 전압은 다음의 수학적 식 (9)으로 나타내도록, 인버터(141)의 문턱 전압(VthB)과 같게 된다.

$$VB2 = Vc + \Delta VB = Vc + (VthB - VRL) = VthB$$

그리고, 인버터(141)가 약간 동작 지연된 후(타이밍 T23), 논리가 반전하여, 그 출력(VB3)은 「L」 레벨로부터 「H」 레벨로 전환한다. 그에 의하여, 비교기(104)의 출력, 즉 노드(B)의 전압 레벨이 반전하고 래치 회로를 세트하기 때문에, 그 래치 회로의 출력이 되는 출력 전압(Vout)의 논리도 반전하여, 「L」 레벨에서 「H」 레벨로 전환한다.

타이밍(T23)에 있어서, 출력 전압(Vout)이 「L」 레벨로부터 「H」 레벨로 전환하면, 그 타이밍(T23)으로부터 지연 회로(183)의 지연 시간(TD)이 경과한 후(타이밍 T 24), 클록 신호(Φ1)는 「L」 레벨로부터 「H」 레벨로 전환하며, 또한, 클록 신호(Φ2)는 「H」 레벨로부터 「L」 레벨로 전환한다. 그리고, 제2 초퍼형 비교기(104)는 오토 제로 상태로 전환하고, 대신에 제1 초퍼형 비교기(103)가 비교 동작을 행하는 상태가 된다.

오토 제로 상태에 있어서, 제2 초퍼형 비교기(104)에서는 다음의 비교동작에 구비하기 위해서, 비교기(104)내의 인버터(141)의 임계 전압(Vt)과 저기준 전압(VRL)의 전위차 ΔVB가, 커패시터(143)의 양단에 저장된다. 한편, 제1 초퍼형 비교기(103)에서는 타이밍(T24)에 있어서, 커패시터(133)의 커패시터(105)에 접속된 측의 전극의 전압, 즉 VA1은 Vc가 된다.

또한, 제1 초퍼형 비교기(103)에서는 그 직전의 오토 제로 상태에 있어 비교기(103) 내의 인버터(131)의 임계 전압(VthA)과 고기준 전압(VRH)의 전위차 ΔVA가 커패시터(133)의 양단에 저장되어 있기 때문에, 타이밍(T24)에 있어서, 커패시터(133)의 인버터(131)측의 전극의 전압, 즉 VA2는 Vc+ΔVA가 된다.

그리고, 커패시터(105)의 충전에 의해 그 단자 전압(Vc)이 상승해 나가는 데 따라, VA1 및 VA2도 상승하여, Vc가 고기준 전압(VRH)에 달하는 (Vc= VRH)와, VA2의 전압은 다음의 수학적 식 (10)으로 나타내는 바와 같이, 인버터(131)의 임계 전압(VthA)와 같아진다.

$$VA2 = Vc + \Delta VA = Vc + (VthA - VRH) = VthA$$

그리고, 인버터(131)가 약간 동작 지연한 후(타이밍 T25), 논리가 반전하여 그 출력(VA3)은 「H」 레벨로부터 「L」 레벨로 전환한다. 그것에 따라, 비교기(103)의 출력, 즉 노드 A의 전압 레벨이 반전하여 래치 회로를 리셋하기 위해서, 그 래치 회로에서 출력되는 출력 전압(Vout)의 논리도 반전하여, 「H」 레벨로부터 「L」 레벨로 전환한다. 도 24에 나타내는 전압 제어 발진 회로는 이상과 같은 동작을 반복한다.

이상 상술한 바와 같이, 제3 실시예에 따르면, 제1 및 제2 초퍼형 비교기(103, 104)를 이용하고 있고, 또한 일반적으로 초퍼형 비교기의 지연 시간은 종래부터 이용되어 들어지는 차동형 비교기의 지연 시간의 대략 10분의 1정도, 즉 수 ns 정도이므로, 전압 제어 발진 회로를 고속으로 동작시킬 수 있고, 종래부터도 고속 동작이 가능한 전압 제어 발진기를 얻을 수 있다.

예컨대, 제1 및 제2 초퍼형 비교기(103, 104)의 지연 시간을 5ns라고 하면, 그 지연 시간은 일반적인 차동형 비교기의 지연 시간 (50 ns)의 10분의 1이므로, 본 실시의 형태에 의한 전압 제어 발진 회로의 발진 주파수의 상한은, 계산상, 200 MHz 정도가 된다. 따라서, 실제의 회로 설계에 있어서는, 발진 주파수를 100 MHz 정도까지 설정할 수 있어, 종래에 비교해서 발진 주파수의 상한을 10배정도로 할 수 있다.

또한, 상기 제3 실시예에 따르면, 제1 및 제2 초퍼형 비교기(103, 104)의 동작 상태, 즉 비교 동작 상태와 오토 제로 상태를 전환하기 위한 클록 신호(Φ1, Φ2)가 전압 제어 발진 회로의 발진 신호에 기초하여 생성되기 때문에, 이들 비교기(103, 104)의 동작이 고정밀도로 전환된다. 따라서, 고정밀도로, 또한 고주파수의 신호를 발진하는 전압 제어 발진 회로를 얻을 수 있다. 이상에 있어서, 본 발명은 상기 실시

의 형태에 한하지 않고, 여러가지 설계 변경 가능하다.

발명의 효과

본 발명에 따르면, 비교기로서 인버터를 이용하여, 그 인버터의 임계 전압을 제어 회로에 의해 제어하는 구성으로 했기 때문에, 고속으로, 정확하고 또한 연속되는 비교 동작이 가능한 비교기를 얻을 수 있다.

또한, 본 발명에 따르면, 전압 제어 발진 회로의 발진 주파수를 제어하기 위한 제어 전압에 기초하는 비교 전압과, 기준 전압의 비교를 고속으로 동작하는 초퍼형의 비교기를 이용하여 행하므로써, 전압 제어 발진 회로를 고속으로 동작시킬 수 있기 때문에, 고속으로 동작하는 전압 제어 발진 회로를 얻을 수 있다.

(57) 청구의 범위

청구항 1

외부에서 입력된 입력 전압을 임계 전압과 비교하여, 그 비교 결과에 기초하는 출력 전압을 출력하는 인버터와,

상기 인버터의 임계 전압과 같거나, 또는 대략 같다고 간주되는 임계 전압을 구비한 더미 인버터와,

상기 더미 인버터의 임계 전압을 검출하고, 그 검출 결과에 기초하여, 상기 인버터 및 상기 더미 인버터의 각각의 임계 전압을 제어하는 제어 회로를 구비하는 것을 특징으로 하는 비교기.

청구항 2

제1항에 있어서, 상기 인버터 및 상기 더미 인버터는 이들 인버터를 구성하는 PMOS 트랜지스터 및 NMOS 트랜지스터의 한쪽 또는 양방의 백게이트 전압이 상기 제어 회로로부터 출력된 제어 신호에 의해 제어되는 것에 의해 각각의 임계 전압이 제어되는 구성으로 되는 것인 비교기.

청구항 3

제1항에 있어서, 상기 인버터 및 상기 더미 인버터는 인버터로서 동작하는 PMOS 트랜지스터 및 NMOS 트랜지스터의 각 소스에 각각 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터가 직렬로 접속되어 구성되어 있고, 이들 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터의 각 게이트 전압이 상기 제어 회로에서 출력된 제어 신호에 의해 제어되는 것에 의해 각각의 임계 전압이 제어되는 구성으로 되는 것인 비교기.

청구항 4

제1항, 제2항 및 제3항 중 어느 한 항에 있어서, 상기 제어 회로는 상기 더미 인버터의 출력 전압과 외부의 기준 전압의 차를 상기 인버터 및 상기 더미 인버터의 각각의 임계 전압을 제어하기 위한 제어 신호로서 출력하는 차동 증폭 회로를 구비하고, 상기 더미 인버터의 출력 전압을 그대로 상기 더미 인버터에 입력시키는 구성으로 되는 것인 비교기.

청구항 5

제1항, 제2항 및 제3항 중 어느 한 항에 있어서, 상기 제어 회로는 교류 신호를 생성하여 상기 더미 인버터에 출력하는 교류 신호 발생 회로, 상기 교류 신호 발생 회로에서 생성된 교류 신호를 외부의 기준 전압과 비교하는 내부 비교기 및 상기 내부 비교기의 출력 전압의 직류 성분과 상기 더미 인버터의 출력 전압의 직류 성분의 차를 상기 인버터 및 상기 더미 인버터의 각각의 임계 전압을 제어하기 위한 제어 신호로서 출력하는 차동 증폭 회로를 구비하는 것인 비교기.

청구항 6

기준 전압의 전위 레벨이 상대적으로 높고, 또한 입력 전압에 기초하는 비교전압이 상승 또는 하강할 때에 각각 비교 동작 상태 또는 오토 제로 상태가 되는 제1 초퍼형 비교기와,

기준 전압의 전위 레벨이 상대적으로 낮고, 또한 상기 비교 전압이 상승 또는 하강할 때에 각각 오토 제로 상태 또는 비교 동작 상태가 되는 제2 초퍼형 비교기와,

상기 비교 전압이 상기 제1 초퍼형 비교기의 기준 전압을 넘은 후 상기 제1 초퍼형 비교기의 지연 시간이 경과한 타이밍에서 출력 전압을 제1 전위 레벨로부터 제2 전위 레벨로 전환하며, 상기 비교 전압이 상기 제2 초퍼형 비교기의 기준 전압 이하가 된 후 상기 제2 초퍼형 비교기의 지연 시간이 경과한 타이밍에서 출력 전압을 제2 전위 레벨로부터 제1 전위 레벨로 전환하도록 구성된 출력 변환 회로를 구비하는 것을 특징으로 하는 전압 제어 발진 회로.

청구항 7

제6항에 있어서, 상기 제1 초퍼형 비교기 및 상기 제2 초퍼형 비교기는 상기 출력 변환 회로로부터 출력되는 출력 전압에 동기하여, 비교 동작 상태와 오토 제로 상태가 전환하는 것인 전압 제어 발진 회로.

청구항 8

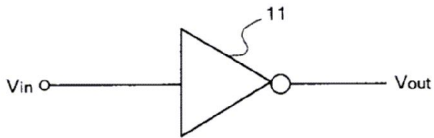
제7항에 있어서, 상기 출력 변환 회로로부터 출력되는 출력 전압에 동기하며, 소정의 타이밍만 지연된 클럭 신호를 생성하는 논리 회로를 더 구비하고, 상기 클럭 신호에 의해 상기 제1 초퍼형 비교기의 동작 상태를 제어하며, 상기 클럭 신호의 반전 신호에 의해 상기 제2 초퍼형 비교기의 동작 상태를 제어하는 것인 전압 제어 발진 회로.

청구항 9

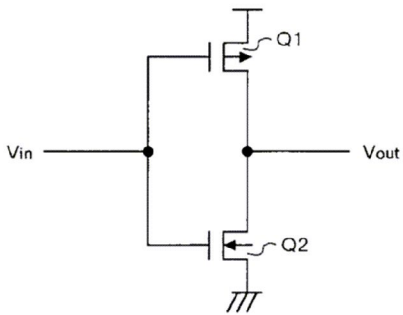
제6항, 제7항 및 제8항 중 어느 한 항에 있어서, 전류원과,
 상기 입력 전압에 비례한 전류를 상기 전류원에 생성시키는 변환 회로와,
 상기 전류원에 의해 충전 또는 방전되어, 그 충전 또는 방전에 의해 상기 비교 전압을 발생하는 커패시터를 더 구비하는 것인 전압 제어 발진회로.

도면

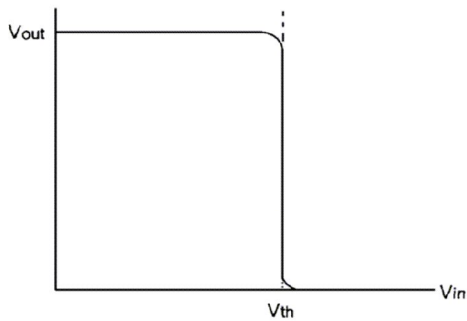
도면1



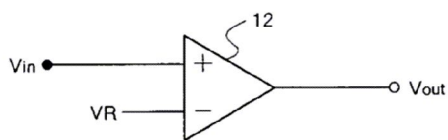
도면2



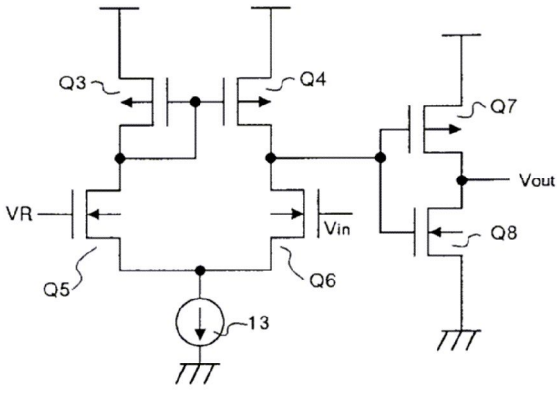
도면3



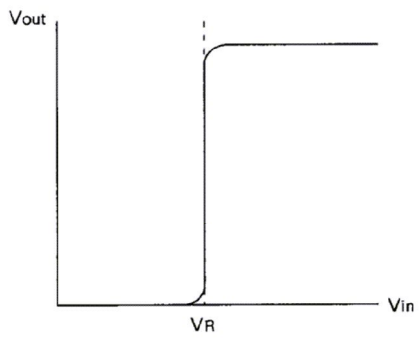
도면4



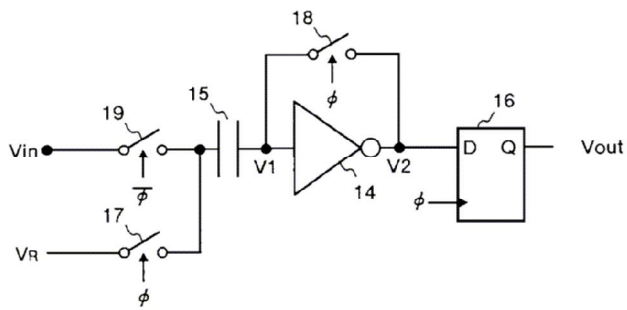
도면5



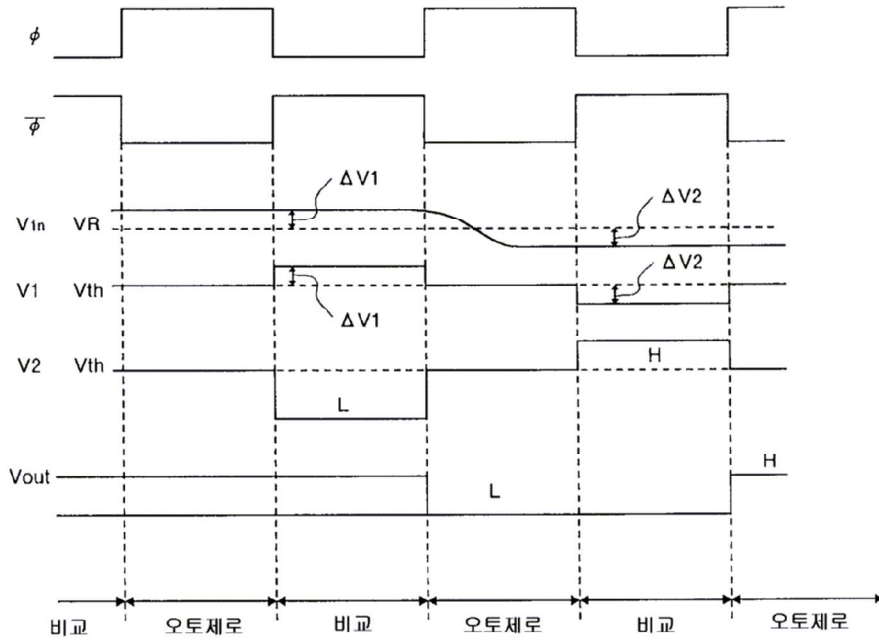
도면6



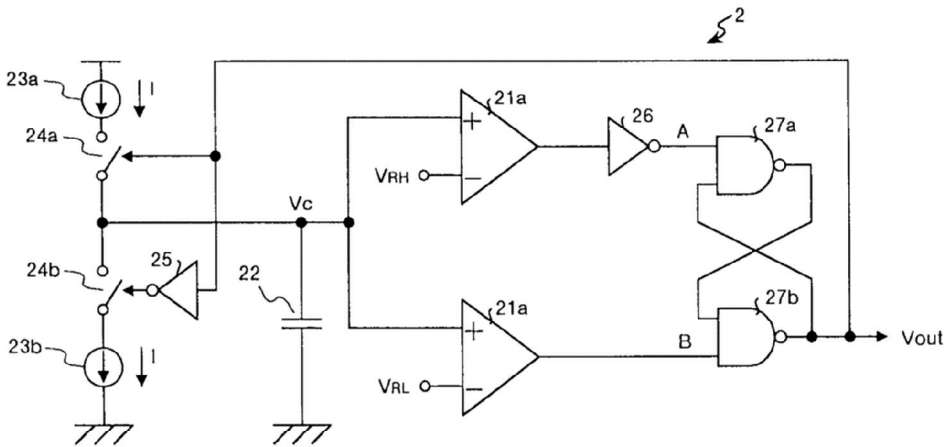
도면7



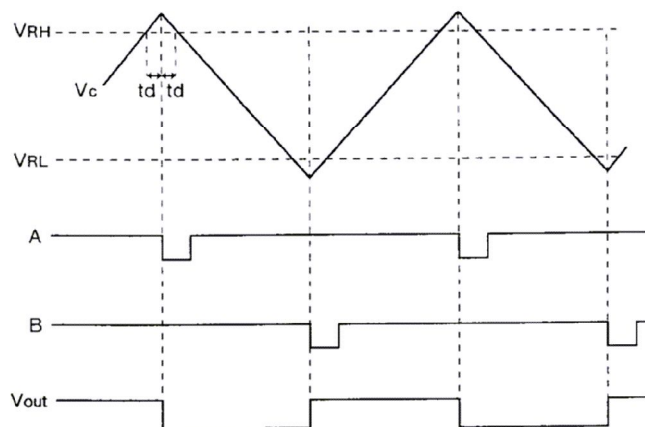
도면8



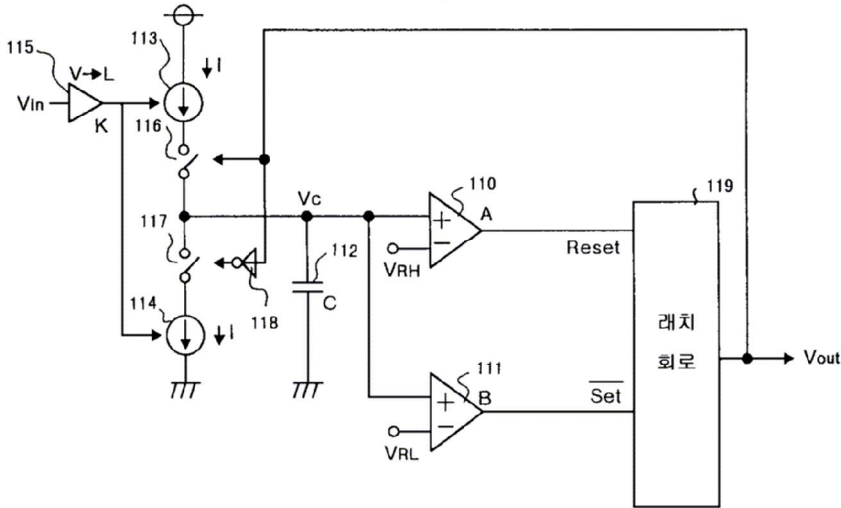
도면9



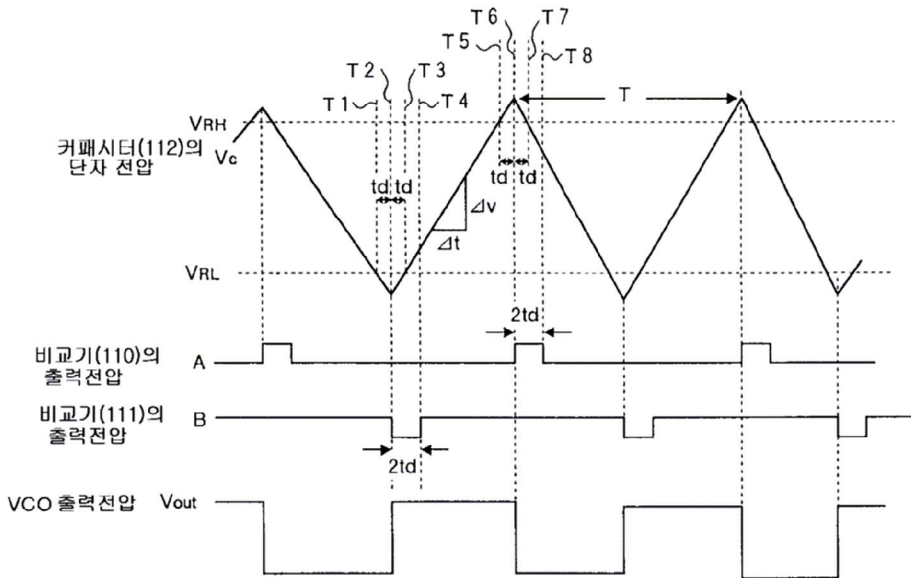
도면10



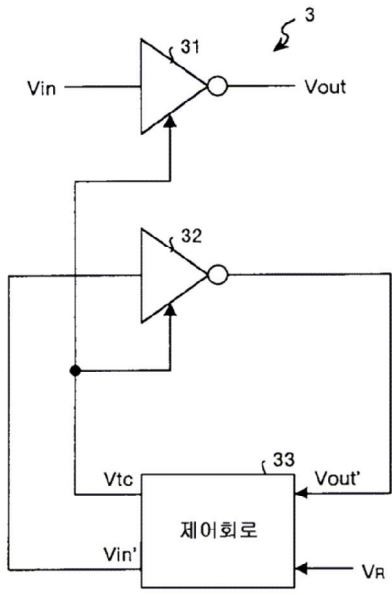
도면11



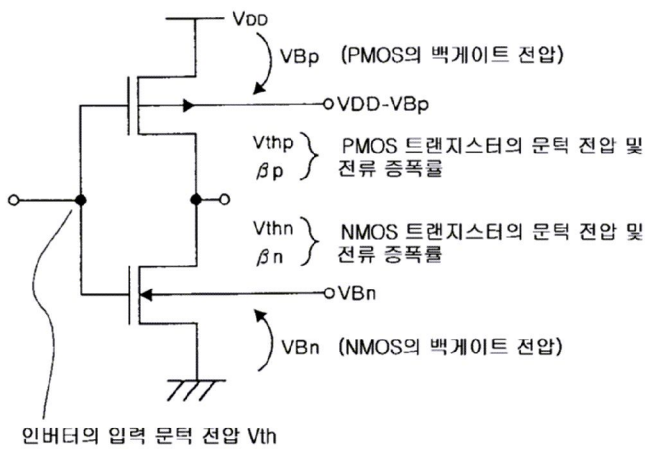
도면12



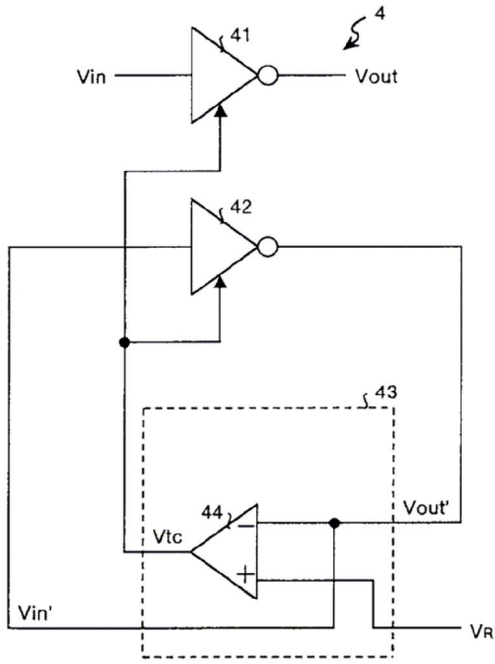
도면13



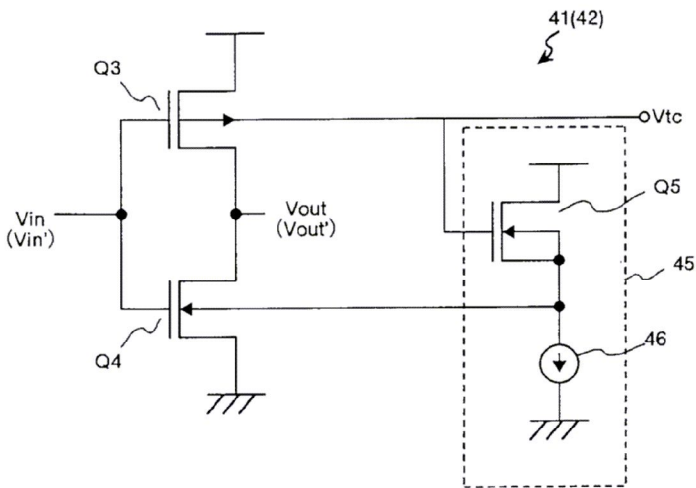
도면14



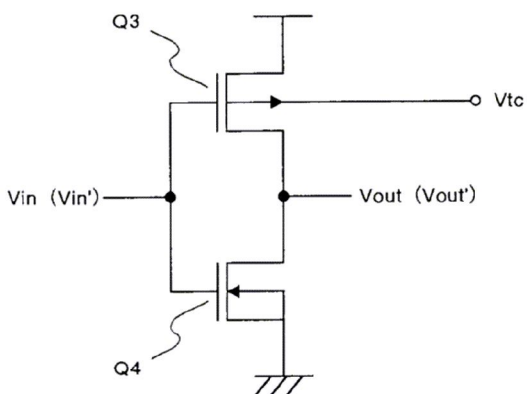
도면15



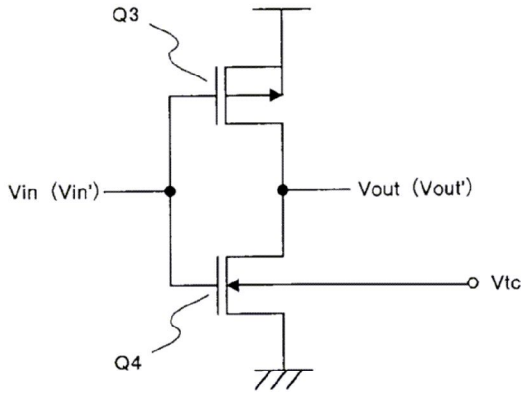
도면16



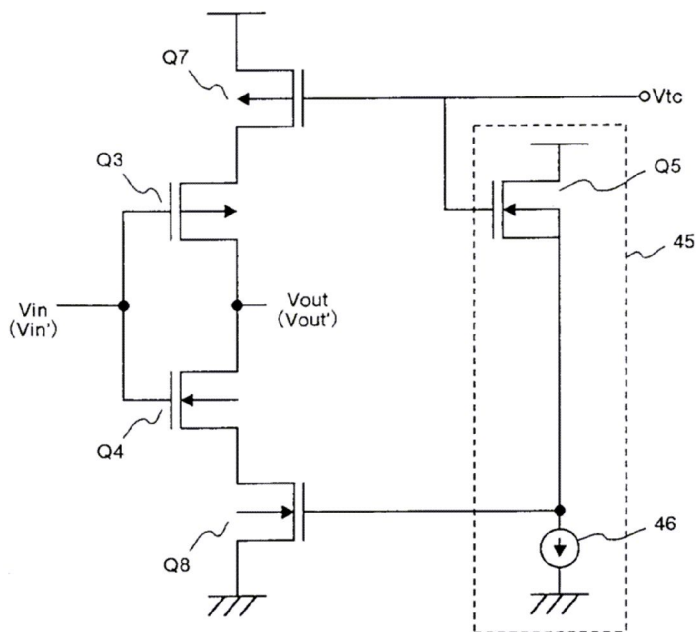
도면17



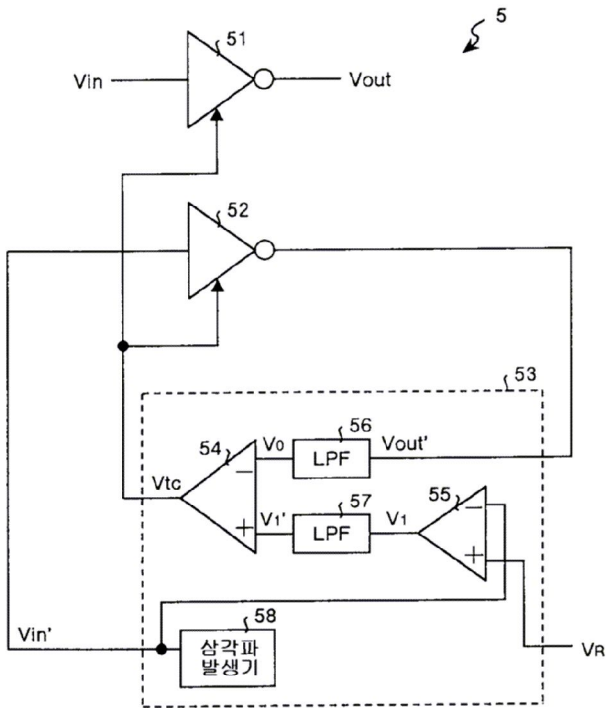
도면 18



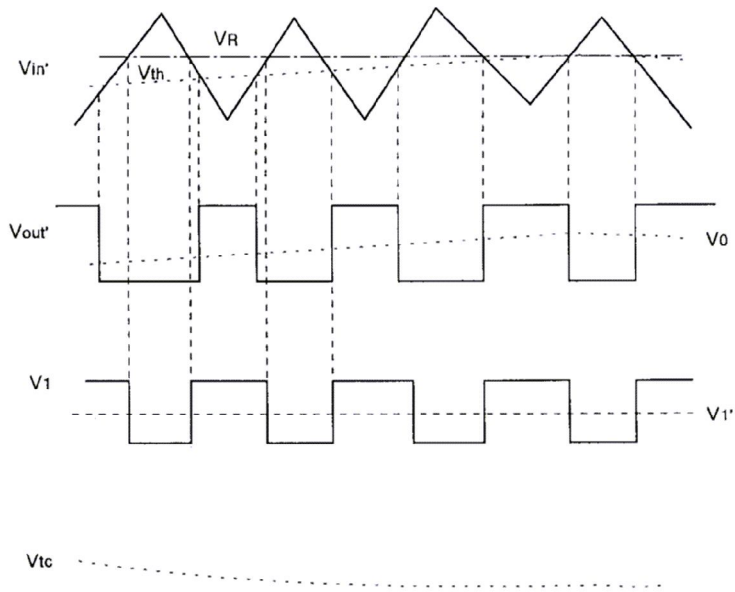
도면 19



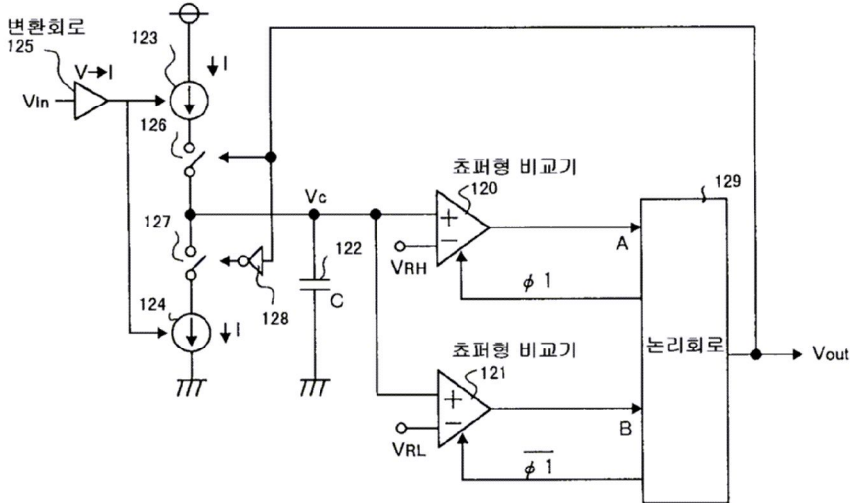
도면20



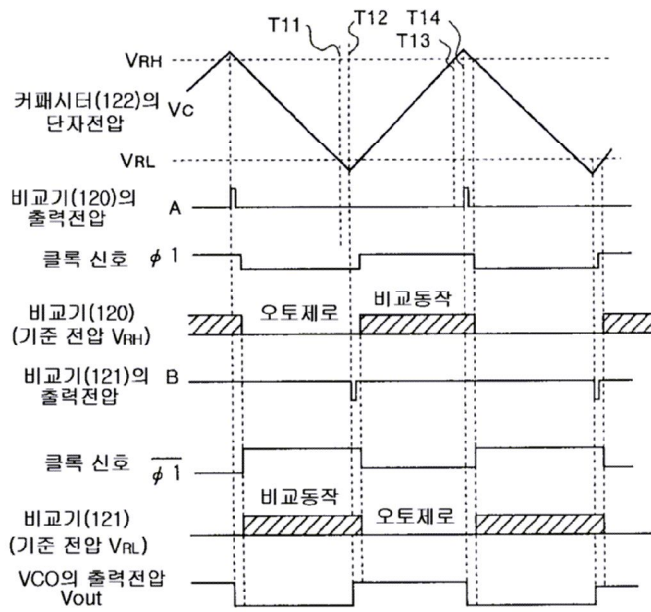
도면21



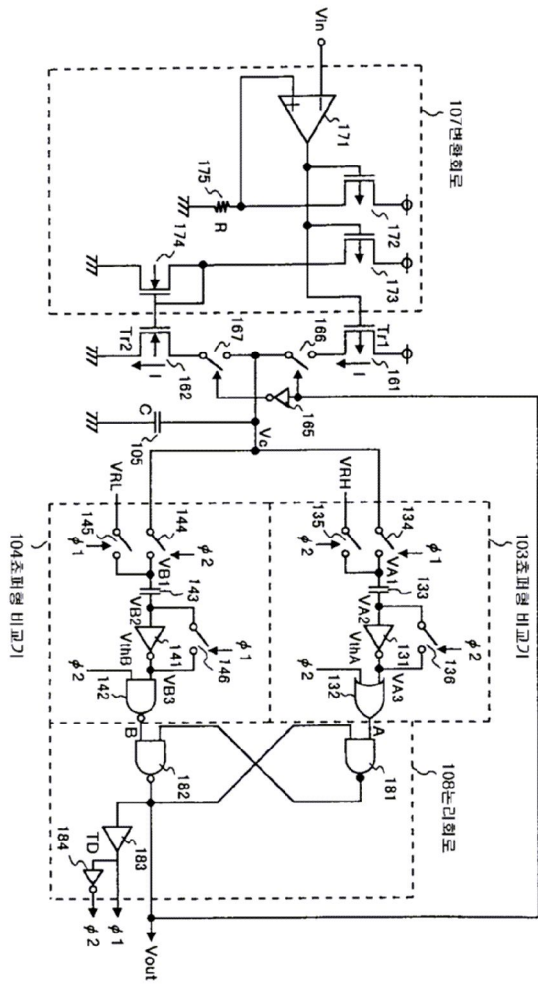
도면22



도면23



도면24



도면25

