

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-228444

(P2007-228444A)

(43) 公開日 平成19年9月6日(2007.9.6)

(51) Int. Cl.	F I			テーマコード (参考)	
H03L 7/18 (2006.01)	H03L 7/18	Z	5 J 1 0 6		
H03L 7/099 (2006.01)	H03L 7/08	F			
H03L 7/08 (2006.01)	H03L 7/08	M			

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2006-49426 (P2006-49426)  
 (22) 出願日 平成18年2月25日 (2006.2.25)

(71) 出願人 000003595  
 株式会社ケンウッド  
 東京都八王子市石川町2967番地3  
 (74) 代理人 100085660  
 弁理士 鈴木 均  
 (72) 発明者 堀内 賢雄  
 東京都八王子市石川町2967-3  
 株式会社ケンウッド  
 内  
 Fターム(参考) 5J106 AA04 BB10 CC01 CC24 CC41  
 CC52 DD32 DD34 DD36 EE01  
 FF02 GG01 HH01 JJ01 KK26  
 PP01 QQ08 RR01 RR06 RR13  
 RR15

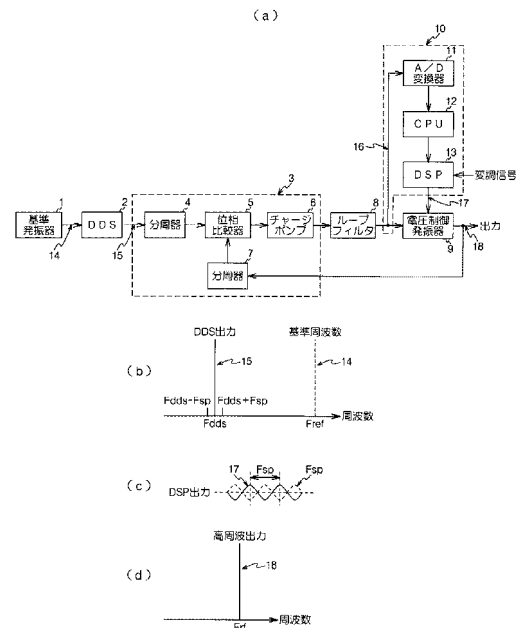
(54) 【発明の名称】 PLL周波数シンセサイザ回路

(57) 【要約】

【課題】 スプリアス信号がシンセサイザ回路の基準周波数信号に含まれると、発振出力信号のS/Nが著しく低下し、受信機の復調音声中に可聴音として出力される不具合が生じる。発明は、希望信号周波数近傍のスプリアスであっても、これを除去し得る機能を備えたPLL周波数シンセサイザ回路を提供することを目的とする。

【解決手段】 電圧制御発振器、位相比較器、低域フィルタ、可変分周手段、を備えたPLL周波数シンセサイザ回路において、基準周波数信号に含まれる不要交流信号成分と振幅が同一で位相が逆相のレプリカ信号を生成し、該レプリカ信号によって前記不要交流信号成分を相殺除去するように構成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

電圧信号によって発振周波数を制御する電圧制御発振器と、該電圧制御発振器の出力信号と外部から供給される基準周波数信号とを比較して両者の周波数差又は位相差に応じた信号を出力する位相比較器と、該位相比較器の出力信号から低域信号成分を取り出し前記電圧制御発振器の制御信号として供給する低域フィルタと、前記位相比較器に供給する電圧制御発振器出力信号又は基準周波数信号の少なくとも一方を分周する可変分周手段とをループ状に接続した PLL 周波数シンセサイザ回路において、前記基準周波数信号に含まれる不要交流信号成分を抽出し、そのレプリカ信号を生成するレプリカ信号生成手段と、該レプリカ信号の振幅と位相を調整しフェーズロックループ中に供給することによって前記基準周波数信号中の前記不要交流信号成分をキャンセルする手段と、を備えたことを特徴とする PLL 周波数シンセサイザ回路。

10

## 【請求項 2】

電圧信号によって発振周波数を制御する電圧制御発振器と、該電圧制御発振器の出力信号と外部から供給される基準周波数信号とを比較して両者の周波数差又は位相差に応じた信号を出力する位相比較器と、該位相比較器の出力信号から低域信号成分を取り出し前記電圧制御発振器の制御信号として供給する低域フィルタと、をループ状に接続するとともに、前記基準周波数信号をデジタル・ダイレクト・シンセサイザを介して前記位相比較器に供給した PLL 周波数シンセサイザ回路において、前記基準周波数信号に含まれる不要交流信号成分を抽出し、そのレプリカ信号を生成するレプリカ信号生成手段と、該レプリカ信号の振幅と位相を調整しフェーズロックループ中に供給することによって前記基準周波数信号中の前記不要交流信号成分をキャンセルする手段と、を備えたことを特徴とする PLL 周波数シンセサイザ回路。

20

## 【請求項 3】

前記レプリカ信号生成手段は、前記低域フィルタ出力からその信号の一部を分岐して取り出す分岐手段と、該分岐したアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から前記不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックループ中に供給する手段と、を備えたことを特徴とする請求項 1 又は 2 記載の PLL 周波数シンセサイザ回路。

30

## 【請求項 4】

前記レプリカ信号生成手段は、前記位相比較器に供給される基準周波数信号の一部を分岐して取り出す分岐手段と、該分岐した基準周波数信号から交流信号成分を抽出する周波数弁別手段と、抽出した交流信号成分のアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックループ中に供給する手段と、を備えたことを特徴とする請求項 1 又は 2 記載の PLL 周波数シンセサイザ回路。

40

## 【請求項 5】

前記レプリカ信号生成手段は、前記電圧制御発振器の出力信号の一部を分岐して取り出す分岐手段と、該分岐した信号から交流信号成分を抽出する周波数弁別手段と、抽出した交流信号成分のアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックループ中に供給する手段と、を備えたことを特徴とする請求項 1 又は 2 記載の PLL 周波数シンセサイザ回路。

## 【請求項 6】

50

前記電圧制御発振器が変調機能を備え、前記不要交流信号成分をキャンセルする手段が、前記レプリカ信号成分を前記電圧制御発振器の変調信号の一部として供給されることを特徴とする請求項 1 乃至 5 のいずれか一項記載の PLL 周波数シンセサイザ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL 周波数シンセサイザ回路に関し、特に、基準周波数信号等に含まれる不要交流信号を除去する機能を備えた PLL 周波数シンセサイザ回路に関する。

【背景技術】

【0002】

携帯電話機等の無線通信機に限らず、殆どの通信装置は高い周波数安定度をもった信号を発生する発振器を備えており、この発振器から出力される周波数信号に基づいて装置各部の制御や、信号処理、搬送波信号等の無線信号の生成を行っている。また、携帯電話機や警察・消防無線機等に代表される無線通信機においては、頻繁に発振周波数を変更する必要があるものが多く、これらの発振器としては、従来から位相同期型発振器 (Phase Lock Loop Oscillator: PLL 発振器) を備えた周波数シンセサイザ型発振回路 (以下、PLL 周波数シンセサイザ回路) が使用されている。

【0003】

図 5 は従来の PLL 周波数シンセサイザ回路の一例を示すブロック回路であり、この例に示す回路は、基準周波数信号  $F_{ref}$  を発生する基準発振器 61 と、その出力信号をデジタル信号に変換するとともに、デジタル処理によって分周し、要求される周波数可変の最小ステップ周波数が得られるように分周するデジタル・ダイレクト・シンセサイザ (Digital Direct Synthesizer: DDS) 62 と、その出力を分周する基準信号分周器 (Ref 分周器) 63 と、該分周した基準周波数信号を一つの入力とする位相比較器 (Phase Detector: PD) 64 と、該位相比較器 64 の出力を所要レベルに増幅するチャージポンプ 65 と、チャージポンプ 65 の出力から交流信号を除去するループフィルタ 66 と、該ループフィルタ 66 の出力信号によって周波数が制御される電圧制御発振器 (Voltage Controlled Oscillator: VCO) 67 と、該電圧制御発振器 67 の出力の一部を分周して前記位相比較器 64 の他方の入力として供給する RF 分周器 68 と、前記電圧制御発振器 67 に変調信号を供給する DSP (Digital Signal Processor) 69 と、を備えたものである。

【0004】

なお、破線で囲った部分 70 は PLL 周波数シンセサイザの要部ブロックで、汎用 IC として市販されており、周辺ブロックの付加によって種々の PLL 回路として利用可能である。また、前記ループフィルタ 66 は一般的には低域フィルタが使用され、低域遮断周波数 (カットオフ周波数) の設定や、チャージポンプの利得等は、PLL 回路のロックイン・レンジや同期範囲等の性能に密接に関連するので目的に応じて正確に設計設定されるが、本発明に直接関係しないので、説明は省略する。

【0005】

また、PLL 回路の基本的な動作については、既によく知られているので詳細な説明は省略するが、前記位相比較器 64 に供給される、基準周波数信号  $F_{ref}$  を分周した信号と前記電圧制御発振器 67 の出力を分周した信号との周波数差または位相差に応じた振幅と周波数の信号を位相比較器 64 において発生し、その信号をループフィルタ 66 によって平滑して直流信号とし、この直流信号電圧で前記電圧制御発振器 67 の発振周波数を制御するものである。

基本的には前記位相比較器 64 に、夫々分周器 63、68 を介して供給される基準周波数信号  $F_{ref}$  の分周周波数と電圧制御発振器の出力信号の周波数  $F_{rf}$  の分周周波数とが一致するように、即ち、ループフィルタ 66 から出力する直流信号電圧の変動が小さくなるようにループ全体が動作することによって、電圧制御発振器 67 の出力周波数  $F_{rf}$  が前記基準周波数信号  $F_{ref}$  に同期して、基準信号周波数と同一の周波数安定度をもつ

10

20

30

40

50

た信号として出力されるものである。なお、DDSを使用したPLL周波数シンセサイザについては、例えば特許文献1に開示されている。

【0006】

また、PLL周波数シンセサイザとして、DDSを使用することなく前記位相比較器64に供給する二つの信号、基準周波数信号 $F_{ref}$ と電圧制御発振器67の出力信号 $F_{rf}$ を分周する分周器63、68のうち、少なくとも一方又は両者を可変分周器にすれば、PLL周波数シンセサイザを構成することができる。

【特許文献1】特開2001-77689公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

しかしながら、従来のPLL周波数シンセサイザでは、基準周波数信号に含まれるスプリアス信号やその他のノイズを除去する機能が十分でない場合があった。特に、DDS等のデジタル処理回路を含み内部信号波形が高調波を多く含んだ矩形波(パルス波形)である場合や、周波数ステップ間隔が小さく設定された場合、希望周波数信号近傍にスプリアス信号が発生することが多く、各種のフィルタ処理等での除去が困難な場合があった。

【0008】

図5を用いて従来の問題点を簡単に説明する。

(a)は上述したようにDDSを使用した従来のPLL周波数シンセサイザ回路の一例を示すブロック構成図であり、既に説明したように動作し、前記基準発振器61の出力端からは(b)71に示すようにスプリアス等のノイズを伴わない高いS/Nの基準周波数信号 $F_{ref}$ が出力されるが、この信号がDDS62において $F_{dds}$ に周波数変換されると、(b)に示すDDS出力72のように、その近傍に $F_{dds} \pm F_{sp}$ なるスプリアスが発生する。このスプリアス $F_{sp}$ はDDS62における最小可変周波数シフト量に対応するもので、周波数を細かく可変する場合は、より一層DDS出力に接近した周波数となる。

20

【0009】

このスプリアス成分は、位相比較器64、チャージポンプ65を通過し、図5(c)に示すように電圧制御発振器67の周波数制御信号73にも含まれ、その結果、周波数変調器が付加されたものと等価となって、電圧制御発振器67の出力 $F_{rf}$ にも(d)に示すように、 $F_{rf} \pm F_{sp}$ としてスプリアスが残存したものとなる。

30

スプリアス $F_{sp}$ が可聴周波数領域である場合は、この信号を搬送波として受信する受信機の復調音声の中に当該可聴音が含まれることになり、通話品質を著しく低下させる原因となる。

このような現象は、DDSを使用した周波数シンセサイザに限らず、可変分周器を使用した場合にも発生するが、このスプリアス $F_{sp}$ 周波数は使用するチャンネル選択等に応じて都度、異なったものとなるので、固定的なトラップフィルタ等での除去は困難である。

【0010】

本発明は、これらの事情に鑑みてなされたものであって、希望信号出力周波数近傍のスプリアスであっても、更には、チャンネル選択等の制御の都度周波数が変化するスプリアスであっても、これを除去し得る機能を備えたPLL周波数シンセサイザ回路を提供することを目的としている。

40

【課題を解決するための手段】

【0011】

本発明はかかる課題を解決するために、請求項1記載のPLL周波数シンセサイザ回路は、電圧信号によって発振周波数を制御する電圧制御発振器と、該電圧制御発振器の出力信号と外部から供給される基準周波数信号とを比較して両者の周波数差又は位相差に応じた信号を出力する位相比較器と、該位相比較器の出力信号から低域信号成分を取り出し前記電圧制御発振器の制御信号として供給する低域フィルタと、前記位相比較器に供給する電圧制御発振器出力信号又は基準周波数信号の少なくとも一方を分周する可変分周手段と

50

、をループ状に接続したPLL周波数シンセサイザ回路において、前記基準周波数信号に含まれる不要交流信号成分を抽出しそのレプリカ信号を生成するレプリカ信号生成手段と、該レプリカ信号の振幅と位相を調整しフェーズロックアップ中に供給することによって前記基準周波数信号中の前記不要交流信号成分をキャンセルする手段と、を備えたことを特徴とする。

【0012】

請求項2記載のPLL周波数シンセサイザ回路は、電圧信号によって発振周波数を制御する電圧制御発振器と、該電圧制御発振器の出力信号と外部から供給される基準周波数信号とを比較して両者の周波数差又は位相差に応じた信号を出力する位相比較器と、該位相比較器の出力信号から低域信号成分を取り出し前記電圧制御発振器の制御信号として供給する低域フィルタとをループ状に接続するとともに、前記基準周波数信号をデジタル・ダイレクト・シンセサイザを介して前記位相比較器に供給したPLL周波数シンセサイザ回路において、前記基準周波数信号に含まれる不要交流信号成分を抽出しそのレプリカ信号を生成するレプリカ信号生成手段と、該レプリカ信号の振幅と位相を調整しフェーズロックアップ中に供給することによって前記基準周波数信号中の前記不要交流信号成分をキャンセルする手段と、を備えたことを特徴とする。

10

【0013】

請求項3記載の発明は、前記請求項1又は2記載のPLL周波数シンセサイザ回路において、前記レプリカ信号生成手段は、前記低域フィルタ出力からその信号の一部を分岐して取り出す分岐手段と、該分岐したアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から前記不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックアップ中に供給する手段と、を備えたことを特徴とする。

20

【0014】

請求項4記載の発明は、前記請求項1又は2記載のPLL周波数シンセサイザ回路において、前記レプリカ信号生成手段は、前記位相比較器に供給される基準周波数信号の一部を分岐して取り出す分岐手段と、該分岐した基準周波数信号から交流信号成分を抽出する周波数弁別手段と、抽出した交流信号成分のアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックアップ中に供給する手段と、を備えたことを特徴とする。

30

【0015】

請求項5記載の発明は、請求項1又は2記載のPLL周波数シンセサイザ回路において、前記レプリカ信号生成手段は、前記電圧制御発振器の出力信号の一部を分岐して取り出す分岐手段と、該分岐した信号から交流信号成分を抽出する周波数弁別手段と、抽出した交流信号成分のアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックアップ中に供給する手段と、を備えたことを特徴とする。

40

【0016】

請求項6記載の発明は、請求項1乃至5のいずれか一項記載のPLL周波数シンセサイザ回路において、前記電圧制御発振器が変調機能を備え、前記不要交流信号成分をキャンセルする手段が、前記レプリカ信号を前記電圧制御発振器の変調信号の一部として供給されることを特徴とする。

【発明の効果】

【0017】

請求項1記載のPLL周波数シンセサイザ回路では、電圧信号によって発振周波数を制

50

御する電圧制御発振器と、該電圧制御発振器の出力信号と外部から供給される基準周波数信号とを比較して両者の周波数差又は位相差に応じた信号を出力する位相比較器と、該位相比較器の出力信号から低域信号成分を取り出し前記電圧制御発振器の制御信号として供給する低域フィルタと、前記位相比較器に供給する電圧制御発振器出力信号又は基準周波数信号の少なくとも一方を分周する可変分周手段とをループ状に接続したPLL周波数シンセサイザ回路において、前記基準周波数信号に含まれる不要交流信号成分を抽出しそのレプリカ信号を生成するレプリカ信号生成手段と、該レプリカ信号の振幅と位相を調整しフェーズロックループ中に供給することによって前記基準周波数信号中の前記不要交流信号成分をキャンセルする手段と、を備えたので、希望周波数信号の近傍のスプリアス信号であっても除去可能となり、しかも、チャンネル周波数を切替え等によって、スプリアス信号の周波数が変更された場合であっても不具合なくこれらを除去できる。

10

## 【0018】

請求項2記載のPLL周波数シンセサイザ回路では、同様の周波数シンセサイザをデジタル・ダイレクト・シンセサイザ(DDS)を用いて構成したPLL周波数シンセサイザ回路において、前記基準周波数信号に含まれる不要交流信号成分を抽出しそのレプリカ信号を生成するレプリカ信号生成手段と、該レプリカ信号の振幅と位相を調整しフェーズロックループ中に供給することによって前記基準周波数信号中の前記不要交流信号成分をキャンセルする手段と、を備えたので、微小周波数ステップ設定が容易であるが、比較的スプリアスの発生が多いDDSを使用した場合であっても、希望波近傍のスプリアスを除去することが可能となる。

20

## 【0019】

請求項3記載の発明では、前記請求項1又は2記載のPLL周波数シンセサイザ回路において、前記レプリカ信号生成手段は、前記低域フィルタ出力からその信号の一部を分岐して取り出す分岐手段と、該分岐したアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から前記不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックループ中に供給する手段と、を備えたので、キャンセルすべきスプリアス信号を生成するレプリカ信号生成手段の構成がDSP等のデジタル処理によって実現可能となる。

30

## 【0020】

請求項4記載の発明では、請求項1又は2記載のPLL周波数シンセサイザ回路において、前記レプリカ信号生成手段は、前記位相比較器に供給される基準周波数信号の一部を分岐して取り出す分岐手段と、該分岐した基準周波数信号から交流信号成分を抽出する周波数弁別手段と、抽出した交流信号成分のアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックループ中に供給する手段と、を備えたので、キャンセルすべきスプリアス信号を生成するレプリカ信号生成手段の他の具体的構成が提供され、適用する装置に適したレプリカ信号生成手段を構成する上で有用である。

40

## 【0021】

請求項5記載の発明では、請求項1又は2記載のPLL周波数シンセサイザ回路において、前記レプリカ信号生成手段は、前記電圧制御発振器の出力信号の一部を分岐して取り出す分岐手段と、該分岐した信号から交流信号成分を抽出する周波数弁別手段と、抽出した交流信号成分のアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、変換したデジタル信号から不要交流信号成分を抽出する手段と、抽出した不要交流信号成分の振幅値と位相を調整する手段と、該調整後のデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、変換したアナログ信号を前記フェーズロックループ中に供給する手段と、を備えたので、キャンセルすべきスプリアス信号を生成するレプリカ信号

50

生成手段の更に他の具体的構成が提供されるので、適用する装置に適したレプリカ信号生成手段を構成する上で更に有用である。

【0022】

請求項6記載の発明では、請求項1乃至5のいずれか一項記載のPLL周波数シンセサイザ回路において、前記電圧制御発振器が変調機能を備え、前記不要交流信号成分をキャンセルする手段が、前記レプリカ信号を前記電圧制御発振器の変調信号の一部として供給されるように構成したので、送信機等が基本的に備えている変調器を利用して本発明を実施する上で有用である。

【発明を実施するための最良の形態】

【0023】

以下、本発明を図に示した実施形態を用いて詳細に説明する。但し、この実施形態に記載される構成要素、種類、組み合わせ、形状、その相対配置などは特定の記載がない限り、この発明の範囲をそれのみに限定する主旨ではなく単なる説明例に過ぎない。以下本発明の実施態様例について説明する。

図1(a)は、本発明の一実施形態を示すPLL周波数シンセサイザの一実施態様例を示すブロック図である。同図において1は基準発振器であって、これに限定されるものではないが、例えば極めて正確に周波数制御された無線基地局から送信される周波数信号に同期するように構成された水晶発振器等である。

【0024】

基準発振器1の出力は、アナログ信号をデジタル信号に変換し、デジタル処理によって、要求される周波数可変の最小ステップ周波数が得られるように分周するデジタル・ダイレクト・シンセサイザ(Digital Direct Synthesizer: DDS)2に供給される。

破線で囲った部分3はPLL周波数シンセサイザの要部ブロックで、前記DDS2の出力信号を分周する基準信号分周器(Ref分周器)4と、該分周した基準周波数信号を一つの入力とする位相比較器(Phase Detector: PD)5と、該位相比較器5の出力を所要レベルに増幅するチャージポンプ6と、後述する電圧制御発振器の出力信号を分周するRF分周器7とを備えている。

このPLL周波数シンセサイザの要部ブロック部分は汎用ICとして市販されており、周辺ブロックの付加によって種々のPLL回路として利用可能であるが、本発明ではこの構成に限定する必要はなく、この例ではDDS2によって周波数可変するので、分周比の設定によっては分周器4、7を使用する必要がない場合もあり得る。

【0025】

前記チャージポンプ6の出力は、交流信号を除去するループフィルタ8を介して電圧制御発振器(Voltage Controlled Oscillator: VCO)9に供給され、該電圧制御発振器9の出力が希望信号Frfとして次段ブロックに供給されるが、その一部は前記RF分周器7を介して前記位相比較器5の他方の入力として供給される。

10は本発明におけるレプリカ信号生成部(レプリカ信号生成手段)であって、前記ループフィルタ8の出力の入部を取り出し、アナログ信号をデジタル信号に変換するA/D変換器(アナログデジタル変換器)11と、CPU12と、DSP13とを主要ブロックとして備えている。

【0026】

前記電圧制御発振器(VCO)9は、基本的に周波数変調機能を備えており、通常、無線送信機に使用する場合、マイク等から得られた音声信号を変調信号として該電圧制御発振器9に供給するように構成されることが多い。

そこで、この例では無線通信機が基本的に備えている変調機能を利用して、基準周波数信号等に含まれるスプリアスを除去する例を説明する。

前記図5において説明したように、基準発振器1の出力周波数信号Frefは図5(b)に符号14として示すようにノイズ成分が極めて小さい信号として得られるが、DDS2の出力信号Fddsには図5(b)の符号15に示すように、近傍にスプリアス±Fspが付随したものとなり、これがチャージポンプ6、ループフィルタ8を通過して前記電

10

20

30

40

50

圧制御発振器 9 に入力されることは前記図 5 ( c ) において既に説明した通りである。

【 0 0 2 7 】

そこでこの実施例では、前記フープフィルタ 8 の出力の一部を取り出し前記レプリカ信号生成部 1 0 に導き ( 符号 1 6 )、ここで該スプリアス成分の同一振幅レベルであって、位相が逆相のレプリカ信号を生成する。図 5 ( c ) に実線にて示す波形は、スプリアス信号  $F_{sp}$  と同一レベルで、位相が 1 8 0 度異なった ( 逆相の ) レプリカ信号 1 7 であり、同図破線はスプリアス信号  $F_{sp}$  を示している。

このレプリカ信号 1 7 を前記電圧制御発振器 9 の変調器に音声等の変調信号に重畳すれば、前記ループフィルタ 8 を介して供給されるスプリアス成分が、電圧制御発振器 9 においてキャンセル除去されることになる。

10

その結果、図 5 ( d ) 符号 1 8 にて示すように電圧制御発振器 9 の出力から前記スプリアス成分が除去される。

【 0 0 2 8 】

なお、レプリカ信号生成部 1 0 における具体的な処理は、既存の技術を応用すれば可能であるので、説明を省略するが、通常のデジタル無線通信機には変調信号処理等の音声信号処理のために CPU や DSP を備えている場合が多いので、それを利用する場合は本発明を実施するためのプログラムや各種データを含むソフトウェアを格納した記憶媒体を用意するだけで済み、本発明実施のために特段に CPU や DSP を備える必要はないであろう。

本発明によれば、基準周波数信号に含まれるスプリアス等のノイズ成分と同一レベルで逆位相のレプリカ信号を生成して、スプリアス信号をレプリカ信号によって相殺除去するように構成したので、希望信号周波数近傍であっても、また、チャンネル周波数変更の都度変化する周波数であっても、これらを除去することが可能である。

20

【 0 0 2 9 】

図 2 は本発明の他の実施態様例を示す図である。前記図 1 と同一部分は同一符号を付し重複する説明は省略する。この例に示す PLL 周波数シンセサイザは、DDS 2 が含まれない場合においても、そのまま上述した図 1 の回路が適用可能であることを示している。この構成において、基準周波数信号に他の部分からノイズが混入し、例えば図 2 ( b ) に示すように基準周波数信号  $F_{ref14}$  の近傍にスプリアス成分  $\pm F_{sp}$  が存在する場合においても、上述した例と同様にレプリカ信号を生成してノイズを除去し、図 2 ( c ) に示すように、高純度の電圧制御発振器 9 出力  $F_{rf}$  を得ることが可能である。

30

【 0 0 3 0 】

図 3 は、DDS 2 を使用したシンセサイザにおける他の実施態様例を示すもので、この例では前記レプリカ信号生成部 1 0 に供給する信号を前記 DDS 2 の出力から取り出す点が、前記図 1、2 においてループフィルタ 8 の出力から取り出すことと相違している。

DDS 2 の出力あるいは基準発振器 1 の出力等の高周波信号からレプリカ信号を抽出する場合は、高周波信号から低周波信号に属するスプリアス成分を含む交流信号を取り出すために周波数弁別器 ( 周波数弁別手段 ) 1 9 が必要である。周波数弁別器 1 9 は周波数変化や位相変化に応じた交流信号を取り出す機能を持ったもので、FM 変調方式や PM 変調方式の受信機に使用されており、その機能ブロックは IC 化されて容易に入手可能であるし、当該レプリカ信号生成部 1 0 に備えている DSP 1 3 によっても実現可能である。

40

このように周波数弁別した交流信号から不要交流信号成分を抽出し、更に、その交流信号成分から除去するスプリアス成分を取り出し、このスプリアス成分からレプリカ信号を生成する。これをアナログ信号に変換後、前記電圧制御発振器 9 の変調信号として供給することによって、発信ループ中に含まれるスプリアス成分を相殺除去する処理については、既に説明した場合と同様である。

【 0 0 3 1 】

図 4 は、更に他の実施態様例であって、この例では前記レプリカ信号生成部 1 0 に供給する信号を前記電圧制御発振器 9 の出力端から取り出す点が、上述した他の実施例と相違している。この場合も、高周波信号からスプリアス信号成分を含む交流信号を取り出すた

50

めに周波数弁別器 19 を備えているが、周波数弁別した交流信号からスプリアス成分を取り出し、更に、その信号からレプリカ信号を生成し、これを電圧制御発振器 9 の変調信号として供給して、スプリアス成分を相殺除去することは上述した場合と同様である。

【0032】

本発明は、以上説明した例に限定する必要はなく種々変形が可能である。例えば、電圧制御発振器が変調機能を備えていない場合には、同様に機能する信号合成手段を発振ループ中、あるいは電圧制御発振器出力端等に備え、該信号合成手段において生成したレプリカ信号でスプリアス成分を相殺除去する構成であってもよい。なお、変調機能が必要ではない場合は、前記信号合成手段として、反転増幅器、信号レベルを一定値に保つ機能を持った自動利得制御回路（AGC回路）、位相を調整することが可能な移相回路等を用いて構成することも可能である。

10

また、上述した実施例を複数組み合わせることで備え、夫々の系統によって異なる周波数のスプリアス成分を除去することも可能であるし、一つのレプリカ信号生成部において、複数のスプリアス成分を抽出・合成して、一挙に複数のスプリアス成分を除去することもできる。更に、本発明を実施する PLL 周波数シンセサイザの周波数切替え範囲が広範囲に及ぶ場合であって、切替える周波数帯域毎に発生するスプリアス周波数帯域が異なる場合は、周波数切替え制御信号に基づいて、予め夫々の周波数帯域に対応させて設定した複数系統のレプリカ信号生成手段一つを選択するように構成することも可能であろう。

【0033】

更に、本発明の実現に必要な全ての機能ブロックをソフトウェアで実現することも可能であるから、発振器等の極一部の部品を除いてデジタル処理化し、各種プログラミング手段によって、ソフトウェア的に上述した機能を実現することができる。また、そのようなソフトウェアについて、それぞれプログラム化し、あらかじめ CD-ROM 等の記録媒体に書き込み、コンピュータに搭載した CD-ROM ドライブのような媒体駆動装置にこの CD-ROM 等を装着し、それを読み出して実行することによって、本発明の目的を達成することもできる。この場合、記録媒体から読み出されたプログラム自体が上述した実施形態の機能を実現することになり、そのプログラムおよびそのプログラムを記録した記録媒体も本発明を実施する上で有用である。

20

【0034】

なお、プログラムを格納する記録媒体としては半導体媒体（例えば、ROM、不揮発性メモリカード等）、光媒体（例えば、DVD、MO、MD、CD 等）、磁気媒体（例えば、磁気テープ、フレキシブルディスク等）等のいずれであってもよい。

30

【図面の簡単な説明】

【0035】

【図 1】本発明の一実施形態にかかる PLL 周波数シンセサイザを説明する図で、(a) はブロック構成図、(b) は基準周波数信号と DDS 出力信号の周波数スペクトル図、(c) はスプリアス信号波形とレプリカ信号波形の関係を示す図、(d) は電圧制御発振器出力信号の周波数スペクトル図である。

【図 2】本発明の他の実施形態例の動作を説明するための信号波形図であり、(a) は本発明の一実施例のブロック構成図、(b) は電圧制御発振器出力信号の周波数スペクトル図である。

40

【図 3】本発明の PLL 周波数シンセサイザの他の実施例を示すブロック構成図である。

【図 4】本発明の PLL 周波数シンセサイザの他の実施例を示すブロック構成図である。

【図 5】従来の PLL 周波数シンセサイザを説明する図であって、(a) はブロック構成図、(b) は基準周波数信号と DDS 出力信号の周波数スペクトル図、(c) は PLL ループ信号に含まれるスプリアス信号波形を示す図、(d) は電圧制御発振器出力信号の周波数スペクトル図である。

【符号の説明】

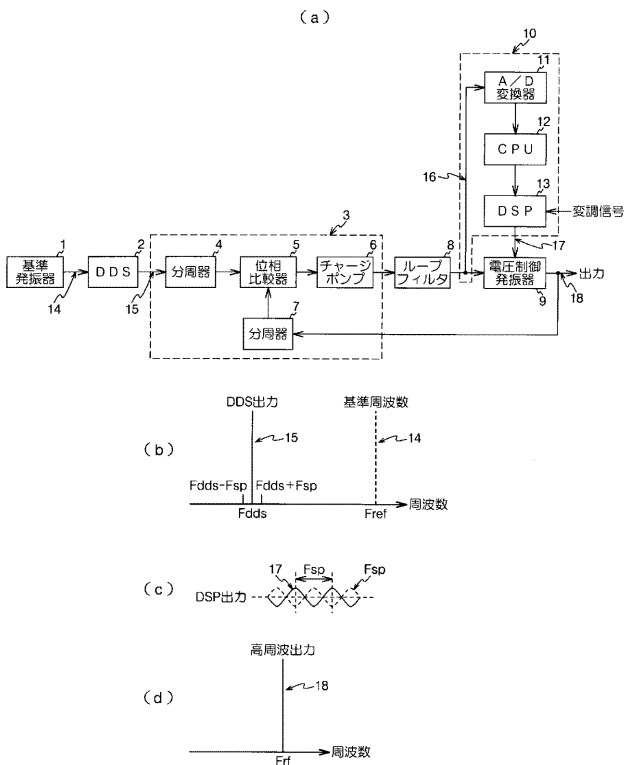
【0036】

1、61 基準発振器、2、62 DDS（デジタル・ダイレクト・シンセサイザ）、

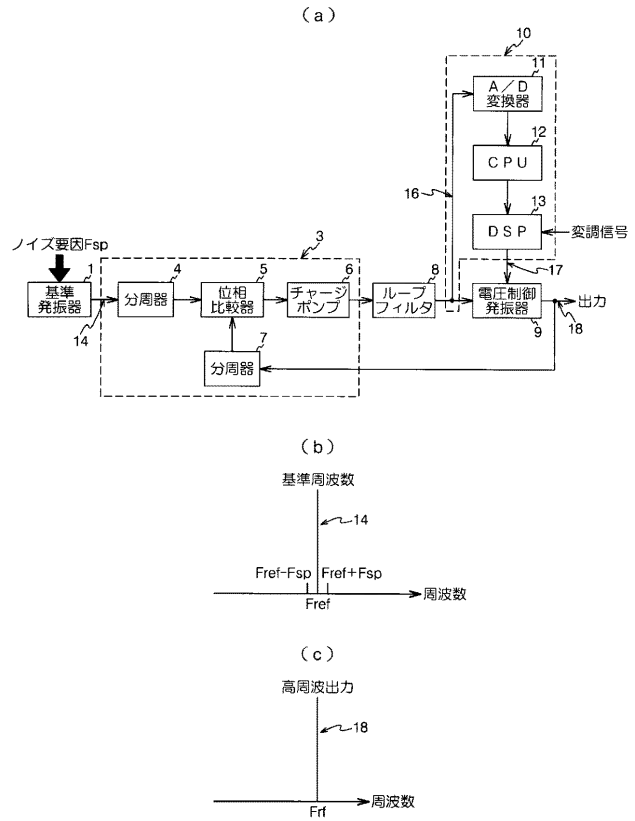
50

3 PLL 発振器の VCO シンセサイザ 要部、4、7、63、68 分周器、5、64 位相比較器、6、65 チャージポンプ、8、66 ループフィルタ、9、67 電圧制御発振器、10 レプリカ信号生成部、11 A/D 変換器、12 CPU、13、69 DSP、14、71 基準周波数信号 (基準発振器出力端)、15、72 DDS 出力信号 (DDS 出力端)、16、73 ループフィルタ出力信号、17 レプリカ信号、18、74 電圧制御発振器出力 (信号)、19 周波数弁別器。

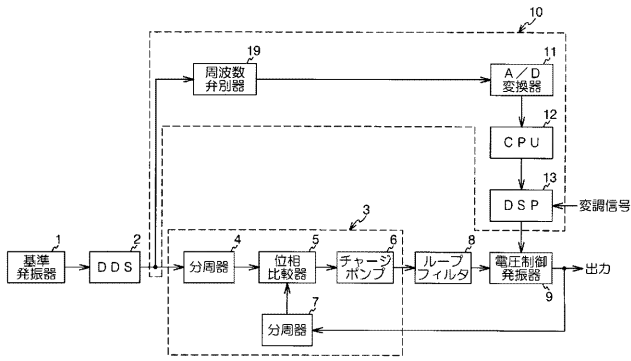
【 図 1 】



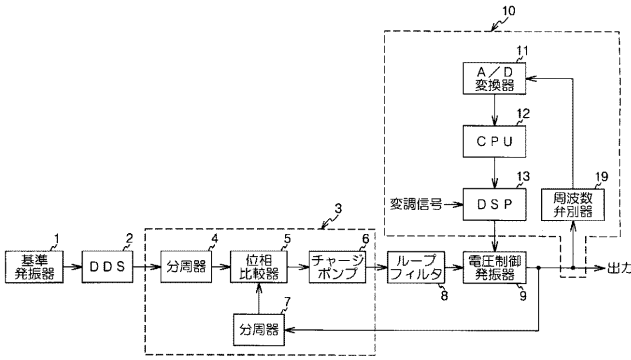
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

