

(43) 国際公開日
2006年10月12日 (12.10.2006)

PCT

(10) 国際公開番号
WO 2006/106569 A1

(51) 国際特許分類:

H01L 25/065 (2006.01) H01L 25/11 (2006.01)

H01L 25/07 (2006.01) H01L 25/18 (2006.01)

H01L 25/10 (2006.01)

(21) 国際出願番号:

PCT/JP2005/006264

(22) 国際出願日:

2005年3月31日 (31.03.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワン エイ
エムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小野寺正徳
(ONODERA, Masanori) [JP/JP]; 〒1600023 東京都
新宿区西新宿四丁目33番4号 Spansion
Japan 株式会社内 Tokyo (JP). 目黒弘一 (ME-
GURO, Kouichi) [JP/JP]; 〒1600023 東京都新宿区西新
宿四丁目33番4号 Spansion Japan
株式会社内 Tokyo (JP). 河西純一 (KASAI, Junichi)
[JP/JP]; 〒1600023 東京都新宿区西新宿四丁目33番
4号 Spansion Japan 株式会社内 Tokyo
(JP).

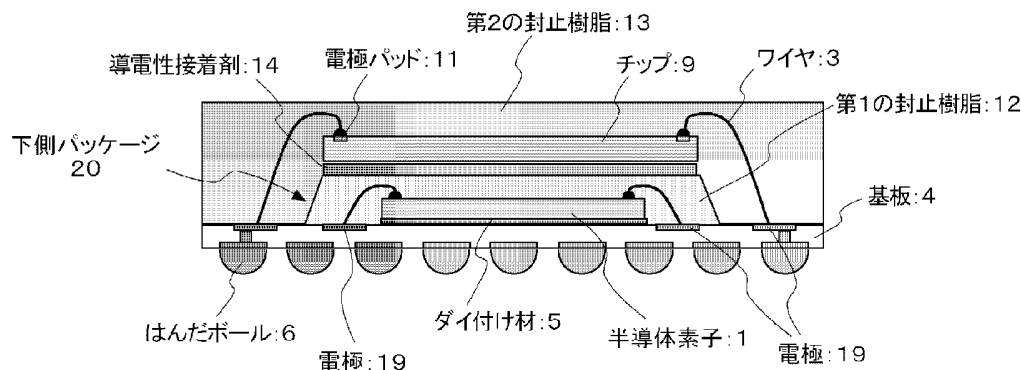
(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テプコビ
ル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

/ 続葉有 /

(54) Title: STACKED TYPE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 積層型半導体装置及びその製造方法



14... CONDUCTIVE ADHESIVE
11... ELECTRODE PAD
13... SECOND SEALING RESIN
9... CHIP
3... WIRE
12... FIRST SEALING RESIN
4... SUBSTRATE

6... SOLDER BALL
19... ELECTRODE
5... DIE BONDING MATERIAL
1... SEMICONDUCTOR ELEMENT
19... ELECTRODE
20... LOWER SIDE PACKAGE

(57) Abstract: A stacked type semiconductor device is provided with a semiconductor element (1) mounted on a substrate (4); a first sealing resin (12) for sealing the semiconductor element (1); a chip (9) arranged on the first sealing resin (12); and a second sealing resin (13) for sealing the semiconductor element (1) sealed with the first sealing resin (12) and the chip (9). In such package structure, since there exists no external connecting terminal such as a bump between the chip (9) and the substrate (4), sealing can be easily performed with the second sealing resin (13). Furthermore, since the chip (9) is directly arranged on the first sealing resin (12), a heat conducting path is wider than a conventional one, and wiring by wire bonding can be stably performed.

(57) 要約: 本発明は、基板4上に搭載された半導体素子1と、半導体素子1を封止する第1の封止樹脂12と、第1の封止樹脂12上に配置されたチップ9と、第1の封止樹脂12に封止され

/ 続葉有 /



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

たチ半導体素子 1 とチップ 9 とを封止する第 2 の封止樹脂 13 とを有する構成としている。このようなパッケージ構造の場合、チップ 9 と基板 4 との間にはんだバンプ等の外部接続端子が存在しないため、第 2 の封止樹脂 13 で封止を容易に行うことができる。さらに、第 1 の封止樹脂 12 上にチップ 9 が直接配置されているので、熱の伝達経路が従来よりも広く、ワイヤボンディングによる配線が安定して実現できる。

明 細 書

積層型半導体装置及びその製造方法

技術分野

- [0001] 本発明は複数の半導体装置を1つのパッケージに内蔵させた積層型の半導体装置及びその製造方法に関する。

背景技術

- [0002] 近年、移動体電話機のような携帯型電子機器や、ICメモ리카ードのような不揮発性記憶媒体等はより小型化されており、これらの機器や媒体の部品点数の削減及び部品の小型化が要求されている。
- [0003] 従って、これらの機器を構成する部品のうち主要部品である半導体素子を効率的にパッケージする技術の開発が望まれている。
- [0004] そのような要求を満たすパッケージとして、半導体素子と同程度の大きさのパッケージであるチップスケールパッケージ(CSP)や複数の半導体素子を1つのパッケージ内に収容したマルチチップパッケージ(MCP)、さらにはパッケージ・オン・パッケージ(PoP)に代表される、複数のパッケージを1つにした積層型パッケージが知られている。図1にマルチチップパッケージ(MCP)の構造を示し、図2にパッケージ・オン・パッケージ(PoP)の構造を示す。パッケージ・オン・パッケージ(PoP)では、図2に示すように下パッケージと上パッケージとがはんだボールを介して電氣的に接続されており、下パッケージの樹脂封止部は金属を用いたモールド成形によって形成されている。
- [0005] 複数の半導体素子(ベアチップ)を1つのパッケージにしようとする場合、ウェハ内にでき上がる半導体素子の歩留りによっては、複数のチップが直接積層されて一体化されるMCPよりも複数のパッケージを一体化させる複合型パッケージの方が歩留りの面で有利である。なぜなら、前者は1個でも不良チップが存在すると、パッケージ全体が不良になって良品チップの再利用ができないのに対し、後者では良品のパッケージのみを組み合わせるパッケージ化することができるからである。
- [0006] 特許文献1には、複合型パッケージの一形態として、パッケージの中にパッケージ

を内蔵させたパッケージインパッケージ(PiP)構造の半導体装置が提案されている。これは、図3に示すように試験工程を経て良品とされたはんだボール6付きのパッケージ(内蔵半導体装置10)をパッケージに内蔵させたもので、内蔵パッケージの上にチップ9が搭載され、中継基板4とワイヤ3で接合されている構成である。

[0007] 特許文献1:日本国特許公開公報 特開2003-282814号公報

発明の開示

発明が解決しようとする課題

[0008] しかしながら、はんだバンプ付きのパッケージをパッケージに内蔵させる場合、以下の製造上の問題点が発生する。第1の問題点として、半導体装置に内蔵されている半導体装置は、基板上ではんだバンプを介して実装されている。この場合、半導体装置と基板の間隙が数十ミクロン程度と狭いため、封止工程の際にこの間隙に封止樹脂を充填すると、未充填やボイドが発生しやすくなる。予め別の樹脂(アンダーフィル材)を間隙に供給することもできるが、総じて低コストで安定した品質を確保することが困難になる。

[0009] 第2の問題点として、基板から半導体装置に伝達される主要な熱伝導経路が間隙のはんだバンプに限られる。特に基板と内蔵パッケージ上のワイヤ接続パッドの距離が大きくなると、基板からの熱がパッドまで伝わりにくくなり、ワイヤボンディングのために必要な温度を確保することが困難になる。

また、2つの半導体素子それぞれに中継基板を設けてワイヤボンディングする構成では、パッケージ全体を薄くすることが困難である。

[0010] 本発明は上記事情に鑑みてなされたものであり、低コストで安定した品質の積層型半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0011] かかる目的を達成するために本発明の積層型半導体装置は、基板上に搭載された半導体素子と、前記半導体素子を封止する第1の封止樹脂と、前記第1の封止樹脂上に配置された内蔵半導体装置と、前記基板上に形成されて、前記第1の封止樹脂に封止された前記半導体素子と前記内蔵半導体装置とを封止する第2の封止樹脂とを有し、前記半導体素子と前記内蔵半導体装置とは、ボンディングワイヤによつ

て前記基板に電氣的に接続された構成を備えている。このようなパッケージ構造の場合、内蔵半導体装置と基板との間にはんだバンプ等の外部接続端子が存在しないため、第2の封止樹脂での封止を容易に行うことができる。さらに、第1の封止樹脂上に内蔵半導体装置が直接配置されているので、熱の伝達経路が従来よりも広く、ワイヤボンディングによる配線が安定して実現できる。

- [0012] 上記構成の積層型半導体装置において、前記内蔵半導体装置は、前記第1の封止樹脂の登頂面上に配置され、該登頂面の面積と同等もしくは小さい面積を有しているとよい。内蔵半導体装置の面積が、その下の第1の封止樹脂の登頂面の面積と同等もしくは小さいことから、第1の封止樹脂からの熱が伝わりやすく、ワイヤボンディングを容易に行うことができる。
- [0013] 上記構成の積層型半導体装置において、前記内蔵半導体装置は、半導体素子若しくは該半導体素子をパッケージングしたパッケージであるとよい。内蔵半導体装置として、半導体素子や中継基板を持たない半導体装置を用いることで、基板の使用点数を削減し、パッケージコストの低減化に寄与することができる。
- [0014] 上記構成の積層型半導体装置において、前記内蔵半導体装置は、平坦な形状を持つ電極をその上面に具備し、前記ボンディングワイヤは該電極に接続されているとよい。内蔵半導体装置に平坦な電極を持たせることで、第1の封止樹脂上の内蔵半導体装置と基板とのボンディングワイヤによる接続が容易になる。また、この電極が第1の封止樹脂の直上に位置していることで、ワイヤボンディング条件、特に荷重や温度条件の許容範囲が広くなるという利点がある。
- [0015] 上記構成の積層型半導体装置において、前記内蔵半導体装置の電極は、その表層がアルミニウム、パラジウム、スズのいずれかを材料として含むとよい。内蔵半導体装置の電極の表層が、アルミニウム、パラジウム、スズのいずれかを材料として含んでいるので、基板と内蔵半導体装置との電氣的な接続をワイヤボンディングで取ることができる。
- [0016] 上記構成の積層型半導体装置において、前記第1の封止樹脂と、前記内蔵半導体装置とはペースト若しくはフィルム形態を持つ導電性接着剤によって接合されているとよい。接着剤に導電性材料を用いることにより、内蔵半導体装置の昇温が容易と

なり、ワイヤボンディング時の接合不良などの発生を防止することができる。特に、フィルム上の接着剤を用いることで、半導体装置の平行度を極力確保することができる。

[0017] 上記構成の積層型半導体装置において、前記内蔵半導体装置は、再配置配線層を具備しているとよい。再配置配線によって接続を取ることで、ワイヤボンディングが容易なる。

[0018] 本発明の積層型半導体装置の製造方法は、基板上に半導体素子を搭載し、前記基板と前記半導体素子とをワイヤで電氣的に接続するステップと、前記半導体素子を第1の封止樹脂で封止するステップと、前記第1の封止樹脂の登頂面に、内蔵半導体装置を搭載するステップと、前記基板と前記内蔵半導体装置とをワイヤで電氣的に接続するステップと、前記基板上に、第2の封止樹脂で、前記内蔵半導体装置と前記半導体素子とを封止するステップとを有している。このようなパッケージ構造の場合、内蔵半導体装置と基板との間にはんだバンプ等の外部接続端子が存在しないため、第2の封止樹脂での封止を容易に行うことができる。さらに、第1の封止樹脂上に内蔵半導体装置が直接配置されているので、熱の伝達経路が従来よりも広く、ワイヤボンディングによる配線が安定して実現できる。また、内蔵半導体装置の面積が、その下の第1の封止樹脂の登頂面の面積と同等もしくは小さいことから、第1の封止樹脂からの熱が伝わりやすく、ワイヤボンディングを容易に行うことができる。

発明の効果

[0019] 本発明は、低コストで安定した品質の積層型半導体装置及びその製造方法を提供することができる。

図面の簡単な説明

[0020] [図1]従来の積層型半導体装置の構成を示す断面図であり、マルチチップパッケージ(MCP)の構成を示す図である。

[図2]従来の積層型半導体装置の構成を示す断面図であり、パッケージ・オン・パッケージ(PoP)の構成を示す図である。

[図3]従来の積層型半導体装置の構成を示す断面図であり、パッケージ・イン・パッケージ(PiP)の構成を示す図である。

[図4]本発明の第1実施例である、内蔵半導体装置が半導体素子の積層型半導体装

置の構造を示す断面図である。

[図5]図4に示す第1実施例の変形例を示す図である。

[図6]図4に示す積層型半導体装置の製造手順を示すフローチャートである。

[図7]図4に示す積層型半導体装置の製造過程での構造を示す図である。

[図8]本発明の第2実施例である、内蔵半導体素子が半導体素子で構成され、封止樹脂を金型成型した積層型半導体装置の構造を示す図である。

[図9]本発明の第3実施例である、内蔵半導体素子が半導体素子で構成され、ワイヤが逆ボンディング法によって行われた積層型半導体装置の構成を示す図である。

[図10]本発明の第4実施例である、内蔵半導体装置が2個積層された半導体素子により構成された積層型半導体装置の構成を示す図である。

[図11]本発明の第5実施例である、内蔵半導体装置が樹脂封止型パッケージである積層型半導体装置の構成を示す図である。

[図12]本発明の第6実施例である、内蔵半導体装置が封止樹脂型パッケージで構成され、封止樹脂が金型成型された積層型半導体装置の構成を示す図である。

[図13]本発明の第7の実施例である、内蔵半導体装置が樹脂封止型パッケージで構成され、ワイヤが逆ボンディング法によって設けられた積層型半導体装置の構成を示す図である。

[図14]本発明の第8の実施例である、内蔵半導体装置がウェハレベルCSPである積層型半導体装置の構成を示す図である。

発明を実施するための最良の形態

[0021] 次に、添付図面を参照しながら本発明を実施するための最良の形態について説明する。

実施例 1

[0022] まず、図4を参照しながら本発明の第1実施例の構成について説明する。図4に示す第1実施例は、内蔵半導体装置として半導体素子を内蔵したボールグリッドアレイ型の積層型半導体装置である。パッケージ内には、下側パッケージ20と内蔵半導体装置としてのチップ9とが積層されている。下側パッケージ20は、基板4上に搭載された半導体素子1が第1の封止樹脂12で封止されている。この第1の封止樹脂12上

に導電性接着剤14によってチップ9が接合されている。なお、半導体素子1は、ダイ付け材5を間に挟んで基板4上に載置され、基板4上の電極19とワイヤで接続されている。

[0023] 下側パッケージ20は、金型成型で台形状に成型されている。すなわち、基板4と平行する切断面の面積が基板4から離れるに従って小さくなっている。この台形状の第1の封止樹脂12上にチップ9が積載されている。チップ9の面積は、第1の封止樹脂12の登頂面の面積と同等か若しくは小さい面積となっている。図5に、チップ9の面積が第1の封止樹脂12の面積よりも小さい場合を示す。チップ9の面積がその下の第1の封止樹脂12の登頂面の面積と同等か若しくは小さいことから、第1の封止樹脂12からの熱が伝わりやすく、チップ9と基板4とを接続するワイヤのボンディングを比較的容易に行うことが可能となる。

[0024] 第1の封止樹脂12とチップ9とは、導電性接着剤14によって接着されている。この導電性接着剤14は、ペースト若しくはフィルムの形態を持つ導電性材料からなる。接着剤に導電性材料を用いることによって、チップ9の昇温が容易となり、ワイヤボンディング時の接合不良などの発生を防止することができる。この導電性材料としては、銀ペーストなどのエポキシ系接着剤やシリコン系接着剤などが挙げられる。特に、第1の封止樹脂12上でチップ9やパッケージを複数個積層させる場合には、各々のチップ9又はパッケージの平行度を極力確保するためフィルム状接着剤を用いることが望ましい。

[0025] このように第1の封止樹脂12上にチップ9を搭載する場合、電極パッド11にはアルミニウムが一般的に用いられる。

[0026] また電極パッド11が、第1の封止樹脂12の直上に位置していることで、ワイヤボンディング条件、特に荷重や温度条件の許容範囲が広がる利点がある。

[0027] 下側パッケージ20とチップ9とを積層した半導体装置は第2の封止樹脂13によって封止されている。基板4の裏面側には、はんだボール6が形成されている。図4に示す積層型半導体装置は、樹脂成型を大判成型によって行っている。すなわち、下側パッケージ20とチップ9とを積層した半導体装置を基板4上に複数配置し、基板4と半導体装置との電氣的な接続を取った後にこれらをまとめてモールド成型し、最後に

これを個片に切断している。

[0028] このようなパッケージ構造の場合、内蔵半導体装置としてのチップ9と基板4との間にはんだボール等の外部接続端子の間隙が存在しないので、第2の封止樹脂13での成型が比較的容易となる。さらに、第1の封止樹脂12と内蔵半導体装置としてのチップ9とが直接貼り付いた形で接合されているので、熱の伝達経路が従来よりも広く、ワイヤボンディングを安定して行うことができる。さらに、下側の半導体素子1と上側の半導体素子9は共通の中継基板4に対してワイヤボンディングされるため、パッケージ全体の高さを低くすることができる。

[0029] ここで図6、図7を参照しながら上述した積層型半導体装置の製造手順を説明する。図6には、製造手順のフローチャートが示され、図7には製造段階での構成が示されている。まず、下側パッケージ20を製造する(ステップS1)。基板4上に半導体素子1を搭載し、基板4と半導体素子1との電氣的接続をワイヤボンディングによって取り、第1の封止樹脂12によって半導体素子1を封止する。図7(A)に、下側パッケージ20を示す。

[0030] 次に、第1の封止樹脂12上に導電性接着剤14を塗布し(ステップS2)、第1の封止樹脂12上にチップ9を搭載する(ステップS3)。チップ9の面積は、第1の封止樹脂12の登頂面の面積と同等か若しくは小さい面積となっている。このチップ9と基板4との接続をワイヤボンディングによって行う(ステップS3)。図7(B)には、導電性接着剤を第1の封止樹脂12上に塗布した状態を示し、図7(C)には、チップ9を第1の封止樹脂12上に搭載しワイヤボンディングを行った状態が示されている。

[0031] 次に、第1の封止樹脂12によって封止された半導体素子1と、チップ9とを第2の封止樹脂13によって封止し(ステップS4)、基板4の裏面側に外部接続用のはんだボール6を接続する。図7(D)にこのよう状態を示す。最後に、複数個まとめてモールド成型した積層型半導体装置を個片に切断し(ステップS5)、図7(E)に示す積層型半導体装置が完成する。

実施例 2

[0032] 第2実施例の積層型半導体装置の構成を図8に示す。図8に示す第2実施例の積層型半導体装置は、内蔵半導体素子として半導体素子を用い、第2の封止樹脂13

を金型成型した積層型半導体装置である。このような構造の積層型半導体装置であっても上述した第1実施例と同様な効果を得ることができる。

実施例 3

- [0033] 第3実施例の積層型半導体装置の構成を図9に示す。図9に示す第3実施例の積層型半導体装置は、内蔵半導体素子として半導体素子を用い、チップ9の電極パッド11と基板4上の電極19とを接続するワイヤ15を逆ボンディングによって接続した積層型半導体装置である。逆ボンディングは、ファーストボンディングとセカンドボンディングとを逆に行うボンディング方法であり、ファーストボンディングは基板4側に、セカンドボンディングはチップ9側に取られる。ワイヤ15が基板4に略平行となるように配線できるので、パッケージ自体の高さを低くすることができる。

実施例 4

- [0034] 第4実施例の積層型半導体装置の構成を図10に示す。図10に示す第4実施例の積層型半導体装置は、内蔵半導体装置が2個積層された半導体素子により構成された積層型半導体装置である。図10に示すように下型パッケージ10上に第1チップ16と第2チップ17とを積層している。第1チップ16と第2チップ17との接続も導電性接着剤14によって接着されている。このような構造の積層型半導体装置であっても上述した第1実施例と同様な効果を得ることができる。

実施例 5

- [0035] 第5実施例の積層型半導体装置の構成を図11に示す。図11に示す第5実施例の積層型半導体装置は、内蔵半導体装置が樹脂封止型パッケージである積層型半導体装置である。上側パッケージ18も基板4上に半導体素子1を配置したものを第1の封止樹脂12で封止した構成を備えている。下側パッケージ20の第1の封止樹脂12と、上側パッケージ18の第1の封止樹脂12とを対向するように向かい合わせ、導電性接着剤14で貼り合わせている。下側パッケージ20や上側パッケージ18の封止樹脂型パッケージは、上面に電極を持つあらゆる構造のパッケージを使用することができる。但し、パッケージの小型化を図るためには、チップサイズパッケージが好ましい。このようにチップ9や中継基板を持たないパッケージを用いることで、従来と比較して基板の使用点数を減らすことができ、パッケージコストの低減化に寄与することが

できる。

- [0036] 下側パッケージ20上にパッケージを搭載する場合には、電極パッド11はめっきにより形成されていることが望ましい。この場合、金、パラジウム、スズ(はんだ)が広く採用される材料である。また電極パッド11の層構成としては、例えば、銅やニッケルなどのめっき層と組み合わせた複数層構成であってもよい。また、BGAやチップサイズパッケージ(CSP)を下側パッケージ20上に設ける場合には、はんだボール等のような平坦形状を損なう外部電極等を設けるのではなく、平坦な形状を有する電極パッド11が上面になるように配置することによって、基板4と電極パッド11とのワイヤボンディングが可能となる。

実施例 6

- [0037] 第6実施例の積層型半導体装置の構成を図12に示す。図12に示す第6実施例の積層型半導体装置は、上側パッケージ18と、基板4とを接続するワイヤ15を逆ボンディングで形成したものである。このような構成の積層型半導体装置であっても上述した実施例と同様な効果を得ることができる。

実施例 7

- [0038] 第7実施例の積層型半導体装置の構成を図13に示す。図13に示す第7実施例の積層型半導体装置は、実施例5における第2の封止樹脂13が、金型成型によって台形状に形成された積層型半導体装置である。

実施例 8

- [0039] 第8実施例の積層型半導体装置の構成を図14に示す。図14に示す第8実施例の積層型半導体装置は、上側パッケージ18に再配置配線層21を備えている。上側パッケージ18は例えばウエハレベルCSPであり、チップ表面側はポリイミドの絶縁層によって封止され、同じ面側に外部電極を有している。再配置配線層21は、この絶縁層(第1の封止樹脂)上に形成されている。再配置配線層21は、銅めっきからなる柱の上面にニッケルとパラジウムの金属膜が積層されている。このような再配置配線層21を備えることによって、上側パッケージ18の外部電極の位置を再配置させ、平坦な電極パッドを設けることで、ワイヤボンディングによる接続がより容易となる。

- [0040] 上述した実施例は本発明の好適な実施例である。但しこれに限定されるものではない。

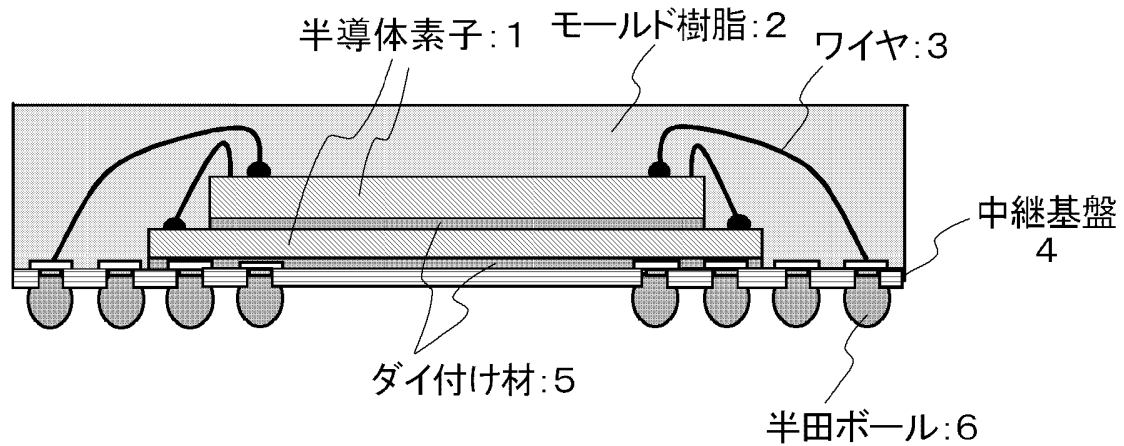
く、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。

請求の範囲

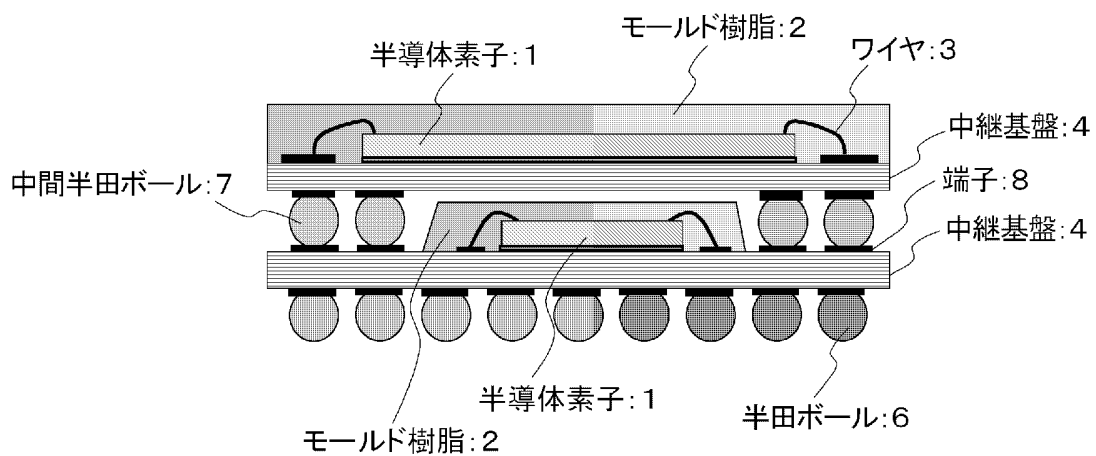
- [1] 基板上に搭載された半導体素子と、
前記半導体素子を封止する第1の封止樹脂と、
前記第1の封止樹脂上に配置された内蔵半導体装置と、
前記基板上に形成されて、前記第1の封止樹脂に封止された前記半導体素子と前記内蔵半導体装置とを封止する第2の封止樹脂とを有し、
前記半導体素子と前記内蔵半導体装置とは、ボンディングワイヤによって前記基板に電氣的に接続されていることを特徴とする積層型半導体装置。
- [2] 前記内蔵半導体装置は、前記第1の封止樹脂の登頂面上に配置され、該登頂面の面積と同等もしくは小さい面積を有していることを特徴とする請求項1記載の積層型半導体装置。
- [3] 前記内蔵半導体装置は、半導体素子若しくは該半導体素子をパッケージングしたパッケージであることを特徴とする請求項1記載の積層型半導体装置。
- [4] 前記内蔵半導体装置は、平坦な形状を持つ電極をその上面に具備し、前記ボンディングワイヤは該電極に接続されていることを特徴とする請求項1記載の積層型半導体装置。
- [5] 前記内蔵半導体装置の電極は、その表層がアルミニウム、パラジウム、スズのいずれかを材料として含むことを特徴とする請求項4記載の積層型半導体装置。
- [6] 前記第1の封止樹脂と、前記内蔵半導体装置とはペースト若しくはフィルム形態を持つ導電性接着剤によって接合されていることを特徴とする請求項1記載の積層型半導体装置。
- [7] 前記内蔵半導体装置は、再配置配線層を具備していることを特徴とする請求項1記載の積層型半導体装置。
- [8] 基板上に半導体素子を搭載し、前記基板と前記半導体素子とをワイヤで電氣的に接続するステップと、
前記半導体素子を第1の封止樹脂で封止するステップと、
前記第1の封止樹脂の登頂面に、内蔵半導体装置を搭載するステップと、
前記基板と前記内蔵半導体装置とをワイヤで電氣的に接続するステップと、

前記基板上に、第2の封止樹脂で、前記内蔵半導体装置と前記半導体素子とを封止するステップとを有することを特徴とする積層型半導体装置の製造方法。

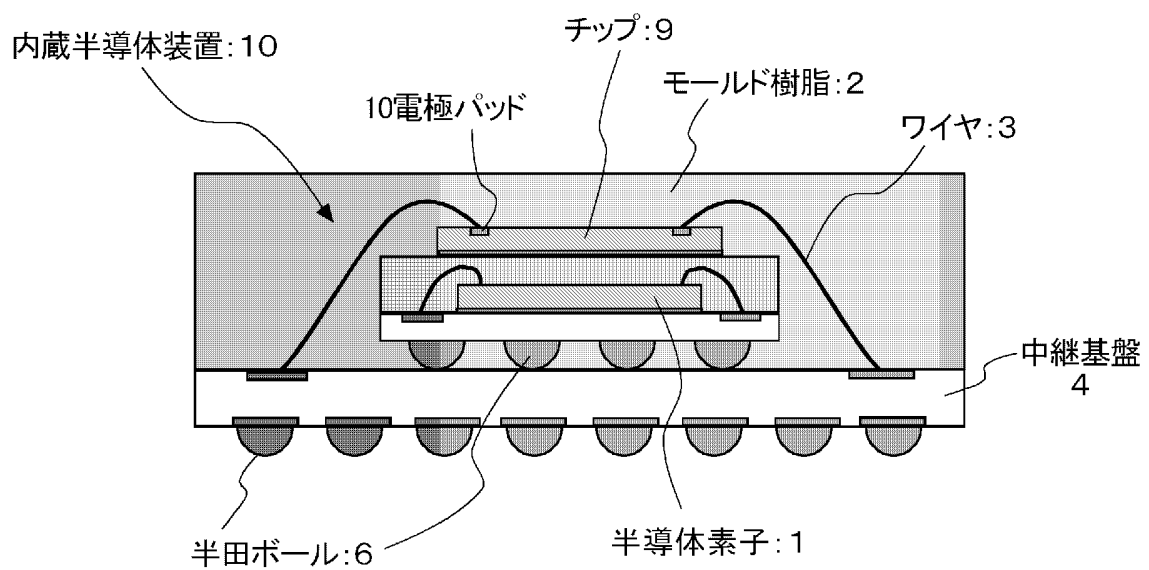
[図1]



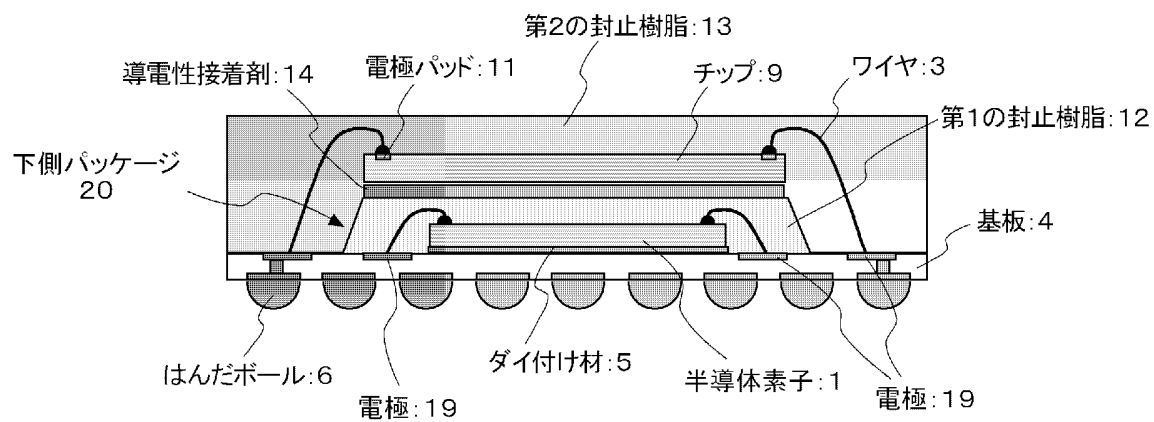
[図2]



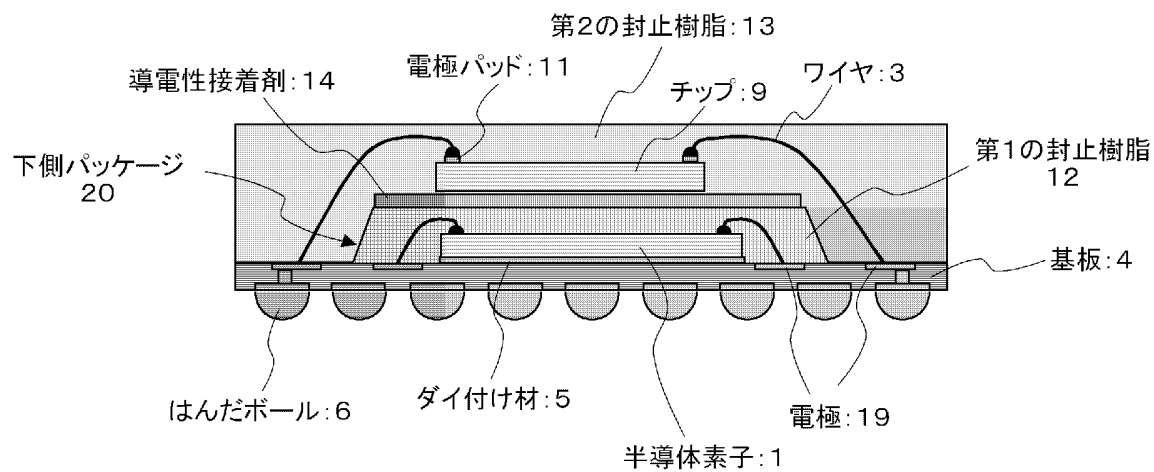
[図3]



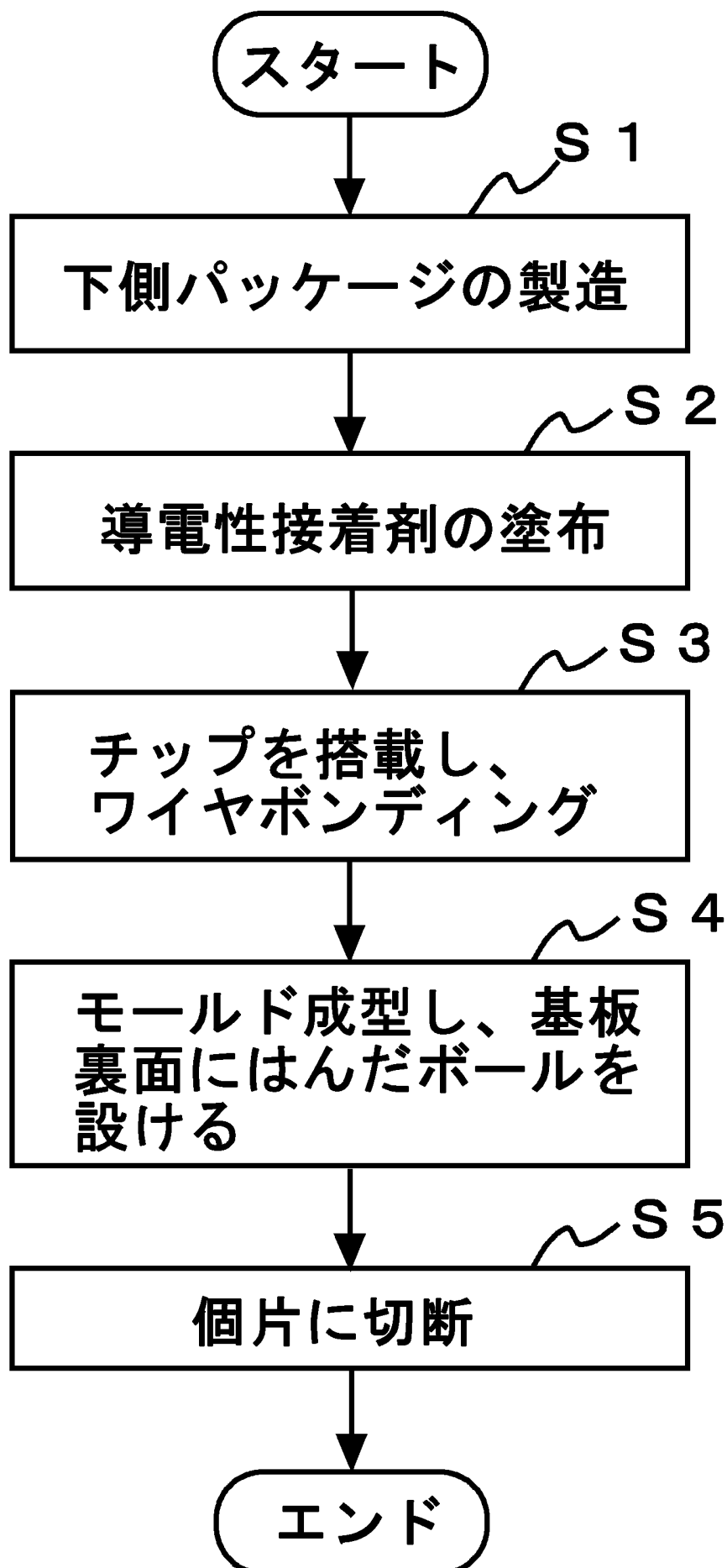
[図4]



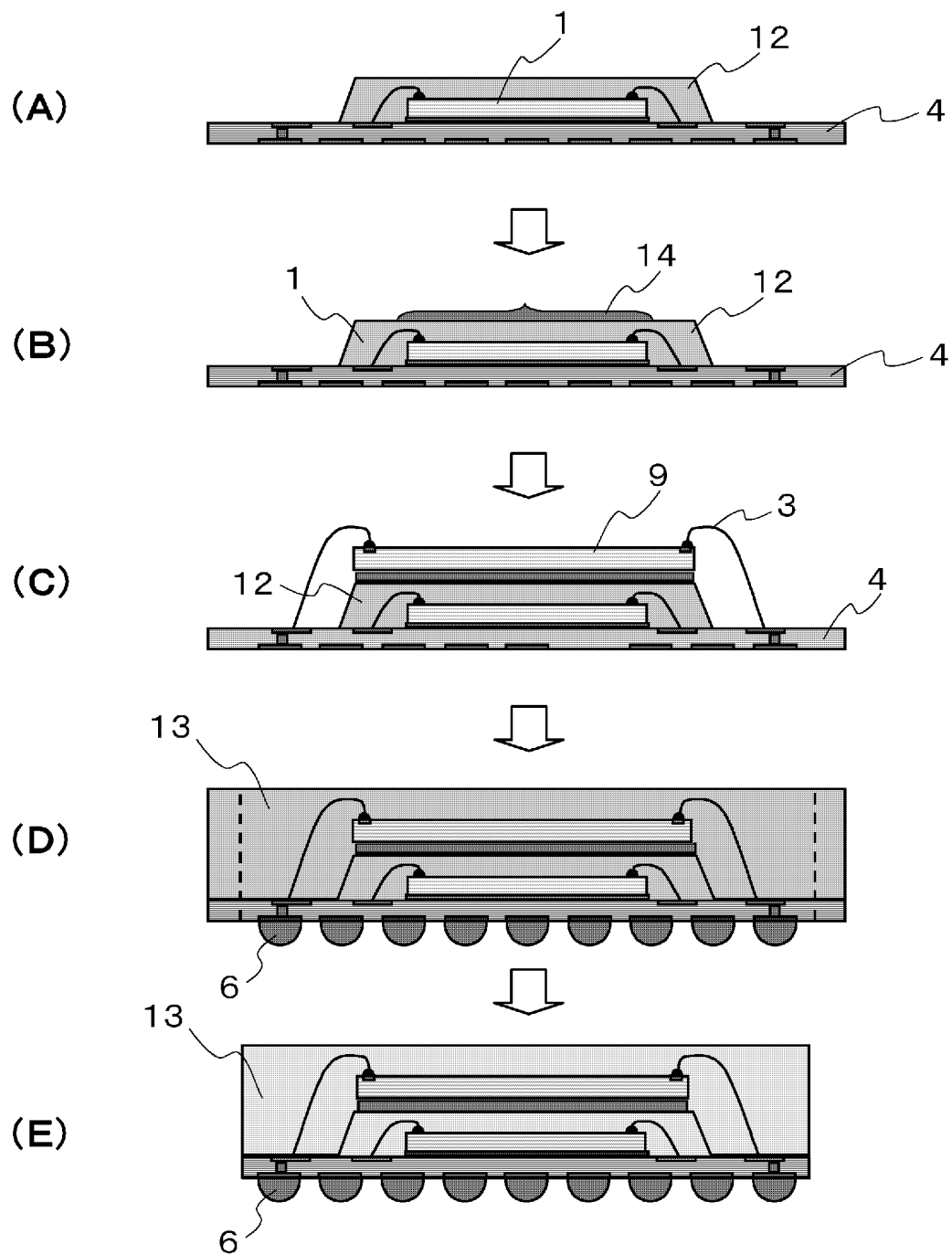
[図5]



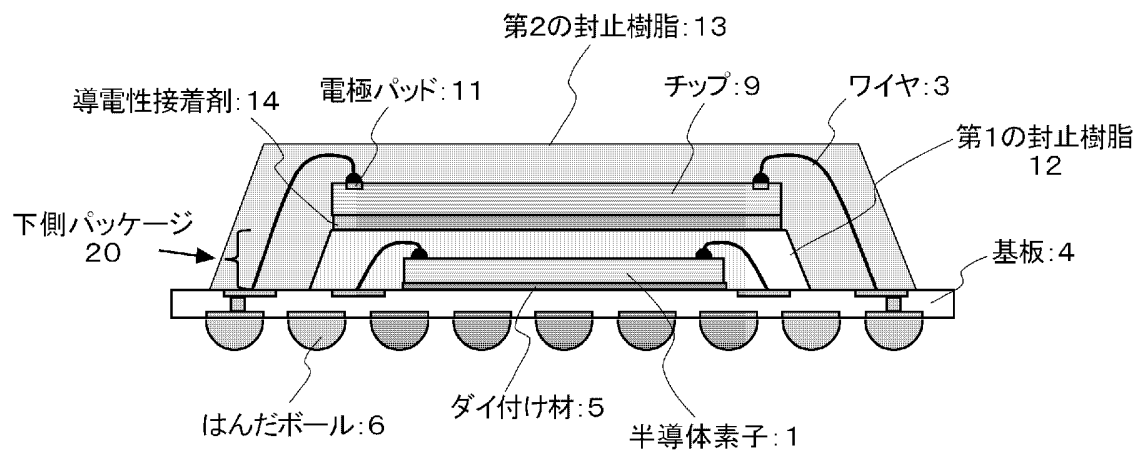
[図6]



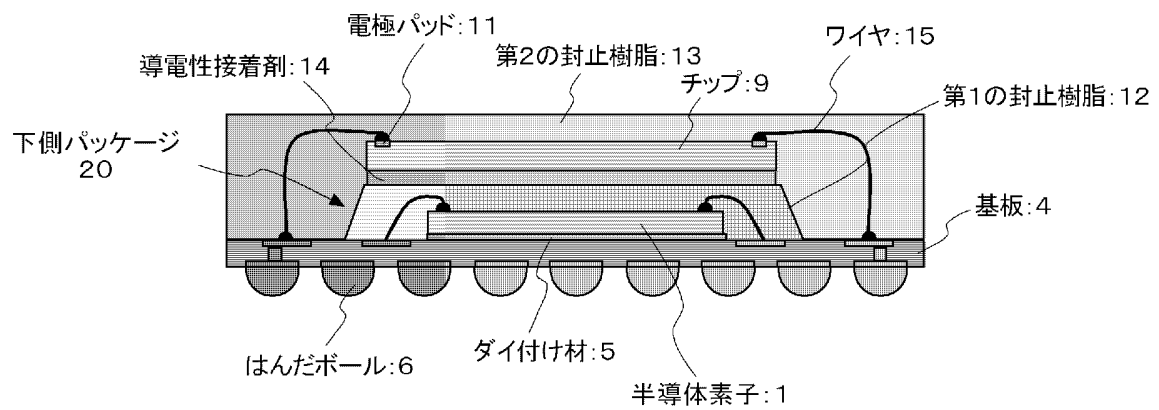
[図7]



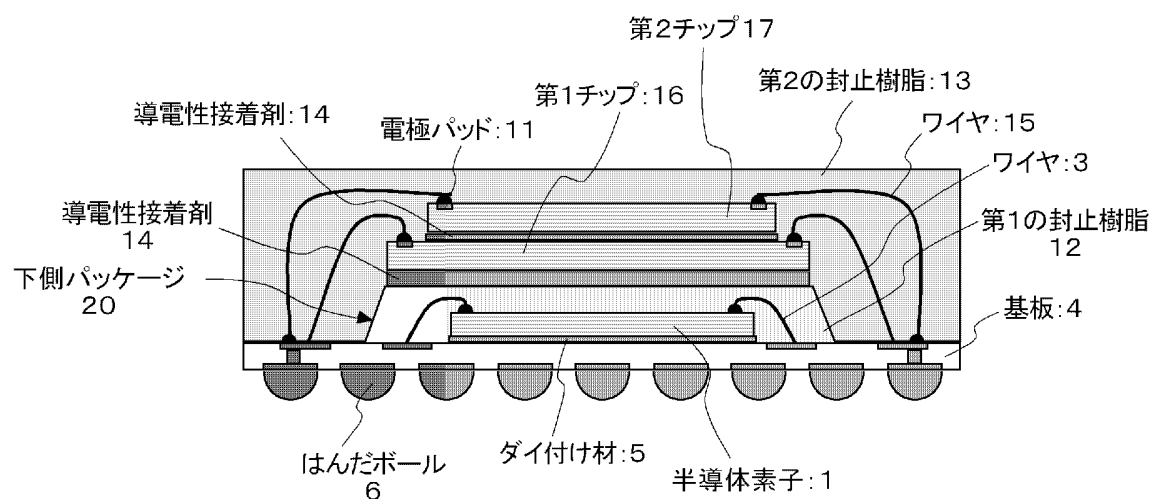
[図8]



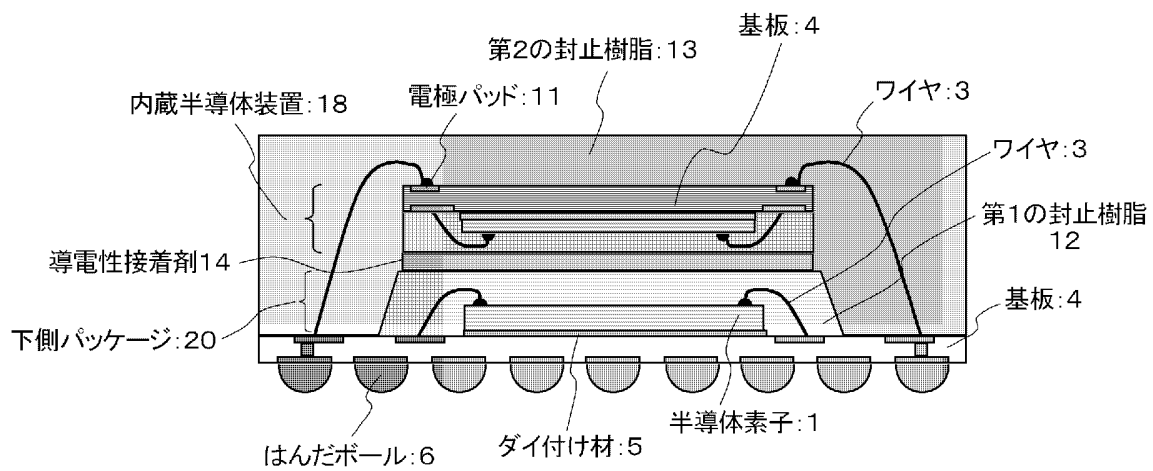
[図9]



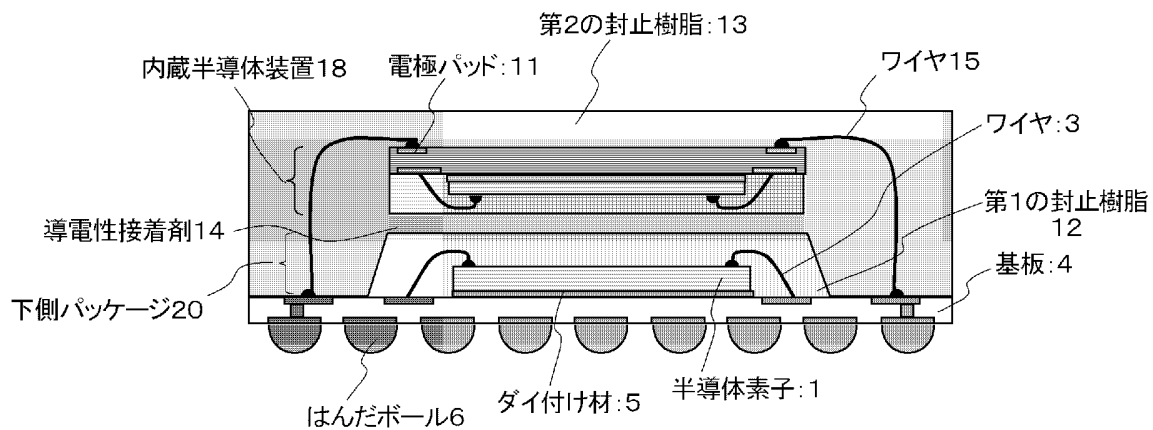
[図10]



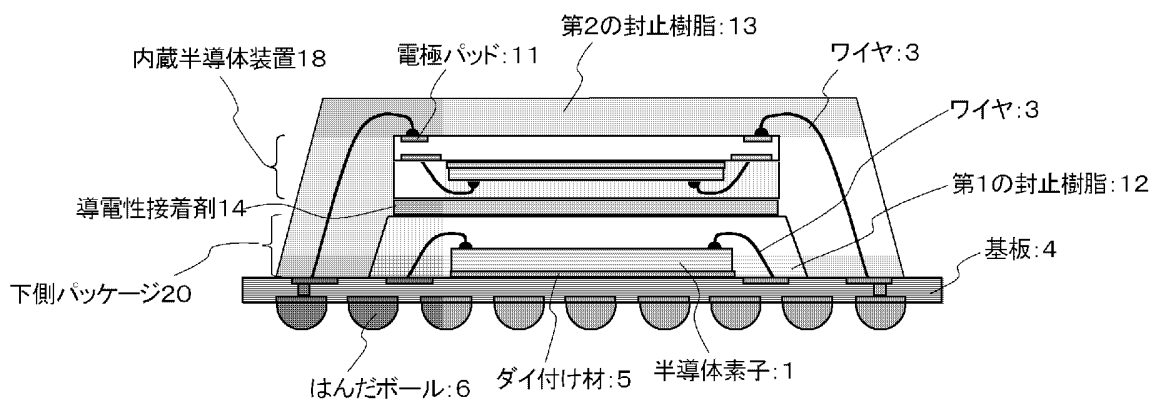
[図11]



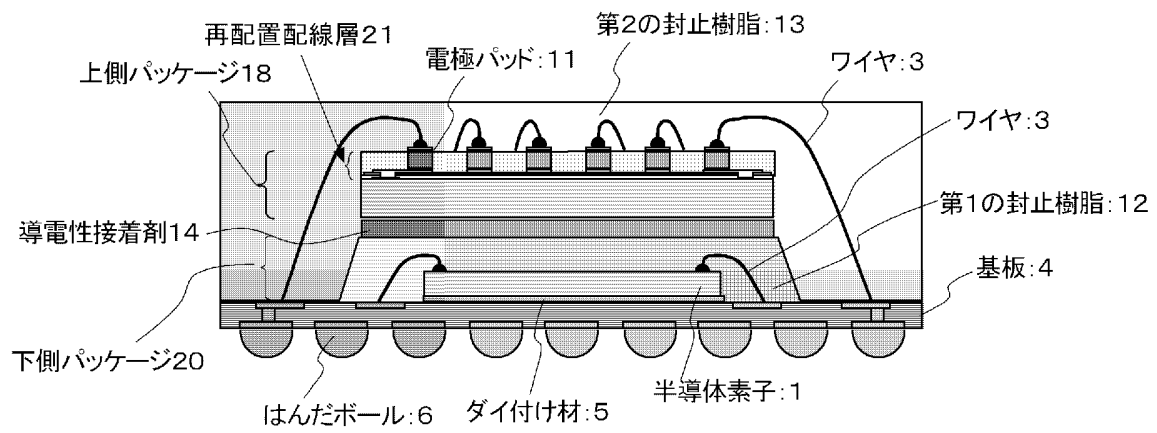
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006264

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H01L25/065, 25/07, 25/10, 25/11, 25/18 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H01L25/065, 25/07, 25/10, 25/11, 25/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 62-126661 A (NEC Corp.), 08 June, 1987 (08.06.87), Page 2, upper left column, line 9 to upper right column, line 9; Fig. 1 (Family: none)	1-6, 8
X	JP 4-56262 A (Matsushita Electronics Corp.), 24 February, 1992 (24.02.92), Page 2, upper left column, line 8 to upper right column, line 2; Fig. 1 (Family: none)	1-6, 8
X	JP 2004-214285 A (Ibiden Co., Ltd.), 29 July, 2004 (29.07.04), Par. Nos. [0016] to [0035], [0040]; Figs. 1 to 7, 9 (Family: none)	1-6, 8
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 June, 2005 (16.06.05)		Date of mailing of the international search report 05 July, 2005 (05.07.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006264

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-88316 A (NEC Corp.), 02 April, 1996 (02.04.96), Par. Nos. [0021] to [0031]; Figs. 1 to 2 (Family: none)	1-5, 8
A	JP 2003-197856 A (Oki Electric Industry Co., Ltd.), 11 July, 2003 (11.07.03), Par. Nos. [0017] to [0034]; Fig. 1 & US 2003/0122237 A1	7
E, A	JP 2005-158768 A (Casio Computer Co., Ltd.), 16 June, 2005 (16.06.05), Fig. 1 (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L25/065, 25/07, 25/10, 25/11, 25/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L25/065, 25/07, 25/10, 25/11, 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 62-126661 A (日本電気株式会社), 1987.06.08 2 頁左上欄 9 行—右上欄 9 行, 第 1 図 (ファミリーなし)	1-6, 8
X	JP 4-56262 A (松下電子工業株式会社), 1992.02.24 2 頁左上欄 8 行—右上欄 2 行, 第 1 図 (ファミリーなし)	1-6, 8
X	JP 2004-214285 A (イビデン株式会社), 2004.07.29 【0016】 - 【0035】, 【0040】, 図 1-7, 図 9 (ファミリーなし)	1-6, 8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

16.06.2005

国際調査報告の発送日

05.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

和瀬田 芳正

電話番号 03-3581-1101 内線 3471

4R

2929

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-88316 A (日本電気株式会社), 1996. 04. 02 【0021】 - 【0031】, 図 1-2 (ファミリーなし)	1-5, 8
A	JP 2003-197856 A (沖電気工業株式会社), 2003. 07. 11 【0017】 - 【0034】, 図 1 & US 2003/0122237 A1	7
E A	JP 2005-158768 A (カシオ計算機株式会社), 2005. 06. 16 図 1 (ファミリーなし)	7