

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5707786号
(P5707786)

(45) 発行日 平成27年4月30日 (2015. 4. 30)

(24) 登録日 平成27年3月13日 (2015. 3. 13)

(51) Int. Cl.	F I		
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	H	
HO 1 L 29/778 (2006.01)	HO 1 L 29/80	L	
HO 1 L 29/812 (2006.01)	HO 1 L 21/28	3 O 1 B	
HO 1 L 21/28 (2006.01)	HO 1 L 29/50	J	
HO 1 L 29/417 (2006.01)	HO 1 L 21/88	J	
請求項の数 10 (全 24 頁) 最終頁に続く			

(21) 出願番号 特願2010-194850 (P2010-194850)
 (22) 出願日 平成22年8月31日 (2010. 8. 31)
 (65) 公開番号 特開2012-54354 (P2012-54354A)
 (43) 公開日 平成24年3月15日 (2012. 3. 15)
 審査請求日 平成25年6月4日 (2013. 6. 4)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 園分 孝悦
 (72) 発明者 美濃浦 優一
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板と、
 前記基板の表面の上方に形成された化合物半導体層と
 を含み、
 前記基板の裏面に開口が形成され、
 前記化合物半導体層内に、前記開口の底面に露出した局所的な p 型領域が形成されてお
 り、

少なくとも前記開口内の側面及び底面を覆った、前記 p 型領域と接続された裏面電極を
 備え、

前記 p 型領域は、平面視で前記化合物半導体層の上方に形成されたドレイン電極とは異なる位置に形成されていることを特徴とする化合物半導体装置。

【請求項 2】

前記基板は絶縁性又は半絶縁性のものであり、
 前記裏面電極は、前記基板の裏面に形成された前記開口に埋め込まれていることを特徴
 とする請求項 1 に記載の化合物半導体装置。

【請求項 3】

前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極の
 直下に位置整合する領域に形成されていることを特徴とする請求項 1 又は 2 に記載の化
 合物半導体装置。

【請求項 4】

前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極及びソース配線の直下に位置整合する領域に形成されていることを特徴とする請求項 1 又は 2 に記載の化合物半導体装置。

【請求項 5】

前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極及びゲート電極の直下に位置整合する領域に形成されていることを特徴とする請求項 1 又は 2 に記載の化合物半導体装置。

【請求項 6】

前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極及びソース配線並びにゲート電極及びゲート配線の直下に位置整合する領域に形成されていることを特徴とする請求項 1 又は 2 に記載の化合物半導体装置。

10

【請求項 7】

基板の表面の上方に化合物半導体層を形成する工程と、
前記基板の裏面に、前記化合物半導体層の一部を露出させる開口を形成する工程と、
前記化合物半導体層の前記開口の底面から露出する部分に p 型不純物を導入し、前記開口の底面に露出する局所的な p 型領域を形成する工程と、
少なくとも前記開口内の側面及び底面を覆う、前記 p 型領域と接続された裏面電極を形成する工程と

を含み、

20

前記 p 型領域は、平面視で前記化合物半導体層の上方に形成されたドレイン電極とは異なる位置に形成されることを特徴とする化合物半導体装置の製造方法。

【請求項 8】

前記基板は絶縁性又は半絶縁性のものであり、
前記裏面電極は、前記基板の裏面に形成された前記開口に埋め込まれていることを特徴とする請求項 7 に記載の化合物半導体装置の製造方法。

【請求項 9】

前記 p 型不純物は、ベリリウムイオン又はマグネシウムイオンであることを特徴とする請求項 7 又は 8 に記載の化合物半導体装置の製造方法。

【請求項 10】

前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域に、ソース電極を形成する工程を更に含むことを特徴とする請求項 7 ~ 9 のいずれか 1 項に記載の化合物半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、化合物半導体層を備えた化合物半導体装置及びその製造方法に関する。

【背景技術】

【0002】

窒化物半導体デバイスは、高い飽和電子速度及びワイドバンドギャップ等の特徴を利用し、高耐圧及び高出力の半導体デバイスとしての開発が活発に行われている。窒化物半導体デバイスとしては、電界効果トランジスタ、特に高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) についての報告が数多くなされている。特に、GaN を電子走行層とし、AlGaN を電子供給層として用いた AlGaN/GaN・HEMT が注目されている。AlGaN/GaN・HEMT では、GaN と AlGaN との格子定数差に起因した歪みが AlGaN に生じる。これにより発生したピエゾ分極及び AlGaN の自発分極により、高濃度の 2 次元電子ガス (2DEG) が得られる。そのため、高耐圧及び高出力が実現できる。

40

【先行技術文献】

【特許文献】

50

【 0 0 0 3 】

【特許文献 1】特開 2 0 0 1 - 2 8 4 5 7 6 号公報

【特許文献 2】特開 2 0 0 7 - 3 2 9 2 0 5 号公報

【特許文献 3】特開 2 0 0 6 - 1 7 3 5 8 2 号公報

【特許文献 4】特開 2 0 0 1 - 1 6 8 1 1 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

ところが H E M T では、高電界下でインパクトイオン化によって生成される正孔（ホール）が電子走行層内に蓄積すると、デバイス耐圧の低下、キック効果によるゲートの閾値電圧の変動やドレイン電流の変動等の問題を生じる。この問題を解決するためには、インパクトイオン化によって生じるホールを電子走行層から引き抜く（排出する）ことが効果的であることが知られている。

10

【 0 0 0 5 】

このホールを電子走行層から引き抜くべく、電子走行層上或いは電子走行層の裏面側にホール引き抜き用電極を設ける技術が案出されている（特許文献 1 ～ 4 を参照）。

インパクトイオン化により生成したホールは、エネルギーバンドにおけるデバイス縦方向の荷電子帯の傾きにより、電子走行層の裏面側に移動し易いという性質がある。従って、電子走行層の裏面側にホール引き抜き用電極を配置することで、効果的にホールを引き抜くことができると考えられる（特許文献 3 , 4 を参照）。

20

【 0 0 0 6 】

しかしながら、特許文献 3 のように電子走行層の裏面に直接的にホール引き抜き用電極を設けた構成では、ホールを確実に引き抜くことはできない。そこで特許文献 4 のように、電子走行層下に p 型 G a N 層を形成し、p 型 G a N 層の裏面にホール引き抜き用電極を設けることが考えられる。ところがこの場合、p 型 G a N 層の裏面の全面が導電層であるため、H E M T の上下に容量成分が発生し、高周波特性が劣化する。また、ドレイン電極とホール引き抜き用電極との間で高電界が印加されるため、耐圧の低下も懸念される。

【 0 0 0 7 】

本発明は、上記の課題に鑑みてなされたものであり、容量増加による高周波特性の劣化及び裏面電極に起因する絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現する化合物半導体装置及びその製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【 0 0 0 8 】

化合物半導体装置の一態様は、基板と、前記基板の表面の上方に形成された化合物半導体層とを含み、前記基板の裏面に開口が形成され、前記化合物半導体層内に、前記開口の底面に露出した局所的な p 型領域が形成されており、少なくとも前記開口内の側面及び底面を覆った、前記 p 型領域と接続された裏面電極を備え、前記 p 型領域は、平面視で前記化合物半導体層の上方に形成されたドレイン電極とは異なる位置に形成されている。

40

【 0 0 0 9 】

化合物半導体装置の製造方法の一態様は、基板の表面の上方に化合物半導体層を形成する工程と、前記基板の裏面に、前記化合物半導体層の一部を露出させる開口を形成する工程と、前記化合物半導体層の前記開口の底面から露出する部分に p 型不純物を導入し、前記開口の底面に露出する局所的な p 型領域を形成する工程と、少なくとも前記開口内の側面及び底面を覆う、前記 p 型領域と接続された裏面電極を形成する工程とを含み、前記 p 型領域は、平面視で前記化合物半導体層の上方に形成されたドレイン電極とは異なる位置に形成される。

【発明の効果】

【 0 0 1 0 】

50

上記した各態様によれば、容量増加による高周波特性の劣化及び裏面電極に起因する絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現する化合物半導体装置を得ることができる。

【図面の簡単な説明】

【0011】

【図1】第1の実施形態によるAlGaN/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図2】図1に引き続き、第1の実施形態によるAlGaN/GaN・HEMTの製造方法を工程順に示す概略断面図である。

10

【図3】図2に引き続き、第1の実施形態によるAlGaN/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図4】第1の実施形態によるAlGaN/GaN・HEMTの製造方法における所定の工程を示す概略平面図である。

【図5】第1の実施形態によるAlGaN/GaN・HEMTの製造方法における所定の工程を示す概略平面図である。

【図6】第1の実施形態によるAlGaN/GaN・HEMTの作用効果を説明するための概略平面図である。

【図7】図6の破線I-I'に沿った概略断面図であり、図3(c)に対応する図である。

20

【図8】第1の実施形態によるAlGaN/GaN・HEMTの電子走行層及び電子供給層におけるエネルギーバンド図である。

【図9】第1の実施形態の変形例1によるAlGaN/GaN・HEMTを示す概略平面図である。

【図10】図9の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

【図11】第1の実施形態の変形例2によるAlGaN/GaN・HEMTを示す概略平面図である。

【図12】図11の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

30

【図13】第1の実施形態の変形例3によるAlGaN/GaN・HEMTを示す概略平面図である。

【図14】図13の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

【図15】第1の実施形態の変形例4によるAlGaN/GaN・HEMTを示す概略平面図である。

【図16】図15の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

【図17】第1の実施形態の変形例5によるAlGaN/GaN・HEMTを示す概略平面図である。

40

【図18】図17の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

【図19】第2の実施形態によるAlGaN/GaN・HEMTを示す概略平面図である。

【図20】第2の実施形態によるAlGaN/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図21】第2の実施形態の変形例によるAlGaN/GaN・HEMTを示す概略平面図である。

【図22】図21の破線I-I'に沿った概略断面に対応した概略断面図である。

【図23】第3の実施形態による電源装置の概略構成を示す結線図である。

50

【図24】第4の実施形態による高周波増幅器の概略構成を示す結線図である。

【発明を実施するための形態】

【0012】

以下、諸実施形態について図面を参照して詳細に説明する。以下の諸実施形態では、化合物半導体装置としてAlGaIn/GaN・HEMTを開示し、その構成について製造方法と共に説明する。なお、以下の図面において、図示の便宜上、相対的に正確な大きさ及び厚みに示していない構成部材がある。

【0013】

(第1の実施形態)

図1～図3は、第1の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。図4及び図5は、第1の実施形態によるAlGaIn/GaN・HEMTの製造方法における所定の工程を示す概略平面図である。

10

【0014】

先ず、成長用の基板1を用意する。基板1としては、絶縁性又は半絶縁性の基板を用いる。例えば、半絶縁性のSiC基板、半絶縁性のGaN基板、半絶縁性のSi基板、絶縁性のサファイア基板等が好ましい。本実施形態では、半絶縁性のSiC基板を使用する。

【0015】

図1(a)に示すように、基板1上に、バッファ層2、電子走行層3、電子供給層4を順次形成する。

詳細には、基板1上に、例えば分子線エピタキシー(MBE: Molecular Beam Epitaxy)法により、以下の各化合物半導体層を成長する。MBE法の代わりに、有機金属気相成長法であるMOCVD(Metal Organic Chemical Vapor Deposition)法等を用いても良い。

20

【0016】

SiC基板1上に、AlN、i-GaN、及びn-AlGaInを順次堆積し、バッファ層2、電子走行層3、電子供給層4を積層形成する。ここで、バッファ層2は膜厚20nm程度、電子走行層3は膜厚2μm程度、電子供給層4は膜厚20nm程度で例えばAl比率0.2に形成する。電子走行層3と電子供給層4との間に、例えばi-AlGaInを成長して中間層を形成するようにしても良い。電子供給層4上に、例えばn⁺-GaNを成長してキャップ層を形成するようにしても好適である。

30

【0017】

上記のAlN、i-GaN、及びn-AlGaInの成長条件としては、原料ガスとしてトリメチルアルミニウムガス、トリメチルガリウムガス、及びアンモニアガスの混合ガスを用いる。成長する化合物半導体層に応じて、Al源であるトリメチルアルミニウムガス、Ga源であるトリメチルガリウムガスの供給の有無及び流量を適宜設定する。共通原料であるアンモニアガスの流量は、100ccm～10LM程度とする。また、成長圧力は50Torr～300Torr程度、成長温度は1000～1200程度とする。n-AlGaInを成長する際には、n型不純物として例えばSiを含む例えばSiH₄ガスを所定の流量で原料ガスに添加し、AlGaInにSiをドーピングする。Siのドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度～ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

40

【0018】

続いて、図1(b)に示すように、電子供給層4上に保護膜5を形成する。

詳細には、例えば化学気相成長(CVD: Chemical Vapor Deposition)法により、電子供給層4上に膜厚200nm程度にSiO₂を堆積し、保護膜5を形成する。この保護膜5は、基板1の裏面側の工程時において表面側を保護するものである。このような役割の保護膜5としては、基板1の裏面側の工程の熱処理時に印加される温度に対して耐性を有し、且つGaN及びAlGaInとの反応性が低い材料である必要があり、SiO₂が好ましい。使用温度によっては、保護膜5にSiNやAlN等を適用することもできる。

【0019】

50

続いて、図1(c)に示すように、基板1の裏面に開口1aを形成する。

詳細には、先ず、基板1の裏面にスパッタ法等により例えばNiを堆積する。このNiをリソグラフィー及びドライエッチングにより加工して、エッチングマスク6を形成する。このエッチングマスク6は、後の工程で電子供給層4上に形成するソース電極の形成予定部位に位置整合した当該形成予定部位の直下となる基板1の裏面の領域を露出させる開口6aが形成される。

【0020】

次に、エッチングマスク6を用いて基板1を裏面からドライエッチングする。エッチングガスとしては、例えばSF₆及びO₂の混合ガスを用いる。この混合ガスを用いる場合、バッファ層2は電子供給層3に比べて極めて薄く、SiCとGaNとのエッチング選択比は大きいため、エッチングは電子走行層3に到達した時点で停止する。また、エッチング中に、エッチングされた電子走行層3のGaNにおけるGaのプラズマ発光波長をモニタリングする等して、エッチングのエンドポイントを検知することも可能である。電子走行層3の裏面にバッファ層2の一部又は低品質材料が残存する場合には、例えば70～80程度の温度のKOH溶液を用いてこれを除去する。

以上により、基板1の裏面には、エッチングマスク6の開口6aに倣って、ソース電極の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層3の裏面の領域を露出させる開口1aが形成される。

【0021】

続いて、図2(a)に示すように、開口1aの底面に露出する電子走行層3の部分にp型領域7を形成する。

詳細には、エッチングマスク6をイオン注入用マスクとして用い、開口6aから露出する、開口1aの底面に露出する電子走行層3の部分にp型不純物、例えばベリリウムイオン(Be⁺)を例えば200nm程度の深さまでイオン注入する。p型不純物として、Be⁺の代わりにマグネシウムイオン(Mg⁺)を用いても良い。

イオン注入後、例えば窒素雰囲気下において、基板1に例えば900で30分間程度のアニール処理を施し、電子走行層3のp型不純物を拡散させる。これにより、開口1aの底面に露出する電子走行層3の部分に局所的なp型領域7が形成される。

残存したエッチングマスク6は、所定のウェットエッチングにより除去する。

【0022】

続いて、図2(b)に示すように、基板1の裏面に裏面電極8を形成する。

詳細には、開口1aの内壁面(側面及び底面)上を含む基板1の裏面上に導電材料、ここでは例えばNi及びAuをスパッタ法等により膜厚10nm程度及び200nm程度に順次堆積する。これにより、開口1aの内壁面を含む基板1の裏面全面に、p型領域7とオーミック接触する裏面電極8が形成される。裏面電極8は、後工程で形成されるソース電極(ソース配線)とコンタクト孔等を通じて、或いは実装のワイヤー等を介して適宜に接続される。裏面電極8をソース電極ではなくゲート電極(ゲート配線)と接続するようにしても良い。

【0023】

続いて、図2(c)に示すように、図1(c)～図2(b)で基板1の表面を保護するために用いた保護膜5を除去する。

詳細には、フッ酸等を用いて基板1の表面をウェットエッチングする、これにより、基板1の表面の保護膜5が除去される。

【0024】

続いて、図4(a)に示すように、電子供給層4上に素子分離構造10を形成する。

詳細には、先ず、電子供給層4上にレジストを塗付し、リソグラフィーによりレジストを加工する。これにより、電子供給層4の素子分離領域の予定部位を露出させる開口を有するレジストマスクが形成される。

次に、レジストマスクを用いて、電子供給層4の開口から露出する部位に不純物、例えば硼素(ボロン)又はアルゴン(Ar)等をイオン注入する。これにより、電子供給層4

10

20

30

40

50

の素子分離領域に素子分離構造 10 が形成される。素子分離構造の形成は、このイオン注入の代わりに、いわゆる S T I (Shallow Trench Isolation) 法により、例えば塩素系ドライエッチングを用いて行っても良い。

【0025】

続いて、図 3 (a) 及び図 4 (b) に示すように、ソース電極 9 a 及びソース配線 9 b、並びにドレイン電極 11 a 及びドレイン配線 11 b を形成する。図 4 (b) の破線 I - I' に沿った断面が図 3 (a) に該当する。

詳細には、まず、電子供給層 4 上にレジストを塗付し、リソグラフィーによりレジストを加工する。これにより、ソース電極及びソース配線、ドレイン電極及びドレイン配線の形成予定部位を開口するレジストマスクが形成される。

10

【0026】

次に、電極材料として例えば T i / A l を用い、蒸着法等により、上記の開口を埋め込むようにレジストマスク上に T i 及び A l を膜厚 100 nm 程度及び 30 nm 程度に順次堆積する。リフトオフ法により、レジストマスク及びその上に堆積した T i / A l を除去する。その後、基板 1 を、例えば窒素雰囲気中において 400 ~ 1000 程度の温度、例えば 700 程度で熱処理し、T i / A l の電子供給層 4 とのオーミックコンタクトを確立する。以上により、電子供給層 4 上に、ソース電極 9 a 及びソース配線 9 b、並びにドレイン電極 11 a 及びドレイン配線 11 b が形成される。図 4 (a) のように、ソース電極 9 a 及びソース配線 9 b、ドレイン電極 11 a 及びドレイン配線 11 b はそれぞれ一体形成されている。ソース電極 9 a 及びドレイン電極 11 a は電子供給層 4 上の素子分離構造 10 で画定された活性領域上に、ソース配線 9 b 及びドレイン配線 11 b は素子分離構造 10 上にそれぞれ配設される。各ソース電極 9 a と各ドレイン電極 11 a とは、長手方向に沿って順次隣接して櫛歯状 (フィンガー状) に配設される。

20

【0027】

ソース電極 9 a 及びソース配線 9 b、並びにドレイン電極 11 a 及びドレイン配線 11 b を形成した後、例えばソース配線 9 b のみを覆う絶縁膜を形成する。

詳細には、基板 1 の全面に絶縁膜、例えば S i N 膜を C V D 法等で堆積した後、リソグラフィー及びドライエッチングにより絶縁膜を、ソース配線 9 b のみを覆う形状に加工する。

【0028】

続いて、図 3 (b) 及び図 5 に示すように、ゲート電極 12 a 及びゲート配線 12 b を形成する。図 5 の破線 I - I' に沿った断面が図 3 (b) に該当する。

30

詳細には、まず、電子供給層 4 上にレジストを塗付し、リソグラフィーによりレジストを加工する。これにより、ゲート電極及びゲート配線の形成予定部位を開口するレジストマスクが形成される。

【0029】

次に、電極材料として例えば N i / A u を用い、蒸着法等により、上記の開口を埋め込むようにレジストマスク上に N i 及び A u を膜厚 10 nm 程度及び 200 nm 程度に順次堆積する。リフトオフ法により、レジストマスク及びその上に堆積した N i / A u を除去する。以上により、電子供給層 4 上にゲート電極 12 a 及びゲート配線 12 b が形成される。図 4 (b) のように、ゲート電極 12 a 及びゲート配線 12 b は一体形成されており、一対のゲート電極 12 a が各ソース電極 9 a の両側に長手方向に沿って隣接するように配設される。

40

【0030】

続いて、図 3 (c) に示すように、パッシベーション膜 13 を形成する。

詳細には、例えば C V D 法により、電子供給層 4 上の全面を覆うように、絶縁膜、ここでは S i N 膜を例えば膜厚 500 nm 程度に堆積する。これにより、パッシベーション膜 13 が形成される。

【0031】

しかる後、層間絶縁膜の形成、ソース電極 9 a、ドレイン電極 11 a、及びゲート電極

50

1 2 a とそれぞれ導通する各配線の形成等の諸工程を経て、AlGa_N/Ga_N・HEMT が形成される。

【0032】

本実施形態によるAlGa_N/Ga_N・HEMT について、その作用効果を比較例との比較に基づいて説明する。

図6（パッシベーション膜13は省略）は、第1の実施形態によるAlGa_N/Ga_N・HEMT の作用効果を説明するための概略平面図であり、図5に対応する図である。図7は、図6の破線I-I'に沿った概略断面図であり、図3(c)に対応する図である。図8は、第1の実施形態によるAlGa_N/Ga_N・HEMT の電子走行層及び電子供給層におけるエネルギーバンド図である。

10

【0033】

このAlGa_N/Ga_N・HEMT では、図7のように、電子走行層3の電子供給層4との界面近傍に2次元電子ガス(2DEG)が生成される。本実施形態では、図6及び図7のように、基板1の裏面のソース電極9aの直下に位置整合する部分のみに、開口1aが形成されている。当該部分は開口1aの底面に該当し、当該部分のみで裏面電極8がp型領域7とオーミック接触している。裏面電極8は、ソース電極9a(ソース配線9b)とコンタクト孔等を通じて適宜に接続される。

【0034】

このAlGa_N/Ga_N・HEMT において、電子走行層4の2DEGで発生するホールは、図8のように、電位勾配により電子走行層4内で裏面側に向かって移動する。このときホールは、電子走行層4内の裏面側で、ソース電極9aの直下に形成されたp型領域7に移動する。これは、p型半導体ではホールが電気伝導を担うことに起因する。p型領域7に移動したホールは、裏面電極8を介して排出される。p型領域7は、基板1の開口1aの底面に位置整合するように電子走行層4内で局所的に形成されている。従って、p型領域7は、基板1の裏面では、開口1aの底面のみで露出する。そのため基板1では、開口1a以外の箇所においては、ドレイン電極11a及びゲート電極12aと裏面電極8との間には、導電領域であるp型領域7はなく、基板1の厚い非加工部分が存在する。この構成により、基板の裏面に導電領域が存在することに起因する容量増加の問題、及びドレイン電極と裏面電極との間の絶縁破壊の問題が生じることなく、インパクトイオン化によって発生したホールを効果的に除去することが可能となる。

20

30

【0035】

以上説明したように、本実施形態のAlGa_N/Ga_N・HEMT によれば、容量増加による高周波特性の劣化、及びドレイン電極11a及びドレイン配線11bと裏面電極8との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。

【0036】

- 変形例 -

以下、第1の実施形態の諸変形例について説明する。これらの変形例では、第1の実施形態に対応する構成部材等について同符号を付し、詳しい説明を省略する。

40

【0037】

(変形例1)

本例では、第1の実施形態と同様のAlGa_N/Ga_N・HEMT を開示するが、基板1の裏面の開口の形成領域が異なる点で第1の実施形態と相違する。

図9は、第1の実施形態の変形例1によるAlGa_N/Ga_N・HEMT を示す概略平面図である。図10は、図9の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

【0038】

本例では、第1の実施形態の図1(a)~図3(c)、図4及び図5と同様の諸工程を経て、AlGa_N/Ga_N・HEMT を形成するが、図1(c)に相当する工程を以下の

50

ように行う。

先ず、図10のように、基板1の裏面にスパッタ法等により例えばNiを堆積する。このNiをリソグラフィ及びドライエッチングにより加工して、エッチングマスク6を形成する。このエッチングマスク6は、後の工程で電子供給層4上に形成するソース配線の形成予定部位に位置整合した当該形成予定部位の直下となる基板1の裏面の領域を露出させる開口6bが形成される。

【0039】

次に、エッチングマスク6を用いて基板1を裏面からドライエッチングする。エッチングガスとしては、例えばSF₆及びO₂の混合ガスを用いる。この混合ガスを用いる場合、バッファ層2は電子供給層3に比べて極めて薄く、SiCとGaNとのエッチング選択比は大きいため、エッチングは電子走行層3に到達した時点で停止する。電子走行層3の裏面にバッファ層2の一部又は低品質材料が残存する場合には、例えば70～80程度の温度のKOH溶液を用いてこれを除去する。

以上により、基板1の裏面には、エッチングマスク6の開口6bに倣って、ソース配線の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層3の裏面の領域を露出させる開口1bが形成される。

【0040】

本例によるAlGaN/GaN・HEMTでは、図9のように、基板1の裏面のソース配線9bの直下に位置整合する部分のみに、開口1bが形成されている。当該部分は開口1bの底面に該当し、当該部分のみで裏面電極8がp型領域7とオーミック接触している。裏面電極8は、ソース電極9a(ソース配線9b)とコンタクト孔等を通じて適宜に接続される。

【0041】

本例のAlGaN/GaN・HEMTによれば、容量増加による高周波特性の劣化、及びドレイン電極11a及びドレイン配線11bと裏面電極8との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。また本例では、基板1の裏面で開口1bをソース配線9bに位置整合して形成するため、開口面積が大きくなり、基板1のドライエッチング等の裏面工程を容易に行うことができる。

【0042】

(変形例2)

本例では、第1の実施形態と同様のAlGaN/GaN・HEMTを開示するが、基板1の裏面の開口の形成領域が異なる点で第1の実施形態と相違する。

図11は、第1の実施形態の変形例2によるAlGaN/GaN・HEMTを示す概略平面図である。図12は、図11の破線I-I'に沿った概略断面に対応しており、第1の実施形態の図1(c)に相当する工程を示す概略断面図である。

【0043】

本例では、第1の実施形態の図1(a)～図3(c)、図4及び図5と同様の諸工程を経て、AlGaN/GaN・HEMTを形成するが、図1(c)に相当する工程を以下のように行う。

先ず、図12のように、基板1の裏面にスパッタ法等により例えばNiを堆積する。このNiをリソグラフィ及びドライエッチングにより加工して、エッチングマスク6を形成する。このエッチングマスク6は、後の工程で電子供給層4上に形成するソース電極及びソース配線の形成予定部位に位置整合した当該形成予定部位の直下となる基板1の裏面の領域を露出させる開口6cが形成される。

【0044】

次に、エッチングマスク6を用いて基板1を裏面からドライエッチングする。エッチングガスとしては、例えばSF₆及びO₂の混合ガスを用いる。この混合ガスを用いる場合、バッファ層2は電子供給層3に比べて極めて薄く、SiCとGaNとのエッチング選択比

10

20

30

40

50

は大きいため、エッチングは電子走行層 3 に到達した時点で停止する。電子走行層 3 の裏面にバッファ層 2 の一部又は低品質材料が残存する場合には、例えば 70 ~ 80 程度の温度の KOH 溶液を用いてこれを除去する。

以上により、基板 1 の裏面には、エッチングマスク 6 の開口 6 c に倣って、ソース電極及びソース配線の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層 3 の裏面の領域を露出させる開口 1 c が形成される。

【 0 0 4 5 】

本例による AlGaIn/GaN・HEMT では、図 11 のように、基板 1 の裏面のソース電極 9 a 及びソース配線 9 b の直下に位置整合する部分のみに、開口 1 c が形成されている。当該部分は開口 1 c の底面に該当し、当該部分のみで裏面電極 8 が p 型領域 7 とオーミック接触している。裏面電極 8 は、ソース電極 9 a (ソース配線 9 b) とコンタクト孔等を通じて適宜に接続される。

10

【 0 0 4 6 】

本例の AlGaIn/GaN・HEMT によれば、容量増加による高周波特性の劣化、及びドレイン電極 11 a 及びドレイン配線 11 b と裏面電極 8 との間の絶縁破壊を抑制し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。また本例では、開口 1 c の一部がソース電極 9 a の直下に位置整合するため、高い効率でホールを引き抜くことができる。基板 1 の裏面で開口 1 c をソース電極 9 a 及びソース配線 9 b に位置整合して形成するため、開口面積が大きくなり、基板 1 のドライエッチング等の裏面工程を容易に行うことができる。

20

【 0 0 4 7 】

(変形例 3)

本例では、第 1 の実施形態と同様の AlGaIn/GaN・HEMT を開示するが、基板 1 の裏面の開口の形成領域が異なる点で第 1 の実施形態と相違する。

図 13 は、第 1 の実施形態の変形例 3 による AlGaIn/GaN・HEMT を示す概略平面図である。図 14 は、図 13 の破線 I - I' に沿った概略断面に対応しており、第 1 の実施形態の図 1 (c) に相当する工程を示す概略断面図である。

【 0 0 4 8 】

本例では、第 1 の実施形態の図 1 (a) ~ 図 3 (c)、図 4 及び図 5 と同様の諸工程を経て、AlGaIn/GaN・HEMT を形成するが、図 1 (c) に相当する工程を以下のように行う。

30

先ず、図 14 のように、基板 1 の裏面にスパッタ法等により例えば Ni を堆積する。この Ni をリソグラフィ及びドライエッチングにより加工して、エッチングマスク 6 を形成する。このエッチングマスク 6 は、後の工程で電子供給層 4 上に形成するソース電極及びその両側のゲート電極の形成予定部位に位置整合した当該形成予定部位の直下となる基板 1 の裏面の領域を露出させる開口 6 d が形成される。

【 0 0 4 9 】

次に、エッチングマスク 6 を用いて基板 1 を裏面からドライエッチングする。エッチングガスとしては、例えば SF₆ 及び O₂ の混合ガスを用いる。この混合ガスを用いる場合、バッファ層 2 は電子供給層 3 に比べて極めて薄く、SiC と GaN とのエッチング選択比は大きいため、エッチングは電子走行層 3 に到達した時点で停止する。電子走行層 3 の裏面にバッファ層 2 の一部又は低品質材料が残存する場合には、例えば 70 ~ 80 程度の温度の KOH 溶液を用いてこれを除去する。

40

以上により、基板 1 の裏面には、エッチングマスク 6 の開口 6 d に倣って、ソース電極及びその両側のゲート電極の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層 3 の裏面の領域を露出させる開口 1 d が形成される。

【 0 0 5 0 】

本例による AlGaIn/GaN・HEMT では、図 13 のように、基板 1 の裏面のソース電極 9 a 及びその両側のゲート電極 12 a の直下に位置整合する部分のみに、開口 1 d

50

が形成されている。当該部分は開口 1 d の底面に該当し、当該部分のみで裏面電極 8 が p 型領域 7 とオーミック接触している。裏面電極 8 は、ソース電極 9 a (ソース配線 9 b) とコンタクト孔等を通じて適宜に接続される。

【 0 0 5 1 】

本例の AlGaIn/GaN・HEMT によれば、容量増加による高周波特性の劣化、及びドレイン電極 1 1 a 及びドレイン配線 1 1 b と裏面電極 8 との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。また本例では、開口 1 d の一部がソース電極 9 a の直下に位置整合するため、高い効率でホールを引き抜くことができる。基板 1 の裏面で開口 1 d をソース電極 9 a 及びその両側のゲート電極 1 2 a に位置整合して形成するため、開口面積が大きくなり、基板 1 のドライエッチング等の裏面工程を容易に行うことができる。

10

【 0 0 5 2 】

(変形例 4)

本例では、第 1 の実施形態と同様の AlGaIn/GaN・HEMT を開示するが、基板 1 の裏面の開口の形成領域が異なる点で第 1 の実施形態と相違する。

図 1 5 は、第 1 の実施形態の変形例 4 による AlGaIn/GaN・HEMT を示す概略平面図である。図 1 6 は、図 1 5 の破線 I - I' に沿った概略断面に対応しており、第 1 の実施形態の図 1 (c) に相当する工程を示す概略断面図である。

20

【 0 0 5 3 】

本例では、第 1 の実施形態の図 1 (a) ~ 図 3 (c)、図 4 及び図 5 と同様の諸工程を経て、AlGaIn/GaN・HEMT を形成するが、図 1 (c) に相当する工程を以下のように行う。

まず、図 1 6 のように、基板 1 の裏面にスパッタ法等により例えば Ni を堆積する。この Ni をリソグラフィ及びドライエッチングにより加工して、エッチングマスク 6 を形成する。このエッチングマスク 6 は、後の工程で電子供給層 4 上に形成するソース配線及びこれに隣接するゲート配線の形成予定部位に位置整合した当該形成予定部位の直下となる基板 1 の裏面の領域を露出させる開口 6 e が形成される。

【 0 0 5 4 】

次に、エッチングマスク 6 を用いて基板 1 を裏面からドライエッチングする。エッチングガスとしては、例えば SF₆ 及び O₂ の混合ガスを用いる。この混合ガスを用いる場合、バッファ層 2 は電子供給層 3 に比べて極めて薄く、SiC と GaN とのエッチング選択比は大きいため、エッチングは電子走行層 3 に到達した時点で停止する。電子走行層 3 の裏面にバッファ層 2 の一部又は低品質材料が残存する場合には、例えば 70 ~ 80 程度の温度の KOH 溶液を用いてこれを除去する。

30

以上により、基板 1 の裏面には、エッチングマスク 6 の開口 6 e に倣って、ソース配線及びゲート配線の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層 3 の裏面の領域を露出させる開口 1 e が形成される。

【 0 0 5 5 】

本例による AlGaIn/GaN・HEMT では、図 1 5 のように、基板 1 の裏面のソース配線 9 b 及びゲート配線 1 2 b の直下に位置整合する部分のみに、開口 1 e が形成されている。当該部分は開口 1 e の底面に該当し、当該部分のみで裏面電極 8 が p 型領域 7 とオーミック接触している。裏面電極 8 は、ソース電極 9 a (ソース配線 9 b) とコンタクト孔等を通じて適宜に接続される。

40

【 0 0 5 6 】

本例の AlGaIn/GaN・HEMT によれば、容量増加による高周波特性の劣化、及びドレイン電極 1 1 a 及びドレイン配線 1 1 b と裏面電極 8 との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。また本例では、基板 1 の裏面で開口 1 e をソース配線 9 b 及びゲート配線 1 2 b に

50

位置整合して形成するため、開口面積が大きくなり、基板 1 のドライエッチング等の裏面工程を容易に行うことができる。

【 0 0 5 7 】

(変形例 5)

本例では、第 1 の実施形態と同様の A l G a N / G a N ・ H E M T を開示するが、基板 1 の裏面の開口の形成領域が異なる点で第 1 の実施形態と相違する。

図 1 7 は、第 1 の実施形態の変形例 5 による A l G a N / G a N ・ H E M T を示す概略平面図である。図 1 8 は、図 1 7 の破線 I - I ' に沿った概略断面に対応しており、第 1 の実施形態の図 1 (c) に相当する工程を示す概略断面図である。

【 0 0 5 8 】

本例では、第 1 の実施形態の図 1 (a) ~ 図 3 (c)、図 4 及び図 5 と同様の諸工程を経て、A l G a N / G a N ・ H E M T を形成するが、図 1 (c) に相当する工程を以下のように行う。

図 1 8 のように、まず、基板 1 の裏面にスパッタ法等により例えば N i を堆積する。この N i をリソグラフィ及びドライエッチングにより加工して、エッチングマスク 6 を形成する。このエッチングマスク 6 は、後の工程で電子供給層 4 上の所定部位の直下に位置整合する基板 1 の裏面の領域を露出させる開口 6 f が形成される。この所定部位は、ソース電極及びソース配線、並びにソース電極の両側のゲート電極及びソース電極に隣接するゲート配線の形成予定部位である。

【 0 0 5 9 】

次に、エッチングマスク 6 を用いて基板 1 を裏面からドライエッチングする。エッチングガスとしては、例えば S F ₆ 及び O₂ の混合ガスを用いる。この混合ガスを用いる場合、バッファ層 2 は電子供給層 3 に比べて極めて薄く、S i C と G a N とのエッチング選択比は大きいため、エッチングは電子走行層 3 に到達した時点で停止する。電子走行層 3 の裏面にバッファ層 2 の一部又は低品質材料が残存する場合には、例えば 7 0 ~ 8 0 程度の温度の K O H 溶液を用いてこれを除去する。

以上により、基板 1 の裏面には、エッチングマスク 6 の開口 6 f に倣って、ソース電極ソース配線並びにゲート電極及びゲート配線の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層 3 の裏面の領域を露出させる開口 1 f が形成される。

【 0 0 6 0 】

本例による A l G a N / G a N ・ H E M T では、図 1 7 のように、基板 1 の裏面のソース電極 9 a 及びソース配線 9 b 並びにゲート電極 1 2 a 及びゲート配線 1 2 b の直下に位置整合する部分のみに、開口 1 f が形成されている。当該部分は開口 1 f の底面に該当し、当該部分のみで裏面電極 8 が p 型領域 7 とオーミック接触している。裏面電極 8 は、ソース電極 9 a (ソース配線 9 b) とコンタクト孔等を通じて適宜に接続される。

【 0 0 6 1 】

本例の A l G a N / G a N ・ H E M T によれば、容量増加による高周波特性の劣化、及びドレイン電極 1 1 a 及びドレイン配線 1 1 b と裏面電極 8 との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。また本例では、開口 1 f の一部がソース電極 9 a の直下に位置整合するため、高い効率でホールを引き抜くことができる。基板 1 の裏面で開口 1 f をソース電極 9 a 及びソース配線 9 b 並びにゲート電極 1 2 a 及びゲート配線 1 2 b に位置整合して形成するため、開口面積が大きくなり、基板 1 のドライエッチング等の裏面工程を容易に行うことができる。

【 0 0 6 2 】

(第 2 の実施形態)

本実施形態では、第 1 の実施形態と同様の A l G a N / G a N ・ H E M T を開示するが、ゲート電極、ソース電極及びドレイン電極の形状が異なる点で第 1 の実施形態と相違する。本実施形態では、第 1 の実施形態に対応する構成部材等について同符号を付し、詳し

10

20

30

40

50

い説明を省略する。

図19は、第2の実施形態によるAlGaN/GaN・HEMTを示す概略平面図である。図20は、第2の実施形態によるAlGaN/GaN・HEMTの製造方法の主要工程を示す概略断面図であり、(a)が第1の実施形態の図1(c)に相当する工程、(b)が第1の実施形態の図3(c)に相当する工程を示す。

【0063】

本実施形態では、第1の実施形態の図1(a)～図3(c)、図4及び図5と同様の諸工程を経て、AlGaN/GaN・HEMTを形成する。第1の実施形態では、ゲート電極、ソース電極及びドレイン電極を櫛歯状とするのに対して、本実施形態ではこれらを同心円状に形成する。

10

【0064】

図19のように、電子供給層4上において、破線で示す仮定の複数のハニカム(六角形状)領域内に、中央部位にソース電極21が形成され、ソース電極21を中心とした同心円環状にゲート電極23が、その外側に同心円環状にドレイン電極22が形成されている。各ハニカム領域のソース電極21同士、ドレイン電極22同士、及びゲート電極23同士は、電子供給層4の上層において、ビア孔等を通じて適宜に接続される。

【0065】

本実施形態では、第1の実施形態の図1(c)に相当する工程を以下のように行う。

図20(a)のように、まず、基板1の裏面にスパッタ法等により例えばNiを堆積する。このNiをリソグラフィ及びドライエッチングにより加工して、エッチングマスク6を形成する。このエッチングマスク6は、後の工程で電子供給層4上に形成するソース電極の形成予定部位に位置整合した当該形成予定部位の直下となる基板1の裏面の領域を露出させる開口6Aが形成される。

20

【0066】

次に、エッチングマスク6を用いて基板1を裏面からドライエッチングする。エッチングガスとしては、例えばSF₆及びO₂の混合ガスを用いる。この混合ガスを用いる場合、バッファ層2は電子供給層3に比べて極めて薄く、SiCとGaNとのエッチング選択比は大きいため、エッチングは電子走行層3に到達した時点で停止する。電子走行層3の裏面にバッファ層2の一部又は低品質材料が残存する場合には、例えば70～80程度の温度のKOH溶液を用いてこれを除去する。

30

以上により、基板1の裏面には、エッチングマスク6の開口6Aに倣って、ソース電極の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層3の裏面の領域を露出させる開口1Aが形成される。

【0067】

このAlGaN/GaN・HEMTでは、図20(b)のように、電子走行層3の電子供給層4との界面近傍に2次元電子ガス(2DEG)が生成される。本実施形態では、図19及び図20(b)のように、基板1の裏面のソース電極21の直下に位置整合する部分のみに、開口1Aが形成されている。当該部分は開口1Aの底面に該当し、当該部分のみで裏面電極8がp型領域7とオーミック接触している。裏面電極8は、ソース電極21とコンタクト孔等を通じて適宜に接続される。

40

【0068】

本実施形態のAlGaN/GaN・HEMTによれば、容量増加による高周波特性の劣化、及びドレイン電極22と裏面電極8との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。

【0069】

(変形例)

以下、第2の実施形態の諸変形例について説明する。本例では、第2の実施形態と同様のAlGaN/GaN・HEMTを開示するが、基板1の裏面の開口の形成領域が異なる点で第2の実施形態と相違する。

50

図 2 1 は、第 2 の実施形態の変形例による AlGaIn/GaN・HEMT を示す概略平面図である。図 2 2 は、図 2 1 の破線 I - I' に沿った概略断面に対応しており、(a) が第 1 の実施形態の図 1 (c) に相当する工程、(b) が第 1 の実施形態の図 3 (c) に相当する工程を示す概略断面図である。

【 0 0 7 0 】

本例では、第 1 の実施形態の図 1 (a) ~ 図 3 (c)、図 4 及び図 5 と同様の諸工程を経て、AlGaIn/GaN・HEMT を形成するが、図 1 (c) に相当する工程を以下のように行う。

図 2 2 (a) のように、まず、基板 1 の裏面にスパッタ法等により例えば Ni を堆積する。この Ni をリソグラフィ及びドライエッチングにより加工して、エッチングマスク 6 を形成する。このエッチングマスク 6 は、後の工程で電子供給層 4 上に形成するソース電極及びゲート電極の形成予定部位に位置整合した当該形成予定部位の直下となる基板 1 の裏面の領域を露出させる開口 6 B が形成される。

10

【 0 0 7 1 】

次に、エッチングマスク 6 を用いて基板 1 を裏面からドライエッチングする。エッチングガスとしては、例えば SF₆ 及び O₂ の混合ガスを用いる。この混合ガスを用いる場合、バッファ層 2 は電子供給層 3 に比べて極めて薄く、SiC と GaN とのエッチング選択比は大きいため、エッチングは電子走行層 3 に到達した時点で停止する。電子走行層 3 の裏面にバッファ層 2 の一部又は低品質材料が残存する場合には、例えば 70 ~ 80 程度の温度の KOH 溶液を用いてこれを除去する。

20

以上により、基板 1 の裏面には、エッチングマスク 6 の開口 6 B に倣って、ソース電極及びゲート電極の形成予定部位に位置整合した当該形成予定部位の直下となる電子走行層 3 の裏面の領域を露出させる開口 1 B が形成される。

【 0 0 7 2 】

本例による AlGaIn/GaN・HEMT では、図 2 1 のように、基板 1 の裏面のソース電極 2 1 及びゲート電極 2 3 の直下に位置整合する部分のみに、開口 1 B が形成されている。図 2 2 (b) のように、当該部分は開口 1 B の底面に該当し、当該部分のみで裏面電極 8 が p 型領域 7 とオーミック接触している。裏面電極 8 は、ソース電極 2 1 とコンタクト孔等を通じて適宜に接続される。

30

【 0 0 7 3 】

本例の AlGaIn/GaN・HEMT によれば、容量増加による高周波特性の劣化、及びドレイン電極 2 2 と裏面電極 8 との間の絶縁破壊を抑止し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能として、高耐圧性及び高信頼性を実現することができる。また本例では、開口 1 B の一部がソース電極 2 1 の直下に位置整合するため、高い効率でホールを引き抜くことができる。基板 1 の裏面で開口 1 B をソース電極 2 1 及びゲート電極 2 3 に位置整合して形成するため、開口面積が大きくなり、基板 1 のドライエッチング等の裏面工程を容易に行うことができる。

【 0 0 7 4 】

上記した第 1 及び第 2 の実施形態、これらの諸変形例では、化合物半導体装置として AlGaIn/GaN・HEMT を例示したが、これに限定されるものではなく、その他の HEMT にも適用できる。例えば、以下の態様 (1) ~ (5) 等が考えられる。

40

【 0 0 7 5 】

態様 (1)

化合物半導体装置として、InAlN/AlN・HEMT を開示する。

InAlN と AlN は、後者の方が前者よりも格子定数が小さい化合物半導体である。この場合、例えば図 1 (a) において、電子走行層 3 が i - AlN、電子供給層 4 が n - InAlN で形成される。

【 0 0 7 6 】

態様 (2)

50

化合物半導体装置として、 $\text{InAlGaN}/\text{AlN}\cdot\text{HEMT}$ を開示する。

InAlGaN と AlN は、後者の方が前者よりも格子定数が小さい化合物半導体である。この場合、例えば図1(a)において、電子走行層3が $i\text{-AlN}$ 、電子供給層4が $n\text{-InAlGaN}$ で形成される。

【0077】

態様(3)

化合物半導体装置として、 $\text{InAlGaN}/\text{InAlN}\cdot\text{HEMT}$ を開示する。

InAlN と InAlGaN とは、その In 、 Al 、 Ga の組成比率を調節することで、格子定数の大小関係が変わる。組成比率の調節により、 InAlN の格子定数を InAlGaN の格子定数よりも小さくしたり、逆に InAlGaN の格子定数を InAlN の格子定数よりも小さくすることができる。ここでは、 InAlGaN の格子定数を InAlN の格子定数よりも小さくする場合を例示する。

この場合、例えば図1(a)において、電子走行層3が $i\text{-InAlN}$ 、電子供給層4が $n\text{-InAlGaN}$ で形成される。

【0078】

態様(4)

化合物半導体装置として、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}/\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}\cdot\text{HEMT}$ を開示する

。同種の化合物半導体でも、その組成比率が異なれば格子定数も異なるものとなる。1種の化合物半導体で格子定数の異なるものとしては、例えば、 AlGaN については、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ とすることが考えられる。 AlGaN では、 Al の組成比率が大きいほど格子定数が小さくなる。従って、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ は $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ よりも格子定数が小さい。

この場合、例えば図1(a)において、電子走行層3が $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 、電子供給層4が $n\text{-Al}_{0.5}\text{Ga}_{0.5}\text{N}$ で形成される。

【0079】

態様(5)

化合物半導体装置として、 $\text{ZnMgO}/\text{ZnO}\cdot\text{HEMT}$ を開示する。

この場合、例えば図1(a)において、電子走行層3が $i\text{-ZnO}$ 、電子供給層4が $n\text{-ZnMgO}$ で形成される。

【0080】

(第3の実施形態)

本実施形態では、第1及び第2の実施形態並びにこれらの諸変形例のいずれかによる HEMT を備えた電源装置を開示する。

図23は、第3の実施形態による電源装置の概略構成を示す結線図である。

【0081】

本実施形態による電源装置は、高圧の一次側回路31及び低圧の二次側回路32と、一次側回路31と二次側回路32との間に配設されるトランス33とを備えて構成される。

一次側回路31は、交流電源34と、いわゆるブリッジ整流回路35と、複数(ここでは4つ)のスイッチング素子36a, 36b, 36c, 36dとを備えて構成される。また、ブリッジ整流回路35は、スイッチング素子36eを有している。

二次側回路32は、複数(ここでは3つ)のスイッチング素子37a, 37b, 37cを備えて構成される。

【0082】

本実施形態では、一次側回路31のスイッチング素子36a, 36b, 36c, 36d, 36eが、第1及び第2の実施形態並びにこれらの諸変形例のいずれかによる HEMT とされている。一方、二次側回路32のスイッチング素子37a, 37b, 37cは、シリコンを用いた一般的な $\text{MIS}\cdot\text{FET}$ とされている。

【0083】

本実施形態では、容量増加による高周波特性の劣化、及びドレインと裏面電極との間の

10

20

30

40

50

絶縁破壊を抑制し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能とするH E M Tを高圧回路に適用する。これにより、信頼性の高い大電力の電源回路が実現する。

【 0 0 8 4 】

(第4の実施形態)

本実施形態では、第1及び第2の実施形態並びにこれらの諸変形例のいずれかによるH E M Tを備えた高周波増幅器を開示する。

図24は、第4の実施形態による高周波増幅器の概略構成を示す結線図である。

【 0 0 8 5 】

本実施形態による高周波増幅器は、例えば携帯電話の基地局用パワーアンプに適用されるものである。この高周波増幅器は、デジタル・プレディストーション回路41と、ミキサ42a, 42bと、パワーアンプ43とを備えて構成される。

デジタル・プレディストーション回路41は、入力信号の非線形歪みを補償するものである。ミキサ42aは、非線形歪みが補償された入力信号と交流信号をミキシングするものである。パワーアンプ43は、交流信号とミキシングされた入力信号を増幅するものであり、第1及び第2の実施形態並びにこれらの諸変形例のいずれかによるH E M Tを有している。なお図24では、例えばスイッチの切り替えにより、出力側の信号をミキサ42bで交流信号とミキシングしてデジタル・プレディストーション回路41に送出できる構成とされている。

【 0 0 8 6 】

本実施形態では、容量増加による高周波特性の劣化、及びドレインと裏面電極との間の絶縁破壊を抑制し、チップ面積を増加させることなく、インパクトイオン化により生成したホールを容易且つ確実に引き抜いて排出することを可能とするH E M Tを高周波増幅器に適用する。これにより、信頼性の高い高耐圧の高周波増幅器が実現する。

【 0 0 8 7 】

以下、化合物半導体装置及びその製造方法、電源回路、及び高周波増幅器の諸態様を付記としてまとめて記載する。

【 0 0 8 8 】

(付記1) 基板と、

前記基板の表面の上方に形成された化合物半導体層と

を含み、

前記基板の裏面に開口が形成され、

前記化合物半導体層内に、前記開口の底面に一部が露出する局所的なp型領域が形成されており、

前記開口を導電材料で埋め込み前記p型領域と接続された裏面電極を備えることを特徴とする化合物半導体装置。

【 0 0 8 9 】

(付記2) 前記基板は絶縁性又は半絶縁性のものであり、

前記開口内の側面及び底面を覆うように、前記基板の裏面上に前記裏面電極が形成されていることを特徴とする付記1に記載の化合物半導体装置。

【 0 0 9 0 】

(付記3) 前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極の直下に位置整合する領域に形成されていることを特徴とする付記1又は2に記載の化合物半導体装置。

【 0 0 9 1 】

(付記4) 前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース配線の直下に位置整合する領域に形成されていることを特徴とする付記1又は2に記載の化合物半導体装置。

【 0 0 9 2 】

(付記5) 前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソ

10

20

30

40

50

ース電極及びソース配線の直下に位置整合する領域に形成されていることを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

【 0 0 9 3 】

(付記 6) 前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極及びゲート電極の直下に位置整合する領域に形成されていることを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

【 0 0 9 4 】

(付記 7) 前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース配線及びゲート配線の直下に位置整合する領域に形成されていることを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

10

【 0 0 9 5 】

(付記 8) 前記開口は、前記基板の裏面の、前記化合物半導体層の上方に形成されたソース電極及びソース配線並びにゲート電極及びゲート配線の直下に位置整合する領域に形成されていることを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

【 0 0 9 6 】

(付記 9) 基板の表面の上方に化合物半導体層を形成する工程と、前記基板の裏面に、前記化合物半導体層の一部を露出させる開口を形成する工程と、前記化合物半導体層の前記開口の底面から露出する部分に p 型不純物を導入し、前記開口の底面に一部が露出する局所的な p 型領域を形成する工程と、前記開口を導電材料で埋め込み、前記 p 型領域と接続された裏面電極を形成する工程とを含むことを特徴とする化合物半導体装置の製造方法。

20

【 0 0 9 7 】

(付記 10) 前記基板は絶縁性又は半絶縁性のものであり、前記開口内の側面及び底面を覆うように、前記基板の裏面上に前記裏面電極を形成することを特徴とする付記 9 に記載の化合物半導体装置の製造方法。

【 0 0 9 8 】

(付記 11) 前記 p 型不純物は、ベリリウムイオン又はマグネシウムイオンであることを特徴とする付記 9 又は 10 に記載の化合物半導体装置の製造方法。

【 0 0 9 9 】

(付記 12) 前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域に、ソース電極を形成する工程を更に含むことを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

30

【 0 1 0 0 】

(付記 13) 前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域に、ソース配線を形成する工程を更に含むことを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

【 0 1 0 1 】

(付記 14) 前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域に、ソース電極及びソース配線を形成する工程を更に含むことを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

40

【 0 1 0 2 】

(付記 15) 前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域に、ソース電極及びゲート電極を形成する工程を更に含むことを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

【 0 1 0 3 】

(付記 16) 前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域に、ソース配線及びゲート配線を形成する工程を更に含むことを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

【 0 1 0 4 】

(付記 17) 前記化合物半導体層の上方の、前記開口の底面の直上に位置整合する領域

50

に、ソース電極及びソース配線並びにゲート電極及びゲート配線を形成する工程を更に含むことを特徴とする付記 9 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

【0105】

(付記 18) 変圧器と、前記変圧器を挟んで高圧回路及び低圧回路とを備え、前記高圧回路はトランジスタを有しており、前記トランジスタは、基板と、前記基板の表面の上方に形成された化合物半導体層とを含み、前記基板の裏面に開口が形成され、前記化合物半導体層内に、前記開口の底面に一部が露出する局所的な p 型領域が形成されており、前記開口を導電材料で埋め込み前記 p 型領域と接続された裏面電極を備えることを特徴とする電源回路。

10

【0106】

(付記 19) 入力した高周波電圧を増幅して出力する高周波増幅器であって、トランジスタを有しており、前記トランジスタは、基板と、前記基板の表面の上方に形成された化合物半導体層とを含み、前記基板の裏面に開口が形成され、前記化合物半導体層内に、前記開口の底面に一部が露出する局所的な p 型領域が形成されており、前記開口を導電材料で埋め込み前記 p 型領域と接続された裏面電極を備えることを特徴とする高周波増幅器。

20

【符号の説明】

【0107】

- 1 基板
- 1 a , 1 b , 1 c , 1 d , 1 e , 1 f , 1 A , 1 B , 6 a , 6 b , 6 c , 6 d , 6 e , 6 f , 6 A , 6 B 開口
- 2 バッファ層
- 3 電子走行層
- 4 電子供給層
- 5 保護膜
- 6 エッチングマスク
- 7 p 型領域
- 8 裏面電極
- 9 a , 2 1 ソース電極
- 9 b ソース配線
- 1 0 素子分離構造
- 1 1 a , 2 2 ドレイン電極
- 1 1 b ドレイン配線
- 1 2 a , 2 3 ゲート電極
- 1 2 b ゲート配線
- 1 3 パッシベーション膜
- 3 1 一次側回路
- 3 2 二次側回路
- 3 3 トランス
- 3 4 交流電源

30

40

50

3 5 ブリッジ整流回路

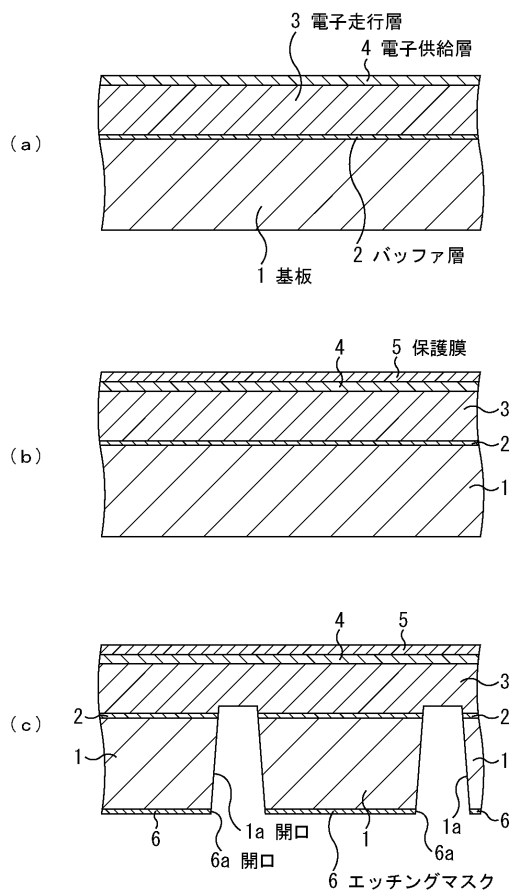
3 6 a , 3 6 b , 3 6 c , 3 6 d , 3 6 e , 3 7 a , 3 7 b , 3 7 c スイッチング素子

4 1 デジタル・プレディストーション回路

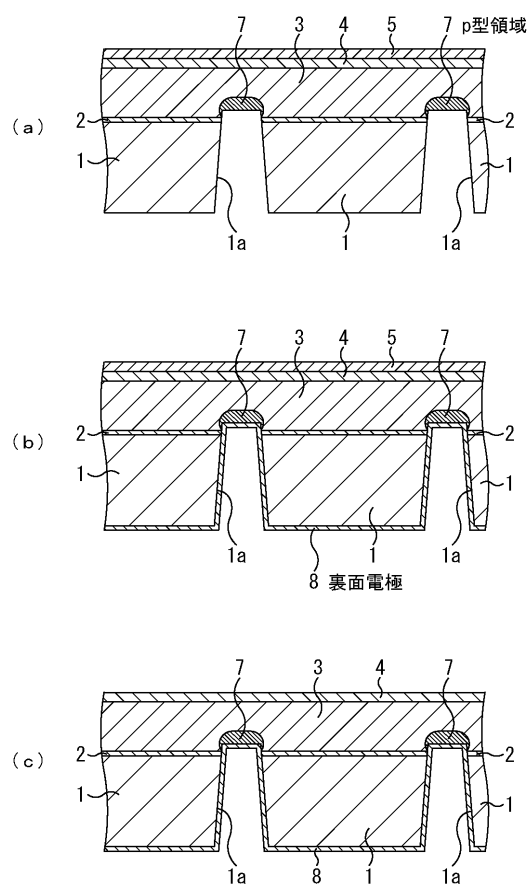
4 2 a , 4 2 b ミキサー

4 3 パワーアンプ

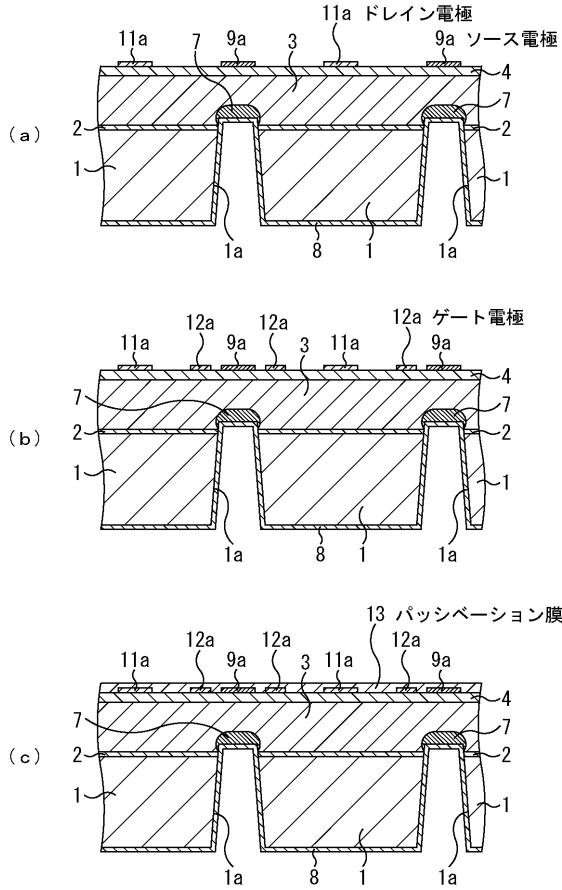
【 図 1 】



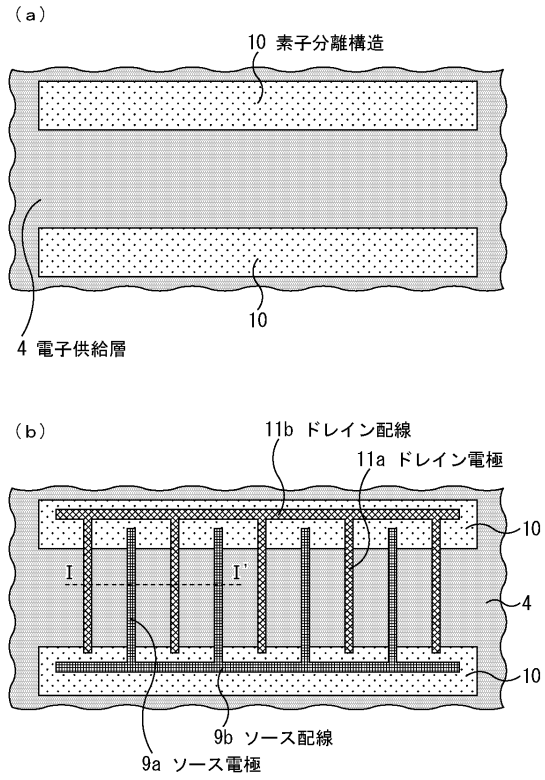
【 図 2 】



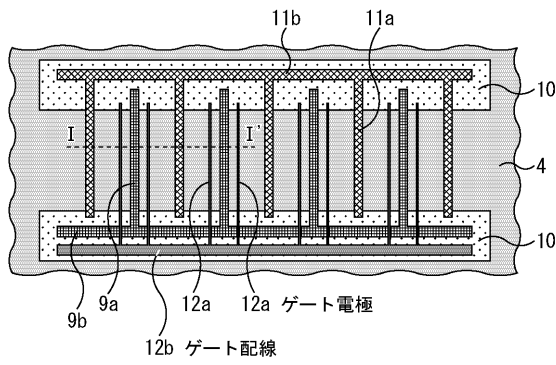
【図3】



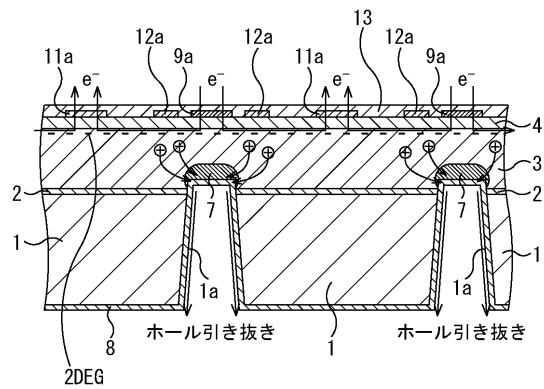
【図4】



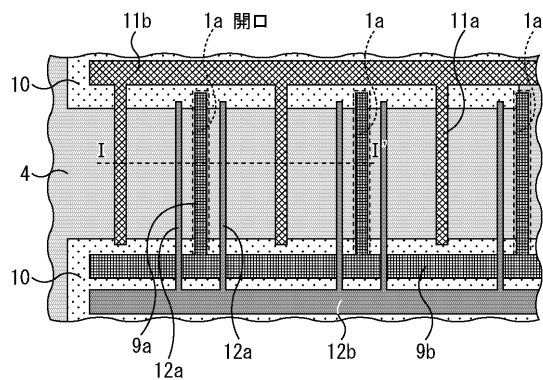
【図5】



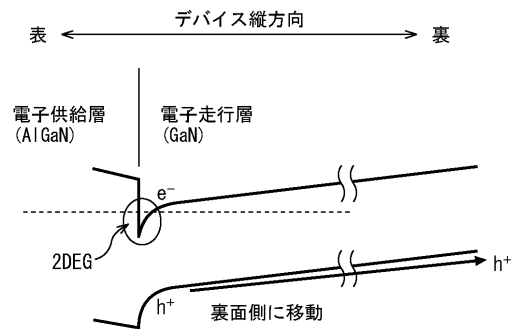
【図7】



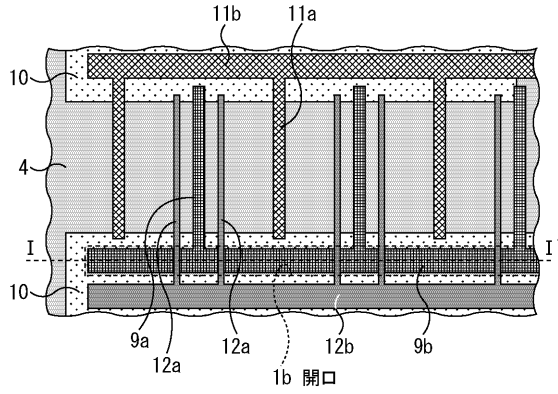
【図6】



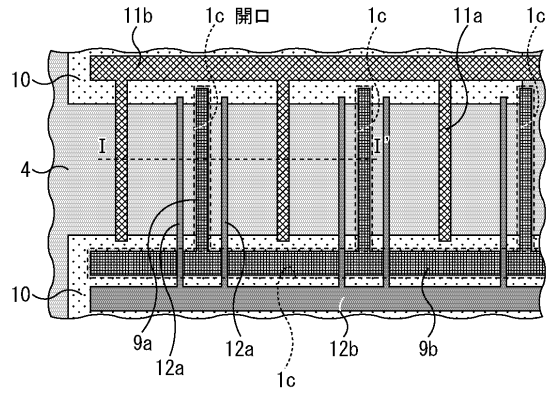
【図8】



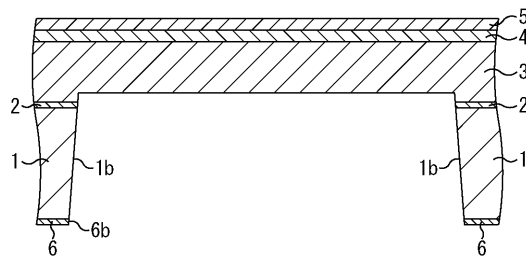
【図 9】



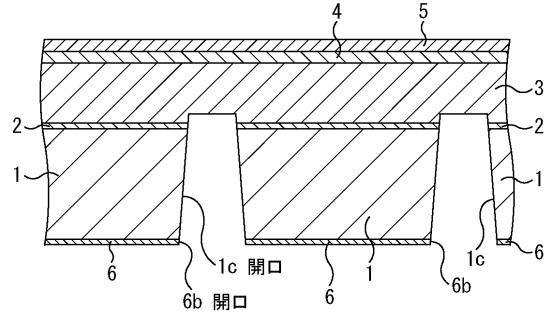
【図 11】



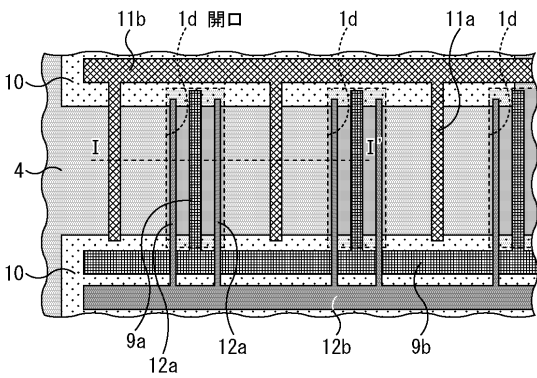
【図 10】



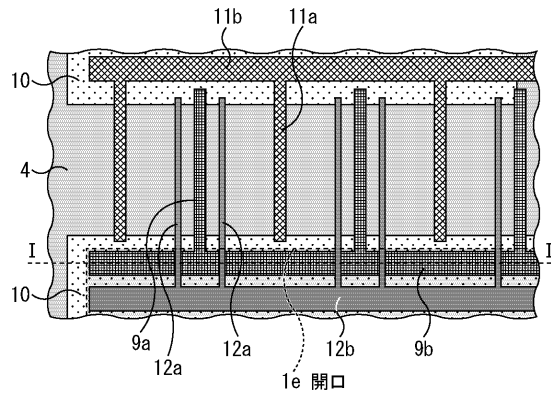
【図 12】



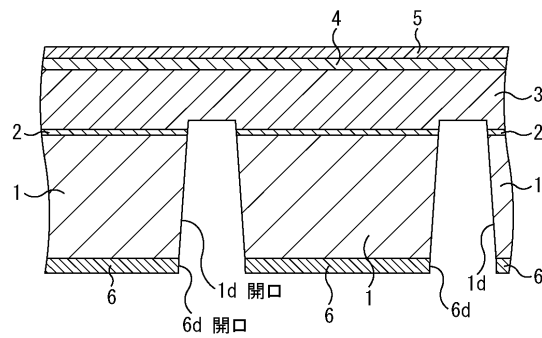
【図 13】



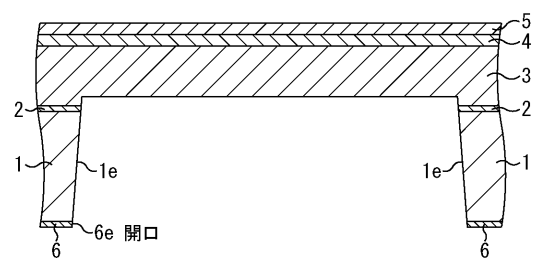
【図 15】



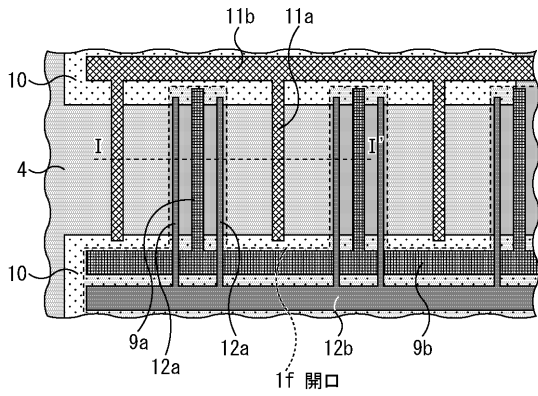
【図 14】



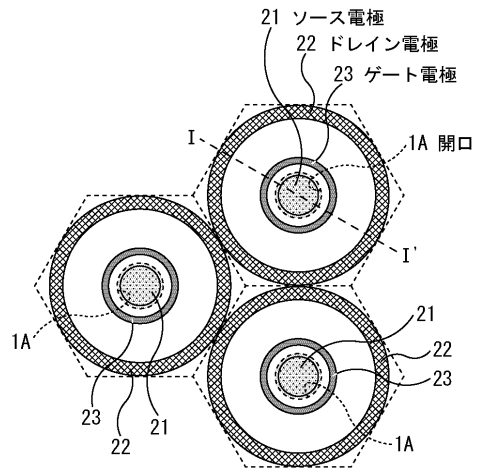
【図 16】



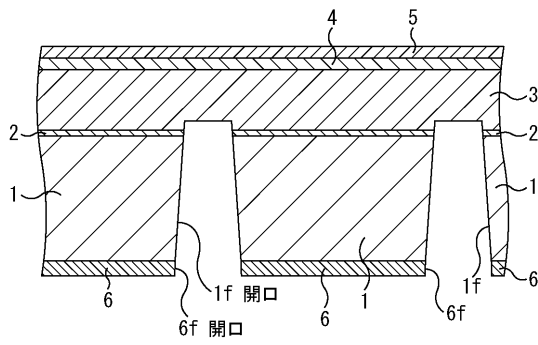
【図17】



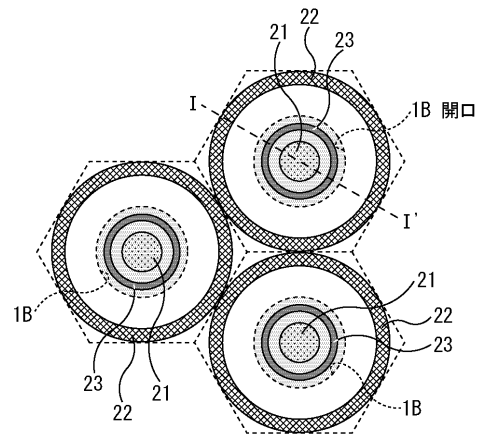
【図19】



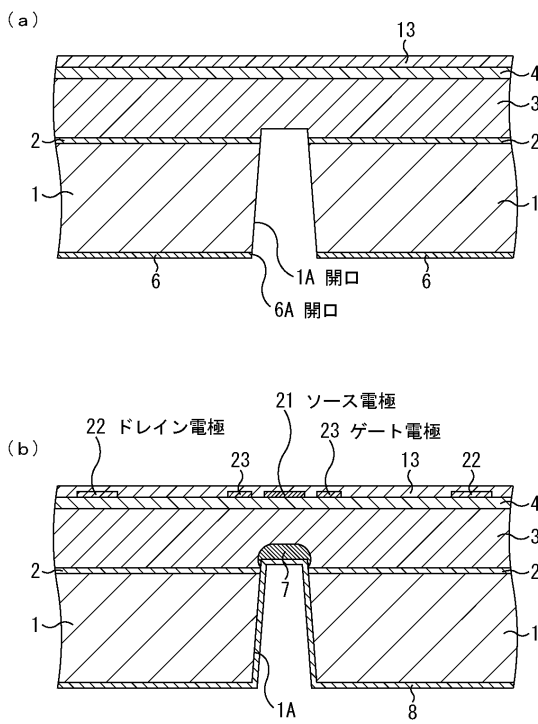
【図18】



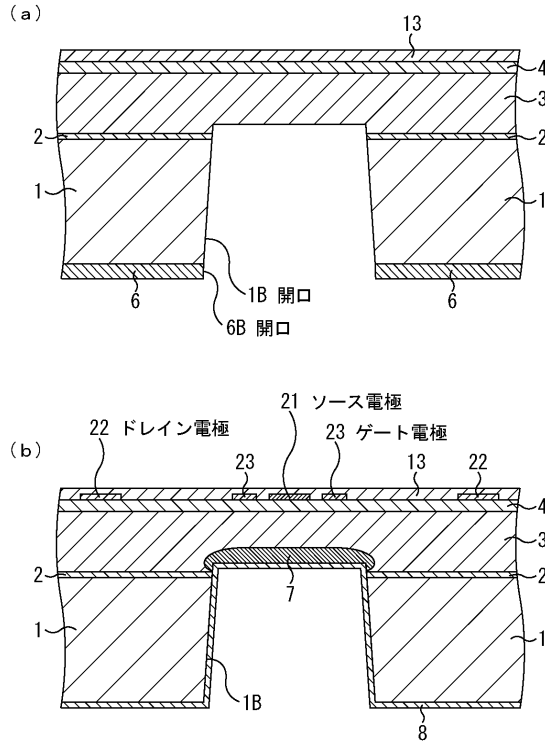
【図21】



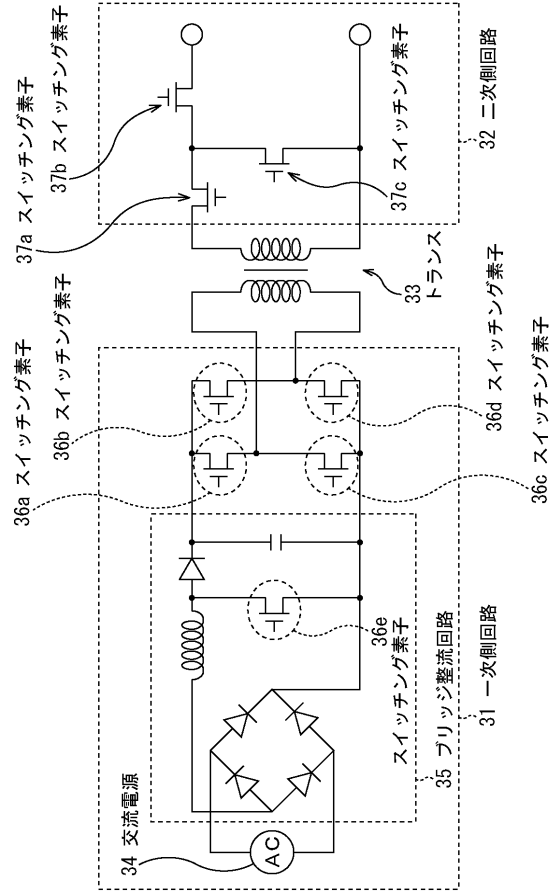
【図20】



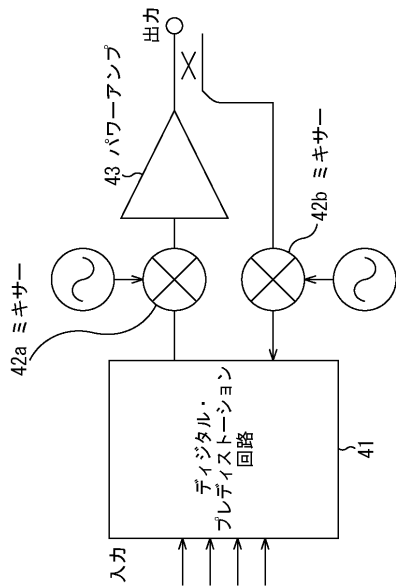
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/3205	(2006.01)	H 0 1 L	27/04 H
H 0 1 L	21/768	(2006.01)	H 0 1 L	21/205
H 0 1 L	23/522	(2006.01)		
H 0 1 L	21/822	(2006.01)		
H 0 1 L	27/04	(2006.01)		
H 0 1 L	21/205	(2006.01)		

(56)参考文献 特開平04 - 225534 (JP, A)
 特開2000 - 114275 (JP, A)
 特開2002 - 334890 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 3 3 7 - 3 3 8
H 0 1 L	2 1 / 2 0 5
H 0 1 L	2 1 / 2 8
H 0 1 L	2 1 / 3 2 0 5
H 0 1 L	2 1 / 7 6 8
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 3 / 5 2 2
H 0 1 L	2 7 / 0 4
H 0 1 L	2 7 / 0 9 5 - 0 9 8
H 0 1 L	2 9 / 4 1 7
H 0 1 L	2 9 / 7 7 8
H 0 1 L	2 9 / 8 0 - 8 1 2