

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6738408号  
(P6738408)

(45) 発行日 令和2年8月12日(2020.8.12)

(24) 登録日 令和2年7月21日(2020.7.21)

(51) Int. Cl. F I  
**GO6F 15/173 (2006.01)** GO6F 15/173 665E  
**GO6F 15/17 (2006.01)** GO6F 15/17 620Z

請求項の数 9 (全 11 頁)

<p>(21) 出願番号 特願2018-506809 (P2018-506809)                  (86) (22) 出願日 平成28年4月22日 (2016.4.22)                  (65) 公表番号 特表2018-514888 (P2018-514888A)                  (43) 公表日 平成30年6月7日 (2018.6.7)                  (86) 国際出願番号 PCT/US2016/029056                  (87) 国際公開番号 W02016/172634                  (87) 国際公開日 平成28年10月27日 (2016.10.27)                  審査請求日 平成31年4月18日 (2019.4.18)                  (31) 優先権主張番号 62/151,290                  (32) 優先日 平成27年4月22日 (2015.4.22)                  (33) 優先権主張国・地域又は機関                  米国 (US)                  (31) 優先権主張番号 14/743,752                  (32) 優先日 平成27年6月18日 (2015.6.18)                  (33) 優先権主張国・地域又は機関                  米国 (US)</p>	<p>(73) 特許権者 517368213                  インターナショナル マイクロシステムズ                  インコーポレイテッド                  INTERNATIONAL MICRO                  SYSTEMS, INC.                  アメリカ合衆国 カリフォルニア州 フリ                  ーモント フリーモント ブールバード                  48389 スイート 110                  48389 Fremont Blvd,                  Ste 110, Fremont,                  CA, U. S. A.                  (74) 代理人 110002952                  特許業務法人鷲田国際特許事務所</p>
--	---

最終頁に続く

(54) 【発明の名称】 独立型アレイコンピュータ

(57) 【特許請求の範囲】

【請求項1】

マスターコンピュータと、ノードコンピュータのアレイと、を備えており、  
 前記マスターコンピュータは、複数のノードコンピュータのそれぞれに、前記マスター  
 コンピュータのみが個別の通信チャンネルを介して任意のノードコンピュータに直接アクセ  
 スするよう、前記個別の通信チャンネルによって接続されており、  
 前記複数のノードコンピュータのそれぞれは、前記マスターコンピュータまたは特定の  
 ノードコンピュータによりアクセス可能なメモリセグメントを有し、前記メモリセグメン  
 トは、前記マスターコンピュータから前記通信チャンネルを介して送信されるコマンドによ  
 って前記マスターコンピュータまたは前記特定のノードコンピュータに接続され、他のノ  
 ードコンピュータからはアクセス不可かつ物理的に分離され、  
 前記マスターコンピュータまたは前記ノードコンピュータのいずれかによる前記メモリ  
 セグメントへの排他的アクセスの選択が、前記マスターコンピュータと前記ノードコンピ  
 ュータとの間の前記通信チャンネルを使用して前記マスターコンピュータによって決定され  
 、  
 前記複数のノードコンピュータは、前記マスターコンピュータを共通のクライアントと  
 するサーバとして機能し、  
 前記マスターコンピュータと前記複数のノードコンピュータの両方が、同じエンクロ  
 ージャを共有する、  
 階層コンピュータアーキテクチャ。

## 【請求項 2】

前記マスターコンピュータおよび前記複数のノードコンピュータは、自身の電力を前記エンクロージャ内の中央電源から得る、

請求項 1 の階層コンピュータアーキテクチャ。

## 【請求項 3】

前記マスターコンピュータが、通信独立型データチャネル以外の手段を使用して、コマンドを伝えて前記複数のノードコンピュータからステータスを受信できる、

請求項 1 の階層コンピュータアーキテクチャ。

## 【請求項 4】

前記複数のノードコンピュータのそれぞれが、前記マスターコンピュータにおける複数の USB ホストポートにインタフェース接続されている、前記ノードコンピュータに存在する USB デバイスポート、を使用し、

前記マスターコンピュータにおける前記複数の USB ホストポートのそれぞれが、前記ノードコンピュータにアタッチされている物理メモリストアである、前記ノードコンピュータにおけるメモリセグメント、にマッピングされる、

請求項 1 の階層コンピュータアーキテクチャ。

## 【請求項 5】

前記複数のノードコンピュータの前記 USB デバイスポートが、1 つまたは複数の USB ストレージデバイスおよび USB 通信チャネルを前記マスターコンピュータに提供する USB マルチガジェットデバイスとして、前記マスターコンピュータに認識される、

請求項 4 の階層コンピュータアーキテクチャ。

## 【請求項 6】

前記マスターコンピュータによって認識される、前記複数のノードコンピュータにおける前記 USB マルチガジェットデバイス が、USB ローカルエリアネットワーク (LAN) ポートを含む、

請求項 5 の階層コンピュータアーキテクチャ。

## 【請求項 7】

前記マスターコンピュータによって認識される、前記複数のノードコンピュータにおける前記 USB マルチガジェットデバイス が、USB TTY ポートを含む、

請求項 5 の階層コンピュータアーキテクチャ。

## 【請求項 8】

前記複数のノードコンピュータは、前記複数のノードコンピュータに存在する PCI e ポートに接続されている FPG A から得られる通信ポート、を使用し、

前記 FPG A 通信ポートは、前記マスターコンピュータに対して互換性の通信ポートをさらに提供し、

前記マスターコンピュータにおける前記互換性の通信ポートのそれぞれが、前記マスターコンピュータから、前記複数のノードコンピュータのそれぞれに個別にアタッチされているメモリセグメントへのアクセスを提供する、

請求項 1 の階層コンピュータアーキテクチャ。

## 【請求項 9】

前記ノードコンピュータの阵列に接続されている前記マスターコンピュータの前記階層コンピュータアーキテクチャを使用して、分散ストレージメモリアーキテクチャが作成され、

前記複数のノードコンピュータのそれぞれが、前記マスターコンピュータによって、個別にアドレッシング可能なストレージデバイスとしてマッピングできる 1 つまたは複数のストレージデバイス、を有し、

前記 1 つまたは複数のストレージデバイスの集まりが、前記マスターコンピュータを対象とする、容易にスケラブルであり構造的にモジュール式である大きな分散ストレージメモリ、を形成する、

請求項 1 の階層コンピュータアーキテクチャ。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、コンピュータアーキテクチャに関し、詳細には、階層アレイコンピュータに関する。

## 【背景技術】

## 【0002】

特許文献1に記載されているように、電子メールなどWebベースのデータを処理するサーバファームにおいて最もしばしば見られるブレードサーバと称される、特定の用途に特化されたコンピュータのアレイが、21世紀の初めに登場した。ブレードサーバにおけるブレードは、ブレードエンクロージャ (blade enclosure) と称される共通のシャーシ内にグループ化された比較的小型のサーバコンピュータである。一般的なブレードエンクロージャ内では、ブレードが共通の電源およびデータバスを共有し、データバスは、データおよびコマンドを受信および送信する手段をブレードに提供する。さらに、ブレードエンクロージャにはスイッチサーバ (管理モジュールと称されることもある) が含まれており、スイッチサーバは、特許文献2に記載されているように、ブレードのためのジョブコントローラとして機能する。

10

## 【0003】

ブレードサーバの例を図1に示してある。ブレードシャーシ100は、取り外し可能なサーバブレード101a~101nを含む。ブレード101は共通のバックプレーン102を共有しており、共通のバックプレーン102は、電源103からのブレード電力と、通常はEthernetバスである共有通信バス104とを提供する。すべての外部コマンドおよび外部データは、内部の通信バス104を通じて共有される。1つまたは複数の管理モジュール105が、サーバブレードの動作を調整する。通信バスの外部接続部106によって、NAS (ネットワーク接続ストレージ: Network Attached Storage) ストレージなど共通のメモリソース107へのアクセスがブレードに提供される。ブレード101a~101nは、一般には、それぞれのローカルな処理に使用するための自身のプライベートメモリ108a~108nを有する。

20

## 【0004】

その後、特許文献3に記載されているように、ブレードエンクロージャにおけるサーバブレード管理モジュールに修正が加えられ、サーバブレードがUSBメモリデバイスなど共通の一連のUSBデバイスにアクセスできるようになった。引用した特許においては、サーバブレードエンクロージャのUSBホストポートとブレードとの間のブリッジとして機能するブレードサーバ管理モジュールによって、各ブレードを複数の外部USBデバイスポートに接続するための手段が提供される。USBデバイスにはキーボード、マウス、CD-ROM、USBスティックなど多数のタイプがあるため、ブレードサーバは、多くの追加機能を利用することができる。このようにブレードサーバにおいて外部USBデバイスを使用する状況の簡略図を図2に示してある。図2の追加のI/Oネットワーク110と、ブレードサーバ管理モジュール105の中の追加のハードウェアとによって、USBデバイス112a-112mはサーバブレード101a~101nと通信することができる。

30

40

## 【0005】

非特許文献1において論じられているように、ブレードサーバは、コンピュータのアレイとみなすことはできるが、「アレイコンピュータ」とはみなされず、「アレイコンピュータ」は、通常ではハードウェアの実行およびソフトウェアの実行の両方において互いに密結合されているコンピュータのグループを意味する。アレイコンピュータの主たる違いは、アレイを構成している異なるコンピューティングノードの間の相互接続経路を記述するアレイの「アーキテクチャ」である。

## 【0006】

非特許文献1におけるアレイコンピュータのアーキテクチャの総説論文には、過去のア

50

レイ処理のソリューションに関連付けられる、ハードウェアおよびソフトウェアの幅広い複雑な実装が示されている。実際のレイ処理コンピュータの良い例は、1990年頃にJurgen Sauer mannによって構築された並列APLマシン(parallel APL machine)(非特許文献2)である。図3は、Sauer mannマシン300の簡略ブロック図を示している。Sauer mannマシン300は、レイコンピュータの要素すべてを有し、すなわちマスタープロセッサ301が共通の通信ネットワーク303を介してスレーブプロセッサ304のレイに密結合されており、デュアルポートメモリ302がマスターコンピュータとスレーブプロセッサとの間で共有されている。スレーブプロセッサは、数学的計算を実行するFPGAのレイであるネットワーク305にさらに接続されている。Sauer mannマシンは、コンピュータスクリプト言語APLで書かれたプログラムを処理するという特定のタスク専用であった。Sauer mannマシンのいくつかは、製造後に独国の郵便局で使用された。

10

**【0007】**

プロジェクトは成功したが、Sauer mannマシンのアーキテクチャを別の用途に適合させることは容易ではない。特定の用途に特化されたハードウェアおよびソフトウェアは、レイ処理の典型である。このように述べる理由として、本発明は、Sauer mannマシンの対象用途への関心から着想されたものであり、本発明者らの試み、すなわち、ソフトウェアおよびハードウェアの両方の観点から幅広く使用することのできるレイ処理アーキテクチャを提示すると同時に、コンピュータのハードウェアおよびソフトウェアの今後の進歩に対して柔軟に適合可能であるアーキテクチャを提供することにつなが

20

**【0008】**

大規模な接続されたレイにコンピューティング要素を配置することに加えて、より最近の方法では、非特許文献3に記載されているように、多数のCPUコアを含む1つの集積化プロセッサが構築された。Intel社やAMD社から入手可能なものなど、マルチコアプロセッサは、計算速度を大幅に高めることができる。しかしながらこれらのマルチコアプロセッサには、マルチコア設計を利用するための特殊なハードウェアおよびソフトウェアが要求される。さらに、これらのマルチコアプロセッサには、プログラミングの複雑さを増大させ、計算を遅くする1つの大きな欠点がある。すなわちすべてのコアが1つの物理チャンネルを通じて外部ストレージにアクセスする。

30

**【0009】**

レイコンピュータの主たる目標は、単一のコンピュータの処理能力を使用し、処理速度が単一のコンピュータよりもN倍高速である、N個のコンピュータを有するマシンを作成することである。このシンプルな目標から、ソフトウェアおよびハードウェアの幅広いソリューションが生み出されたが、これらは一般的に複雑および/または高価なソリューションとなった。

**【0010】**

本発明は、独立型コンピューティングノード(disjoint computing node)および新規の分散メモリ構造を有する階層コンピュータアーキテクチャを使用することによって、追加のコンピューティングノードにより処理能力において線形利得を達成する、ブレードサーバタイプのエンクロージャ内に格納されるレイコンピュータを作成する一方で、レイ処理のための簡単なプログラミングモデルを提供する手段を提供する。

40

**【先行技術文献】****【特許文献】****【0011】**

【特許文献1】米国特許第6,411,506号明細書

【特許文献2】米国特許第7,209,347号明細書

【特許文献3】米国特許第7,412,544号明細書

**【非特許文献】****【0012】**

50

【非特許文献1】“A Decade of RCS” Proc. IEEE Conf. on Design, Automation and Test in Europe (2001)

【非特許文献2】“A Parallel APL Machine” 1990 ACM 089791-371

【非特許文献3】“Multicore Processors - A Necessity” by Bryan Schauer (csa-discoveryguides-multicore review, 9-2008)

【発明の概要】

【課題を解決するための手段】

【0013】

メモリセグメントが直接接続されているコンピューティングノードのレイにマスターコンピュータを接続する独立型高速データチャネルを使用する、セグメント化されている大きなセグメント化メモリを有するマスターコンピュータ、から構成されている階層レイコンピュータアーキテクチャ。マスターコンピュータは、マストレージのブロックのレイとしてメモリセグメントをマッピングし、各メモリセグメントは、マスターコンピュータに、または、メモリセグメントが直接接続されているコンピューティングノードに、排他的にマッピングされる。

10

【0014】

コンピューティングノードは、それぞれのクライアントであるマスターコンピュータからのコマンドを待機しているサーバとして機能し、マスターコンピュータからの命令時、それぞれの関連する共有メモリセグメントにおいてデータを処理するために使用される。

【0015】

説明したアーキテクチャは、ストレージの各メモリセグメントが、マスターコンピュータによって、またはコンピューティングノードのレイの1つのメンバーのみによって、排他的にアクセス可能である、分散ストレージとみなすこともできる。コンピューティングノードのレイ内に存在する多数のメモリコントローラによって、極めて高いメモリアクセス速度と、容易にスケラブルなストレージレイが提供される。

20

【図面の簡単な説明】

【0016】

【図1】従来技術：一般的なブレードサーバエンクロージャ。

【図2】従来技術：USBポートアクセスをサーバブレードに提供するブレードサーバ。

30

【図3】従来技術：Sauer mann 並列 APL マシン。

【図4】DAC コンピュータアーキテクチャであり、マスターコンピュータとノードコンピュータとの間の接続を示している。

【図5A】DAC マスターコンピュータがメモリセグメントのレイに接続されている状況。

【図5B】DAC マスターコンピュータがコンピューティングノードのレイに接続されている状況。

【図6】2レベルのDAC コンピュータの好ましい実施形態であり、レベル1のマスターコンピュータとレベル2の各ノードコンピュータとの間の1つのUSBマルチガジェットチャネルが、マスターコンピュータおよび接続されているノードプロセッサの間のストレージリンクおよび通信リンクの両方を提供する。

40

【発明を実施するための形態】

【0017】

本発明は、一般的には、コンピュータアーキテクチャに関し、詳細には、階層レイコンピュータに関する。以下の説明は、この技術分野における通常の実施形態を有する者が本発明を作製および使用することを可能にする目的で提示するものであり、特許出願およびその要件に基づいて提供されている。当業者には、本明細書に記載されている好ましい実施形態へのさまざまな修正ならびに一般的な原理および特徴が容易に理解されるであろう。したがって、本発明は、示した実施形態に制限されるようには意図されておらず、本明細書に記載されている原理および特徴に矛盾しない最も広い範囲が許容されるように意図さ

50

れている。

【0018】

本発明を説明するため、短い頭字語「DAC」が使用されている。この名前は句「独立型アレイコンピュータ：Disjoint Array Computer」から来ており、なぜならDACコンピュータは並列アレイコンピュータであり、コンピューティングノードのアレイが、共通のバスを共有しない高速データチャネルを使用してマスターコンピュータに接続されているためである。すなわちコンピューティングノードは互いに独立している。図4は、階層的な2レベルのDACコンピュータ400の実施形態を示している。

【0019】

図4において、高速データ経路402a~402nは、(a)マスターコンピュータとノードコンピュータ403a~403nそれぞれとの間の通信チャネルと、(b)マスターコンピュータにN個のマスストレージメモリセグメント404a~404nを提供する、というデュアル機能を提供する。各メモリセグメント404a~404nは、マスターコンピュータ401によって、または代わりに個々のコンピュータノード403a~403nによって、アドレッシング可能であるのみである。マスターコンピュータとノード(コンピューティングレベルにかかわらず)は、通信チャネル402a~402nを使用することによって、マスストレージメモリセグメント404a~404nに単独でアクセスする。図4のDACコンピュータ400は、以下の点で独特なメモリマッピング構造を提供し、すなわちレベル1のマスターコンピュータ401を対象とする大きなセグメント化メモリを作成することができ、メモリセグメントには、コンピューティングノード403a~403nに接続されている高速独立型データチャネル402a~402nを使用してアクセスされる。

【0020】

図5Aは、マスターコンピュータがN個のメモリセグメントすべてに単独でアクセスするとき、この共有メモリがマスターコンピュータからどのように認識されるかを示している。図5Bは、すべてのノードがメモリセグメントに単独でアクセスするとき、マスターコンピュータがレベル2のノードのアレイをどのように認識するかを示している。

【0021】

この実施形態は、それぞれが自身のコントローラを有する多数のメモリブロックが、1つのメモリマネージャによって制御される大きな分散メモリストア(distributed memory store)としてみなされ得るようにすることによって、分散マスストレージアーキテクチャを作成する手段を提供する。したがって、DACメモリ構造は、比較的小さいメモリブロックの増大を使用して線形的に拡張する能力を有するメモリストアを提供する。例えば、図4のDACコンピュータが、それぞれが1TBのSSDフラッシュドライブを有する32個のノードを有し、これらが4TBのSSDドライブに置き換えられる場合、レベル1のDACコンピュータによって認識される合計メモリは、32TBから256TBに増大する。

【0022】

各メモリセグメントが自身のコントローラを有するこのような分散ストレージアーキテクチャの主たる利点として、1つの大きなストア内に存在する同じ量のストレージが1つのメモリコントローラによってアクセスされる場合よりも、各メモリセグメントにずっと高速にアクセスすることができる。

【0023】

第2の主たる利点として、コンピューティングノードが、それぞれが処理するように課せられているデータに密結合され、この結合によって、別のノードまたはマスターコンピュータとのあらゆる衝突が排除される。

【0024】

個々のメモリセグメントが、マスターコンピュータによって、または代わりに分離されているコンピューティングノードによって、完全に所有されるというデュアル特性は、DAC設計の重要な要素である。これにより、マスターコンピュータおよびノードコンピュ

10

20

30

40

50

ータの両方におけるソフトウェアプログラムは、自身がアクセスしているメモリを完全に所有することができ、マルチポートメモリに一般に関連付けられるインタラクティブ問題を処理しなくてよい。

【 0 0 2 5 】

図 4、図 5 A、および図 5 B に示した上述したアーキテクチャは、本発明者らが、独立型メモリ (disjoint memory) を使用する独立型コンピューティング (disjoint computing) と称するものである。

【 0 0 2 6 】

図 4 の D A C 共有メモリの同じ領域に、マスターコンピュータ 4 0 1 と、コンピューティングノード 4 0 3 の 1 つの両方によって同時にアクセスされるべきではないため、マスターコンピュータが共有メモリへの排他的アクセスを調整できるようにする手段を、マスターコンピュータとすべてのコンピューティングノードとの間に提供しなければならない。

【 0 0 2 7 】

図 6 は、D A C コンピュータアーキテクチャの図 4 の好ましい実施形態の 1 つのバージョンを示しており、レベル 1 のコンピュータ 6 0 0 とレベル 2 のノード 6 0 3 との間の高速データチャネルが U S B シリアルチャネル 6 0 2 である。この実施形態においては、コンピューティングノードの U S B デバイSPORT 6 0 4 が、マスターコンピュータの U S B ホストポート 6 0 1 に接続されている。ノードの U S B デバイSPORT ドライバは、スリーウェイ U S B マルチガジェットアーキテクチャ (three way USB multi-gadget architecture) をサポートし、このアーキテクチャによってマスターコンピュータは、自身の U S B ホストポート 6 0 1 が 3 つの異なる U S B ガジェット (すなわちメモリストレージブロック I / O デバイス 6 0 4 b、E t h e r n e t ポート 6 0 4 a、および T T Y ポート 6 0 4 c) に接続されているものと認識することができる。この特定の実施形態においては、U S B ブロック I / O デバイス 6 0 4 b は、コンピューティングノードの物理ストレージドライブ 6 0 6 にマッピングされている。U S B ガジェットである仮想 E t h e r n e t ポート 6 0 4 a は、マスターコンピュータとコンピューティングノードとの間のコマンドチャネルとして使用することができる。U S B ガジェットである T T Y ポート 6 0 4 c は、コンピューティングノードを識別および初期化する目的にマスターコンピュータによって使用することができる。

【 0 0 2 8 】

上の実施形態では、マスターコンピュータをコンピューティングノードに接続するのに U S B 接続が使用されていたが、サポートソフトウェアドライバを有する別の物理バスを使用して、上述した方法と同じようにマスターコンピュータをノードコンピュータに接続することもできる (マスターコンピュータおよびノードコンピュータにおけるそれぞれの P C I e バスに接続されるカスタム F P G A の使用を含む)。

【 0 0 2 9 】

W e b ブレードサーバは、高速 W e b トラフィックを処理するのにしばしば使用される。最初の方で説明したブレードサーバアーキテクチャは、図 4 に示した D A C コンピュータの好ましい実施形態に似ている。いずれの実施形態も、通常では標準のサーバラックに収まるように設計される。いずれも、個々の処理ノードに給電するのに共通の電源を使用する。いずれも、処理ノードを制御するためのマネージャを有する。

【 0 0 3 0 】

しかしながら、標準的な W e b ブレードサーバと、提示した D A C コンピュータの好ましい実施形態との間には、大きな違いが存在する。データ転送のための、ブレードサーバの主たる通信チャネルは、ブレード管理モジュールを含むすべてのブレードに接続されている高速バスである。D A C コンピュータは、代わりに、自身のマスターコンピュータとコンピュータノードとの間の個別のデータチャネルを使用する。これに加えて、D A C コンピュータのメモリ構造は新規のストレージメモリであり、このストレージメモリを使用して、D A C マスターコンピュータを対象とする大きなセグメント化メモリと、D A C コ

10

20

30

40

50

ンピューティングノードを対象とする、これに代わるより小さいメインメモリセグメントの両方を提供する。さらには、DACノードは、DACコンピュータエンクロージャの外側の外部メモリに直接アクセスしないのに対して、Webサーバブレードは、Ethernetネットワークなどのネットワーク接続を通じて外部メモリを直接アドレッシングする。

【0031】

階層DACコンピュータアーキテクチャでは、DACマスターコンピュータとDACコンピューティングノードとの間の通信およびメモリの完全な直交性を維持することによって、ハードウェア設計およびソフトウェア設計の両方において他に類を見ない単純性が達成される。

10

【0032】

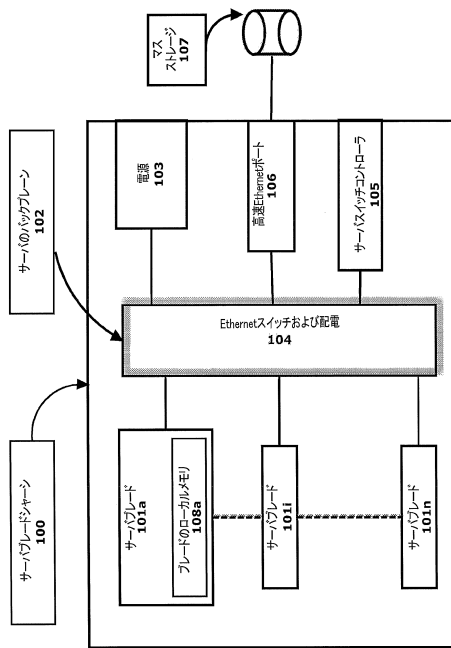
これに加えて、セグメント化されたストレージメモリをコンピューティングノードに物理的に配置することによって、極めて大きなストレージを多数のメモリコントローラによって容易に制御することができる。

【0033】

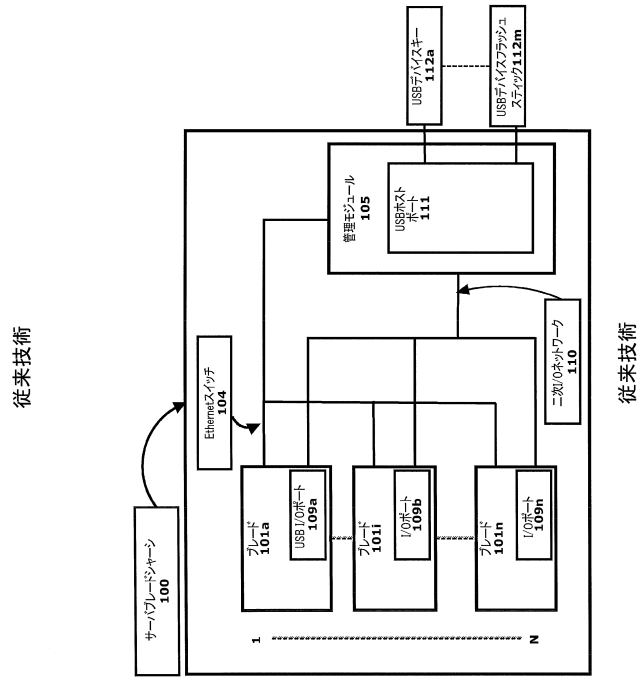
ここまで本発明について、示した実施形態に従って説明してきたが、これらの実施形態のバリエーションを導くことができ、それらのバリエーションが本発明の趣旨および範囲内であることが、この技術分野における通常の技能を有する者には容易に認識されるであろう。したがって、この技術分野における通常の技能を有する者には、添付の請求項の趣旨および範囲から逸脱することなく、多くの修正を行うことができる。

20

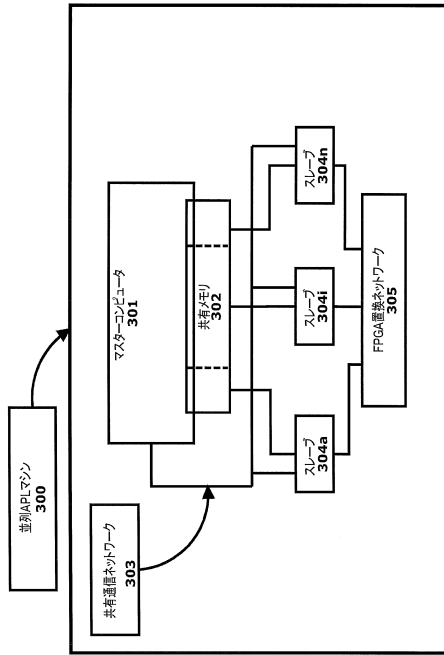
【図1】



【図2】

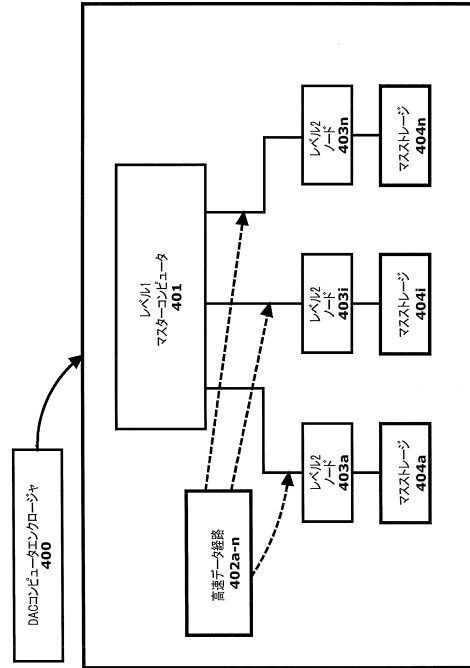


【図3】

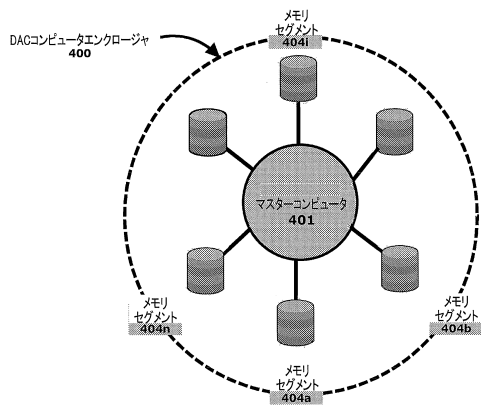


【図4】

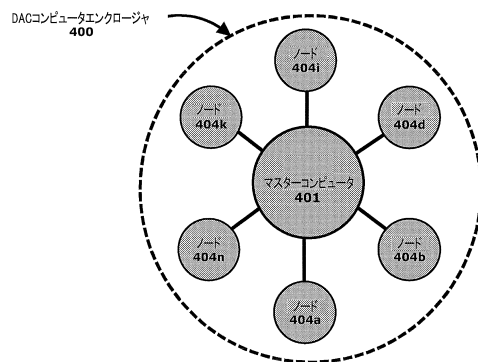
従来技術



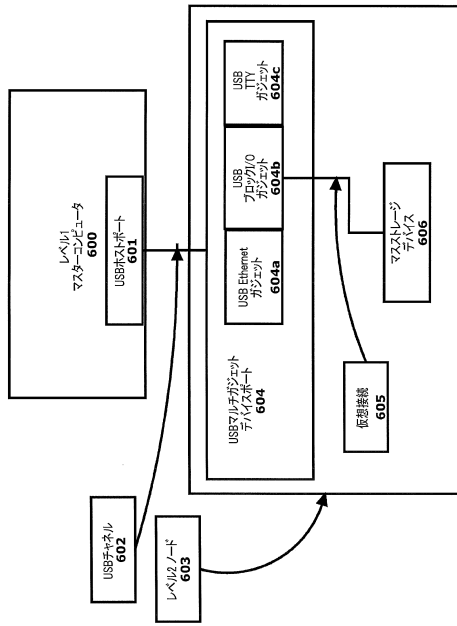
【図5A】



【図5B】



【 図 6 】



---

フロントページの続き

(72)発明者 シャーデ ピーター エー .  
アメリカ合衆国 カリフォルニア州 ミルピタス ジブラルタル ドライブ 556

審査官 清木 泰

(56)参考文献 特開2014-130420(JP,A)  
特表2007-503647(JP,A)  
特開2005-062956(JP,A)  
特開2002-057688(JP,A)  
特開平06-290283(JP,A)  
米国特許出願公開第2009/0031051(US,A1)  
米国特許第05155851(US,A)  
桑野雅彦, パソコンと通信するための準備 3ステップ, Interface, 日本, CQ出版株式会社,  
2013年12月1日, 第39巻, 第12号, (通巻第438号), pp.70~77  
佐藤陽二, 桑野雅彦, USB機器のハードウェアとソフトウェアの構成, Interface, 日本, CQ出版  
株式会社, 2004年10月1日, 第30巻, 第10号, (通巻第328号), pp.52~59

(58)調査した分野(Int.Cl., DB名)

G06F15/16 - 15/177  
G06F15/80  
G06F13/00  
G06F13/20 - 13/378  
G06F 3/06 - 3/08  
G06F16/00 - 16/958  
G06F12/00 - 12/06  
G06F13/16 - 13/18  
G06F12/08 - 12/128