



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0119232  
(43) 공개일자 2015년10월23일

- (51) 국제특허분류(Int. C1.)  
*H01L 23/522* (2006.01) *H01L 23/538* (2006.01)  
*H01L 27/08* (2006.01) *H01L 49/02* (2006.01)
- (52) CPC특허분류  
*H01L 23/5223* (2013.01)  
*H01L 23/538* (2013.01)
- (21) 출원번호 10-2015-7024981
- (22) 출원일자(국제) 2014년02월11일  
 심사청구일자 없음
- (85) 번역문제출일자 2015년09월11일
- (86) 국제출원번호 PCT/US2014/015855
- (87) 국제공개번호 WO 2014/130299  
 국제공개일자 2014년08월28일
- (30) 우선권주장  
 13/770,127 2013년02월19일 미국(US)
- (71) 출원인  
 웰컴 인코포레이티드  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
 추, 존 제이.  
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
 양, 빈  
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
 (뒷면에 계속)
- (74) 대리인  
 특허법인 남엔드남

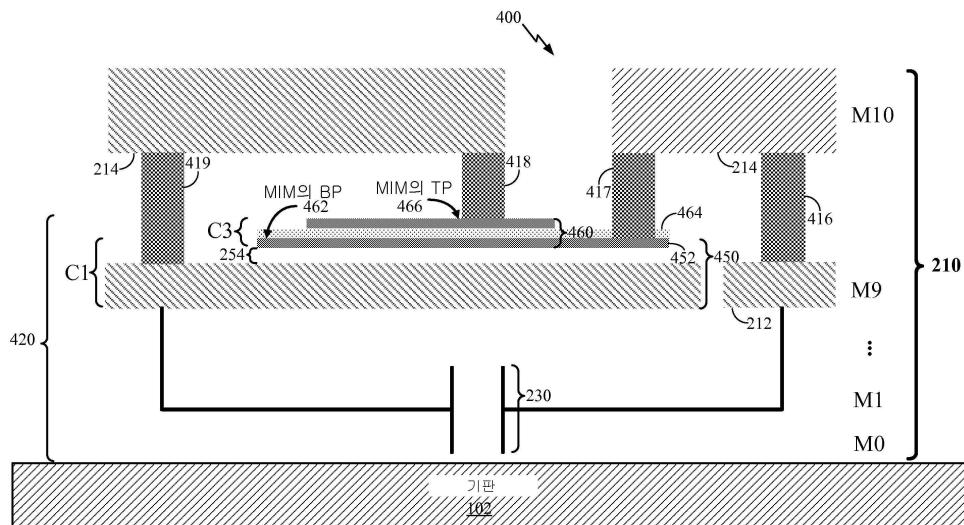
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 상보형 BEOL 커패시터

## (57) 요 약

CBC(complementary back end of line (BEOL) capacitor) 구조체는, 금속 산화물 금속(MOM) 커패시터 구조체를 포함한다. MOM 커패시터 구조체는 집적 회로(IC) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층에 커플링된다. MOM 커패시터 구조체는 인터커넥트 스택의 적어도 하나의 하부 인터커넥트 층을 포함한다. CBC 구조체는 또한 MOM 커패시터 구조체에 커플링된 인터커넥트 스택의 제 2 상부 인터커넥트 층을 포함할 수 있다. CBC 구조체는 또한 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층을 포함한다. 이에 더해, CBC 구조체는 또한 MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체를 포함할 수 있다. MIM 커패시터 구조체는, 제 1 상부 인터커넥트 층의 일부를 갖는 제 2 커패시터 플레이트 및 MIM 커패시터 층(들)의 일부를 갖는 제 2 커패시터 플레이트를 포함한다.

대 표 도 - 도4



(52) CPC특허분류

*HO1L 27/0805* (2013.01)

*HO1L 28/40* (2013.01)

*HO1L 2924/1205* (2013.01)

(72) 발명자

**치담바람, 피알**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

**케, 리신**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

---

**최, 지홍**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

## 명세서

### 청구범위

#### 청구항 1

커패시터로서,

집적 회로(IC; integrated circuit) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층에 커플링된 금속 산화물 금속(MOM; metal oxide metal) 커패시터 구조체 – 상기 MOM 커패시터 구조체는 상기 인터커넥트 스택의 적어도 하나의 하부 인터커넥트 층을 포함함 –;

상기 MOM 커패시터 구조체에 커플링된 상기 인터커넥트 스택의 제 2 상부 인터커넥트 층;

상기 제 1 상부 인터커넥트 층과 상기 제 2 상부 인터커넥트 층 사이의 적어도 하나의 금속 절연체 금속(MIM; metal insulator metal) 커패시터 층; 및

상기 MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체를 포함하고,

상기 MIM 커패시터 구조체는, 상기 제 1 상부 인터커넥트 층의 적어도 일부를 포함하는 제 1 커패시터 플레이트, 및 상기 적어도 하나의 MIM 커패시터 층의 적어도 일부를 포함하는 제 2 커패시터 플레이트를 포함하는,

커패시터.

#### 청구항 2

제 1 항에 있어서,

상기 인터커넥트 스택의 제 1 상부 인터커넥트 층과 상기 제 2 상부 인터커넥트 층 사이에 추가적인 MIM 커패시터 구조체를 더 포함하고,

상기 추가적인 MIM 커패시터 구조체는, 제 1 커패시터 플레이트, 유전체 층, 및 제 2 커패시터 플레이트로서의 상기 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트를 포함하는,

커패시터.

#### 청구항 3

제 2 항에 있어서,

상기 제 2 상부 인터커넥트 층의 제 1 부분은 상기 추가적인 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트에 커플링되고,

상기 제 2 상부 인터커넥트 층의 제 2 부분은 상기 추가적인 MIM 커패시터 구조체의 상기 제 2 커패시터 플레이트에 커플링되는,

커패시터.

#### 청구항 4

제 1 항에 있어서,

셀 폰, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛에 접속되는,

커패시터.

#### 청구항 5

커패시터의 제조 방법으로서,

집적 회로(IC) 디바이스의 인터커넥트 스택의 하부 인터커넥트 층들 내에 금속 산화물 금속(MOM) 커페시터 구조체를 형성하는 단계;

상기 인터커넥트 스택의 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커페시터 층을 중착하는 단계; 및

상기 MOM 커페시터 구조체에 커플링된 MIM 커페시터 구조체를 형성하는 단계를 포함하고,

상기 MIM 커페시터 구조체는, 상기 제 1 상부 인터커넥트 층의 적어도 일부를 포함하는 제 1 커페시터 플레이트, 및 상기 적어도 하나의 MIM 커페시터 층의 적어도 일부를 포함하는 제 2 커페시터 플레이트를 포함하는,

커페시터의 제조 방법.

#### 청구항 6

제 5 항에 있어서,

상기 인터커넥트 스택의 상기 제 1 상부 인터커넥트 층과 상기 제 2 상부 인터커넥트 층 사이에 추가적인 MIM 커페시터 구조체를 제작하는 단계를 더 포함하고,

상기 추가적인 MIM 커페시터 구조체는, 제 1 커페시터 플레이트, 유전체 층, 및 제 2 커페시터 플레이트로서의 상기 MIM 커페시터 구조체의 상기 제 1 커페시터 플레이트를 포함하는,

커페시터의 제조 방법.

#### 청구항 7

제 6 항에 있어서,

상기 추가적인 MIM 커페시터 구조체의 상기 제 1 커페시터 플레이트에 상기 제 2 상부 인터커넥트 층의 제 1 부분을 커플링하는 단계; 및

상기 추가적인 MIM 커페시터 구조체의 상기 제 2 커페시터 플레이트에 상기 제 2 상부 인터커넥트 층의 제 2 부분을 커플링하는 단계를 더 포함하는,

커페시터의 제조 방법.

#### 청구항 8

제 5 항에 있어서,

셀 폰, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛에 상기 커페시터를 접적시키는 단계를 더 포함하는,

커페시터의 제조 방법.

#### 청구항 9

커페시터로서,

제 1 커페시터 플레이트, 및 집적 회로(IC) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층을 제 2 커페시터 플레이트로서 포함하는 제 1 금속 절연체 금속(MIM) 커페시터 구조체; 및

상기 인터커넥트 스택의 상기 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이의 제 2 MIM 커페시터 구조체를 포함하고,

상기 제 2 MIM 커페시터 구조체는, 제 1 커페시터 플레이트, 유전체 층, 및 제 2 커페시터 플레이트로서의 상기 제 1 MIM 커페시터 구조체의 상기 제 1 커페시터 플레이트를 포함하는,

커페시터.

### 청구항 10

제 9 항에 있어서,

상기 제 2 상부 인터커넥트 층의 제 1 부분은 상기 제 2 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트에 커플링되고,

상기 제 2 상부 인터커넥트 층의 제 2 부분은 상기 제 2 MIM 커패시터 구조의 상기 제 2 커패시터 플레이트에 커플링되는,

커패시터.

### 청구항 11

제 9 항에 있어서,

상기 인터커넥트 스택의 상기 제 1 상부 인터커넥트 층에 커플링된 금속 산화물 금속(MOM) 커패시터 구조체를 더 포함하고,

상기 MOM 커패시터 구조체는 상기 인터커넥트 스택의 적어도 하나의 하부 상호접속 층을 포함하는,

커패시터.

### 청구항 12

제 9 항에 있어서,

셀 폰, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛에 접속되는,

커패시터.

### 청구항 13

커패시터로서,

집적 회로(IC) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층에 커플링된, 전하를 저장하기 위한 수단 – 상기 전하 저장 수단은 상기 인터커넥트 스택의 적어도 하나의 하부 인터커넥트 층을 포함함 –;

상기 전하 저장 수단에 커플링된 상기 인터커넥트 스택의 제 2 상부 인터커넥트 층;

상기 제 1 상부 인터커넥트 층과 상기 제 2 상부 인터커넥트 층 사이의 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층; 및

상기 전하 저장 수단에 커플링된 MIM 커패시터 구조체를 포함하고,

상기 MIM 커패시터 구조체는, 상기 제 1 상부 인터커넥트 층의 적어도 일부를 포함하는 제 1 커패시터 플레이트, 및 상기 적어도 하나의 MIM 커패시터 층의 적어도 일부를 포함하는 제 2 커패시터 플레이트를 포함하는,

커패시터.

### 청구항 14

제 13 항에 있어서,

상기 인터커넥트 스택의 상기 제 1 상부 인터커넥트 층과 상기 제 2 상부 인터커넥트 층 사이에 추가적인 MIM 커패시터 구조체를 더 포함하고,

상기 추가적인 MIM 커패시터 구조체는, 제 1 커패시터 플레이트, 유전체 층, 및 제 2 커패시터 플레이트로서의 상기 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트를 포함하는,

커패시터.

### 청구항 15

제 14 항에 있어서,

상기 제 2 상부 인터커넥트 층의 제 1 부분은, 상기 추가적인 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트에 커플링되고,

상기 제 2 상부 인터커넥트 층의 제 2 부분은, 상기 추가적인 MIM 커패시터 구조체의 상기 제 2 커패시터 플레이트에 커플링되는,

커패시터.

### 청구항 16

제 13 항에 있어서,

셀 폰, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트

유닛, 내비게이션 디바이스, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛에 접속되는,

커패시터.

### 청구항 17

커패시터의 제조 방법으로서,

접적 회로(IC) 디바이스의 인터커넥트 스택의 하부 인터커넥트 층들 내에 금속 산화물 금속(MOM) 커패시터 구조체를 형성하는 단계;

상기 인터커넥트 스택의 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층을 중첩하는 단계; 및

상기 MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체를 형성하는 단계를 포함하고,

상기 MIM 커패시터 구조체는, 상기 제 1 상부 인터커넥트 층의 적어도 일부를 포함하는 제 1 커패시터 플레이트, 및 상기 적어도 하나의 MIM 커패시터 층의 적어도 일부를 포함하는 제 2 커패시터 플레이트를 포함하는,

커패시터의 제조 방법.

### 청구항 18

제 17 항에 있어서,

상기 인터커넥트 스택의 상기 제 1 상부 인터커넥트 층과 상기 제 2 상부 인터커넥트 층 사이에 추가적인 MIM 커패시터 구조체를 제조하는 단계를 더 포함하고,

상기 추가적인 MIM 커패시터 구조체는, 제 1 커패시터 플레이트, 유전체 층, 및 제 2 커패시터 플레이트로서의 상기 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트를 포함하는,

커패시터의 제조 방법.

### 청구항 19

제 18 항에 있어서,

상기 제 2 상부 인터커넥트 층의 제 1 부분을 상기 추가적인 MIM 커패시터 구조체의 상기 제 1 커패시터 플레이트에 커플링하는 단계;

상기 제 2 상부 인터커넥트 층의 제 2 부분을 상기 추가적인 MIM 커패시터 구조체의 상기 제 2 커패시터 플레이트에 커플링하는 단계를 더 포함하는,

커패시터의 제조 방법.

### 청구항 20

제 17 항에 있어서,

셀 폰, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛에 상기 커패시터를 집적시키는 단계를 더 포함하는,

커패시터의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 개시물은 일반적으로 커패시터들에 관한 것이다. 더욱 구체적으로, 본 개시물은 상이한 도전성 인터커넥트 층들로부터의 하나 또는 그 초과의 금속 절연체 금속(MIM; metal insulator metal) 커패시터들과 금속 산화물 금속(MOM; metal oxide metal) 커패시터를 조합하는 상보형 BEOL(back end of line) 커패시터 구조체에 관한 것이다.

### 배경 기술

[0002] 커패시터들은 집적 회로들에 널리 이용된다. 도 1은 인터커넥트 스택(110)을 포함하는 집적 회로(IC) 디바이스(100)의 단면을 예시하는 블록도이다. IC 디바이스(100)의 인터커넥트 스택(110)은 반도체 기판(예를 들어, 실리콘 웨이퍼)(102) 상에 다수의 도전성 인터커넥트 층들(M1, ..., M9, M10)을 포함한다. 반도체 기판(102)은 금속 산화물 금속(MOM) 커패시터들(130)을 지지한다. 이 예시에서, 제 1 MOM 커패시터(130A)는 M3 및 M4 인터커넥트 층들 내에 형성되고, 제 2 MOM 커패시터(130B)는 M5 및 M6 인터커넥트 층들 내에 형성된다. MOM 커패시터들(130)(130A 및 130B)은 인터커넥트 스택(110)의 도전성 인터커넥트 층들(M3 및 M4/M5 및 M6)을 이용하여 상이한 극성들의 측부 도전성 평거들로부터 형성된다. 유전체(미도시)는 도전성 평거들 사이에 제공된다.

[0003] 이 예시에서, MOM 커패시터들(130)은 인터커넥트 스택(110)의 하부 도전성 인터커넥트 층들(예를 들어, M1-M6) 내에 형성된다. 인터커넥트 스택(110)의 하부 도전성 인터커넥트 층들은 더 작은 인터커넥트 폭들 및 공간들을 갖는다. 예를 들어, 도전성 인터커넥트 층들(M3 및 M4)의 치수들은 도전성 인터커넥트 층들(M5 및 M6)의 치수들의 크기의 1/2이다. 마찬가지로, 도전성 인터커넥트 층들(M1 및 M2)의 치수들은 도전성 인터커넥트 층들(M3 및 M4)의 치수들의 크기의 1/2이다. 하부 도전성 인터커넥트 층들의 작은 인터커넥트 폭들 및 공간들은 증가된 커패시턴스 밀도로 MOM 커패시터들의 형성을 가능하게 한다.

[0004] 도 1에 도시된 바와 같이, MOM 커패시터들(130)은 도전성 인터커넥트들의 표준 금속화(예를 들어, 배선 라인들 및 비아들)에 의해 형성된 평거들 사이의 측부(충내) 용량성 커플링(140)을 이용한다. MOM 커패시터들(130) 내의 측부 커플링(140)은, 별별 수직 플레이트 커패시터들의 수직 커플링과 비교할 때 개선된 매칭 특성을 제공한다. MOM 커패시터들(130)의 개선된 매칭 특성들은 인터커넥트 스택(110) 내에서 측부 치수들의 개선된 프로세스 제어의 결과이다. 반대로, 작은 값의 커패시턴스를 제공하기 위한 인터커넥트 스택(110) 내에서 도전성 인터커넥트 및 유전체 층 두께의 수직 치수들의 프로세스 제어들은 덜 정확하다.

[0005] 고밀도 커패시턴스를 제작하는 것은 상당히 더 많이 도전적이 되어가고 있다. 결과적으로, IC 디바이스들에 대한 고밀도의 커패시턴스를 제공하기 위해 미래의 프로세스 기술들에서 오직 MOM 커패시터들만을 이용하는 것은 불충분할 수 있다.

[0006] BEOL(back end of line) 층들 내에 금속 절연체 금속(MIM) 커패시터가 제안되어 왔다. MIM 커패시터는 수직 플레이트-투-플레이트 커플링을 이용한다. 그러나, 이러한 솔루션은 증가된 커패시터 밀도를 달성하기 위해 추가적인 마스크들 뿐만 아니라 하이-K(HiK) 산화물 중착 프로세스를 수반한다. 이에 더해, MIM 커패시터들은 일반적으로 인터커넥트 스택(110)의 상부 도전성 인터커넥트 층들(예를 들어, M9 및 M10) 사이에 형성된다.

### 발명의 내용

[0007] 본 개시물은 조합된 MIM 및 MOM 구조체를 갖는 CBC(complementary back end of line (BEOL) capacitor) 구조체를 설명한다. 조합된 구조체는 커패시턴스 밀도를 증가시킨다.

[0008] 본 개시물의 일 양상에서, CBC(complementary back end of line (BEOL) capacitor) 구조체는 집적 회로

(IC) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층에 커플링된 금속 산화물 금속(MOM) 커패시터 구조체를 갖는다. MOM 커패시터 구조체는 인터커넥트 스택의 적어도 하나의 하부 인터커넥트 층을 포함한다. CBC 구조체는 또한 MOM 커패시터 구조체에 커플링된 인터커넥트 스택의 제 2 상부 인터커넥트 층을 포함할 수 있다. CBC 구조체는 또한 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층을 포함한다. 이에 더해, CBC 구조체는 또한 MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체를 포함할 수 있다. MIM 커패시터 구조체는, 제 1 상부 인터커넥트 층의 적어도 일부를 갖는 제 1 커패시터 플레이트 및 MIM 커패시터 층(들)의 적어도 일부를 갖는 제 2 커패시터 플레이트를 포함한다.

[0009] [0009] 본 개시물의 다른 양상에 따르면, CBC(complementary back end of line (BEOL) capacitor) 구조체를 제작하기 위한 방법이 설명된다. 이 방법은 접적 회로(IC) 디바이스의 인터커넥트 스택의 하부 인터커넥트 층들 내에 금속 산화물 금속(MOM) 커패시터 구조체를 형성하는 단계를 포함한다. 이 방법은 또한 인터커넥트 스택의 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층을 증착하는 단계를 포함한다. 방법은 MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체를 형성하는 단계를 더 포함한다. MIM 커패시터 구조체는, 제 1 상부 인터커넥트 층의 적어도 일부를 갖는 제 1 커패시터 플레이트 및 MIM 커패시터 층(들)의 적어도 일부를 갖는 제 2 커패시터 플레이트를 포함한다.

[0010] [0010] 본 개시물의 추가적인 양상에서, CBC(complementary back end of line (BEOL) capacitor) 구조체가 설명된다. CBC 구조체는 접적 회로(IC) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층에 커플링되는, 전하를 저장하기 위한 수단을 포함한다. 전하 저장 수단은 인터커넥트 스택의 적어도 하나의 하부 인터커넥트 층을 포함한다. CBC 구조체는 또한 전하 저장 수단에 커플링된 인터커넥트 스택의 제 2 상부 인터커넥트 층을 포함할 수 있다. CBC 구조체는 또한 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층을 포함한다. 이에 더해, CBC 구조체는 또한 MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체를 포함할 수 있다. MIM 커패시터 구조체는, 제 1 상부 인터커넥트 층의 적어도 일부로서 제 1 커패시터 플레이트를, 그리고 MIM 커패시터 층(들)의 적어도 일부로서 제 2 커패시터 플레이트를 포함한다.

[0011] [0011] 후술하는 상세한 설명이 더 잘 이해될 수 있게 하기 위해 본 개시물의 특징들 및 기술적 이점들이 다소 광범위하게 개략되었다. 본 개시물의 추가적인 특징들 및 이점들이 이하 설명될 것이다. 본 개시물이 본 개시물의 동일한 목적을 수행하기 위해 다른 구조체들을 변형하거나 또는 설계하기 위한 기초로서 용이하게 활용될 수 있다는 점이 당업자들에 의해 인식되어야 한다. 또한, 첨부된 청구항들에서 설명된 것과 같이 이러한 동일한 구성들이 본 개시물의 교시들로부터 벗어나지 않는다는 점을 당업자들에 의해 실현되어야만 한다. 추가적인 목적들 및 이점들과 함께, 자신의 조직 및 동작 방법에 따른 본 개시물의 특징이 되는 것으로 믿어지는 신규의 특징들은 첨부된 도면들과 함께 고려될 때 이하의 설명으로부터 더 잘 이해될 것이다. 그러나, 도면들 각각이 오직 예시 및 설명의 목적으로 제공되며 본 개시물의 제한들의 정의로서 의도되지 않는다는 점이 명확히 이해되어야 한다.

## 도면의 간단한 설명

[0012] [0012] 본 개시물의 특징들, 속성, 및 이점들은, 도면들과 관례하여 취해질 때 이하에 설명된 발명을 실시하기 위한 구체적인 내용으로부터 더욱 명백하게 될 것이다.

[0013] [0013] 도 1은 종래의 금속 산화물 금속(MOM) 커패시터 구조체들을 포함하는 인터커넥트 스택을 포함하는 접적 회로(IC) 디바이스를 예시하는 블록도이다.

[0014] [0014] 도 2는 본 개시물의 양상에 따른 상보형 BEOL(back end of line) 커패시터 구조체를 포함하는 접적 회로(IC) 디바이스를 예시하는 단면도를 도시한다.

[0015] [0015] 도 3은 본 개시물의 다른 양상에 따른 상보형 BEOL 커패시터 구조체를 포함하는 접적 회로(IC) 디바이스를 예시하는 단면도를 도시한다.

[0016] [0016] 도 4는 본 개시물의 추가의 양상에 따른 상보형 BEOL 커패시터 구조체를 포함하는 접적 회로(IC) 디바이스를 예시하는 단면도를 도시한다.

[0017] [0017] 도 5는 본 개시물의 다른 양상에 따른 상보형 BEOL 커패시터 구조체를 포함하는 접적 회로(IC) 디바이스를 예시하는 단면도를 도시한다.

[0018] [0018] 도 6은 본 개시물의 추가적인 양상에 따른 상보형 BEOL 커패시터 구조체를 포함하는 접적 회로(IC) 디바

이스를 예시하는 단면도를 도시한다.

[0019] 도 7은 본 개시물의 일 양상에 따른 상보형 BEOL 커패시터 구조체를 제조하기 위한 방법을 예시한다.

[0020] 도 8은 본 개시물의 양상이 유리하게 채용될 수 있는 예시적인 무선 통신 시스템을 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0021] 첨부된 도면들과 관련하여 아래에 설명된 발명을 실시하기 위한 구체적인 내용은, 다양한 구성들의 설명으로서 의도되며, 오직 본원에 설명된 개념들이 실행될 수 있는 구성들만을 나타내도록 의도되는 것은 아니다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하기 위해 특정 세부사항들을 포함한다. 그러나, 이러한 개념들이 이러한 특정 세부사항들 없이도 실행될 수 있다는 것은 당업자들에게 명백하게 될 것이다. 몇몇 예시들에서, 이러한 개념들을 모호하게 하는 것을 회피하기 위해 잘-알려진 구조들 및 컴포넌트들이 블록도 형태로 도시된다. 본원에 설명된 바와 같이, 용어 "및/또는"의 이용은 "포괄적 OR"을 나타내도록 의도되고, 용어 "또는"의 이용은 "배타적 OR"을 나타내도록 의도된다.

[0022] 본 개시물의 하나의 양상은 CBC(complementary back end of line (BEOL) capacitor) 구조체를 설명한다. 일 구성에서, CBC 구조체는 금속 산화물 금속(MOM) 커패시터 구조체 및 하나 또는 그 초과의 금속 절연체 금속(MIM) 커패시터 구조체들을 조합한다. 상이한 도전성 인터커넥트 층들로부터 MIM 커패시터 구조체와 MOM 커패시터 구조체를 조합하는 것은, 상보형 BEOL 커패시터 구조체에 증가된 커패시턴스 면적 밀도를 제공한다. 이러한 구성에서, 상보형 BEOL 커패시터 구조체는, MOM 커패시터 구조체의 도전성 펑거들의 측부 커플링을 MIM 커패시터 구조체의 별도 플레이트들의 수직 커플링과 조합한다. 상보형 BEOL 커패시터 구조체는 인터커넥트 스택의 상이한 도전성 인터커넥트 층들로부터 커패시터 구조체들을 조합함으로써 증가된 커패시터 면적 밀도를 나타낸다. 이 구성에서, IC 디바이스의 인터커넥트 스택은 다수의 도전성 인터커넥트 층들(예를 들어, 도전성 층들 M1 내지 M10)을 포함한다. MOM 커패시터 구조체가 종래의 프로세스를 이용하여 형성되는 반면, 이 구성에서 MIM 커패시터를 형성하기 위한 프로세스는 상보형 BEOL 커패시터 구조체를 형성하기 위해 변경된다.

[0023] MIM 커패시터 구조체는 인터커넥트 스택의 상부 인터커넥트 층들(예를 들어, M9 및 M10) 사이에 형성될 수 있다. 일 구성에서, MIM 커패시터의 상단 플레이트 또는 하단 플레이트 중 단일의 플레이트는 상단/하단 플레이트 바로 아래에 있는 상부 도전성 인터커넥트 층들 중 하나와 MIM 커패시터의 상단/하단 플레이트 사이에 MIM 커패시터 구조체를 형성하는데 이용된다. 특히, 본 개시물의 일 양상은, 예를 들어, 도 2에 도시된 바와 같이, 상보형 BEOL 커패시터 구조체를 형성하기 위해 MOM 커패시터 구조체의 포지티브 및 네거티브 노드들과 MIM 커패시터 구조체를 커플링한다. MIM 커패시터 구조체의 플레이트로서 인터커넥트 스택의 상부 인터커넥트 층들 중 하나의 이용은 간략화된 제조 프로세스를 가능하게 한다. 이러한 방식으로의 MIM 커패시터의 제조는 MIM 커패시터의 플레이트들 중 하나를 제조하기 위한 추가적인 증착 및 마스크를 회피한다. 즉, MIM 커패시터 구조체는, 예를 들어, 도 2에 도시된 바와 같이, 단일의 MIM 커패시터 플레이트와 인접하는 상부 인터커넥트 층 사이에 형성된다.

[0024] 도 2는 본 개시물의 일 양상에 따른 CBC(상보형 BEOL 커패시터) 구조체(220)를 포함하는 집적 회로(IC) 디바이스(200)를 예시하는 단면도를 도시한다. 대표적으로, IC 디바이스(200)는 인터커넥트 스택(210)을 지지하는 반도체 기판(예를 들어, 실리콘 웨이퍼)(102)를 포함한다. 이러한 구성에서, 인터커넥트 스택(210)은 다수의 도전성 인터커넥트 층들(예를 들어, M0 내지 M10)을 포함한다. 도전성 인터커넥트 층들(M0 내지 M10)을 참조하여 설명되었지만, 본 개시물은 인터커넥트 스택을 포함하는 임의의 IC 디바이스에 적용될 수 있으며, 이 임의의 IC 디바이스에서 다수의 도전성 인터커넥트 층들은 관련 프로세스 기술에 의해 결정된다. 본원에 설명된 바와 같이, 용어 "반도체 기판"은 다이싱된 웨이퍼(diced wafer)의 기판을 지칭할 수 있거나 또는 다이싱되지 않은 웨이퍼, 즉, 웨이퍼 그 자체의 기판을 지칭할 수 있다. 용어 "금속"은 임의의 도전성 또는 반도체 재료일 수 있다.

[0025] 도 2에서, 금속 산화물 금속(MOM) 커패시터 구조체(230)는, 예를 들어, 도 1에 도시된 바와 같이, 인터커넥트 스택(110)의 하부 도전성 인터커넥트 층들(예를 들어, M1-M6) 내에 형성된다. 이러한 구성에서, 제 1 상부 인터커넥트 층(212)(M9)과 제 2 상부 인터커넥트 층(214)(M10) 사이에 금속 절연체 금속(MIM) 커패시터를 형성하는 종래의 프로세스는 변형된다. MIM 커패시터의 하단 플레이트(262) 및 상단 플레이트(266)를 형성하기 위해 종래의 MIM 프로세스를 이용하는 것 보다는, 이 구성에서, MIM 커패시터 구조체(250)는 상단 플레이트(252) 및 하단 플레이트로서 제 1 상부 인터커넥트 층(212)(예를 들어, M9)을 포함한다. 즉, 종래의 MIM 마스크 또는 프로세스는, 제 1 상부 인터커넥트 층(212)과 제 2 상부 인터커넥트 층(214) 사이에 형성될 수 있는

MIM 커패시터의 상단 플레이트를 제조하기 위한 마스크 및 증착을 스킵하기 위해 이러한 위치에서 변형된다. 상단 플레이트(266)는, 이러한 구성에서 실제로 존재하지 않을 것이기 때문에 점선으로 도시된다(도 6 참조, 예를 들어, 상단 플레이트(466)를 갖는 MIM 커패시터).

[0018] [0026] 이러한 구성에서, MIM 커패시터 구조체(250)의 상단 플레이트(252)는 종래의 MIM 프로세스의 하단 플레이트 마스크를 이용함으로써 제 1 상부 인터커넥트 층(212)(M9) 위에 형성된다. 비아(217)를 통해 제 2 상부 인터커넥트 층(214)에 커플링된 MIM 커패시터 구조체(250)의 상단 플레이트(252) 상에 선택적인 유전체 층(256)이 형성된다. 이에 더해, 제 1 상부 인터커넥트 층(212)(M9)이 비아(216)를 이용하여 제 2 상부 인터커넥트 층(214)(M10)에 커플링된다.

[0019] [0027] MIM 커패시터 구조체(250)의 커패시턴스 밀도(C1)는 후술하는 바와 같이 결정될 수 있다:

[0020] [0028] MIM 커패시터 구조체(250)의 제 1 상부 인터커넥트 층(212)(하단 플레이트)과 상단 플레이트(252) 사이의 거리(254)는 일반적으로 종래의 MIM 프로세스에 따라 50 내지 100 나노미터의 범위에 있다. 유전 상수(k1)가 5와 동일하다고 가정하면, 상단 플레이트(252)와 제 1 상부 인터커넥트 층(212) 사이의 거리(254)는 50나노미터이고, MIM 커패시터 구조체(250)의 커패시턴스 밀도(C1)는 마이크로 제곱 미터 당 대략  $0.89(fF)(fF/\mu m^2)$ 과 동일하다. MOM 커패시터 구조체(230)의 커패시턴스 밀도는 각각의 층마다 대략  $0.78fF/\mu m^2$ 이다(하부 도전성 인터커넥트 층들(예를 들어, M1 내지 M6) 중 하나의 90 나노미터 피치 및 28 나노미터 프로세스 기술에 따른 미세 라인 구성을 가정함). MIM 커패시터 구조체(250)의 커패시턴스 밀도(C1)는, 언급된 미세 라인 구성에 따라 제조될 때, MOM 커패시터 구조체(230)의 하나의 하부(또는 더 미세한) 층의 커패시턴스 밀도와 대략적으로 동일하다.

[0021] [0029] 도 3은 본 개시물의 일 양상에 따른 CBC(complementary back end of line (BEOL) capacitor) 구조체(320)를 포함하는 접적 회로(IC) 디바이스(300)를 예시하는 단면도를 도시한다. 일 구성에서, MIM 커패시터 구조체(350)는 상단 플레이트(358), 하이-K 유전체 층(356) 및 제 1 상부 인터커넥트 층(212)(예를 들어, M9)을 하단 플레이트로서 포함한다. 이러한 구성에서, 상단 플레이트(358)는 오직 MIM 커패시터의 상단 플레이트(366)만을 제조하기 위해 변형된 MIM 프로세스를 이용하여 제조된다. 즉, 종래의 MIM 프로세스는 제 1 상부 인터커넥트 층(212)(M9)과 제 2 상부 인터커넥트 층(214)(M10) 사이에 형성될 수 있는 MIM 커패시터의 하단 플레이트를 제조하기 위한 증착 및 마스크를 스킵하도록 변형된다. 이에 더해, 하이-K 유전체 층(356)은 MIM 커패시터 구조체(350)의 커패시턴스 밀도(C2)를 증가시키기 위해 상단 플레이트(358) 상에 증착될 수 있다. CBC 구조체(320)의 커패시턴스 밀도는 MIM 커패시터 구조체(350)(C2) 및 MOM 커패시터 구조체(230)의 조합된 병렬 커패시턴스 밀도를 포함할 수 있다.

[0022] [0030] 도 4는 본 개시물의 다른 양상에 따른 CBC(complementary back end of line (BEOL) capacitor) 구조체(420)를 포함하는 접적 회로(IC) 디바이스(400)를 예시하는 단면도를 도시한다. 이러한 구성에서, 제 1 MIM 커패시터 구조체(450)는 상단 플레이트(452) 및 제 1 상부 인터커넥트 층(212)을 하단 플레이트로서 포함한다. 즉, 제 1 MIM 커패시터 구조체(450)의 하단 플레이트는 인터커넥트 스택(210)의 제 1 상부 인터커넥트 층(212)(예를 들어, M9)에 대응한다. 이에 더해, 제 2 MIM 커패시터 구조체(460)는 제 1 상부 인터커넥트 층(212)(M9)과 제 2 상부 인터커넥트 층(214)(M10) 사이에 형성된다. 제 2 MIM 커패시터 구조체(460)는 하단 플레이트(462), 유전체 층(464), 및 상단 플레이트(466)를 포함한다. 하단 플레이트(462)는 비아들(416 및 417)을 통해 제 1 상부 인터커넥트 층(212) 및 제 2 상부 인터커넥트 층(214)에 커플링된다. 상단 플레이트(466)는 비아들(418 및 419)을 통해 제 1 상부 인터커넥트 층(212) 및 제 2 상부 인터커넥트 층(214)에 커플링된다.

[0023] [0031] 도 4에 추가로 예시된 바와 같이, 제 1 MIM 커패시터 구조체(450) 및 제 2 MIM 커패시터 구조체(460)는 상단 플레이트(452) 및 하단 플레이트(462)를 공유한다. 즉, 제 2 MIM 커패시터 구조체(460)의 하단 플레이트는 또한 제 1 MIM 커패시터 구조체(450)의 상단 플레이트(452)로서 기능한다. CBC 구조체(420)는, 제 1 MIM 커패시터 구조체(450)(C1), 제 2 MIM 커패시터 구조체(460)(C3), 및 MOM 커패시터 구조체(230)의 조합된 병렬 커패시턴스 밀도를 포함할 수 있다.

[0024] [0032] 도 5는, 본 개시물의 추가적인 양상에 따른 CBC(complementary back end of line (BEOL) capacitor) 구조체(520)를 포함하는, 접적 회로(IC) 디바이스(500)를 예시하는 단면도를 도시한다. 이 구성에서, MOM 커패시터 구조체(530)의 상부 층(532)은 인터커넥트 스택(210)의 제 1 상부 인터커넥트 층(212)(M9)이다. MOM 커패시터 구조체(530)의 상부 층(532)이 병렬 도전성 평거들을 포함하는 것으로 도시되지만, MOM 커패시터 구조체(530)의 도전성 평거들은 병렬로, 직교하여, 또는 다른 유사한 하이브리드 구성으로 배열될 수 있다. MIM 커패

시터 구조체(550)는 하단 플레이트를 제공하기 위해 MOM 커패시터 구조체(530)의 상부층(532)을 공유할 수 있다. 이 구성에서, MIM 커패시터 구조체(550)는, 상단 플레이트(558), 하이-k 유전체 층(556) 및 제 1 상부 인터커넥트 층(212)을 하단 플레이트로서 포함한다.

[0025] [0033] 이 구성에서, 상단 플레이트(558)는 오직 MIM 커패시터의 상단 플레이트(566)만을 제조하기 위해 변형된 MIM 프로세스를 이용하여 제조될 수 있다. 즉, 종래의 MIM 프로세스는 제 1 상부 인터커넥트 층(212)과 제 2 상부 인터커넥트 층(214) 사이에 형성된 MIM 커패시터의 하단 플레이트를 제조하기 위한 마스크 및 중착을 스킵하도록 변형된다. 이에 더해, 하이-k 유전체 층(556)은 MIM 커패시터 구조체(550)의 커패시턴스 밀도(C2')를 증가시키기 위해 상단 플레이트(558) 상에 중착될 수 있다. 이러한 구성에서, MIM 커패시터 구조체(550)의 커패시턴스 밀도(C2')는 도 3의 MIM 커패시터 구조체(350)의 커패시턴스 밀도(C2) 미만이다.

[0026] [0034] 도 6은 본 개시물의 추가적인 양상에 따른 CBC(complementary back end of line (BEOL) capacitor) 구조체(620)를 포함하는 집적 회로(IC) 디바이스(600)를 예시하는 단면도를 도시한다. 이러한 구성에서, MIM 커패시터 구조체(460)는 제 1 상부 인터커넥트 층(212)과 제 2 상부 인터커넥트 층(214) 사이에 형성된다. 그러나, 예를 들어, 도 4에 도시된 바와 같이, 제 1 상부 인터커넥트 층(212)은 변형되어, 이에 따라 제 1 상부 인터커넥트 층(212)은 추가적인 MIM 커패시터 구조체의 형성을 위한 하단 플레이트를 제공하지 않게 된다. 이러한 구성에서, CBC 구조체(620)는 MIM 커패시터 구조체(460)(C3)와 MOM 커패시터 구조체(230)의 조합된 병렬 커패시턴스 밀도를 포함할 수 있다.

[0027] [0035] 도 7은 본 개시물의 일 양상에 따른 CBC(complementary back end of line (BEOL) capacitor) 구조체를 제조하기 위한 방법(700)을 예시한다. 블록(710)에서, 금속 산화물 금속(MOM) 커패시터 구조체는 집적 회로(IC) 디바이스의 인터커넥트 스택의 하부 인터커넥트 층들 내에 형성된다. 예를 들어, 도 1에 도시된 바와 같이, MOM 커패시터(130)는 인터커넥트 스택(110)의 하부 도전성 인터커넥트 층들(예를 들어, M1-M6) 내에 형성된다. 블록(712)에서, 하나 또는 그 초과의 금속 절연체 금속(MIM) 커패시터 층들은 인터커넥트 스택의 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 중착된다.

[0028] [0036] 예를 들어, 도 2에 도시된 바와 같이, 제 1 상부 인터커넥트 층(212)(M9)과 제 2 상부 인터커넥트 층(214)(M10) 사이에 MIM 커패시터를 형성하는 종래의 프로세스는 변형된다. MIM 커패시터의 상단 플레이트 및 하단 플레이트를 형성하기 위해 종래의 MIM 프로세스를 이용하는 것보다는, 이러한 구성에서, 하단 플레이트 마스크 및 중착 프로세스가 이용되어 MIM 커패시터 구조체(250)의 제 1 커패시터 플레이트(상단 플레이트(252))를 제조한다. 이에 더해, 제 1 상부 인터커넥트 층(212)(예를 들어, M9)은 MIM 커패시터 구조체(250)의 제 2 커패시터 플레이트를 제공한다. 대안적인 구성에서, 상단 플레이트(358)는, 예를 들어, 도 3에 도시된 바와 같이, 오직 MIM 커패시터의 상단 플레이트(366)만을 제조하기 위해 변형된 MIM 프로세스를 이용하여 제조된다. 즉, 종래의 MIM 프로세스는 제 1 상부 인터커넥트 층(212)(M9)과 제 2 상부 인터커넥트 층(214)(M10) 사이에 형성될 수 있는 MIM 커패시터의 하단 플레이트를 제조하기 위한 마스크 및 중착을 스킵하도록 변형된다.

[0029] [0037] 도 7을 다시 참조하면, 블록(714)에서, MOM 커패시터 구조체에 커플링된 MIM 커패시터 구조체가 형성된다. 예를 들어, 도 2에 도시된 바와 같이, MIM 커패시터 구조체(250)는 제 1 커패시터 플레이트로서 제 1 상부 인터커넥트 층(212)의 적어도 일부를 포함하고, 제 2 커패시터 플레이트(상단 플레이트(252))는 변형된 MIM 제조 프로세스에 따라 형성된 하단 커패시터 플레이트를 포함한다. 예를 들어, 도 2에 도시된 바와 같이, MIM 커패시터의 상단 플레이트 또는 하단 플레이트 중 단일의 플레이트가 이용되어 종래의 MIM 커패시터의 상단/하단 플레이트와 상부 도전성 인터커넥트 층들 중 하나 사이에 MIM 커패시터 구조체를 형성한다. 특히, 본 개시물의 일 양상은, 예를 들어, 도 2에 도시된 바와 같이, CBC 구조체(220)를 형성하기 위해 MOM 커패시터 구조체(230)의 포지티브 및 네거티브 노드들을 통해 MIM 커패시터 구조체(250)를 커플링한다.

[0030] [0038] 일 구성에서, 집적 회로(IC) 디바이스의 CBC(complementary back end of line (BEOL) capacitor) 구조체는 집적 회로(IC) 디바이스의 인터커넥트 스택의 제 1 상부 인터커넥트 층에 커플링된, 전하를 저장하기 위한 수단을 포함한다. 전하 저장 수단은, 인터커넥트 스택의 적어도 하나의 하부 인터커넥트 층을 포함한다. 본 개시물의 일 양상에서, 전하 저장 수단은 전하 저장 수단에 의해 나열된 기능들을 수행하도록 구성된 MOM 커패시터 구조체(230)일 수 있다. CBC 구조체는 또한, 전하 저장 수단에 커플링된 인터커넥트 스택의 제 2 상부 인터커넥트 층을 포함할 수 있다. CBC 구조체는 또한 제 1 상부 인터커넥트 층과 제 2 상부 인터커넥트 층 사이에 적어도 하나의 금속 절연체 금속(MIM) 커패시터 층을 포함한다. 이에 더해, CBC 구조체는 전하 저장 수단에 커플링된 MIM 커패시터 구조체를 포함한다. MIM 커패시터 구조체는, 제 1 상부 인터커넥트 층의 적어도 일부를 갖는 제 1 커패시터 플레이트, 및 적어도 하나의 MIM 커패시터 층의 적어도 일부를 갖는 제 2 커패시터 플레이

트를 포함한다. 다른 양상에서, 전술한 수단은 전하 저장 수단에 의해 나열된 기능들을 수행하도록 구성된 임의의 디바이스일 수 있다.

[0031] [0039] 도 8은, 본 개시물의 양상이 유리하게 채용될 수 있는 예시적인 무선 통신 시스템(800)을 도시한다. 예시의 목적으로, 도 8은 3개의 원격 유닛들(820, 830, 및 850) 및 2개의 기지국들(840)을 나타낸다. 무선 통신 시스템들이 더 많은 그 이상의 원격 유닛들 및 기지국들을 가질 수 있다는 점이 인식될 것이다. 원격 유닛들(820, 830, 및 850)은 CBC 구조체들(825A, 825B, 및 825C)을 포함한다. 도 8은, 기지국들(840)로부터 원격 유닛들(820, 830, 및 850)로부터의 순방향 링크 신호들(880) 및 원격 유닛들(820, 830, 및 850)로부터 기지국들(840)로의 역방향 링크 신호들(890)을 나타낸다.

[0032] [0040] 도 8에서, 원격 유닛(820)은 모바일 전화로서 도시되고, 원격 유닛(830)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(850)은 무선 로컬 루프 시스템 내의 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 셀 전화들, 핸드헬드 개인 통신 시스템(PCS: personal communication systems) 유닛들, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 휴대용 데이터 유닛들, 예를 들어, 휴대 정보 단말기들, 또는 고정 위치 데이터 유닛들, 예를 들어, 겸침(meter reading) 장비)일 수 있다. 도 8은 본 개시물의 교시들에 따라 CBC 구조체들(825A, 825B, 및 825C)을 이용할 수 있는 원격 유닛들을 예시하지만, 본 개시물은 이러한 예시적인 설명된 유닛들로 한정되는 것은 아니다. 예를 들어, 본 개시물의 양상들에 따른 CBC 구조체는 임의의 디바이스에 적절하게 채용될 수 있다.

[0033] [0041] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 본 명세서에서 설명된 기능들을 수행하는 모듈들(예를 들어, 프로시저들, 함수들 등)로 구현될 수 있다. 명령들을 유형적으로 구현하는 임의의 기계 판독 가능 매체가 본 명세서에서 설명된 방법들의 구현에 사용될 수 있다. 예를 들어, 소프트웨어 코드들은 메모리에 저장되고 프로세서 유닛에 의해 실행될 수 있다. 메모리는 프로세서 유닛 내부에 또는 프로세서 유닛 외부에 구현될 수 있다. 본 명세서에서 사용된 바와 같이, "메모리"라는 용어는 임의의 타입의 장기, 단기, 휘발성, 비휘발성 또는 다른 메모리를 지칭하며, 메모리의 임의의 특정 타입이나 메모리들의 개수, 또는 메모리가 저장되는 매체들의 타입으로 한정되는 것은 아니다.

[0034] [0042] 본 개시 및 그 이점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같이 본 개시의 기술을 벗어나지 않으면서 본 명세서에 다양한 변경들, 치환들 및 개조들이 이루어질 수 있다고 이해되어야 한다. 예를 들어, 기판 또는 전자 디바이스에 관해 "위(above)"와 "아래(below)"와 같은 상관 용어들이 사용된다. 물론, 기판 또는 전자 디바이스가 뒤집어진다면, 위가 아래가 되고, 아래가 위가 된다. 추가로, 옆으로 배향된다면, 위와 아래는 기판 또는 전자 디바이스의 측면들을 의미할 수 있다. 더욱이, 본 출원의 범위는 본 명세서에서 설명된 프로세스, 기계, 제조, 물질의 조성, 수단, 방법들 및 단계들의 특정 실시예들로 한정되는 것으로 의도되는 것은 아니다. 당업자가 본 개시로부터 쉽게 인지하듯이, 본 명세서에서 설명된 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는, 현재 존재하는 또는 나중에 개발될 프로세스들, 기계들, 제조, 재료의 조성들, 수단, 방법들 또는 단계들이 본 개시에 따라 이용될 수 있다. 이에 따라, 첨부된 청구항들은 그 범위 내에 이러한 프로세스들, 기계들, 제조, 물질의 조성들, 수단, 방법들 또는 단계들을 포함하는 것으로 의도된다.

[0035] [0043] 본원에 설명된 방법들은 애플리케이션에 따라 다양한 수단에 의해 구현될 수 있다. 예를 들어, 이러한 방법들은, 하드웨어, 펌웨어, 소프트웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 하드웨어 구현의 경우, 프로세싱 유닛들은, 하나 또는 그 초과의 ASIC(application specific integrated circuit)들, DSP(digital signal processor)들, DSPD(digital signal processing device)들, PLD(programmable logic device)들, FPGA(field programmable gate array)들, 프로세서들, 컨트롤러들, 마이크로-컨트롤러들, 마이크로프로세서들, 전자 디바이스들, 본원에 설명된 기능들을 수행하도록 설계된 다른 전자 유닛들, 또는 이들의 조합 내에서 구현될 수 있다.

[0036] [0044] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 본 명세서에서 설명된 기능들을 수행하는 모듈들(예를 들어, 프로시저들, 함수들 등)로 구현될 수 있다. 명령들을 유형적으로 구현하는 임의의 머신 또는 컴퓨터 판독 가능 매체가 본 명세서에서 설명된 방법들의 구현에 사용될 수 있다. 예를 들어, 소프트웨어 코드는 메모리에 저장되고 프로세서에 의해 실행될 수 있다. 프로세서에 의해 실행될 때, 실행 소프트웨어 코드는 본원에서 제시된 교시들의 상이한 양상들의 다양한 방법들 및 기능들을 구현하는 동작 환경을 발생시킨다. 메모리는 프로세서 내부에 또는 프로세서 외부에서 구현될 수 있다. 본 명세서에서 사용된 바와 같이, "메모리"라는 용어는 임의의 타입의 장기, 단기, 휘발성, 비휘발성 또는 다른 메모리를 지칭하며, 메모리의 임의의 특정 타입이

나 메모리들의 개수, 또는 메모리가 저장되는 매체들의 타입으로 한정되는 것은 아니다.

[0037]

[0045] 본원에 설명된 방법들 및 기능들을 정의하는 소프트웨어 코드를 저장하는 머신 또는 컴퓨터 판독가능 매체는 물리적 컴퓨터 저장 매체를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수 있다. 제한하지 않는 예시로서, 이러한 컴퓨터-판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소 또는 다른 자기 저장 디바이스들, 또는 컴퓨터에 의해 액세스될 수 있고 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 이용될 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에 이용되는 것과 같이, 디스크(disk) 및/또는 디스크(disc)는 콤팩트 디스크(CD; compact disc), 레이저 디스크(laser disc), 광학 디스크(optical disc), 디지털 다기능 디스크(DVD: digital versatile disc), 플로피 디스크(floppy disk) 및 블루-레이 디스크(blu-ray disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 자기적으로 데이터를 재생하는 반면에 디스크(disc)들은 레이저들을 통해 데이터를 광학적으로 재생한다. 전술한 것들의 조합들이 또한 컴퓨터-판독가능 매체의 범위 내에 포함되어야 할 것이다.

[0038]

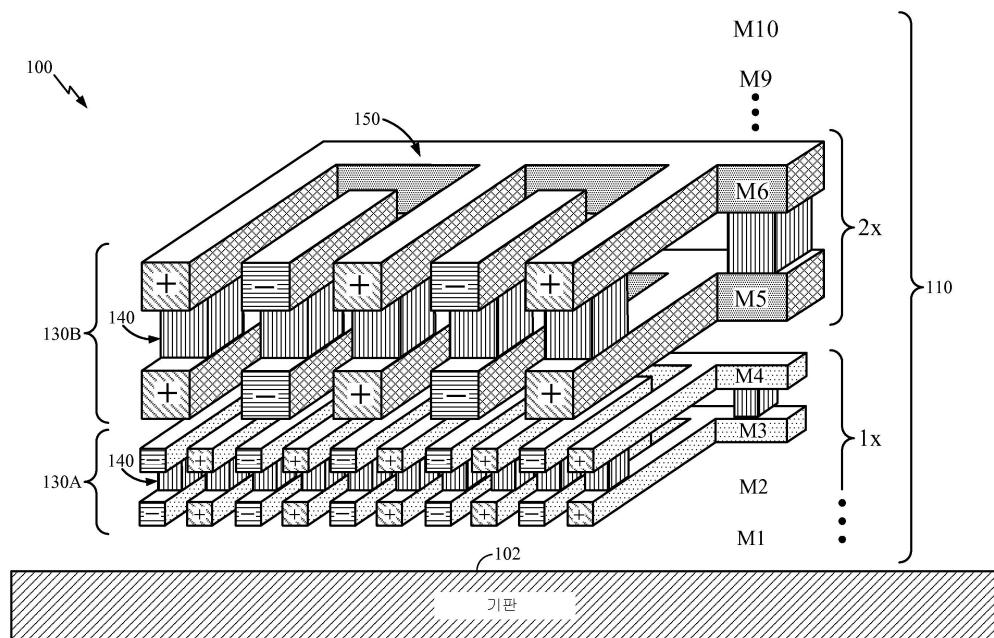
[0046] 컴퓨터 판독가능 매체상의 저장소뿐만 아니라, 명령들 및/또는 데이터는 통신 장치에 포함된 송신 매체상에서 신호들로서 제공될 수 있다. 예를 들어, 통신 장치는, 명령들 및 데이터를 나타내는 신호들을 갖는 트랜시버를 포함할 수 있다. 명령들 및 데이터는, 하나 또는 그 초과의 프로세서들로 하여금 청구항들에 개략된 기능들을 구현하게 하도록 구성된다.

[0039]

[0047] 본 교시들 및 그들의 이점들이 상세하게 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같이 교시들의 기술로부터 벗어나지 않고 다양한 변화들, 치환들 및 대안책들이 본원에서 행해질 수 있다는 것이 이해되어야 한다. 더욱이, 본 출원의 범위는 본 명세서에서 설명된 프로세스, 기계, 제조, 물질의 조성, 수단, 방법들 및 단계들의 특정 양상들로 한정되는 것으로 의도되는 것은 아니다. 당업자가 본 개시로부터 쉽게 인지하듯이, 본 명세서에서 설명된 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는, 현재 존재하는 또는 나중에 개발될 프로세스들, 기계들, 제조, 재료의 조성들, 수단, 방법들 또는 단계들이 본 개시에 따라 이용될 수 있다. 이에 따라, 첨부된 청구항들은 그 범위 내에 이러한 프로세스들, 기계들, 제조, 물질의 조성들, 수단, 방법들 또는 단계들을 포함하는 것으로 의도된다.

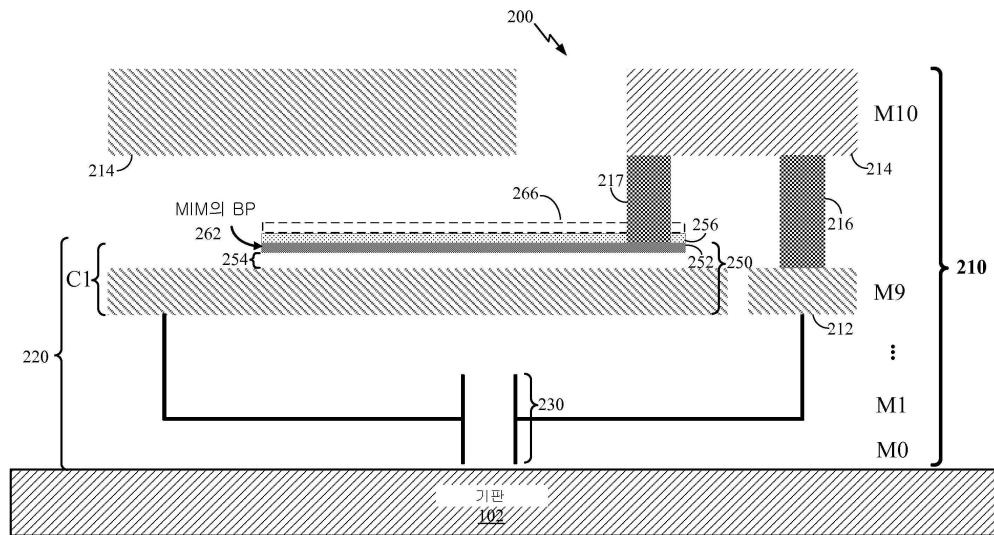
## 도면

### 도면1

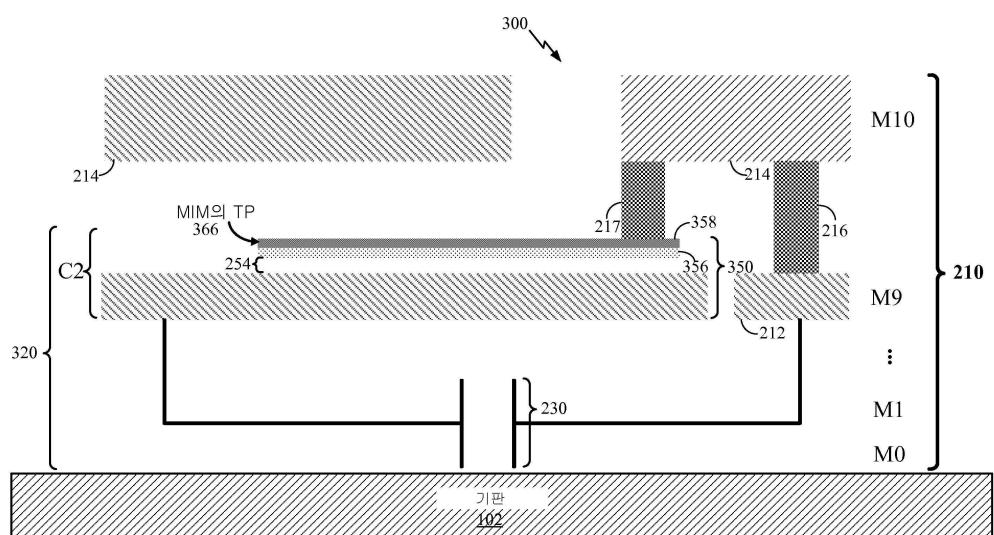


증례 기술

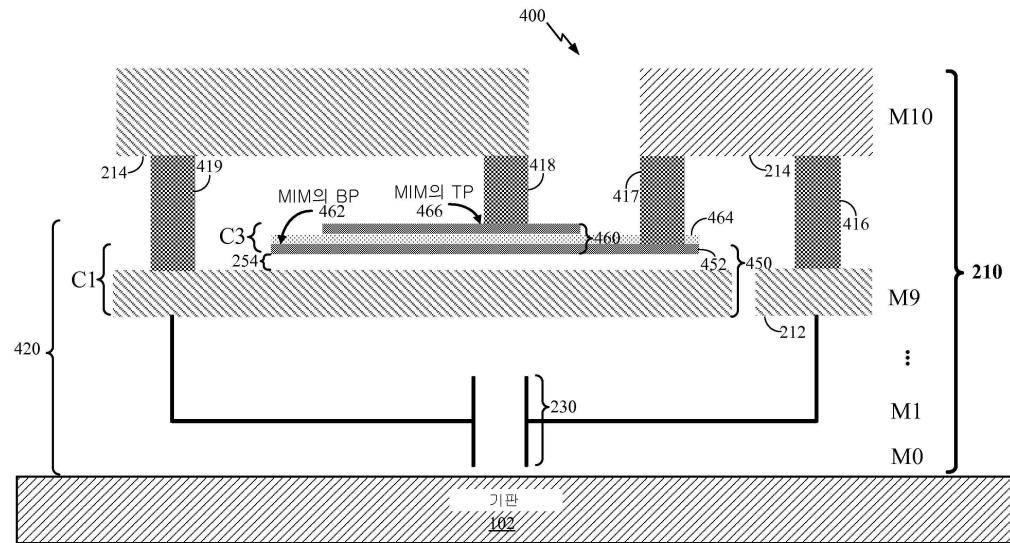
## 도면2



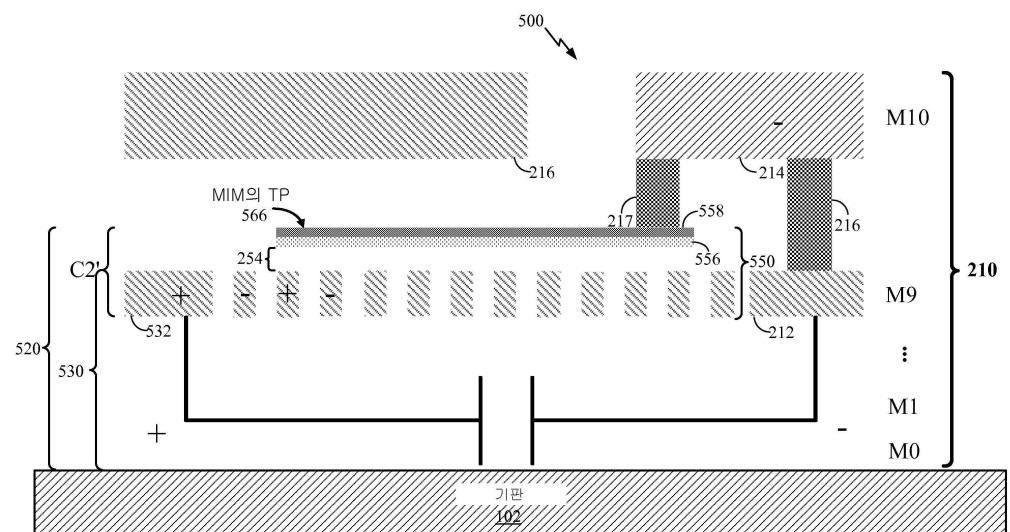
## 도면3



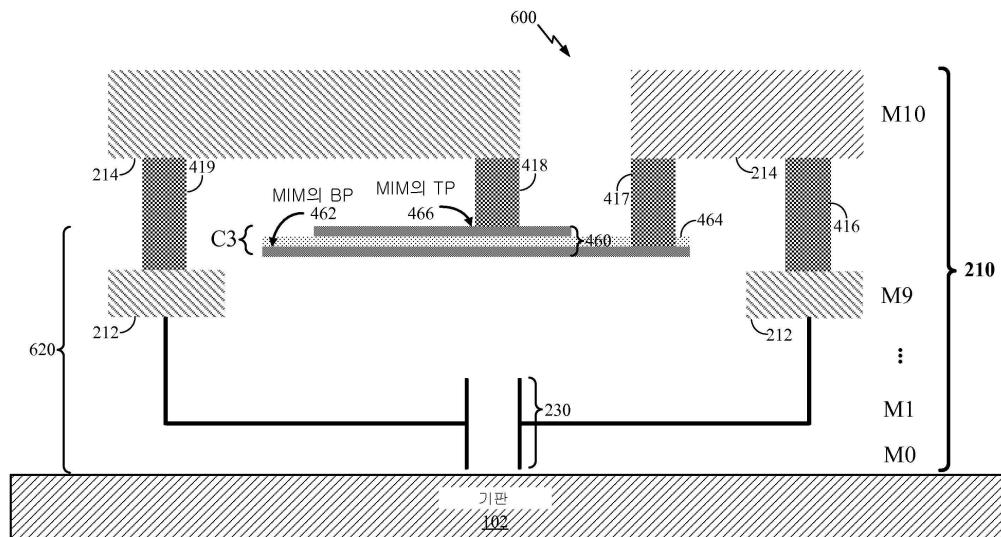
## 도면4



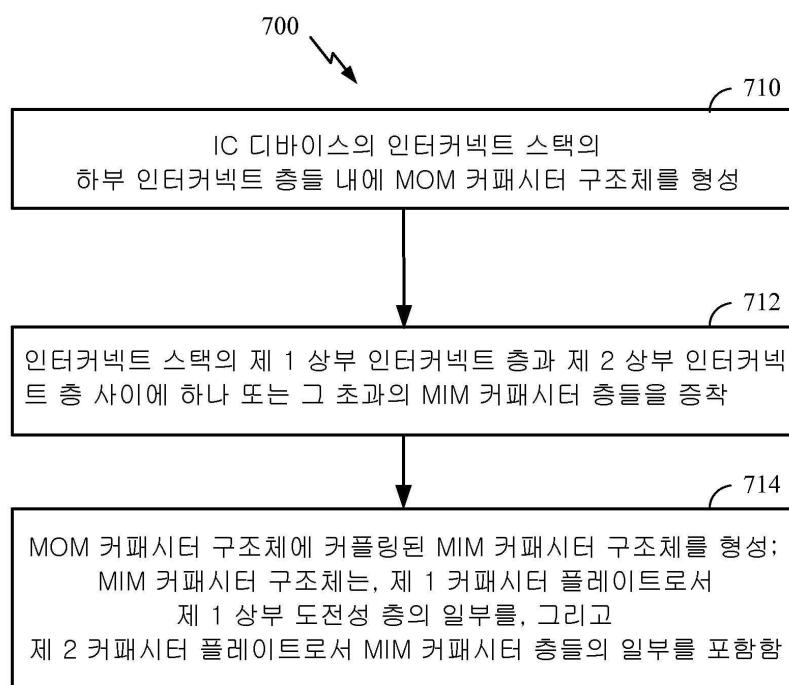
## 도면5



## 도면6



## 도면7



## 도면8

