

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P313428

※申請日期：P3.11.23

※IPC 分類：G11C16/02

## 一、發明名稱：(中文/英文)

積體電路及程式化電荷儲存記憶胞的方法

CIRCUIT AND METHOD FOR PROGRAMMING  
CHARGE STORAGE MEMORY CELLS

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司/MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 胡定華/DING-HUA HU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 16 號/NO. 16, LI-HSIN RD.,

SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 2 人)

姓名：(中文/英文)

1. 徐子軒 /Tzu-Hsuan Hsu

2. 吳昭誼 /Chao-I Wu

國籍：(中文/英文) 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：  
美國、2004.01.27、10/765,292

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種積體電路及程式化電荷儲存記憶胞的方法，且特別是有關於一種自我收斂的方法，以一目標起始電壓程式化單一位元或多位元記憶胞。

### 【先前技術】

基於電荷儲存元件的非揮發性記憶體，包括矽-氧-氮-氧-矽型記憶胞及浮置閘極快閃記憶胞，係經由注入電荷到電荷儲存元件中以進行程式化。在電荷儲存元件中的電荷會影響記憶胞中的啟始電壓，亦可用來儲存資料。

習知技術中常用以將電荷注入到電荷儲存元件的基本技術為熱電子注入法。熱電子注入法係為在記憶胞的控制閘極上施加一高電壓，並在汲極上施加一高電壓，在源極上為接地的低電壓。此一偏壓的分佈係因電流流經通道區，以及由高控制閘極電壓建立的電場使得熱電子從通道區注入電荷儲存元件。一矽-氧-氮-氧-矽型記憶胞使用熱電子進行程式化的方式，請參照氮化物唯讀記憶胞。

以偏壓方式用進行熱電子注入有許多變化。由於這些變化的產生，使得一個基本的問題被注意到，即一個大陣列的各個記憶胞在程式化的過程中，並不會全部具有一致性表現。因此，給定的一程式化脈衝，注入單一元件之陣列之記憶胞的電荷儲存元件的電荷量分布非常廣泛。在給定一程式化脈衝之後所造成的電荷廣泛分配，使得記憶胞中的啟始電壓更難以預測。因此，演算法必須提升以試

著計算電荷的分配，而典型方式為施加一程式化脈衝，然後執行一驗證操作以測試記憶體的啟始電壓。如果起始電壓在施加第一個脈衝之後並沒有達到目標啟始電壓，則此程式化繼續進行，隨後再進行一驗證操作。關於此議題的討論如 Bloom 等人在美國專利第 6396741 號，專利名稱為 PROGRAMMING OF NONVOLATILE MEMORY CELLS，公開日為 2002 年 5 月 28 日。又如 Chang 等人之美國專利第 6320786 號，專利名稱為 METHOD OF CONTROLLING MULTI-STATE NROM，公開日為 2001 年 11 月 20 日。或如 Parker 等人之美國專利第 6219276 號，專利名稱為 MULTILEVEL CELL PROGRAMMING，公開日為 2001 年 4 月 17 日。

許多習知程式化的方法是根據演算法，此演算法是施加一固定的汲極電壓，或在程式化操作時階段化汲極電壓，或在程式化操作時階段化閘極電壓。然而，運用在氮化物唯讀記憶體的這些演算法，在進行多次脈衝之後，啟始電壓並沒有自我收斂，而且需要一驗證操作來計算操作是否中止。此驗證操作相當耗時，而且需要複雜的程式化演算法以及支援電路。在浮置閘極快閃記憶體中，有一些程式化演算法可以自我收斂，但是程式化的速度以及精確度卻有待改進。

在此技術領域希望能提供一自我收斂電荷儲存記憶體的程式化演算法，以去除或是減少驗證操作，並減少程式化操作的時間。更進一步地，希望提供一程式化演算法，

係能自我收斂在多於一個目標操作電壓階段，以使得單一記憶胞上能進行多位元儲存。

### 【發明內容】

本發明提供一種自我收斂程式化電荷儲存記憶胞的方法，此電荷儲存記憶胞具有配置於一基底上的一源極與一汲極、一電荷儲存元件與一控制閘極。而此程式化電荷儲存記憶胞的方法包括，施加一源極電壓，此源極電壓係具有一增加有效啟始電壓的本體效應。而且，在操作期間源極電壓隨著汲極電壓一起增加，以調整熱電子注入效率，至少是在目標啟始電壓收斂的一部份程式化操作期間。其中，一選定的閘極電壓施加於操作期間，以建立目標啟始電壓。在多位元記憶胞中，係根據儲存的資料值以設定閘極電壓，使電壓可自我收斂在多個目標電壓。本發明一實施例的方法及系統中所提及的”自我收斂”，係指不需經過驗證操作來計算操作的終止點。本發明實施例中，在單一位元或是多位元的記憶胞中，此方法及系統係皆為自我收斂。

在本發明一較佳實施例中，在程式化操作中具有固定的閘極電壓，並具有固定的汲極對源極電壓差，其中增加源極電壓與汲極電壓，包含在操作中以相同的階段(steps)增加源極電壓與汲極電壓，也就是電壓增加的速率相同。

在本發明一些實施例中，施加電壓包括施加一連續源極電壓脈衝在源極上，其中增加源極電壓包含在連續脈衝中相繼而來的脈衝之中，增加源極電壓脈衝高度。同樣

的，在操作中施加一連續汲極電壓脈衝在記憶胞的汲極上，其中增加汲極電壓包含在連續脈衝中相繼而來的脈衝之中，增加汲極電壓脈衝高度。在一些實施例中，脈衝以相同階段同步增加源極與汲極的電壓。如有必要的話，驗證脈衝可施加於兩程式化脈衝之間。其它實施例於操作中，施加一傾斜的源極與汲極電壓，在兩脈衝之間並沒有產生脈衝或是間隔。

本發明另一實施例中，此方法用於程式化一多階電荷儲存記憶胞。此方法包括從一多於兩個儲存於記憶胞的資料值中，計算一資料值。以及從反映出此資料值的預設的閘極電壓階段集合中選定一電壓，並施加此選定的閘極電壓。依照這個規則，在記憶胞上此啟始電壓收斂在對應於此計算資料值的目標啟始電壓。在電荷陷入記憶胞技術中，如矽-氧-氮-氧-矽型記憶胞，在本發明實施例中，多階資料可儲存在此記憶胞的一側。

本發明一實施例中，提出一種積體電路記憶體，包括一記憶陣列、一電壓供應電路、一程式化控制器。其中，記憶陣列係具有解碼電路系統以選擇要程式化的多數個記憶胞。電壓供應電路係耦接至記憶陣列，適用於施加一閘極電壓、一源極電壓與一汲極電壓在記憶陣列的記憶胞所對應的控制閘極、源極與汲極上。程式化控制器，係耦接至解碼電路系統與電壓供應電路，程式化控制器適用於在選定的記憶胞上，執行一程式化操作。本發明適用於藉由熱電子注入法程式化的電荷儲存記憶胞，包括氮化物唯讀

記憶胞及浮置閘極快閃記憶胞。其中，氮化物唯讀記憶胞的電荷陷入層之材質例如是氮化矽或是其它材料。浮置閘極快閃記憶胞的電荷陷入材質，最典型的是應用多晶矽所形成的導體浮置閘極。

本發明在程式化中，以一固定的汲極對源極電壓差增加源極與汲極的電壓。當增加源極電壓以減少閘極對源極電壓差時，係可以調整程式化中熱電子的注入效率，並導致一自我收斂的現象。例如，在程式化操作致使達到啟始電壓的一部分期間，建立大致上保持為一定值的閘極電壓以及施加一增加的源極與汲極電壓在記憶胞上，則記憶胞在操作中會產生自我收斂的目標啟始電壓，而且可除去或是減少驗證操作。本發明相較於習知技術的方法，具有較少的程式化脈衝與較短的程式化時間。因為具有自我收斂的啟始電壓，亦可避免過程式化的現象。基於本發明，自我收斂的啟始電壓之各階段可被良好的控制，而使得多位元記憶胞在電荷儲存記憶胞中成為可能。

本發明的實施例中，當施加階段化或是傾斜的源極與汲極電壓時，目標啟始電壓可藉由對應於儲存資料值所設定閘極電壓的階段來選定。

為讓本發明之上述和其它目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

本發明提供一較佳實施例，請參考圖 1-11。

圖 1 係繪示本發明一積體電路具有門鎖時間控制的感測放大器之簡化方塊圖。此積體電路包括由氮化物唯讀記憶胞所構成的一記憶陣列 100。在其它實施例中，使用具有電荷儲存元件的記憶胞，除了氮化物唯讀記憶胞中使用氮化矽的電荷陷入層之外，還有應用於快閃記憶體中可導電的浮置閘極，其中電荷陷入層的材質不包括氮。此外，一列解碼器 101 耦接於排列於記憶陣列 100 中的多數條字元線 102，以響應匯流排 105 上的位址。一行解碼器 103 耦接於排列於記憶陣列 100 中的多數條位元線 104，以響應匯流排 105 上的位址。其中，匯流排 105 上的位址提供於行解碼器 103 及列解碼器 101。感測放大器位於圖中方塊 106 之感測放大器中，係透過資料匯流排 107 耦接於行解碼器 103。另外，資料的供給是透過積體電路上輸入/輸出埠(port)的資料輸入線 110 到資料輸入結構(未繪示)。另一方面，資料的供給是透過方塊 106 之感測放大器的資料輸出線 112 到積體電路上輸入/輸出埠(port)。

在一些實施例中，控制記憶陣列 100 中記憶胞的讀取、抹除及程式化的來源都包括在一晶片上。依照本發明較佳實施例，使用一種自我收斂程式化操作(self-converging program operation)。這些電壓源包括繪示如方塊 108 之讀取/抹除/程式化具 V/DV/S 階段化的程式化供應電壓及一讀取/抹除/程式化具自我收斂演算法的程式化狀態機器(state machine)109，係耦接於參與此元件操作的記憶陣列 100、列/行解碼器 101、103 及積體電路上的其



它電路系統。

此供應電壓源 108 係用於作為各種不同實施例中的充電泵、穩壓器、分壓器及為熟知此技術者可知，係用在讀取、抹除及程式化操作時用以提供各種電壓。

狀態機器 109 係用以支援讀取、抹除及程式化操作。此狀態機器 109 為熟知此技術者可知，能應用於特殊目的邏輯電路系統(special-purpose logic circuitry)。在其它的實施例中，此一控制器包括一般目的(general-purpose)處理器，係應用在相同的積體電路上，執行電腦程式以控制元件的操作。在上述未提及的實施例中，一結合特殊目的邏輯電路系統(special-purpose logic circuitry)及一般目的(general-purpose)處理器被應用於狀態機器 109 的執行上。本發明的程式化操作繪示於圖 2-11，其中一些實施例表現出自我收斂(self-converging)。

圖 2 繪示適於如圖 1 積體電路中之氮化物唯讀記憶胞的簡化圖。此記憶胞應用於一半導體基底 200 上。其中，此記憶胞包括由各別擴散區域所形成的一源極 201 及一汲極 202，係藉由配置於基底中的一通道 200 所分離。一控制閘極 203 覆蓋在通道上。一電荷儲存元件 204 由一位於控制閘極 203 及通道之間的絕緣體所隔離，其中該絕緣體例如是二氧化矽(未繪示)。此電荷儲存元件 204 包括氮化物唯讀記憶胞中的氮化矽。在其它實施例中電荷陷入的材料，例如是三氧化二鋁( $\text{Al}_2\text{O}_3$ )、氧化鈦( $\text{HfO}_x$ )、氧化鋯( $\text{ZrO}_x$ )及其它可用以形成記憶胞的金屬氧化物。如圖 2 所繪示，

當施一偏壓於記憶胞以進行熱電子程式化時，在氮化矽層中以符號表示的電荷被電荷陷阱 205(charge trap)所捕捉。

為了程式化記憶胞，積體電路的控制電路系統施加一源極電壓  $V_S$  在源極 201 上(為一連串逐漸增加的脈衝，如範例所示)，一汲極電壓  $V_D$  在汲極 202 上(為一連串逐漸增加的脈衝，其增加速率約和源極電壓脈衝增加速率相同，如範例所示)，一閘極電壓  $V_G$  在控制閘極 203 上(為一固定電壓，如範例所示)，一底材電壓  $V_B$  在基底 200 上。

圖 3 係繪示本發明一較佳實施例程式化如圖 2 中之氮化物唯讀記憶胞的施加電壓(applied voltage)。此程式化操作係藉由注入電荷至電荷陷入層 204 中，以建立目標的啟始電壓。其中，此程式化操作包括在所選擇的記憶胞之源極上施加一源極電壓  $V_S$ ，如圖 3 中的圖形 300，在所選擇的記憶胞之汲極上施加一汲極電壓  $V_D$ ，如圖 3 中的圖形 301，在所選擇的記憶胞之控制閘極上施加一閘極電壓  $V_G$ ，如圖 3 中的圖形 302，在所選擇的記憶胞之基底上施加一底材電壓  $V_B$ ，如圖 3 中的圖形 303。由圖 3 中可見，一程式化操作包括在操作期間源極電壓  $V_S$  由 0 伏特增加到 2 伏特，汲極電壓  $V_D$  由 5 伏特增加到 7 伏特。此外，閘極電壓  $V_G$  與啟始電壓值有關，電壓值維持在 10 伏特左右。至於底材電壓  $V_B$  則維持在接地的狀態。如範例中所繪示，源極電壓  $V_S$  與汲極電壓  $V_D$  以相同的速率在操作期間同時增加。在圖 3 的範例當中，每 0.5 微秒施加一源極電壓  $V_S$ ，而此每一階段施加電壓都增加 0.1 伏特。

如圖 3 所繪示，其源極上增加的電壓要過 2 伏特約要經過 20 階段，其程式的時間至少要超過 10 微秒。同樣地，每 0.5 微秒施加一汲極電壓  $V_D$ ，而此每一階段施加電壓都增加 0.1 伏特。請參照圖 3，在程式化操作剛開始時，閘極對源極的電壓差  $V_{GS}$  約為 10 伏特。然而，閘極對源極的電壓差  $V_{GS}$  在程式化操作的過程中逐漸減少至 8 伏特。相同的，在程式化操作的過程中，汲極對源極的電壓差  $V_{DS}$  一樣維持在 5 伏特。

可以在兩脈衝間施加 0 伏特間隔的脈衝。在其它實施例中，如圖 10 所繪示，在兩程式化脈衝之間會施加一驗證脈衝(verify pulse)。另一方面，在施以一連續或是階段化增加的電壓時，在兩脈衝間將不會有 0 伏特間隔的脈衝，使得源極與汲極電壓為一傾斜圖形。

在依照本發明一自我收斂(self-converging)程式化演算法中，並沒有執行一驗證的步驟，記憶陣列經由實驗的測定可靠地建立啟始電壓，而脈衝的數目(程式化的總數)可在此一計算結果下預先決定。由下述實驗所得的結果可以驗證，自我收斂(self-converging)能達成一相對較少的總時間，在本發明各種實施例中使程式化時間小於 10 微秒(少於 20 個脈衝)。

依本發明較佳實施例中所述，當閘極電壓維持固定時，源極電壓  $V_S$  與汲極電壓  $V_D$  以相同的速率同步增加。在另一實施例中，源極電壓  $V_S$  與汲極電壓  $V_D$  根據個別應用的需要，可對電壓增加的相對速率進行修飾。同樣地，

當能夠維持本發明的利益，以減少閘極對源極的電壓差  $V_{GS}$  及閘極對汲極的電壓差  $V_{GD}$ ，以及在程式化的期間增加本體效應(body effect)，可施加各種經調整後的閘極電壓。實驗所得的結果應用於此一技術中，在程式化操作期間，有一固定或是接近固定的汲極對源極的電壓差  $V_{DS}$ ，能建立記憶胞啟始電壓的自我收斂(self-converging)，以及藉由所選定的閘極電壓  $V_G$  所設定的啟始電壓，以提供在操作時與目標啟始電壓相關的電壓值。

圖 4 繪示氮化物唯讀記憶胞根據五種不同程式化操作，逆向讀取 RR(reverse read)與順向讀取 FR(forward read)的起始電壓圖。在此實驗中，啟始電壓被定義在感測電流為 10 毫安培的基礎下。然而，在和以其它感測電流為比較基準下可觀察到收斂性。這些操作如下述(1) $V_D$ 階段化，(2) $V_G$ 階段化，(3) $V_D$ 固定，(4) $V_D$ 、 $V_S$ 階段化且  $V_{DS}$ 固定，(5) $V_G$ 、 $V_D$ 、 $V_S$ 階段化。

(1) $V_D$  階段化，係提供一 10 伏特的閘極電壓，汲極電壓為 5 伏特並以 0.1 伏特為一階段上升至 7 伏特，而源極接地。使用的脈衝寬度為 0.5 微秒，且在兩脈衝之間具有 1 微秒的間隔。

(2) $V_G$  階段化，係提供一 6 伏特的閘極電壓並以 0.1 伏特為一階段上升至 12 伏特，汲極電壓固定維持在 5 伏特，且源極接地。使用的脈衝寬度為 0.5 微秒，且在兩脈衝之間具有 1 微秒的間隔。

(3) $V_D$  固定，係提供一 10 伏特的閘極電壓，汲極電

壓為 5 伏特，而源極接地。使用的脈衝寬度為 0.5 微秒，且在兩脈衝之間具有 1 微秒的間隔。

(4) $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定，如圖 3 中程式化演算法的結果所繪示，閘極電壓固定在 10 伏特，源極電壓為 0 伏特並以 0.1 伏特為一階段上升至 2 伏特，汲極電壓為 5 伏特開始並以 0.1 伏特為一階段上升至 7 伏特。使用的脈衝寬度為 0.5 微秒，且在兩脈衝之間具有 1 微秒的間隔。

(5) $V_G$ 、 $V_D$ 、 $V_S$  階段化，係提供一閘極電壓 10 伏特並以 0.1 伏特為一階段上升至 12 伏特，源極電壓為 0 伏特並以 0.1 伏特為一階段上升至 2 伏特，汲極電壓為 5 伏特並以 0.1 伏特為一階段上升至 7 伏特。同樣地，使用的脈衝寬度為 0.5 微秒，且在兩脈衝之間具有 1 微秒的間隔。

圖 4 係用以解釋上述各種程式化演算法起始電壓與程式化時間的關係。其中，逆向讀取的起始電壓在  $V_D$  階段化之操作條件下的演算結果，其電壓之變化如圖 4 中的圖形 400。順向讀取的起始電壓在  $V_D$  階段化之操作條件下的演算結果，其電壓之變化如圖 4 中的圖形 401。逆向讀取的起始電壓在  $V_G$  階段化之操作條件下的演算結果，其電壓之變化如圖 4 中的圖形 402。順向讀取的起始電壓在  $V_G$  階段化之操作條件下的演算結果，其電壓之變化如圖 4 中的圖形 403。在  $V_D$  固定的操作條件下，逆向讀取的起始電壓如圖 4 中的圖形 404，順向讀取的起始電壓如圖 4 中的圖形 405。 $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定的操作條件下，逆向讀取的起始電壓如圖 4 中的圖形 406，順向讀取

的起始電壓如圖 4 中的圖形 407。最後， $V_G$ 、 $V_D$ 、 $V_S$  階段化的操作條件下，逆向讀取的起始電壓如圖 4 中的圖形 408，順向讀取的起始電壓如圖 4 中的圖形 409。

圖 4 係繪示本發明在  $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定的操作條件下順向讀取與逆向讀取的起始電壓，可標記出程式化時間約為 5 秒，此時其它方法的起始電壓持續在增加，而隨後的脈衝仍持續加壓。

圖 5 係繪示在電荷第一次注入之後，上述五種操作條件下，擴大順向讀取之起始電壓值變動資料所得的關係圖。其中， $V_D$  階段化之操作條件下的結果，其電壓之變化如圖 5 中圖形 500。 $V_G$  階段化之操作條件下的結果，其電壓之變化如圖 5 中圖形 501。 $V_D$  固定之操作條件下的結果，其電壓之變化如圖 5 中圖形 502。 $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定之操作條件下的結果，其電壓之變化如圖 5 中圖形 503。 $V_G$ 、 $V_D$ 、 $V_S$  階段化之操作條件下的結果，其電壓之變化如圖 5 中的圖形 504。在圖 5 中的點係繪示出在第 8 到第 15 次電荷注入的時後，當其它程式化操作條件下仍承受較大起始電壓的變動時，在本發明  $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定的操作條件下，計算所得啟始電壓變動小於 0.1 伏特。

圖六係繪示以圖中各點代表斜率的實驗數據來說明起始電壓的變化。其中， $V_D$  階段化之操作條件下的結果，其斜率之變化如圖 6 中圖形 600。 $V_G$  階段化之操作條件下的結果，其斜率之變化如圖 6 中圖形 601。 $V_D$  固定之

操作條件下的結果，其斜率之變化如圖 6 中圖形 602。 $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定之操作條件下的結果，其斜率之變化如圖 6 中圖形 603。 $V_G$ 、 $V_D$ 、 $V_S$  階段化之操作條件下的結果，其斜率之變化如圖 6 中的圖形 604。在達到自我收斂(self-converging)的狀況時，其斜率為 0 或是接近 0，如在本發明  $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定的操作條件下所得的圖形 603。

圖 7 係繪示本發明在如同氮化物唯讀記憶體的電荷陷入元件中的多位階(multilevel)儲存能力。在  $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定的操作條件下，使用基於一目標啟始電壓所選擇的閘極電壓  $V_G$ ，以使達到各種不同的啟始電壓成為可能。圖 7 中的點描述出在閘極電壓的範圍，以 0.5 伏特為一階段由 5 伏特到 7 伏特，所對應的逆向讀取(reverse read)啟始電壓。在此一實驗中，啟始電壓係定義在一微安培(microamp)，所以其啟始電壓略低於圖 4 中的啟始電壓。如實驗結果所述，目標啟始電壓的設計和閘極電壓相關，且在各種不同目標啟始電壓都可達到自我收斂(self-converging)。

圖 8 係繪示在如圖 2 中的一氮化物唯讀記憶胞中進行 2 位元儲存的方法。根據圖 8 的實施例，在  $V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定的操作條件下，使用相對應的閘極電壓所設定的啟始電壓，以得到四個不同的值(00, 01, 10, 11)，係顯示出儲存於記憶胞中的 2 位元資料。因此，在程式化的過程中，施加 10 伏特閘極電壓所儲存資料值為 11。施

加 8.5 伏特閘極電壓所儲存資料值為 10。施加 7 伏特閘極電壓所儲存資料值為 01。施加 5.5 伏特閘極電壓所儲存資料值為 00。

圖 9 係繪示基於本發明之一種程式化方法的簡化流程圖。此方法包括先對一選定記憶胞決定一資料值。其中，此一資料值基於個別的應用可為一單位元或是多位元。在圖 9 的一範例中，資料值是選自於下列四個資料值(00, 01, 10, 11)，以顯示出兩位元的資料(方塊 900)。接著，施加一相對應於計算出的資料值之閘極電壓(方塊 901)。然後，施加一源極與一汲極脈衝於所選定的記憶胞(方塊 902)。接下來，源極電壓與汲極電壓持續增加並施以下一個脈衝(方塊 903)。下一個操作步驟中，進行一演算法判定是否已經施加預設的 N 次脈衝(方塊 904)。如果預設的 N 次脈衝尚未施加完成，則演算法將會回到方塊 903 繼續施加下一個脈衝。如果預設的 N 次脈衝已施加完成，則結束此一演算法(方塊 905)。

如圖 9 的實施例中，在各程式化脈衝間沒有進行程式化驗證操作(program verify operation)。更確切的說，因為程式化操作具有自我收斂的特性，所以演算法在施加預設的脈衝數目後結束，而沒有進行一驗證步驟。

在另一演算法中，當本發明所提供之程式化操作可達到更快速更精確的收斂時，會應用一驗證步驟。例如，在一可能實施例中，程式化操作的第一部分期間，施加第一型程式化偏壓，並於程式化操作的最後部分，應用一



$V_D$ 、 $V_S$  階段化且  $V_{DS}$  固定之操作，以使啟始電壓達到收斂。

圖 10 係繪示本發明一較佳實施例之演算法下的閘極電壓  $V_G$  的圖形 310、汲極電壓  $V_D$  的圖形 311 與源極電壓  $V_S$  的圖形 312，而此程式化演算法係在各程式化電壓間插入驗證脈衝。在此一範例中，在程式化操演算法期間所施加的閘極電壓，包括多數個程式化脈衝，且這些程式化脈衝具有一選定的固定強度，係用以設定記憶胞程式化所需的啟始電壓。其中，閘極電壓  $V_G$  的程式化脈衝 320、321 及 322 對汲極電壓  $V_D$  的程式化脈衝 330、331 及 332，其中由第一階段的脈衝 330 開始遞增，第二階段的脈衝 331 高於第一階段且具有一增加值(例如是 0.1 伏特)，第三階段的脈衝 332 高於第二階段且具有一增加值(例如是 0.1 伏特)。源極電壓  $V_S$  的程式化脈衝 340、341 及 342 如圖中的圖形 312 所示。第一源極電壓程式化脈衝 340 分別對準閘極與汲極上的程式化脈衝 320 與 330，且具有如範例中接地的第一階段電壓。第二源極電壓程式化脈衝 341 分別對準閘極與汲極上的程式化脈衝 320 與 330，且具有第二階段電壓，此第二階段電壓高於第一階段電壓並具有一增加值。第二源極電壓程式化脈衝 341 分別對準閘極與汲極上的程式化脈衝 321 與 331，且具有第二階段電壓，此第二階段電壓高於第一階段電壓並具有一增加值。第三源極電壓程式化脈衝 342 分別對準閘極與汲極上的程式化脈衝 322 與 332，且具有第三階段電壓，此第三階段電壓高

於第二階段電壓並具有一增加值。源極脈衝增加的增加值大體上和汲極脈衝增加的增加值一樣，以維持汲極對源極的電壓差。雖然在此一範例中，每一次汲極對源極的電壓差增加的增加值是固定的，但是本發明的其它實施例中，會在一系列程式化脈衝的一個或是多個程式化脈衝間施加不同的增加值。這些電壓的階段(voltage level)會根據特殊的應用及參數的設計而最佳化。

圖 10 的範例中，驗證脈衝插入各程式化脈衝之中。因此，閘極上會施加一約為 3 伏特的驗證脈衝 350 在程式化脈衝 320 及 321 之間。同樣地，如圖 10 所繪示先後施加確認脈衝 351 及 352。在此一範例中，汲極電壓上的驗證脈衝設定為接地。此程式化驗證之源極電壓設定為一固定脈衝高度，在此範例中約為 1.6 伏特。驗證脈衝被設計成在施加程式化脈衝之後，不論程式化是否成功完成驗證脈衝皆能被感測。如果驗證脈衝期間達到所指定的啟始電壓，則終止程式化演算法。驗證脈衝可以施加在所有程式化脈衝之間；或是驗證脈衝只施加在一預設的程式化脈衝數目施加結束之後；或是驗證脈衝會施加在為了達到特殊系統之設計目標的其它型態上。

圖 11 係繪示本發明的其它觀點，多階的啟始電壓會應用在一電荷陷入型態記憶胞的兩側。圖 11 中的記憶胞為氮化物唯讀記憶胞，其具有許多如圖 2 所繪示相似的元件。然而，可以發現電荷陷入在建立在記憶胞中電荷陷入層 204 的兩側，如以符號表示的電荷陷阱 205 及 215。在

端點 201 上標記源極/汲極，端點 202 上標記源極/汲極。每一端點 201 與 202 作為源極或是汲極，端視記憶胞那一端被程式化或是被感測而定。在此範例中，在記憶胞一側四個啟始電壓階段呈現出二位元，以建立一記憶胞中具有四位元儲存的高密度氮化物唯讀記憶體。在其它實施例中，能提供多位元儲存的型態。雖然在此實施例中所繪示的，包括一單一、連續的電荷陷入層橫越記憶胞的通道區，但是在其它的實施例中，可能具有不連續的電荷陷入層結構。

本發明提供一高速、自我收斂的演算法係以程式化氮化物唯讀記憶體及以電荷儲存結構為基礎的非揮發性記憶體。而此演算法適用於快閃記憶體的浮置閘極。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 係繪示本發明中具有自我收斂程式化演算法的氮化物唯讀記憶胞之積體電路記憶體元件的簡化圖。

圖 2 係繪示本發明中資料儲存於電荷陷入層一側及具有程式化脈衝電壓之氮化物唯讀記憶體的簡化圖。

圖 3 係繪示本發明中程式化操作期間施加之電壓與程式化時間的關係圖。

圖 4 係繪示本發明與習知技術之程式化演算法中啟

始電壓對程式化時間的關係圖。

圖 5 係繪示本發明與習知技術之程式化演算法中啟始電壓的變化對脈衝數目的關係圖。

圖 6 係繪示本發明與習知技術之程式化演算法中啟始電壓的斜率對程式化時間的關係圖。

圖 7 係繪示本發明一較佳實施例中啟始電壓對程式化時間中多數個預設之閘極電壓的關係圖。

圖 8 係繪示本發明基於一 2 位元記憶胞之啟始電壓對程式化時間內四個預設之閘極電壓的關係圖。

圖 9 係繪示本發明一較佳實施例中程式化演算法的簡化流程圖。

圖 10 係繪示本發明程式化操作中程式化脈衝之間具有驗證脈衝之施加電壓與程式化時間的關係圖。

圖 11 係繪示本發明中多階資料儲存於電荷陷入層兩側之氮化物唯讀記憶體的簡化圖。

**【主要元件符號說明】**

- 100：氮化物唯讀記憶陣列
- 101：列解碼器
- 102：字元線
- 103：行解碼器
- 104：位元線
- 105：匯流排
- 106：感測器
- 107：資料匯流排

108：讀取/抹除/程式化工具 V/DV/S 階段化的程式化供應電壓

109：讀取/抹除/程式化工具自我收斂演算法的程式化狀態機器

110：資料輸入線

112：資料輸出線

200：基底

201：源極(端點)

202：汲極(端點)

203：控制閘極

204：電荷儲存元件

205、215：電荷陷阱：

300、301、302、303、310、311、312、400、401、402、403、404、405、406、407、408、409、500、501、502、503、504、601、602、603、604：圖形

320、321、322、330、331、332、340、341、342、350、351、352：脈衝

900：選自於下列四個資料值(00, 01, 10, 11)，以顯示出兩位元的資料

901：施加一相對應於計算出的資料值之閘極電壓

902：施加一源極與一汲極脈衝於所選定的記憶胞

903：源極電壓與汲極電壓持續增加並施以下一脈衝

904：進行一演算法判定是否已經施加預設的 N 次脈衝

905：結束此一演算法

## 五、中文發明摘要：

一種電荷儲存記憶胞之電路及其自我收斂程式化之方法，此電荷儲存記憶胞例如是氮化物唯讀記憶體或是浮置閘極快閃記憶體，其包括配置於一基底上的一源極與一汲極、一電荷儲存元件與一控制閘極。程式化電荷儲存記憶胞的方法，包括施加一源極電壓，此源極電壓係具有一增加有效啟始電壓的本體效應(body effect)。而且，在操作期間，至少是在目標啟始電壓收斂的那一部份程式化操作期間，源極電壓隨著汲極電壓增加，以調整熱電子注入效率。其中，於操作期間，係施加一選定的閘極電壓，以建立目標啟始電壓。在多位元記憶胞中，係根據所儲存的資料值以設定閘極電壓，使電壓可自我收斂在多個目標電壓。

## 六、英文發明摘要：

A circuit and method for self-converging programming of a charge storage memory cell, such as nitride read only memory or floating gate flash, having a source and a drain in a substrate, a charge storage element and a control gate. The method includes applying source voltage, including a body effect that increases the effective threshold, and increasing the source voltage along with the drain voltage to moderate hot electron injection efficiency during the program operation, at least during a portion of the program operation in which

convergence on a target threshold occurs. A selected gate voltage is applied during the operation to establish the threshold voltage. In multiple bit cells, the gate is set according to the data values to be stored, enabling self-convergence at more than one target threshold.

七、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

200：基底

201：源極

202：汲極

203：控制閘極

204：電荷儲存元件

205：電荷陷阱

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

#### 十、申請專利範圍：

1.一種程式化電荷儲存記憶胞的方法，該電荷儲存記憶胞具有配置於一基底上的一源極與一汲極、一電荷儲存元件與一控制閘極，該方法包括：

施加相關於一參考電壓的一閘極電壓於該控制閘極，施加相關於該參考電壓的一源極電壓在該源極上，施加相關於該參考電壓的一汲極電壓在該汲極上，以進行一操作使電荷移轉至該電荷儲存元件並建立該記憶胞的一啟始電壓；

在該操作中增加該汲極電壓；以及

在該操作中增加該汲極電壓的期間增加該源極電壓。

2.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中在一部分的該程式化操作中，該操作是自我收斂，且其啟始電壓係收斂在一終止啟始電壓。

3.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，包括在一部分的該程式化操作中，該閘極電壓幾乎為一定值，且其啟始電壓係收斂在一終止啟始電壓。

4.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，包括在該程式化操作中，該閘極電壓大致為一定值。

5.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中該記憶胞的該源極與該汲極之間具有一汲極對源極電壓差，且該方法包括在該程式化操作中將該閘



極電壓大致保持在一定值以及將該汲極對源極之電壓差大致保持在一定值。

6.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中施加電壓的之方法包括施加一連續源極電壓脈衝在該源極上，且增加該源極電壓的方法包括增加該連續源極脈衝中相繼而來之脈衝的源極電壓的脈衝高度，並且在該操作中施加一連續汲極電壓脈衝在該記憶胞的該汲極上，且增加該汲極電壓的方法包含增加該連續汲極脈衝中相繼而來的脈衝之汲極電壓的脈衝高度。

7.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中施加電壓的方法包括施加一連續源極電壓脈衝在該源極上，且增加該源極電壓的方法包括增加該連續源極脈衝中相繼而來之脈衝的該源極電壓之脈衝高度，並且在該操作中施加一連續汲極電壓脈衝在該記憶胞的該汲極上，且增加該汲極電壓的方法包括增加該連續汲極脈衝中相繼而來之脈衝的該汲極電壓的脈衝高度；以及

在該連續源極與汲極脈衝中相繼而來的脈衝之中施加多數個驗證脈衝。

8.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，包括在該操作中將該閘極電壓保持在一定值，其中增加該源極電壓與該汲極電壓的方法包含在該操作中以大致相同之階段數(steps)階段化(stemming)該源極電壓與該汲極電壓。

9.如申請專利範圍第 1 項所述之程式化電荷儲存記憶

胞的方法，包括在該操作中將該基板耦接至該參考電壓。

10.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中該記憶胞中的該電荷儲存元件包括一非導體電荷陷阱儲存層。

11.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中該記憶胞中的該電荷儲存元件包括一導體浮置閘極。

12.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中該記憶胞包括一氮化物唯讀記憶胞。

13.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中該記憶胞包括一快閃記憶體。

14.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，其中該記憶胞適用於儲存一多位元，且在該操作中包括將該閘極電壓設定在一閘極電壓之預設集合之一，以在該記憶胞建立啟始電壓之一相對應集合之一。

15.如申請專利範圍第 1 項所述之程式化電荷儲存記憶胞的方法，包括進行另一程式化操作致使電荷陷入於該記憶胞的另一側邊，包括：

施加相關於一參考電壓的一閘極電壓在該選定的記憶胞的該控制閘極上，施加相關於該參考電壓的一源極電壓在該選定的記憶胞的一第二端點上，施加相關於該參考電壓的一汲極電壓在該選定的記憶胞的一第一端點上；

在該操作中增加該汲極電壓；以及

在該操作中增加該汲極電壓的期間增加該源極電

壓。

16.一種程式化多階電荷儲存記憶胞的方法，該多階電荷儲存記憶胞具有配置於一基底上作為源極汲極的一第一端點與一第二端點、一電荷儲存單元與一控制閘極，該程式化多階電荷儲存記憶胞的方法包括：

從儲存在該儲存記憶胞中的多個的資料值中決定一資料值；

施加相對於一參考電壓的一閘極電壓在該控制閘極上，施加相對於該參考電壓的一源極電壓在該第一端點上，施加相對於該參考電壓的一汲極電壓在該第二端點上，以在一程式化操作中致使電荷移轉至該電荷儲存元件並建立該記憶胞的一啟始電壓；

在部分該程式化操作期間，將該閘極電壓大致保持在一定值，該定值是響應所決定之該資料值之該閘極電壓之預設值集合之一，其中該啟始電壓係收斂在對應於該決定的資料值之一目標啟始電壓；

在該操作中增加該汲極電壓；以及

在該操作中增加該汲極電壓的期間增加該源極電壓。

17.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中在一部分的該程式化操作中，該操作是自我收斂，且其啟始電壓係收斂在一終止啟始電壓。

18.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中該記憶胞的該第一端點與該第二端

點之間具有一汲極對源極之電壓差，且該方法包括在該程式化操作中將該汲極對源極電壓差大致保持在一定值。

19.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中施加電壓的方法包括施加一連續源極電壓脈衝在該第一端點上，且增加該源極電壓之方法包括在增加該連續源極脈衝中相繼而來之脈衝的高度，並且在該操作中施加一連續汲極電壓脈衝在該記憶胞的該第二端點上，且增加該汲極電壓方法包括增加該連續汲極脈衝中相繼而來的脈衝高度。

20.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中施加電壓的方法包括施加一連續源極電壓脈衝在該第一端點上，且增加該源極電壓的方法包含增加該連續源極脈衝中相繼而來的脈衝高度，並且在該操作中施加一連續汲極電壓脈衝在該記憶胞的該第二端點上，且增加該汲極電壓的方法包含增加該連續汲極脈衝中相繼而來的脈衝高度；以及

在該連續汲極脈衝中相繼而來的脈衝之中施加多數個驗證脈衝。

21.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中增加該源極電壓與該汲極電壓的方法包含在該操作中以大致相同的階段數(steps)階段化(steping)該源極電壓與該汲極電壓。

22.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，包括在該操作中將該基板耦接至該參考

電壓。

23.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中該記憶胞中的該電荷儲存元件包括一非導體電荷陷阱儲存層。

24.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中該記憶胞中的該電荷儲存元件包括一導體浮置閘極。

25.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中該記憶胞包括一氮化物唯讀記憶胞。

26.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，其中該記憶胞包括一快閃記憶體。

27.如申請專利範圍第 16 項所述之程式化多階電荷儲存記憶胞的方法，包括使用另一程式化操作致使電荷陷入於該記憶胞的另一側邊，包括：

施加相關於一參考電壓的一閘極電壓在該選定的記憶胞的該控制閘極上，施加相關於該參考電壓的一源極電壓在該選定的記憶胞的該第二端點上，施加相關於該參考電壓的一汲極電壓在該選定的記憶胞的該第一端點上；

在該操作中增加該汲極電壓；以及

在該操作中增加該汲極電壓的期間增加該源極電壓。

28.一種積體電路，包括：

一記憶陣列，其具有解碼電路系統以選擇要程式化

的多數個記憶胞、一電荷儲存元件與一控制閘極，其中該些記憶胞具有在一基底上作為多數個源極與多數個汲極的多數個第一端點與多數個第二端點，且該記憶胞中的該電荷儲存元件包含一非導體電荷陷阱儲存層；

一電壓供應電路，係耦接至該記憶陣列，適用於施加一閘極電壓、一源極電壓與一汲極電壓在該記憶陣列的該些記憶胞所對應的該控制閘極、該第一端點與該第二端點上；以及

一程式化控制器，係耦接至該解碼電路系統與該電壓供應電路，該程式化控制器適用於在該選定的記憶胞上，以執行一自我收斂程式化操作，以致使在該選定的記憶胞上電荷移轉至該電荷儲存元件並建立一啟始電壓。

29.如申請專利範圍第 28 項所述之積體電路，其中該記憶胞包括一氮化物唯讀記憶胞。

30.如申請專利範圍第 28 項所述之積體電路，其中該記憶胞適用於儲存多個位元，並在該記憶胞上以該程式化操作建立相對應於多個位元的一啟始電壓的集合。

31.一種積體電路，包括：

一記憶陣列，係具有解碼電路系統以選擇要程式化的多數個記憶胞、一電荷儲存元件與一控制閘極，其中該些記憶胞具有在一基底上作為多數個源極與多數個汲極的多數個第一端點與多數個第二端點；

一電壓供應電路，係耦接至該記憶陣列，適用於施加一閘極電壓、一源極電壓與一汲極電壓在該記憶體陣列

的該些記憶胞所對應的該控制閘極、該第一端點與該第二端點上；

一程式化控制器，係耦接至該解碼電路系統與該電壓供應電路，該程式化控制器適用於在該選定的記憶胞上，以執行一程式化操作，以致使在該選定的記憶胞上電荷移轉至該電荷儲存元件並建立一啟始電壓，該程式化操作包括，在該選定的記憶胞的該控制閘極上施加相對於一參考電壓的一閘極電壓，在該選定的記憶胞的該第二端點上施加相對於該參考電壓的一源極電壓，在該選定的記憶胞的該第一端點上施加相對於該參考電壓的一汲極電壓；

在該操作中增加該汲極電壓；以及

在該操作中增加該汲極電壓的期間增加該源極電壓。

32.如申請專利範圍第 31 項所述之積體電路，在一部分的該程式化操作中，該操作是自我收斂，且其啟始電壓係收斂在一終止啟始電壓。

33.如申請專利範圍第 31 項所述之積體電路，包括在部分的該程式化操作中，將該閘極電壓大致保持在一定值，其中該啟始電壓係收斂在一終止啟始電壓。

34.如申請專利範圍第 31 項所述之積體電路，包括在該程式化操作中將該閘極電壓保持在一定值。

35.如申請專利範圍第 31 項所述之積體電路，其中該記憶胞的該第一端點與該第二端點之間具有一汲極對源極電壓差，且該方法包括在該程式化操作中將該汲極對源極

電壓差大致保持在一定值。

36.如申請專利範圍第 31 項所述之積體電路，其中施加電壓的方法包括施加一連續源極電壓脈衝在該第一端點上，且增加該源極電壓的方法包含增加該連續汲極脈衝中相繼而來的脈衝之高度，並且在該操作中在該記憶胞的該第二端點上施加一連續汲極電壓脈衝，且增加該汲極電壓的方法包含增加該連續汲極脈衝中相繼而來的脈衝之高度。

37.如申請專利範圍第 31 項所述之積體電路，其中施加電壓的方法包括施加一連續源極電壓脈衝在該第一端點上，其中增加該源極電壓包含增加該連續汲極脈衝中相繼而來的脈衝的高度，並且在該操作中施加一連續汲極電壓脈衝在該記憶胞的該第二端點上，且增加該汲極電壓的方法包括增加該連續汲極脈衝中相繼而來的脈衝的高度；以及

施加多數個驗證脈衝在該連續汲極脈衝中相繼而來的脈衝之中。

38.如申請專利範圍第 31 項所述之積體電路，包括在該操作中具有固定的該閘極電壓，其中增加該源極電壓與該汲極電壓，包含在該操作中以相同的階段數(steps)階段化(stepping)該源極電壓與該汲極電壓。

39.如申請專利範圍第 31 項所述之積體電路，其中在該操作中該基板耦接至該參考電壓。

40.如申請專利範圍第 31 項所述之積體電路，其中該



記憶胞中的該電荷儲存元件包括一非導體電荷陷阱儲存層。

41.如申請專利範圍第 31 項所述之積體電路，其中該記憶胞中的該電荷儲存元件包括一導體浮置閘極。

42.如申請專利範圍第 31 項所述之積體電路，其中該記憶胞包括一氮化物唯讀記憶胞。

43.如申請專利範圍第 31 項所述之積體電路，其中該記憶胞包括一快閃記憶體。

44.如申請專利範圍第 31 項所述之積體電路，其中該記憶胞適用於一多個位元，並在該操作中該程式化操作包括由一預設之閘極電壓的集合中設定該閘極電壓，以在該記憶胞中以該操作建立相對應啟始電壓的集合之一。

45.如申請專利範圍第 31 項所述之積體電路，其中該程式化控制器適於進行另一程式化操作以使電荷陷入於該記憶胞的另一側邊，包括：

施加相對於一參考電壓的一閘極電壓在該選定的記憶胞的該控制閘極上，施加相對於該參考電壓的一源極電壓在該選定的記憶胞的該第二端點上，施加相對於該參考電壓的一汲極電壓在該選定的記憶胞的該第一端點上；

在該操作中增加該汲極電壓；以及

在該操作中增加該汲極電壓的期間增加該源極電壓。

46.一種積體電路，包括：

一記憶陣列，係具有解碼電路系統以選擇要程式化

的多數個記憶胞、一電荷儲存元件與一控制閘極，其中這些記憶胞具有在一基底上作為多數個源極與多數個汲極的多數個第一端點與多數個第二端點；

一電壓供應電路，係耦接至該記憶陣列，適於施加一閘極電壓、一源極電壓與一汲極電壓在該記憶陣列的這些記憶胞所對應的該控制閘極、該第一端點與該第二端點上；

一程式化控制器，係耦接至該解碼電路系統與該電壓供應電路，該程式化控制器適於在該選定的記憶胞上執行一程式化操作，以致使在該選定的記憶胞之電荷移轉至該電荷儲存單元的第一側邊與第二側邊上，並且在該選定的記憶胞的第一側邊與第二側邊上建立一啟始電壓，該程式化操作包括在該記憶胞的這些第一側邊與這些第二側邊中儲存 1 位元以上的資訊。

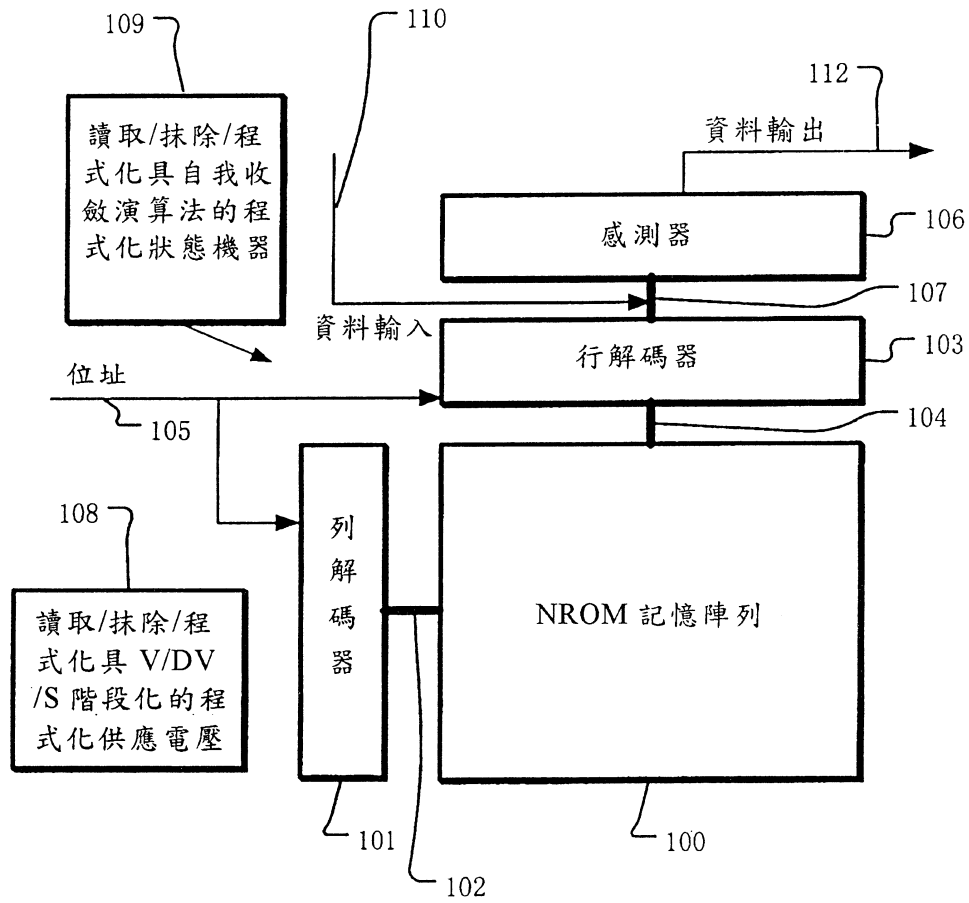


圖 1

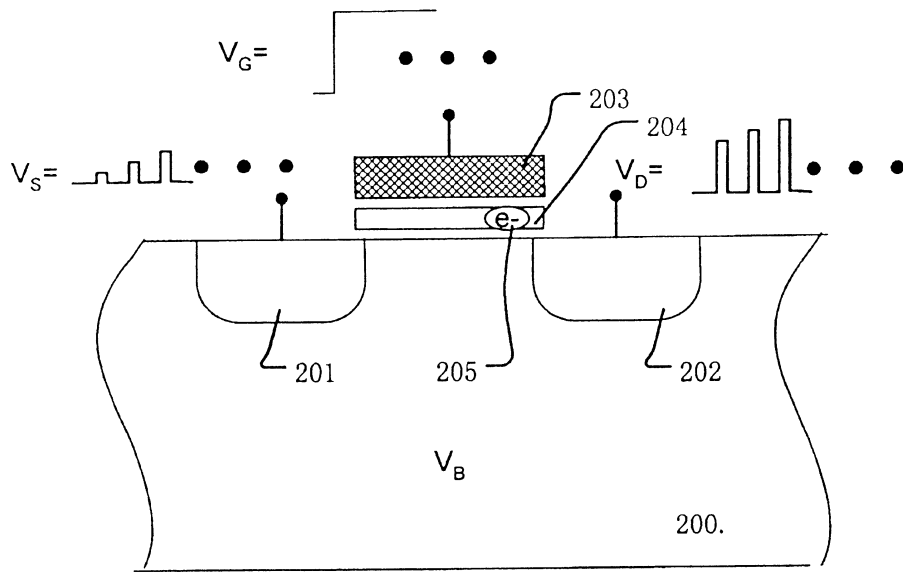


圖 2

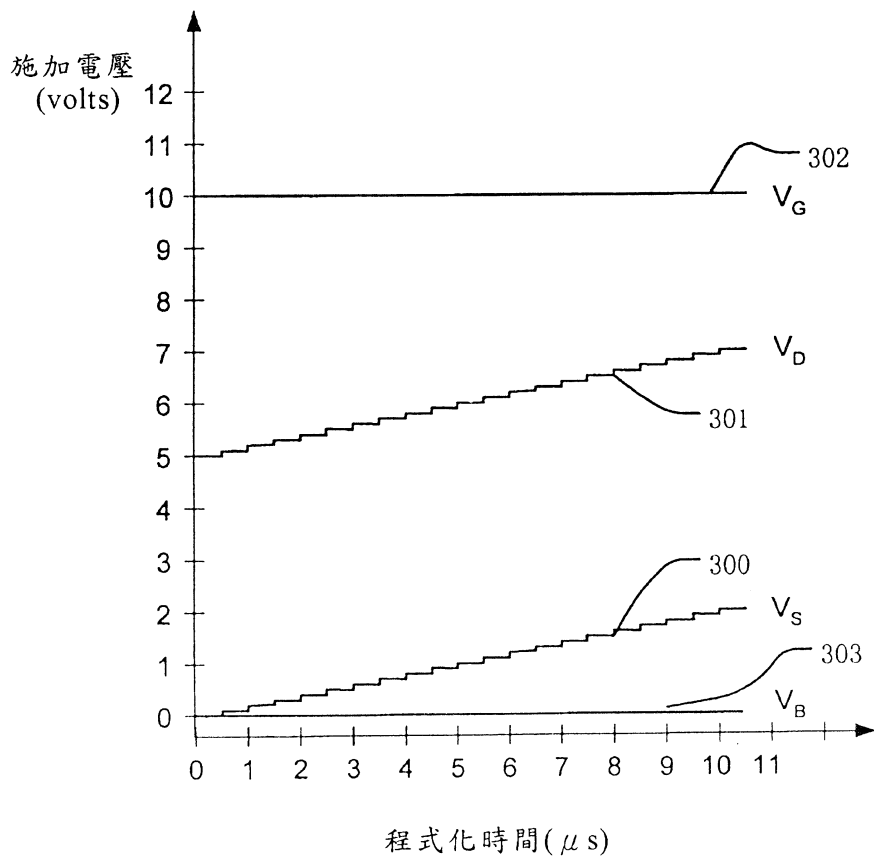


圖 3

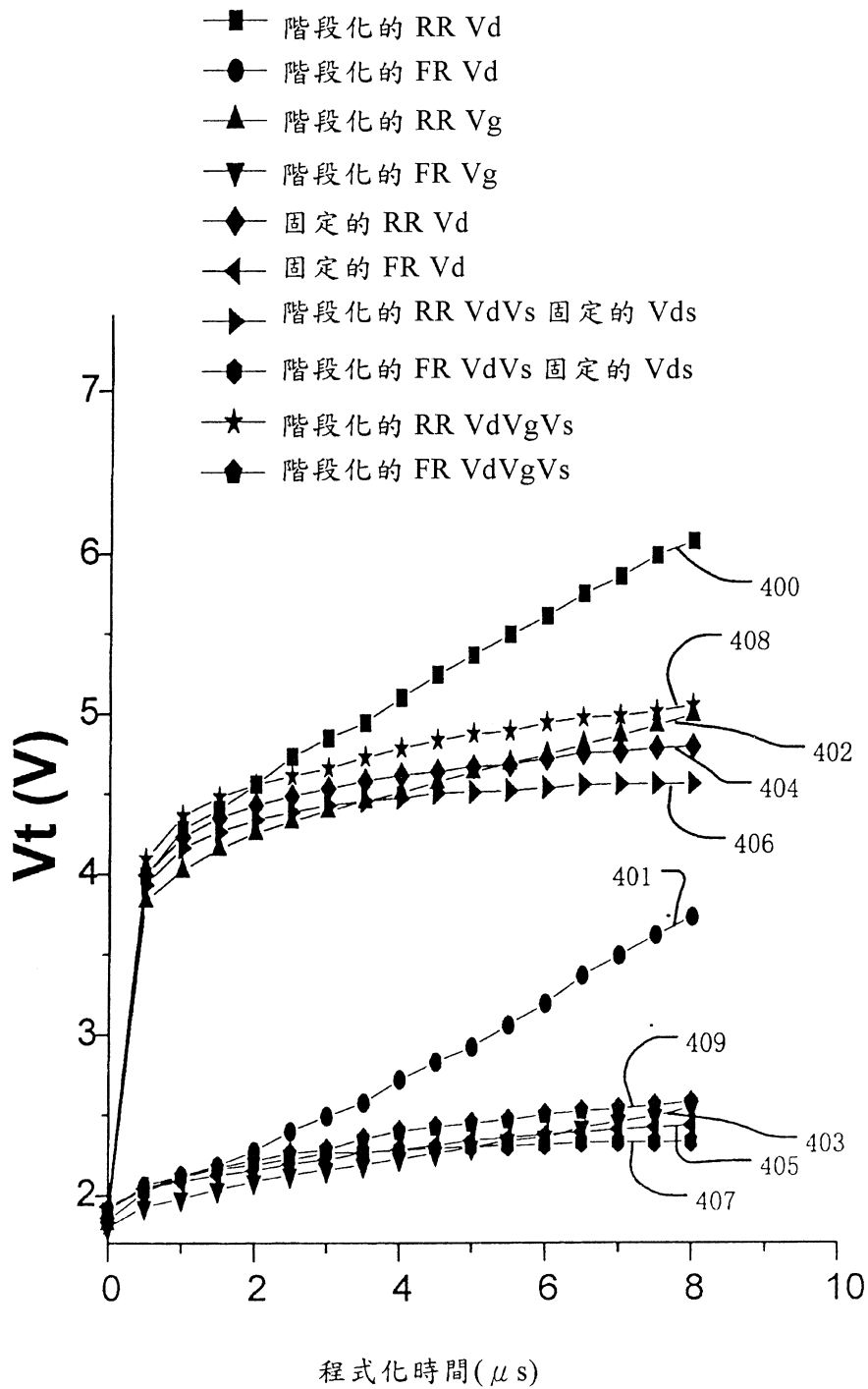


圖 4

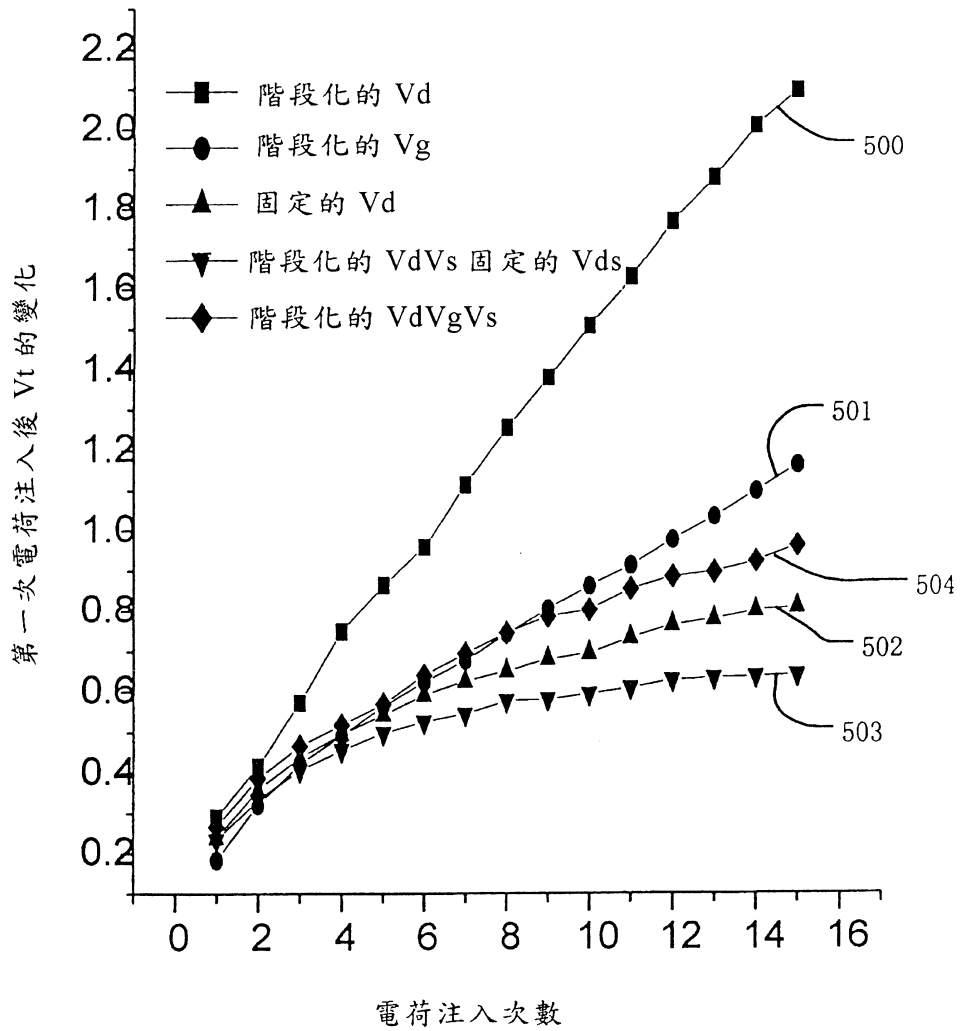


圖 5

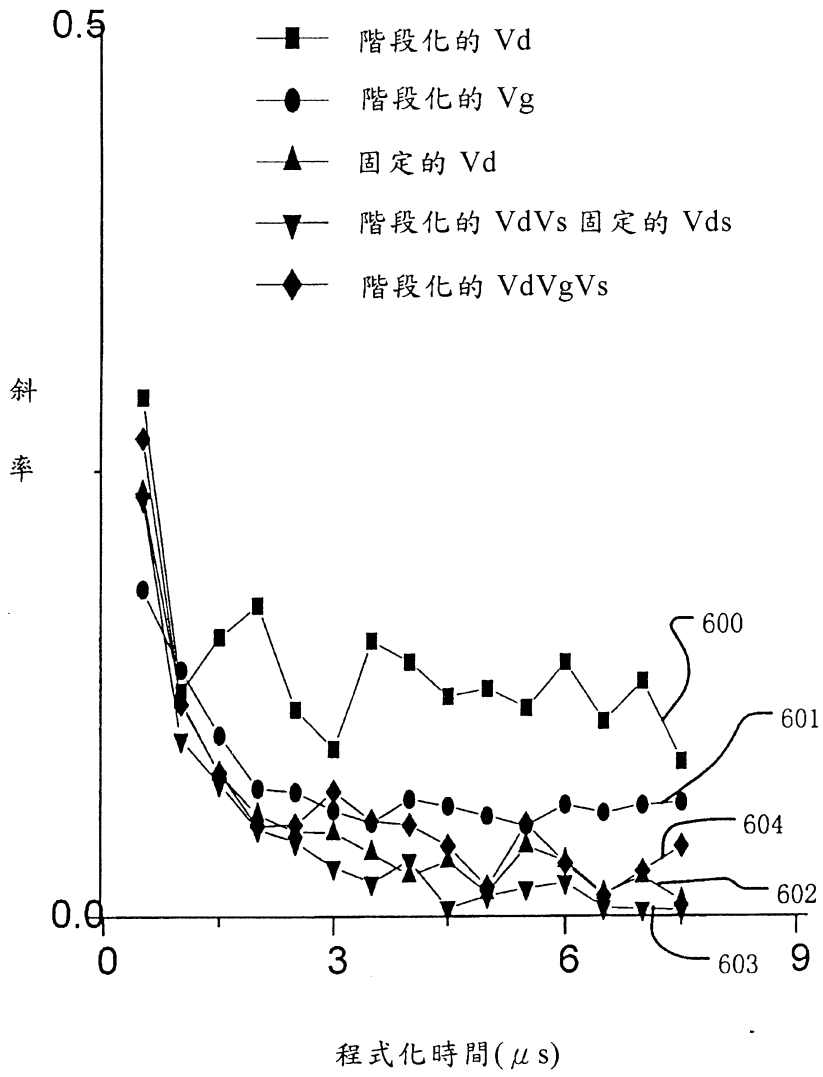


圖 6

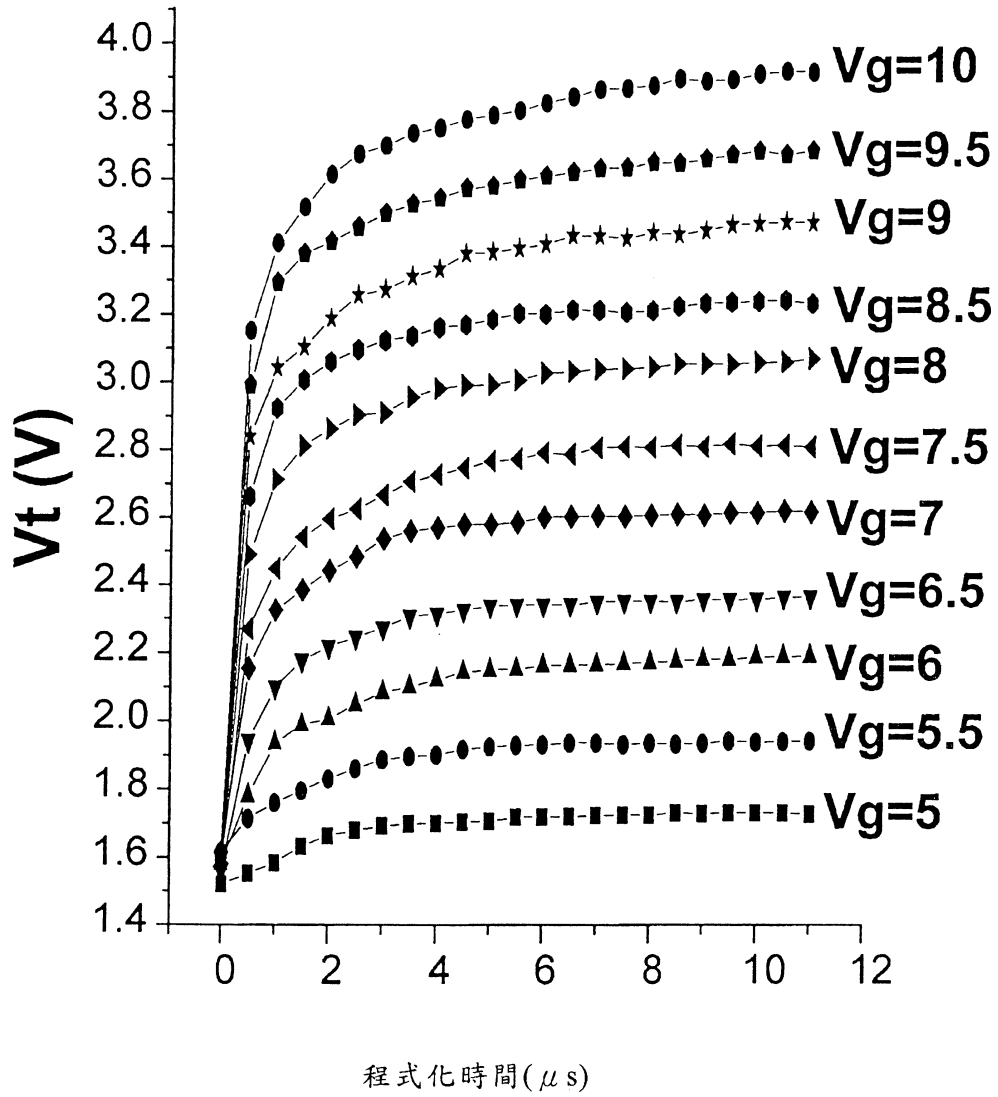


圖 7



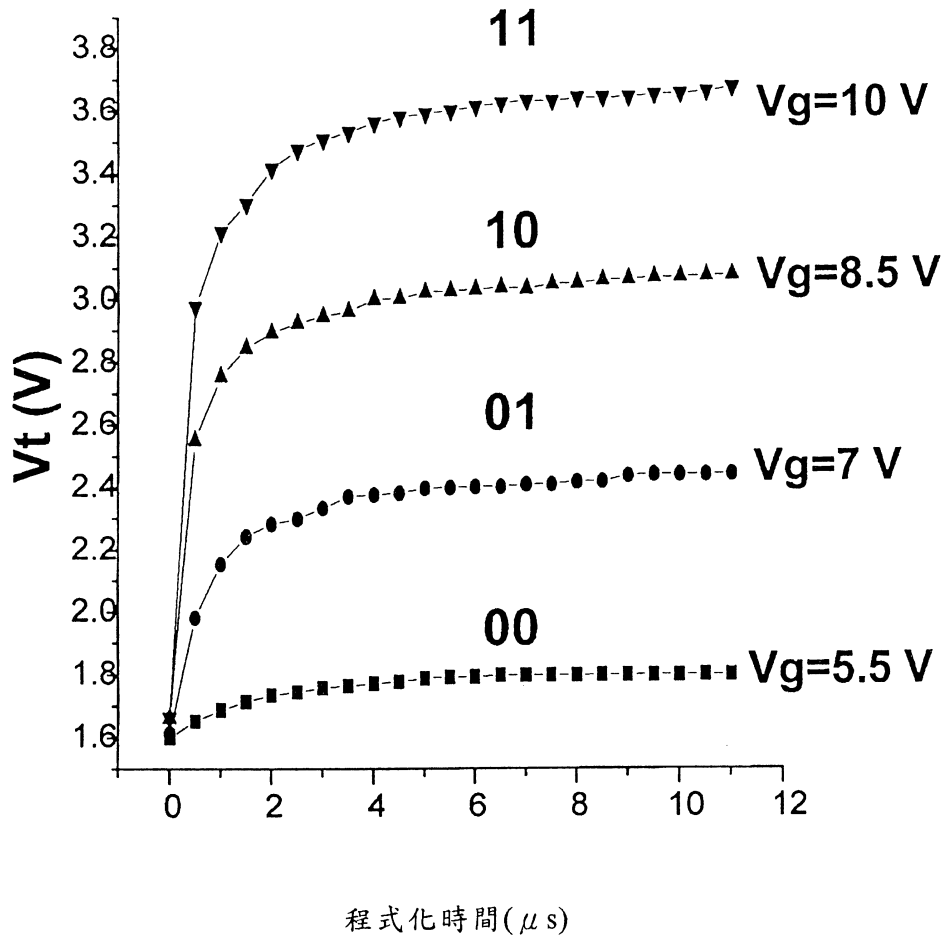


圖 8

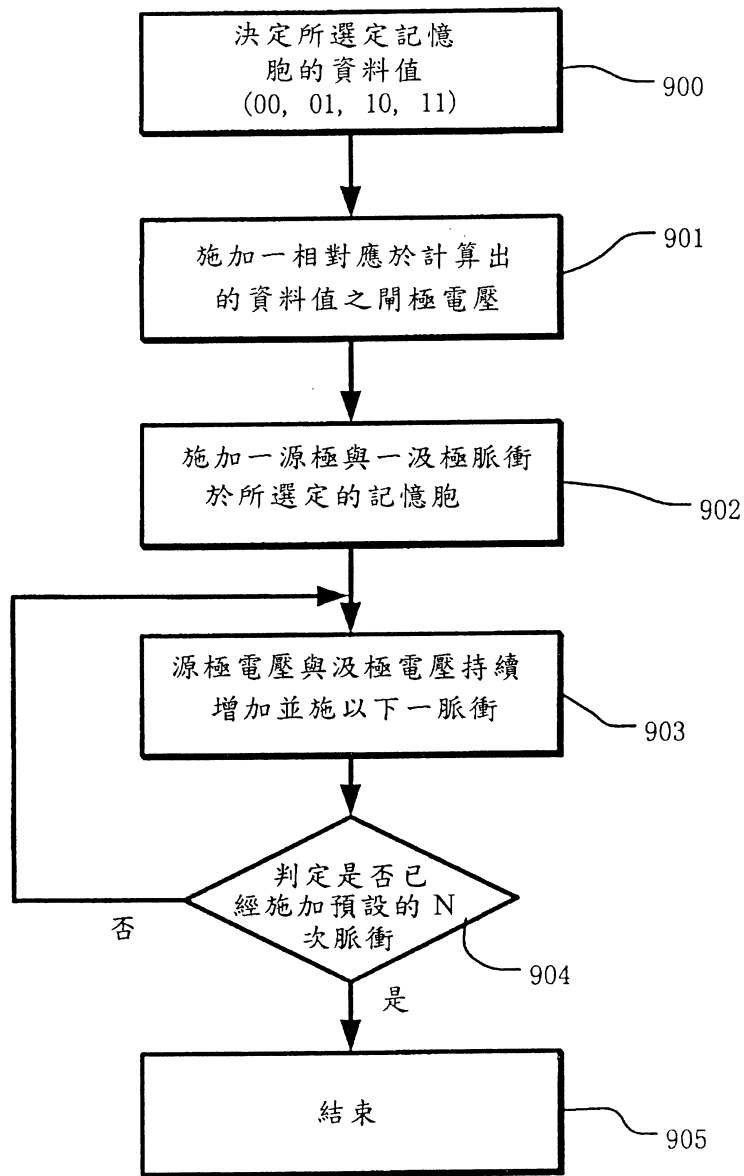


圖 9

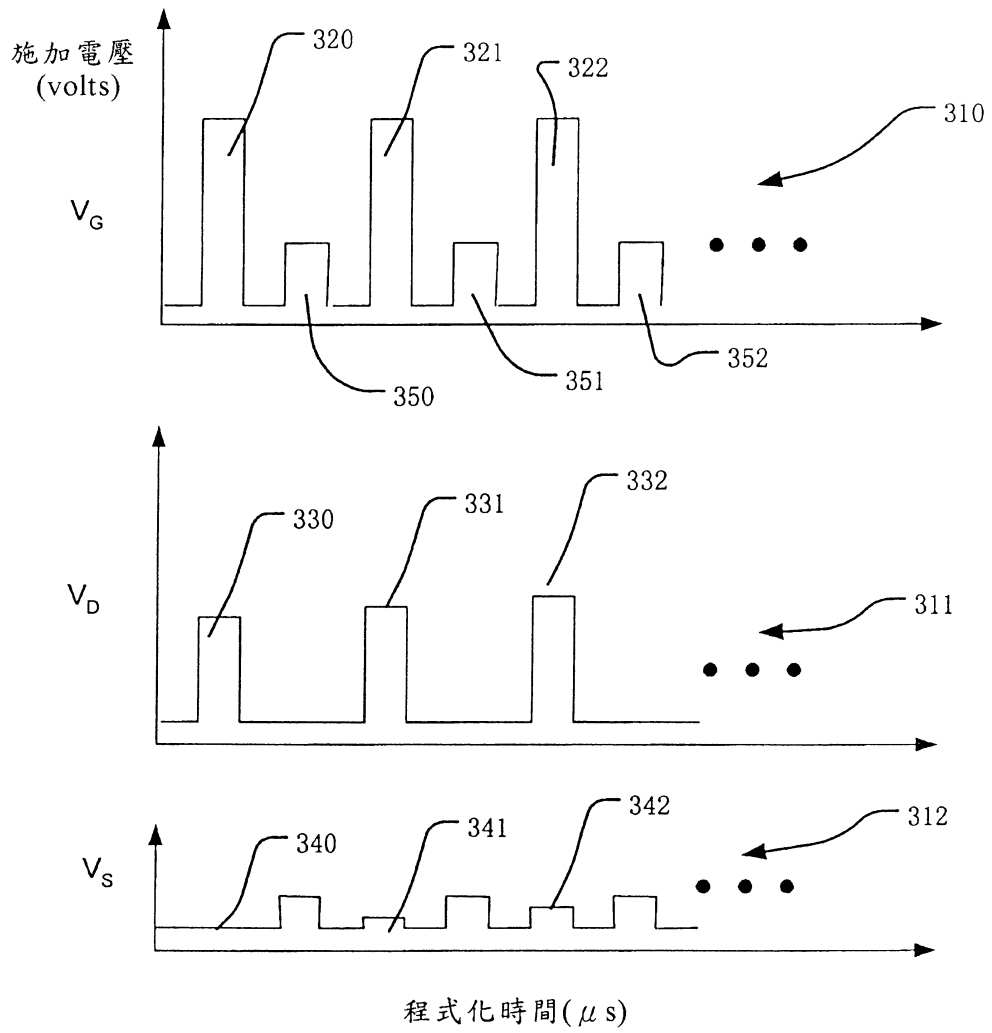


圖 10

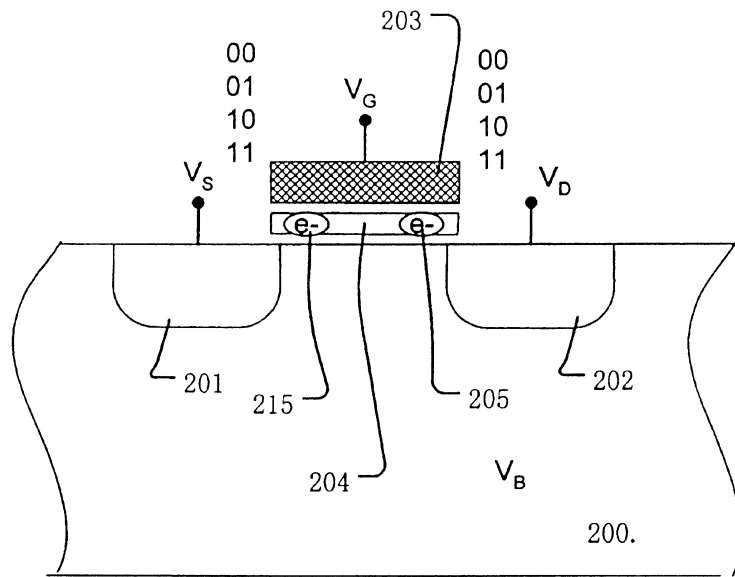


圖 11

convergence on a target threshold occurs. A selected gate voltage is applied during the operation to establish the threshold voltage. In multiple bit cells, the gate is set according to the data values to be stored, enabling self-convergence at more than one target threshold.

七、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

200：基底

201：源極

202：汲極

203：控制閘極

204：電荷儲存元件

205：電荷陷阱

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無