

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月9日(09.01.2020)



(10) 国際公開番号

WO 2020/008304 A1

(51) 国際特許分類:

H01L 21/8242 (2006.01) H01L 27/108 (2006.01)
H01L 21/8239 (2006.01) H01L 29/786 (2006.01)
H01L 27/105 (2006.01)

(21) 国際出願番号: PCT/IB2019/055427

(22) 国際出願日: 2019年6月27日(27.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-128911 2018年7月6日(06.07.2018) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

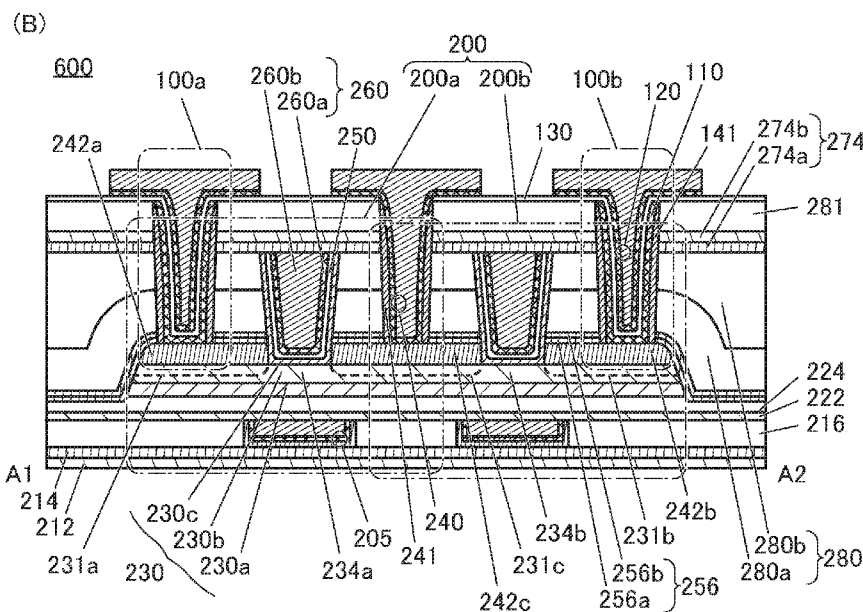
(72) 発明者: 岡本 悟(OKAMOTO, Satoru); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 徳丸 亮(TOKUMARU, Ryo); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 方堂 涼太(HODO, Ryota); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

[図1]



(57) Abstract: Provided is a semiconductor device which can be miniaturized or highly integrated. The present invention has: an oxide; a first conductor and a second conductor spaced apart from each other on the oxide; a third conductor provided on the oxide and having a region overlapping a region between the first conductor and the second conductor; a first insulator on the third conductor; a fourth conductor electrically connected to the first conductor through a first opening provided in the first insulator; a second insulator provided on the first insulator and provided on the fourth conductor inside

[続葉有]

WO 2020/008304 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

the first opening; a fifth conductor that overlaps the fourth conductor with the second insulator sandwiched therebetween inside the first opening; and a sixth conductor electrically connected to the second conductor inside a second opening provided in the first insulator and the second insulator, wherein the fifth conductor and the sixth conductor are in contact with the upper surface of the second insulator on the first insulator.

(57) 要約: 微細化または高集積化が可能な半導体装置を提供する。酸化物と、酸化物上に、お互いに離間して設けられた第1の導電体、および第2の導電体と、酸化物上、かつ第1の導電体と第2の導電体の間の領域と重畳する領域を有する第3の導電体と、第3の導電体上の第1の絶縁体と、第1の絶縁体に設けられた第1の開口を介して、第1の導電体と電氣的に接続する第4の導電体と、第1の絶縁体上に設けられ、かつ第1の開口内部で第4の導電体上に設けられた第2の絶縁体と、第1の開口内部で、第2の絶縁体を間に挟み、第4の導電体と重畳する第5の導電体と、第1の絶縁体、および第2の絶縁体に設けられた第2の開口内で第2の導電体と電氣的に接続する第6の導電体と、を有し、第5の導電体、および第6の導電体は、第1の絶縁体上において、第2の絶縁体の上面と接する。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えば、プリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、酸化物半導体を用いたトランジスタで、ゲート電極を開口部に埋め込んで作製する方法などが開示されている（特許文献2参照。）。

[0009]

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0010]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2017-050530号公報

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な周波数特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

[0012]

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、データの書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0013]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

本発明の一態様は、酸化物と、酸化物上に、お互いに離間して設けられた第1の導電体、および第2の導電体と、酸化物上、かつ第1の導電体と第2の導電体の間の領域と重畳する領域を有する第3の導電体と、第3の導電体上の第1の絶縁体と、第1の絶縁体に設けられた第1の開口を介して、第1の導電体と電氣的に接続する第4の導電体と、第1の絶縁体上に設けられ、かつ第1の開口内部で第4の導電体上に設けられた第2の絶縁体と、第1の開口内部で、第2の絶縁体を間に挟み、第4の導電体と重畳する第5の導電体と、第1の絶縁体、および第2の絶縁体に設けられた第2の開口内で第2の導電体と電氣的に接続する第6の導電体と、を有し、第5の導電体、および第6の導電体は、第1の絶縁体上において、第2の絶縁体の上面と接する半導体装置である。

[0015]

上記において、第4の導電体、第2の導電体、および第5の導電体により容量素子を構成することが好ましい。

[0016]

上記において、半導体装置は第3の絶縁体を有していてもよく、第3の絶縁体は、第3の導電体と酸化物の間と、第3の導電体と第1の導電体の間と、第3の導電体と第2の導電体の間に設けられる

ことが好ましい。

[0017]

上記において、第3の絶縁体は、第1の絶縁体と接することが好ましい。

[0018]

上記において、第5の導電体、および第6の導電体は、同じ材料を含むことが好ましい。

[0019]

上記において、第5の導電体、および第6の導電体は、同じ工程で形成されることが好ましい。

[0020]

上記において、酸化物は、インジウムと、元素M（Mはアルミニウム、ガリウム、イットリウム、またはスズ）と、亜鉛と、を有することが好ましい。

発明の効果

[0021]

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、良好な周波数特性を有する半導体装置を提供することができる。本発明の一態様により、信頼性が良好な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0022]

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

[図1] 本発明の一態様に係る半導体装置の上面図および断面図。

[図2] 本発明の一態様に係る半導体装置の断面図。

[図3] 本発明の一態様に係る半導体装置の断面図。

[図4] 本発明の一態様に係る半導体装置の上面図。

[図5] 本発明の一態様に係る半導体装置の上面図。

[図6] 本発明の一態様に係る半導体装置の回路図。

[図7] 本発明の一態様に係る半導体装置の構成例を示すブロック図。

[図8] 本発明の一態様に係る半導体装置の断面図。

[図9] 本発明の一態様に係る半導体装置の断面図。

[図10] 本発明の一態様に係る半導体装置の上面図および回路図。

[図11] 本発明の一態様に係る半導体装置の作製方法を示す断面図。

- [図 1 2] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 3] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 4] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 5] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 6] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 7] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 8] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 1 9] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 2 0] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 2 1] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 2 2] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 2 3] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 2 4] 本発明の一態様に係る半導体装置の作製方法を示す断面図。
- [図 2 5] 本発明の一態様に係る半導体装置の断面図。
- [図 2 6] 本発明の一態様に係る半導体装置の模式図。
- [図 2 7] 本発明の一態様に係る記憶装置の模式図。
- [図 2 8] 本発明の一態様に係る電子機器を示す図。

発明を実施するための形態

[0025]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0026]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0027]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0028]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0029]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0030]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章を開示されているものとする。

[0031]

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0032]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0033]

なお、本明細書などにおいて、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、「実効的なチャネル幅」ともいう。）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

[0034]

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

[0035]

また、本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0036]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族

元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0037]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0038]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」、または「直交」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「略垂直」、または「略直交」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0039]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0040]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET あるいは OS トランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0041]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20}\text{A}$ 以下、 85°C において $1 \times 10^{-18}\text{A}$ 以下、または 125°C において $1 \times 10^{-16}\text{A}$ 以下であることをいう。

[0042]

(実施の形態1)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0043]

<半導体装置の構成例>

図1、および図2は、本発明の一態様に係るトランジスタ200、および容量素子100を有する半導体装置、および半導体装置周辺の上面図および断面図である。なお、本明細書において、当該半導体装置をメモリセル600と表記する場合がある。

[0044]

図1 (A) は、トランジスタ200、および容量素子100を有する半導体装置の上面図である。また、図1 (B)、図2 (A)、図2 (B)、および図2 (C) は、当該半導体装置の断面図である。ここで、図1 (B) は、図1 (A) にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図2 (A) は、図1 (A) にA3-A4の一点鎖線で示す部位の断面図であり、導電体260の延びる方向のチャンネル形成領域の断面図である。なお、図2 (A) は、トランジスタ200のチャンネル幅方向の断面を表している。また、図2 (B) は、図1 (A) にA5-A6の一点鎖線で示す部位の断面図であり、配線BLとして機能する導電体240と導電体242cとの接続部における断面図である。また、図2 (C) は、図1 (A) にA7-A8の一点鎖線で示す部位の断面図であり、容量素子100aと導電体242aとの接続部における断面図である。なお、図1 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0045]

本発明の一態様の半導体装置は、トランジスタ200と、トランジスタ200と電氣的に接続する容量素子100と、層間膜として機能する絶縁体212、絶縁体214、絶縁体280、絶縁体274、および絶縁体281を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240とを有する。

[0046]

なお、トランジスタ200は、一つの半導体層に2つのゲート電極として機能する導電層260を有する。すなわち、トランジスタ200は、一つの半導体層にトランジスタ200a、およびトランジスタ200bを有する構造と別言することができる。また、トランジスタ200aのソースおよびドレインの一方は、トランジスタ200bのソースおよびドレインの一方と共有している。このため、トランジスタ200a、およびトランジスタ200bをそれぞれ形成する場合に比べ、トランジスタ200に接続するプラグなどの数を削減でき、また、トランジスタ200の面積を小さくすることができる。また、トランジスタ200aのソースおよびドレインの他方と容量素子100aが電氣的に接続し、トランジスタ200bのソースおよびドレインの他方と容量素子100bが電氣的に接続している。

[0047]

ここで、本実施の形態では、トランジスタ200の詳細な説明として、トランジスタ200aおよびトランジスタ200bの一方を中心に説明する場合があるが、特段の説明が無い限り、トランジスタ200aとトランジスタ200bは同様の構成を有しているため、トランジスタ200aおよびトランジスタ200bの他方の説明は省略する。また、本明細書において、トランジスタ200は、トランジスタ200a、およびトランジスタ200bの一方、または両方を指す場合がある。

[0048]

また、本実施の形態では、容量素子100の詳細な説明として、容量素子100aおよび容量素子100bの一方を中心に説明する場合があるが、特段の説明が無い限り、容量素子100aと容量素子100bは同様の構成を有しているため、容量素子100aおよび容量素子100bの他方の説明は省略する。また、本明細書において、容量素子100は、容量素子100a、および容量素子100bの一方、または両方を指す場合がある。

[0049]

また、絶縁体256、絶縁体280、絶縁体274、絶縁体281、および絶縁体130の開口内

壁に接して、絶縁体 241 を設けてもよい。このとき導電体 240 は、絶縁体 256、絶縁体 280、絶縁体 274、絶縁体 281、および絶縁体 130 の開口内において、絶縁体 241 を介して、該開口の内壁に接して設けられる。絶縁体 241 に接して、導電体 240 の第 1 の導電体が形成され、さらに内側に導電体 240 の第 2 の導電体が形成されている。絶縁体 241 を設けることで、半導体装置の特性や信頼性の向上が期待できるが、必ずしも設ける必要は無い。なお、トランジスタ 200 では、導電体 240 の第 1 の導電体および導電体 240 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 240 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0050]

また、絶縁体 256、絶縁体 280、絶縁体 274、および絶縁体 281 の開口内壁に接して絶縁体 141 を設けてもよい。このとき容量素子 100 は、絶縁体 256、絶縁体 280、絶縁体 274、および絶縁体 281 の開口内において、絶縁体 141 を介して、該開口の内壁に接して設けられる。絶縁体 141 に接して、下部電極として機能する導電体 110 が形成され、導電体 110 の内側に絶縁体 130 が形成され、絶縁体 130 の内側に上部電極として機能する導電体 120 が形成されている。絶縁体 141 を設けることで、半導体装置の特性や信頼性の向上が期待できるが、必ずしも設ける必要は無い。導電体 120 は、導電体 240 と同じ材料を用い、同じ工程にて形成されることが好ましい。

[0051]

[トランジスタ 200]

図 1 に示すように、トランジスタ 200 は、基板（図示しない。）の上に配置された絶縁体 212 と、絶縁体 212 の上に配置された絶縁体 214 と、絶縁体 214 の上に配置された絶縁体 216 と、絶縁体 216 に埋め込まれるように配置された導電体 205（導電体 205a、導電体 205b、および導電体 205c）と、絶縁体 216 と導電体 205 の上に配置された絶縁体 222 と、絶縁体 222 の上に配置された絶縁体 224 と、絶縁体 224 の上に配置された酸化物 230a と、酸化物 230a の上に配置された酸化物 230b と、酸化物 230b の上に配置された導電体 242（導電体 242a、導電体 242b、および導電体 242c）と、絶縁体 224、酸化物 230a、酸化物 230b、および導電体 242 を覆う絶縁体 256（絶縁体 256a、および絶縁体 256b）と、絶縁体 256 の上に配置され、開口部を有する絶縁体 280（絶縁体 280a、および絶縁体 280b）と、該開口部内で酸化物 230b の上面、および側面と、酸化物 230a の側面と、導電体 242 の側面と、絶縁体 256 の側面と、絶縁体 280 の側面と、に接するように設けられた酸化物 230c と、酸化物 230c の内側に設けられた絶縁体 250 と、絶縁体 250 の内側に設けられた導電体 260a と、導電体 260a の内側に埋め込まれるように設けられた導電体 260b と、を有する。

[0052]

なお、絶縁体 280、酸化物 230c、絶縁体 250、導電体 260a、および導電体 260b 上に絶縁体 274 が設けられ、絶縁体 274 上に絶縁体 281 が設けられ、絶縁体 281 上に絶縁体 130 が設けられ、絶縁体 130、絶縁体 281、絶縁体 274、絶縁体 280、および絶縁体 256 に開口が設けられ、該開口の側面には、絶縁体 241 が設けられ、絶縁体 241 が設けられた該開口の内部に、導電体 240 が設けられる。

[0053]

なお、トランジスタ 200 では、チャンネルが形成される領域（以下、チャンネル形成領域ともいう。）と、その近傍において、酸化物 230 が、酸化物 230 a、および酸化物 230 b、および酸化物 230 c の 3 層の積層構造を有する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230 は、酸化物 230 b の単層、酸化物 230 b と酸化物 230 a の 2 層構造、酸化物 230 b と酸化物 230 c の 2 層構造、または 4 層以上の積層構造を有する構成にしてもよい。また、酸化物 230 a、酸化物 230 b、および酸化物 230 c がそれぞれ 2 層以上の積層構造を有していてもよい。図 3（A）、および図 3（B）は、それぞれ図 1（B）、および図 2（A）に示すトランジスタ 200 a のチャンネル形成領域近傍の拡大図である。図 3（A）、および図 3（B）では、酸化物 230 c が酸化物 230 c 1、および酸化物 230 c 1 上の酸化物 230 c 2 の 2 層からなる積層構造を有する例を示す。なお、図 3（A）、および図 3（B）では、トランジスタ 200 a の拡大図のみ示しているが、トランジスタ 200 b においても同様の構成となる。また、トランジスタ 200 では、導電体 260 を導電体 260 a、および導電体 260 b の 2 層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体 260 が、単層構造でも、3 層以上の積層構造であってもよい。

[0054]

ここで、導電体 260 は、トランジスタのゲート電極として機能し、導電体 242 a、導電体 242 b、および導電体 242 c は、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体 260 は、絶縁体 280 の開口、および導電体 242 a と導電体 242 c に挟まれた領域、または導電体 242 b と導電体 242 c に挟まれた領域に、酸化物 230 c や、絶縁体 250 などを介して、埋め込まれるように形成される。ここで、導電体 260、導電体 242 a、導電体 242 b、および導電体 242 c の配置は、絶縁体 280 の開口に対して、自己整合的に選択される。つまり、トランジスタ 200 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 260 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 200 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0055]

さらに、導電体 260 が、導電体 242 a と導電体 242 c の間の領域、または導電体 242 b と導電体 242 c の間の領域に自己整合的に形成されるので、導電体 260 は、導電体 242 a、導電体 242 b、または導電体 242 c と重畳する領域を有さない。これにより、導電体 260 と導電体 242 a、導電体 242 b、および導電体 242 c との間に形成される寄生容量を低減することができる。よって、トランジスタ 200 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0056]

また、トランジスタ 200 は、チャンネル形成領域を含む酸化物 230（酸化物 230 a、酸化物 230 b、および酸化物 230 c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0057]

チャンネル形成領域に酸化物半導体を用いたトランジスタ 200 は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法、あるいは ALD（Atomic Layer Deposition）法などを用いて成膜で

きるため、高集積型の半導体装置を構成するトランジスタ 200 に用いることができる。

[0058]

例えば、酸化物 230 として、 $In-M-Zn$ 酸化物（元素 M は、アルミニウム、ガリウム、イントリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物を用いてもよい。

[0059]

ここで、酸化物 230 は、水素、窒素、または金属元素などの不純物が存在すると、キャリア密度が増大し、低抵抗化する場合がある。また、酸化物 230 に含まれる酸素濃度が低下すると、キャリア密度が増大し、低抵抗化する場合がある。

[0060]

酸化物 230 上に接するように設けられ、ソース電極やドレイン電極として機能する導電体 242（導電体 242a、導電体 242b、および導電体 242c）が、酸化物 230 の酸素を吸収する機能を有する場合、または酸化物 230 に水素、窒素、または金属元素などの不純物を供給する機能を有する場合、酸化物 230 には、部分的に低抵抗領域として、領域 231（領域 231a、領域 231b、および領域 231c）が形成される場合がある。

[0061]

絶縁体 256（絶縁体 256a、および絶縁体 256b）は、導電体 242 の酸化を抑制するために設けられている。よって、導電体 242 が、耐酸化性材料、または酸素を吸収しても導電性が著しく低下することがない材料の場合は、絶縁体 256 は必ずしも設ける必要はない。また、絶縁体 256 が酸化物 230a、および酸化物 230b の側面を覆って、絶縁体 224、あるいは絶縁体 222 と接することにより、酸化物 230a、および酸化物 230b への水素や水などの不純物の混入、および酸化物 230a、および酸化物 230b からの酸素の放出を抑制することができる。

[0062]

図 1 (B) に示すように、酸化物 230 上に接するように導電体 242 が設けられ、酸化物 230 の、導電体 242 との界面とその近傍には、低抵抗領域として、領域 231（領域 231a、領域 231b、および領域 231c）が形成されている。また、酸化物 230 は、トランジスタ 200 のチャネル形成領域として機能する領域 234（領域 234a、および領域 234b）を有する。なお、領域 234a、および領域 234b は、それぞれトランジスタ 200a、およびトランジスタ 200b のチャネル形成領域として機能する。

[0063]

領域 231 は、ソース領域またはドレイン領域として機能する。また、領域 231 は、領域 234 と比較して、酸素濃度が低い、または水素や、窒素や、金属元素などの不純物を多く含む、ことでキャリア密度が増加し、低抵抗化した領域である。すなわち、領域 231 は、領域 234 と比較して、キャリア密度が高く、低抵抗な領域である。また、チャネル形成領域として機能する領域 234 は、領域 231 よりも、酸素濃度が高い、または不純物濃度が低いため、キャリア密度が低い高抵抗領域である。

[0064]

なお、低抵抗領域である領域 231 が金属元素を含む場合、領域 231 は、酸化物 230 に含まれ

る金属元素の他に、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を有することが好ましい。

[0065]

また、図1 (B) では、領域231が、酸化物230bの膜厚方向において、酸化物230bの導電体242との界面近傍に形成されているが、本発明はこれに限らない。例えば、領域231は、酸化物230bの膜厚と概略同じ厚さを有していてもよいし、酸化物230aにも、形成されていてもよい。

[0066]

また、酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0067]

酸化物230を、選択的に低抵抗化するには、導電体242として、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの導電性を高める金属元素、および不純物の少なくとも一を含む材料を用いることが好ましい。または、導電体242となる導電膜242Aの形成において、酸化物230に、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などの不純物が注入される材料や成膜方法などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス等が挙げられる。また、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

[0068]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャンネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーモリーオン特性となりやすい。したがって、チャンネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0069]

トランジスタのノーモリーオン化を抑制するには、酸化物230と近接する絶縁体250が、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含むことが好ましい。絶縁体250が有する酸素は、酸化物230へと拡散し、酸化物230の酸素欠損を低減し、トランジスタのノーモリーオン化を抑制することができる。

[0070]

つまり、絶縁体250が有する酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234における酸素欠損を低減することができる。

[0071]

また、酸化物 230、および絶縁体 250 が有する酸素の、トランジスタ 200 より外方への拡散を抑制するために、絶縁体 212、絶縁体 214、絶縁体 222、絶縁体 256、絶縁体 274 など が設けられることが好ましい。これら絶縁体として、酸素が透過しにくい材料を用いることが好ましい。例えば、アルミニウム、およびハフニウム的一方を含む酸化物、シリコンの窒化物などを用いることができる。また、酸化物 230 a または酸化物 230 c 2 に用いることができる金属酸化物、すなわち In の濃度が低減されたインジウム－ガリウム－亜鉛酸化物、または In を含まない金属酸化物などの金属酸化物を用いることができる。さらに、これら絶縁体は、水素、水、窒素、金属元素などの不純物が透過しにくい材料であることが好ましい。このような材料を用いることで、トランジスタ 200 の外方から、トランジスタ 200 への不純物の混入を抑制することができる。

[0072]

また、酸化物半導体は、スパッタリング法や ALD 法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

[0073]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。

[0074]

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の詳細な構成について説明する。

[0075]

導電体 205 は、図 1 (A) および図 2 (A) に示すように、チャネル幅方向に延伸されており、酸化物 230、および導電体 260 と、重なるように配置する。また、図 1 (B) に示すように、導電体 205 は、絶縁体 216 に埋め込まれて設けることが好ましい。

[0076]

ここで、導電体 260 は、第 1 のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体 205 は、第 2 のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 200 の V_{th} を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 200 の V_{th} を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0077]

なお、導電体 205 は、図 1 (B)、および図 2 (A) に示すように、酸化物 230、および導電体 260 と重なるように配置する。また、導電体 205 は、酸化物 230 における領域 234 よりも、大きく設けるとよい。特に、図 2 (A) に示すように、導電体 205 は、酸化物 230 の領域 234 のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 230 のチャネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、

絶縁体を介して重畳していることが好ましい。

[0078]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0079]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0080]

また詳細は後述するが、導電体205は、絶縁体216の開口の内壁に接して導電体205aが形成され、導電体205aの内側に導電体205bが形成され、導電体205bの内側に導電体205cが形成されている。ここで、導電体205a、導電体205b、および導電体205cの上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200では、導電体205a、導電体205b、および導電体205cを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、2層の積層構造、または4層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0081]

ここで、導電体205a、および導電体205bの一方または両方は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一またはすべての拡散を抑制する機能とする。

[0082]

導電体205a、および導電体205bの一方または両方が酸素の拡散を抑制する機能を持つことにより、導電体205cが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。したがって、導電体205a、および導電体205bは、それぞれ上記から選ばれた導電性材料を用いて形成されればよい。これにより、水素、水などの不純物が、導電体205を通じて、トランジスタ200側に拡散するのを抑制することができる。

[0083]

また、導電体205cは、導電体205a、および導電体205bより導電性が高い材料を用いることが好ましく、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

[0084]

絶縁体212、および絶縁体214は、水または水素などの不純物が、基板側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体212、および絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料を用いることが好ましい。

[0085]

絶縁体212、および絶縁体214として、酸化アルミニウム、酸化ハフニウム、窒化シリコンなどを用いることができる。また、酸化物230aまたは酸化物230c2に用いることができる金属酸化物、すなわちInの濃度が低減されたインジウム－ガリウム－亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。例えば、絶縁体212として窒化シリコンなどを用い、絶縁体214として酸化アルミニウムなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体212および絶縁体214よりも基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体216、または絶縁体224などに含まれる酸素が、絶縁体212および絶縁体214よりも基板側に、拡散するのを抑制することができる。

[0086]

また、層間膜として機能する絶縁体216、絶縁体280、および絶縁体281は、絶縁体212、または絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0087]

例えば、絶縁体216、絶縁体280、および絶縁体281として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba , Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、または窒化シリコンを積層して用いてもよい。

[0088]

絶縁体222、絶縁体224、および絶縁体250は、ゲート絶縁体としての機能を有する。

[0089]

ここで、絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0090]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する絶縁体を用いることが好ましい。加熱により酸素を脱離する絶縁体とは、TDS(Thermal Desorp

t i o n S p e c t r o s c o p y) 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0091]

例えば、絶縁体 224 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、または窒化シリコンを積層して用いてもよい。

[0092]

また、絶縁体 224 が、過剰酸素領域を有する場合、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。

[0093]

絶縁体 222 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 230 が有する酸素は、絶縁体 216 側へ拡散することがなく、好ましい。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

[0094]

絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0095]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の混入を抑制する層として機能する。

[0096]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒

化シリコンまたは窒化シリコンを積層して用いてもよい。

[0097]

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0098]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

[0099]

なお、酸化物230は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0100]

また、酸化物230aおよび酸化物230cの伝導帯下端のエネルギーが、酸化物230bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの電子親和力が、酸化物230bの電子親和力より小さいことが好ましい。

[0101]

ここで、酸化物230a、酸化物230b、および酸化物230cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0102]

具体的には、酸化物230aとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、または $1:1:0.5$ [原子数比]の金属酸化物を用いればよい。また、酸化物230bとして、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]、または $1:1:1$ [原子数比]の金属酸化物を用いればよい。また、酸化物230cとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]、または $\text{Ga}:\text{Zn}=2:5$ [原子数比]の金属酸化物を用いればよい。また、図3に示すように酸化物230cを酸化物230c1と、酸化物230c1上の酸化物230c2を含む積層構造とする場合の具体例としては、酸化物230c1として $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]と、酸化物230c2として $\text{In}:\text{Ga}:\text{Zn}=1:3:$

4 [原子数比] との積層構造、酸化物 230c1 として $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] と、酸化物 230c2 として $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比] との積層構造、酸化物 230c1 として $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] と、酸化物 230c2 として $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] との積層構造、酸化物 230c1 として $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] と、酸化物 230c2 として酸化ガリウムとの積層構造などが挙げられる。

[0103]

このとき、キャリアの主たる経路は酸化物 230b となる。酸化物 230a、酸化物 230c を上述の構成とすることで、酸化物 230a と酸化物 230b との界面、および酸化物 230b と酸化物 230c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流、および高い周波数特性を得ることができる。なお、酸化物 230c を積層構造とした場合、上述の酸化物 230b と、酸化物 230c との界面における欠陥準位密度を低くする効果に加え、酸化物 230c が有する構成元素が、絶縁体 250 側に拡散するのを抑制することが期待される。より具体的には、酸化物 230c を積層構造とし、積層構造の上方に In を含まない、または In の濃度が低減された酸化物を位置させるため、絶縁体 250 側に拡散しうる In を抑制することができる。絶縁体 250 は、ゲート絶縁体として機能するため、 In が拡散した場合、トランジスタの特性不良となる。したがって、酸化物 230c を積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

[0104]

また、酸化物 230c を積層構造とすることで、キャリアの主たる経路は酸化物 230b と、酸化物 230c1 との界面およびその近傍となる場合がある。

[0105]

また、酸化物 230c1 は、絶縁体 280 の側面と接するため、絶縁体 280 に含まれる酸素を、酸化物 230c1 を介してトランジスタ 200 のチャネル形成領域に供給することができる。また、酸化物 230c2 として、酸素が透過しにくい材料を用いることが好ましい。上述した材料を用いることで、絶縁体 280 に含まれる酸素が酸化物 230c1、および酸化物 230c2 を透過して、絶縁体 250、または導電体 260 に吸収されることを抑制でき、効率的にチャネル形成領域に酸素を供給することができる。

[0106]

また、酸化物 230 は、領域 231 および領域 234 を有する。なお、領域 231 の少なくとも一部は、導電体 242 と接する領域を有する。

[0107]

なお、トランジスタ 200 をオンさせると、領域 231a、領域 231b、または領域 231c は、ソース領域、またはドレイン領域として機能する。一方、領域 234 の少なくとも一部は、チャネルが形成される領域として機能する。

[0108]

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0109]

酸化物 230 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、領域 234 となる金属酸化物としては、バンドギャップが 2 eV 以上、

好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0110]

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0111]

酸化物230b上には、ソース電極、およびドレイン電極として機能する導電体242（導電体242a、導電体242b、および導電体242c）が設けられる。導電体242としては、上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0112]

酸化物230と接するように上記導電体242を設けることで、領域231の酸素濃度が低減する場合がある。また、領域231に導電体242に含まれる金属と、酸化物230の成分とを含む金属化合物層が形成される場合がある。このような場合、領域231のキャリア密度が増加し、領域231は、低抵抗領域となる。

[0113]

ここで、導電体242aと導電体242cの間の領域、および導電体242bと導電体242cの間の領域は、絶縁体280の開口に重畳して形成される。これにより、導電体242aと導電体242cの間、および導電体242bと導電体242cの間に導電体260を自己整合的に配置することができる。

[0114]

絶縁体256は、導電体242を覆うように設けられ、導電体242の酸化を抑制する。このとき、絶縁体256は、酸化物230の側面を覆い、絶縁体224と接するように設けられてもよい。

[0115]

絶縁体256として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体256として、酸化物230a、または酸化物230c2に用いることができる金属酸化物、すなわちInの濃度が低減されたインジウム-ガリウム-亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いてもよい。

[0116]

特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）

などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくい材料が好ましい。なお、導電体 2 4 2 が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 2 5 6 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0117]

絶縁体 2 5 6 は、絶縁体 2 5 6 a、および絶縁体 2 5 6 a 上の絶縁体 2 5 6 b を含む積層構造としてもよい。このとき、絶縁体 2 5 6 a と絶縁体 2 5 6 b は、互いに異なる材料でもよい。また、絶縁体 2 5 6 a と絶縁体 2 5 6 b は、互いに異なる方法で形成することができる。例えば、絶縁体 2 5 6 a としてスパッタリング法により形成された酸化アルミニウム、絶縁体 2 5 6 b として ALD 法により形成された酸化アルミニウムを用いることができる。

[0118]

絶縁体 2 5 6 上には、絶縁体 2 8 0 が設けられる。絶縁体 2 8 0 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。絶縁体 2 8 0 に含まれる酸素を、酸化物 2 3 0 c (酸化物 2 3 0 c が積層構造の場合は酸化物 2 3 0 c 1) を介して酸化物 2 3 0 b に供給するために、絶縁体 2 8 0 はより多くの酸素を含んでいることが好ましく、例えば、化学量論比より多くの酸素を含んでいることが好ましい。絶縁体 2 8 0 に含まれる酸素の濃度を増加させるために、絶縁体 2 8 0 の形成に用いられる成膜ガスには、酸素が含まれていることが好ましい。

[0119]

絶縁体 2 8 0 中の水、水素などの不純物濃度が低減されていることが好ましい。また、絶縁体 2 8 0 は、2 層以上の積層構造を有していてもよい。また、絶縁体 2 8 0 の上面は、平坦化されていてもよい。また、絶縁体 2 8 0 は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体 2 1 6 と同様の材料を用いて設けてもよい。

[0120]

なお、絶縁体 2 8 0 は、図 1 (B) では、絶縁体 2 8 0 a と絶縁体 2 8 0 b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[0121]

絶縁体 2 8 0 a は、絶縁体 2 5 6 上に設けられ、絶縁体 2 8 0 b は、絶縁体 2 8 0 a 上に設けられる。このとき、絶縁体 2 8 0 b の上面は、平坦化されていることが好ましい。

[0122]

例えば、絶縁体 2 8 0 a、および絶縁体 2 8 0 b は、過剰酸素領域を有する絶縁性材料、または、過剰酸素領域が形成されやすい絶縁性材料を用いることが好ましい。具体的には、絶縁体 2 8 0 a として、スパッタリング法を用いて成膜された酸化シリコンを用い、絶縁体 2 8 0 b として、CVD 法を用いて成膜された酸化窒化シリコンを用いればよい。絶縁体 2 8 0 a の膜厚は、30 nm 以上 100 nm 以下とするのが好ましく、40 nm 以上 80 nm 以下とするのがさらに好ましい。このような 2 層を積層する構成にすることで、絶縁体 2 8 0 のカバレッジを向上させることができる。

[0123]

また、例えば、絶縁体280aとして、過剰酸素領域を有する絶縁性材料、または、過剰酸素領域が形成されやすい絶縁性材料を用い、絶縁体280bとして、被形成膜に過剰酸素領域を形成しやすい絶縁性材料を用いることが好ましい。具体的には、絶縁体280aとして、スパッタリング法を用いて成膜された酸化シリコンを用い、絶縁体280bとして、スパッタリング法を用いて成膜された酸化アルミニウムを用い、絶縁体280aが有する過剰酸素を、酸化物230に効率的に供給することができる。

[0124]

酸化物230cは、図1(B)、および図2(A)に示すように、酸化物230bの上面、酸化物230bの側面、酸化物230aの側面、導電体242の側面、絶縁体256の側面、および絶縁体280の側面に接するように設けられる。

[0125]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの内側(上面および側面)に接して配置することが好ましい。絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、TDS分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0126]

具体的には、絶縁体250として、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0127]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、絶縁体250から、酸化物230cを通じて、酸化物230bの領域234に効果的に酸素を供給できる場合がある。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0128]

第1のゲート電極として機能する導電体260は、図1(B)では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。例えば、導電体260が、2層構造である場合、導電体260aは、導電体205a、または導電体205bと同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0129]

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテ

ニウム、または酸化ルテニウムなどを用いることが好ましい。

[0130]

また、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

[0131]

また、図2(A)に示すように、導電体205が、酸化物230のチャンネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体260は、当該領域において、絶縁体250を介して、重畳していることが好ましい。つまり、酸化物230の側面の外側において、導電体205と、絶縁体250と、導電体260とは、積層構造を形成することが好ましい。

[0132]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャンネル形成領域を覆うことができる。

[0133]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャンネル形成領域を電氣的に取り囲むことができる。

[0134]

ここで、図1(B)に示すように、酸化物230c、絶縁体250、および導電体260の上面の高さは、絶縁体280の上面の高さと概略一致することが好ましい。

[0135]

また、絶縁体280の上に、絶縁体274を設けることが好ましい。絶縁体274は、水または水素などの不純物が、トランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体274は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料を用いることが好ましい。

[0136]

絶縁体274として、酸化アルミニウム、酸化ハフニウム、窒化シリコンなどを用いることができる。また、酸化物230aまたは酸化物230c2に用いることができる金属酸化物、すなわちInの濃度が低減されたインジウム-ガリウム-亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。また、絶縁体274は、絶縁体274aと、絶縁体274a上の絶縁体274bを含む積層構造としてもよい。例えば、絶縁体274aとして酸化アルミニウムなどを用い、絶縁体274bとして窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物がトランジスタ200側に拡散するのを抑制することができる。または、絶縁体250、または絶縁体280などに含まれる酸素が、絶縁体274よりも上方に、拡散するのを抑制することが

できる。

[0137]

また、絶縁体274の上に、層間膜として機能する絶縁体281を設けることが好ましい。絶縁体281は、絶縁体224や、絶縁体280などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体281上には、後述する絶縁体130が設けられる。

[0138]

また、絶縁体130上かつ、絶縁体130、絶縁体281、絶縁体274、絶縁体280、および絶縁体256に形成された開口に、導電体242cと電氣的に接続する導電体240を配置する。このとき、該開口の側面には絶縁体241を設けることが好ましい。絶縁体241は、水素などの不純物および酸素の透過を抑制する機能を有することが好ましい。絶縁体241として、絶縁体212、絶縁体214、絶縁体222、絶縁体256、絶縁体274などと同様の材料を用いることができる。絶縁体241を設けることにより、導電体240による酸素の吸収を抑制することができる。導電体240による酸素の吸収を抑制することで、導電体240の酸化による抵抗率の増加や、絶縁体280などに含まれる酸素が導電体240に吸収されることなく、酸化物230に供給することができる。また、絶縁体280、および絶縁体281に含まれる水素の導電体240を介した酸化物230への拡散を抑制することができる。

[0139]

なお、導電体240は第1の導電体、および第2の導電体からなる積層構造としてもよい。この場合、導電体242と接続する第1の導電体上に第2の導電体が設けられる。また、第1の導電体は、第2の導電体の側面を覆うように設けることが好ましい。

[0140]

ここで、図2(B)に、図1(A)にA5-A6の一点鎖線で示す部位、すなわちトランジスタ200のソース領域またはドレイン領域の断面図を示す。図2(B)に示すように、導電体240は、絶縁体241に覆われない、導電体242cの上面と接する。

[0141]

導電体240は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240は積層構造としてもよい。

[0142]

また、導電体240を、第1の導電体と、第1の導電体上の第2の導電体を含む積層構造とする場合、第1の導電体には、導電体205aなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体281より上層から水素、水などの不純物が、導電体240を通じて酸化物230に混入するのを抑制することができる。また、第1の導電体上に設ける第2の導電体として、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

[0143]

[容量素子100]

図1(B)に示すように、容量素子100aは、トランジスタ200aと重畳する領域を有するように設ける。同様に、容量素子100bは、トランジスタ200bと重畳する領域を有するように設

ける。また、図2（C）は、図1（A）にA7－A8の一点鎖線で示す部位の断面図であり、容量素子100aと導電体242aとの接続部における断面図である。なお、容量素子100bは、容量素子100aが有する構造と、それぞれ対応する構造を有する。以下において、容量素子100a、および容量素子100bを容量素子100として、その詳細な構造について説明する。特にことわりが無い限り容量素子100a、および容量素子100bについては、容量素子100の説明を参酌することができる。

[0144]

容量素子100は、導電体110、絶縁体130、絶縁体130上の導電体120を有する。

[0145]

容量素子100は、下部電極（第1の端子と呼ぶ場合もある）として機能する導電体110と、上部電極（第2の端子と呼ぶ場合もある）として機能する導電体120が、誘電体として機能する絶縁体130を挟んで対向する構成である。

[0146]

容量素子100は、絶縁体281、絶縁体274、絶縁体280、および絶縁体256に形成された開口に埋め込まれるように設けられる。

[0147]

導電体110は、開口内部で導電体242と接するように設けられる。また、導電体110は、開口の側面にも接するように設けられることが好ましい。また、開口内部で、絶縁体281、絶縁体274、絶縁体280、および絶縁体256の側壁を覆うように絶縁体141を設けてもよい。絶縁体141は、絶縁体241と同様の機能を有することが好ましく、同様の材料を用いることができる。絶縁体141を設ける場合、導電体110は、絶縁体141と接し、絶縁体141は、導電体110と、絶縁体281、絶縁体274、絶縁体280、および絶縁体256の間に設けられる。導電体110の上面は、絶縁体281の上面と概略一致することが好ましい。

[0148]

絶縁体130は、導電体110を覆うように、少なくとも導電体110の内側、および上面に設けられる。また、絶縁体130は、図1（B）、および図2（C）に示すように、絶縁体281の上面を覆うように設けてもよい。

[0149]

導電体120は、絶縁体130上に設けられ、少なくとも導電体110、および絶縁体130を介して、絶縁体281、絶縁体274、絶縁体280、および絶縁体256に形成された開口内部に設けられる。また、導電体120の一部を配線として機能させるため、絶縁体281および絶縁体130の一方または両方の上方に設けてもよい。導電体120は、絶縁体130上で、導電体240と同じ層に設けられることが好ましい。例えば、導電体120、および導電体240は、絶縁体281の上方において、絶縁体130の上面に接する。

[0150]

容量素子100は、絶縁体281、絶縁体274、絶縁体280、および絶縁体256に形成された開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進

めることができる。

[0151]

導電体110および導電体120は、導電体205、導電体242、導電体260、または導電体240などに用いることができる導電体を用いればよい。また、導電体110、または導電体120は、積層構造であってもよい。例えば、導電体110、または導電体120は、チタン、窒化チタン、タンタル、または窒化タンタルを主成分とする導電性材料と、タングステン、銅、またはアルミニウムを主成分とする導電性材料と、の積層構造としてもよい。また、導電体110、または導電体120は、単層構造としてもよいし、3層以上の積層構造としてもよい。

[0152]

特に、導電体120は、導電体240と同じ材料を用い、同じ工程にて形成されることが好ましい。導電体120、および導電体240を、同じ材料を用いて、同じ工程にて形成することで、成膜工程の削減、およびリソグラフィ法を用いた加工におけるマスク枚数の削減が可能となり、半導体装置の製造コストを削減することができる。このように形成された導電体120、および導電体240は、絶縁体130上の同じ層に配置される。例えば、導電体120、および導電体240は、絶縁体130の上面に接する。

[0153]

また、絶縁体130は、誘電率の大きい絶縁体を用いることが好ましい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

[0154]

また、絶縁体130は、積層構造であってもよい、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などから、2層以上を選び積層構造としても良い。例えば、ALD法によって、酸化ハフニウム、酸化アルミニウムおよび酸化ハフニウムを順に成膜し、積層構造とすることが好ましい。酸化ハフニウムおよび酸化アルミニウムの膜厚は、それぞれ、0.5nm以上5nm以下とする。このような積層構造とすることで、容量値が大きく、かつ、リーク電流の小さな容量素子100とすることができる。

[0155]

<記憶装置>

上記トランジスタ200と、容量素子100を有する半導体装置をメモリセル600として、記憶装置を構成することができる。

[0156]

<メモリセル600の構成例>

図4乃至図6にメモリセル600の構成例について説明する。

[0157]

図4、および図5にメモリセル600のレイアウト例を示す上面図、図6に、DRAMのメモリセルの回路構成例を示す。本明細書等において、1つのOSトランジスタと、1つの容量素子を有するメモリセルを用いたDRAMを、DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)と呼ぶ場合がある。図4乃至図6に示す、

メモリセル600は、2つのメモリセルを有し、一方はトランジスタ200a、および容量素子100aを有し、他方はトランジスタ200b、および容量素子100bを有する。なお、トランジスタ200aと、トランジスタ200bは、それぞれゲート（フロントゲートと呼ぶ場合がある。）、及びバックゲートを有する。メモリセル600は、マトリクス状に配置されることでメモリセルアレイを形成する。

[0158]

図4、および図5に示すメモリセルアレイでは、メモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向と、配線BL、および配線CALの一方または両方が伸びる方向のなす角がゼロより大きく90°未満となる例を示している。このとき、トランジスタ200a、およびトランジスタ200bのチャネル長方向と、配線WLが伸びる方向のなす角がゼロより大きく90°未満となる。別言すると、トランジスタ200a、およびトランジスタ200bのチャネル長方向は、配線BL、配線CAL、および配線WLのいずれが延びる方向とも平行にならず、直交しない。

[0159]

図4においては、メモリセルアレイ内の全てのメモリセル600において、トランジスタ200a、およびトランジスタ200bのチャネル長方向が互いに平行となる例を示しているが、本実施の形態はこれに限らない。図5に示すように、メモリセルアレイにおいて、少なくとも一つのメモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向が、他のメモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向と異なってもよい。図5では、列毎にメモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向が異なる例を示している。特に、行方向に隣り合うメモリセル600が列方向、すなわち配線WLが延びる方向に対して線対称となるように配置されている。

[0160]

トランジスタ200aの第1端子は、容量素子100aの第1端子と接続され、トランジスタ200bの第1端子は、容量素子100bの第1端子と接続され、トランジスタ200aの第2端子、およびトランジスタ200bの第2端子は、配線BLと接続され、トランジスタ200aのゲートと、トランジスタ200bのゲートは、それぞれ異なる配線WLと接続され、トランジスタ200aのバックゲートと、トランジスタ200bのバックゲートは、それぞれ異なる配線BGと接続されている。容量素子100aの第2端子、および容量素子100bの第2端子は、それぞれ配線CALと接続されている。なお、トランジスタ200の第1端子は、ソースおよびドレインの一方として機能し、第2端子は、ソースおよびドレインの他方として機能する。

[0161]

ここで、容量素子100aの第2端子、および容量素子100bの第2端子は、それぞれ異なる配線CALと接続されている。このとき、配線CALには互いに等しい電位が供給されてもよいし、異なる電位が供給されてもよい。

[0162]

配線BLは、ビット線として機能し、配線WLは、ワード線として機能する。配線CALは、容量素子100aの第2端子、および容量素子100bの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGは、トランジスタ200a、またはトランジスタ200bのバックゲ

ートに電位を印加するための配線として機能する。配線BGに任意の電位を印加することによって、トランジスタ200a、またはトランジスタ200bのしきい値電圧を増減することができる。

[0163]

なお、メモリセル600は、図6に示すものに限定されず、回路構成の変更を行うことができる。例えば、メモリセル600は、トランジスタ200a、およびトランジスタ200bが、バックゲートを有さないトランジスタで構成されたメモリセルとしてもよい。このとき、配線BGは省略することができる。メモリセル、またはメモリセルアレイに求められる特性に合わせて適宜選択することができる。

[0164]

メモリセル600が有するトランジスタ200a、およびトランジスタ200bとしてOSトランジスタを用いることによって、トランジスタ200a、およびトランジスタ200bのリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタ200a、およびトランジスタ200bによって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いいため、メモリセル600に対して多値データ、又はアナログデータを保持することができる。

[0165]

<記憶装置の構成例>

図7にOSメモリ装置の構成の一例を示す。記憶装置1400は、メモリセルアレイ1470、および周辺回路を有する。周辺回路は、行回路1420、列回路1430、出力回路1440、コントロールロジック回路1460を有する。また、周辺回路に、トランジスタ200のバックゲートに印加する電位を制御するバックゲート制御回路1425を設けてもよい。バックゲート制御回路1425は、行回路1420の一部とみなすことができる。

[0166]

列回路1430は、例えば、列デコーダ1431、プリチャージ回路1432、センスアンプ1433、および書き込み回路1434等を有する。プリチャージ回路1432は、配線をプリチャージする機能を有する。センスアンプ1433は、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線である。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ1421、ワード線ドライバ回路1422等を有し、アクセスする行を選択することができる。

[0167]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダ1421および列デコーダ1431に入力され、WDATAは書き込み回路1434に入力される。

[0168]

コントロールロジック回路1460は、外部からの入力信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。CEは、チップイネーブル信号であり、WEは、書き

込みイネーブル信号であり、REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0169]

メモリセルアレイ1470は、行列状に配置された、複数のメモリセル600と、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセル600の構成、一行に有するメモリセル600の数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセル600の構成、一列に有するメモリセル600の数などによって決まる。

[0170]

なお、図7において、メモリセルアレイ1470と周辺回路を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、周辺回路、または少なくともその一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。このとき、周辺回路、または少なくともその一部は、酸化物半導体を有するOSトランジスタ、またはシリコントランジスタにより構成されることが好ましい。すなわち、OSトランジスタ上にOSトランジスタを積層して設ける構成や、シリコントランジスタ上にOSトランジスタを積層して設ける構成とすることが好ましい。例えば、シリコントランジスタにより構成されるセンスアンプの上に、OSトランジスタにより構成されるメモリセルアレイ1470が積層して設けられ、該センスアンプとメモリセルアレイ1470が互いに重なる領域を有するように設けられる構成にしてもよい。

[0171]

図8は、トランジスタ200、および容量素子100を有するメモリセル600がトランジスタ300の上方に設けられる例を示す。メモリセル600は、メモリセルアレイ1470の一部とみなすことができ、トランジスタ300は、周辺回路の一部、例えばセンスアンプの一部とみなすことができる。

[0172]

図8に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続され、配線1007はトランジスタ300のゲートと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。また、配線1003を配線1001、配線1002、または配線1007と電氣的に接続する構成にしてもよい。

[0173]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲート電極として機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0174]

ここで、半導体領域313の上に絶縁体315が配置され、絶縁体315の上に導電体316が配

置される。また、同じ層に形成されるトランジスタ 300 は、素子分離絶縁層として機能する絶縁体 312 によって、電氣的に分離されている。絶縁体 312 は、後述する絶縁体 326 などと同様の絶縁体を用いることができる。トランジスタ 300 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

[0175]

基板 311 は、半導体領域 313 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314 a、および低抵抗領域 314 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT (High Electron Mobility Transistor) としてもよい。

[0176]

低抵抗領域 314 a、および低抵抗領域 314 b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

[0177]

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0178]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0179]

ここで、図 8 に示すトランジスタ 300 はチャンネルが形成される半導体領域 313 (基板 311 の一部) が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。このようなトランジスタ 300 は半導体基板の凸部を利用していることから FIN 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0180]

なお、図 8 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0181]

また、図 8 に示すように半導体装置は、トランジスタ 300 と、トランジスタ 200 とを、積層して設けている。例えば、トランジスタ 300 をシリコン系半導体材料で形成し、トランジスタ 200

を酸化物半導体で形成することができる。このように、図8に示す半導体装置は、シリコン系半導体材料と、酸化物半導体とを、ことなるレイヤーに混載して形成することが可能である。また、図8に示す半導体装置は、シリコン系半導体材料で用いる製造装置と同様のプロセスで作製することが可能であり、高集積化することも可能である。

[0182]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0183]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には、配線1001、配線1002、配線1007などと電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

[0184]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

[0185]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図8において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。例えば、図8に示すように、導電体356は、配線1001とトランジスタ300のソースを接続する配線、配線1002とトランジスタ300のドレインを接続する配線、および配線1007とトランジスタ300のゲートを接続する配線の少なくとも一として機能させることができる。

[0186]

絶縁体354の上に絶縁体360が配置され、絶縁体360の上に絶縁体362が配置され、絶縁体362の上に絶縁体212が配置され、メモリセル600が配置される。

[0187]

また、トランジスタ300をセンスアンプの一部として用いる場合、配線1003と、配線1001、配線1002、および配線1007の少なくとも一以上が接続される構成にしてもよい。このような構成にすることで、トランジスタ200とトランジスタ300を接続する配線の距離を、当該配線をトランジスタ200の上で引き回した場合と比較して、短くすることができる。

[0188]

また、メモリセル600の上に、配線層を設けてもよい。

[0189]

なお、層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。例えば、層間膜として機能する絶縁体は、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0190]

例えば、絶縁体320、絶縁体322、絶縁体326、絶縁体352、絶縁体354、絶縁体362等は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0191]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0192]

例えば、導電体328、導電体330、導電体356等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0193]

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置を微細化または高集積化させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[0194]

なお、図8において、基板311にチャネル形成領域が形成されるトランジスタ300を設ける例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図9に示すように、トランジスタ200の下に酸化物半導体を有するトランジスタ400を設ける構成にし

てもよい。図9に示す半導体装置は、トランジスタ300の代わりにトランジスタ400が設けられること以外は、図8に示す半導体装置と同様の構成を有する。

[0195]

図9に示す半導体装置は、図8に示す半導体装置と異なり、基板311と絶縁体352の間に、絶縁体412、絶縁体414、絶縁体416、絶縁体422、絶縁体480、絶縁体482、および絶縁体481と、これらの層の中に形成されるトランジスタ400と、を有する。ここで、絶縁体412は絶縁体212と、絶縁体414は絶縁体214と、絶縁体416は絶縁体216と、絶縁体422は絶縁体222と、絶縁体480は絶縁体280と、絶縁体482は絶縁体274と、絶縁体481は絶縁体281と、トランジスタ400はトランジスタ200と、それぞれ対応する。

[0196]

つまり、トランジスタ400およびトランジスタ400を含む層は、上述のトランジスタ200およびトランジスタ200を含む層と同様の構成を有する。よって、トランジスタ400およびトランジスタ400を含む層の詳細については、上述の記載を参酌することができる。

[0197]

なお、絶縁体480、絶縁体482、および絶縁体481に形成された開口に埋め込まれるように、導電体445が設けられる。導電体445はそれぞれ、配線1001とトランジスタ400のソースを接続するプラグ、配線1002とトランジスタ400のドレインを接続するプラグ、配線1007とトランジスタ400のゲートを接続するプラグ、として機能する。

[0198]

導電体445は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体445は積層構造としてもよい。

[0199]

また、導電体445を積層構造とする場合、下層の導電体には、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体480に添加された酸素が導電体445に吸収されるのを防ぐことができる。また、絶縁体481より上層から水または水素などの不純物が、導電体445を通じてトランジスタ400に混入するのを抑制することができる。

[0200]

なお、トランジスタ400に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0201]

例えば、図9に示すように、過剰酸素を有する絶縁体480と、導電体445との間に、絶縁体476を設けてもよい。ここで、絶縁体476は先の実施の形態に示す絶縁体241と同様の構成にすればよい。絶縁体476を設けることで、絶縁体480が有する過剰酸素が、導電体445に吸収されることを抑制することができる。また、絶縁体476を有することで、不純物である水素が、導電体445を介して、トランジスタ400へ拡散することを抑制することができる。

[0202]

また、メモリセルアレイ 1 4 7 0 が、センスアンプと重なるように設けられる構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0 2 0 3]

なお、本実施の形態に示す、周辺回路、およびメモリセルアレイ 1 4 7 0 等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0 2 0 4]

例えば、図 4 乃至図 6 において、容量素子 1 0 0 a の第 2 端子、および容量素子 1 0 0 b の第 2 端子は、それぞれ異なる配線 C A L と接続される例を示しているが、本実施の形態はこれに限らない。図 1 0 に示すように、容量素子 1 0 0 a の第 2 端子、および容量素子 1 0 0 b の第 2 端子を一つの配線と接続してもよい。すなわち、容量素子 1 0 0 a の第 2 端子、および容量素子 1 0 0 b の第 2 端子が一つの導電体により構成されてもよい。このとき、メモリセル 6 0 0 が有するトランジスタ 2 0 0 a、およびトランジスタ 2 0 0 b のチャネル長方向と、配線 B L、および配線 C A L の一方、および両方が延びる方向は、略並行になることが好ましい。また、メモリセル 6 0 0 が有するトランジスタ 2 0 0 a、およびトランジスタ 2 0 0 b のチャネル長方向と、配線 W L が延びる方向は、略直交することが好ましい。

[0 2 0 5]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0 2 0 6]

<<基板>>

トランジスタ 2 0 0 を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、S O I (S i l i c o n O n I n s u l a t o r) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0 2 0 7]

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例え

ば、 $5\ \mu\text{m}$ 以上 $700\ \mu\text{m}$ 以下、好ましくは $10\ \mu\text{m}$ 以上 $500\ \mu\text{m}$ 以下、さらに好ましくは $15\ \mu\text{m}$ 以上 $300\ \mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置を提供することができる。

[0208]

可撓性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編み込んだシート、フィルムまたは箔などを用いてもよい。可撓性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板である基板として好適である。

[0209]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0210]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、*high-k*材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0211]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0212]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0213]

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0214]

また、酸化物半導体を用いたトランジスタは、水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

[0215]

水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、リン、塩素、アルゴン、シリコン、アルミニウム、ハフニウム、マグネシウム、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、タングステン、チタン、タンタル、またはニッケルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タングステン、酸化チタン、酸化タンタル、または酸化ニッケルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどのシリコン窒化物を用いることができる。

[0216]

例えば、ゲート絶縁体として機能する絶縁体250、および絶縁体224は、酸素を有する絶縁体であることが好ましい。例えば、酸素を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0217]

また、例えば、ゲート絶縁体の一部として機能する絶縁体222において、アルミニウム、ハフニウム、およびガリウムの一種または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

[0218]

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャネルが形成される領域との間の距離を保つことで、ゲート電極とチャネル形成領域との間のリーク電流を抑制することができる。

[0219]

絶縁体130は、絶縁体250、絶縁体222、および絶縁体224と同様な材料を用いることができる。また、絶縁体130は、上記材料を含む積層構造としてもよい。

[0220]

絶縁体216、絶縁体280、および絶縁体281は、比誘電率の低い絶縁体の単層、または積層を有することが好ましい。例えば、絶縁体216、絶縁体280、および絶縁体281は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。または、絶縁体216、絶縁体280、および絶縁体281は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリ

コンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、またはアクリルなどがある。

[0221]

絶縁体212、絶縁体214、絶縁体256、絶縁体274、絶縁体141、および絶縁体241としては、水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体212、絶縁体214、絶縁体256、絶縁体274、絶縁体141、および絶縁体241としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タングステン、酸化チタン、酸化タンタル、または酸化ニッケルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。また、上記絶縁体として、Inの濃度が低減されたインジウム－ガリウム－亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。

[0222]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0223]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0224]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0225]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネ

ルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0226]

導電体260、導電体205、導電体242、導電体240、導電体110、および導電体120としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0227]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0228]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0229]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、またはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0230]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0231]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-

Aligned Composite) - OSの構成について説明する。

[0232]

なお、本明細書等において、CAAC (c-axis aligned crystal)、およびCAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

[0233]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0234]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0235]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0236]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

[0237]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

[0238]

[金属酸化物の構造]

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0239]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0240]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0241]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0242]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損 (V_O: oxygen vacancyともいう。）など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0243]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0244]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、上述のナノ結晶により構成されることで安定な構造をとる

場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）により構成される方が、構造的に安定となる場合がある。

[0245]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0246]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0247]

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

[0248]

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0249]

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0250]

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0251]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0252]

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0253]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0254]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0255]

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0256]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0257]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0258]

また、金属酸化物に含まれる水素は、金属酸化物中に浅い欠陥準位（sDOS: shallow level Density of States）を形成する場合がある。浅い欠陥準位とは、伝導帯下端の近くに位置する界面準位を指す。浅い欠陥準位は、金属酸化物中の高密度領域と低密度領域の境界近傍に存在することが推定される。ここでは、金属酸化物中の高密度領域と低密度領域は、領域に含まれる水素の量で区別する。すなわち、低密度領域と比較して、高密度領域は、水素をより多く含む領域とする。金属酸化物中の高密度領域と低密度領域の境界近傍は、両領域間の応力歪によって、微小なクラックが生じやすく、当該クラック近傍に酸素欠損およびインジウムのダングリングボンドが発生し、ここに、水素または水などの不純物が局在することで、浅い欠陥準位が形成されるものと推定される。

[0259]

また、上記金属酸化物中の高密度領域は、低密度領域よりも結晶性が高くなる場合がある。また、上記金属酸化物中の高密度領域は、低密度領域よりも膜密度が高くなる場合がある。また、上記金属酸化物が、インジウムと、ガリウムと、亜鉛と、有する組成の場合、高密度領域は、インジウムと、

ガリウムと、亜鉛と、を有し、低密度領域は、インジウムと、亜鉛と、を有する場合がある。別言すると、低密度領域は、高密度領域よりもガリウムの割合が少ない場合がある。

[0260]

なお、上記浅い欠陥準位は、酸素欠損に起因すると推定される。金属酸化物中の酸素欠損が増えると、浅い欠陥準位密度とともに深い欠陥準位密度 (dDOS: deep level Density of States) も増えると推定される。これは、深い欠陥準位も酸素欠損によるものだと考えられるためである。なお、深い欠陥準位とは、バンドギャップの中央付近に位置する欠陥準位を指す。

[0261]

したがって、金属酸化物中の酸素欠損を抑制することで、浅い欠陥準位及び深い欠陥準位の双方の準位密度を低減させることが可能となる。また、浅い欠陥準位については、金属酸化物の成膜時の温度を調整することで、ある程度制御できる可能性がある。具体的には、金属酸化物の成膜時の温度を、170℃またはその近傍、好ましくは130℃またはその近傍、さらに好ましくは室温とすることで、浅い欠陥準位密度を低減することができる。

[0262]

また、金属酸化物の浅い欠陥準位は、金属酸化物を半導体層に用いたトランジスタの電気特性に影響を与える。すなわち、浅い欠陥準位によって、トランジスタのドレイン電流－ゲート電圧 ($I_d - V_g$) 特性において、ゲート電圧 V_g に対するドレイン電流 I_d の変化が緩やかとなり、トランジスタのオフ状態からオン状態への立ち上がり特性の良し悪しの目安の1つである、S値 (Subthreshold Swing、SSとも言う。) が悪化する。これは浅い欠陥準位に電子がトラップされたためと考えられる。

[0263]

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0264]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図11乃至図24を用いて説明する。また、図11乃至図24において、各図の(A)は、図1(A)に示すA1－A2の一点鎖線で示す部位に対応する断面図である。また、各図の(B)は、図1(A)に示すA3－A4の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、図1(A)にA5－A6の一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、図1(A)にA7－A8の一点鎖線で示す部位に対応する断面図である。

[0265]

まず、基板(図示しない。)を準備し、当該基板上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD: Pulsed Laser Deposition)法、またはALD

(Atomic Layer Deposition) 法などを用いて行うことができる。

[0266]

なお、CVD法は、プラズマを利用するプラズマCVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0267]

特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0268]

本実施の形態では、絶縁体212として、スパッタリング法、CVD法、またはALD法によって窒化シリコンを成膜する。また、絶縁体212は、多層構造としてもよい。例えば、スパッタリング法、CVD法、またはALD法によって酸化シリコンを成膜し、当該酸化シリコン上に、スパッタリング法、CVD法、またはALD法によって窒化シリコンを成膜する構造としてもよい。

[0269]

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体214は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0270]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコン、または酸化窒化シリコンを成膜する。

[0271]

次に、絶縁体216に、開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして開口を形成する際のエッチングストッパとして機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体216に酸化シリコンを用いた場合は、絶縁体214は、酸化アルミニウム、酸化ハフニウム、または窒化シリコンを用いるとよい。

[0272]

開口の形成後に、導電体205aとなる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体205aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0273]

本実施の形態では、導電体205aとなる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0274]

次に、導電体205aとなる導電膜上に、導電体205bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0275]

本実施の形態では、導電体205bとなる導電膜として、CVD法によって窒化チタンを成膜する。

[0276]

次に、導電体205bとなる導電膜上に、導電体205cとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0277]

本実施の形態では、導電体205cとなる導電膜として、CVD法によってタングステンを成膜する。

[0278]

次に、CMP処理を行うことで、導電体205aとなる導電膜、導電体205bとなる導電膜、および導電体205cとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205a、導電体205b、および導電体205cとなる導電膜が残存する。これにより、上面が平坦な、導電体205a、導電体205b、および導電体205cを含む導電体205を形成することができる（図11参照。）。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0279]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0280]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。ALD法を用いて形成した膜は、被覆性が良好である。一方、スパッタリング法を用いることで、他の手法を用いるよりも水素濃度の低減した膜を形成することができ、好ましい。デバイスに求められる特性に合わせて選択するとよい。

[0281]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、C

VD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、スパッタリング法を用いて酸化シリコンを成膜する。また、CVD法によって酸化シリコン、または酸化窒化シリコンを成膜してもよい。

[0282]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0283]

本実施の形態では、加熱処理として、絶縁体224の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0284]

また、加熱処理は、絶縁体222の成膜後に行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができる。

[0285]

ここで、絶縁体224に多くの酸素を含有させるために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えば、マイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率良く絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0286]

次に、絶縁体224上に、酸化膜230Aと、酸化膜230Bを順に成膜する(図11参照。)。なお、上記酸化膜は、大気環境に晒さずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

[0287]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0288]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、例えば、In-M-Zn酸化物ターゲット

を用いることができる。

[0289]

特に、酸化膜230Aにはより多くの酸素が含まれることが好ましい。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0290]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

[0291]

また、酸化膜230A、および酸化膜230BをALD法によって成膜する場合は、Inを含むプリカーサ、Mを含むプリカーサ、およびZnを含むプリカーサを用いることができる。また、In、M、およびZnの内、2以上を含むプリカーサを用いてもよい。基板が投入された反応室内に上記プリカーサを順次、または同時に導入した後、酸化剤を導入する工程を繰り返すことで酸化膜230A、および酸化膜230Bを成膜してもよいし、各プリカーサの導入と酸化剤の導入を交互に行う工程を繰り返すことで酸化膜230A、および酸化膜230Bを成膜してもよい。

[0292]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4、または1:1:0.5 [いずれも原子数比] のターゲットを用いて成膜することができる。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4、1:5:1:6、または1:1:1 [いずれも原子数比] のターゲットを用いて成膜することができる。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求められる特性に合わせて形成するとよい。

[0293]

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0294]

次に、酸化膜230B上に導電膜242Aを形成する(図11参照。)。導電膜242Aは、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、

酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、導電膜242Aの形成は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0295]

次に、導電膜242Aを加工して、酸化膜230A、および酸化膜230Bを加工するためのハードマスクを形成する。

[0296]

なお、導電膜242Aの加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0297]

リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、レジスト上に直接描画を行うため、上述のレジスト露光用のマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行う、などで、除去することができる。

[0298]

次に、レジストマスクを用いて、導電膜242Aをエッチングすることでハードマスクとして機能する導電体242Bを形成する（図12参照。）。導電体242B形成後は、レジストマスクを除去してから酸化膜の加工を行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。

[0299]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0300]

次に、導電体242Bをハードマスクとして用い、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する（図12参照。）。なお、当該加工

処理にて、絶縁体 2 2 4 の一部が除去される場合がある。上記酸化膜のエッチング後にハードマスクとして機能する導電体 2 4 2 B をエッチングにより除去してもよいが、本実施の形態では、導電体 2 4 2 B をさらに加工して、ソース電極、およびドレイン電極として機能する導電体を形成するため、導電体 2 4 2 B は除去しない。

[0301]

ここで、酸化物 2 3 0 a、および酸化物 2 3 0 b は、少なくとも一部が導電体 2 0 5 と重なるように形成する。また、酸化物 2 3 0 a、および酸化物 2 3 0 b の側面は、絶縁体 2 2 2 の上面、または基板の上面に対し、テーパ形状を有することが好ましい。酸化物 2 3 0 a、および酸化物 2 3 0 b の側面が、絶縁体 2 2 2 の上面、または基板の上面に対し、テーパ形状を有することで、後工程において酸化物 2 3 0 a、および酸化物 2 3 0 b の側面への膜の形成、あるいは側面に形成された膜の除去を容易に行うことができる。

[0302]

また、酸化物 2 3 0 a、酸化物 2 3 0 b、および導電体 2 4 2 B の側面と、導電体 2 4 2 B の上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、導電体 2 4 2 B の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0303]

なお、当該酸化膜の加工は、導電体 2 4 2 B をハードマスクに用い、ドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0304]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が、酸化物 2 3 0 a、および酸化物 2 3 0 b などの側面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0305]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウエット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせで行ってもよい。

[0306]

ウエット洗浄としては、シュウ酸、リン酸、過酸化水素水、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0307]

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。ただし、該加熱処理により、導電体 2 4 2 B の酸化が懸念される場合、該加熱処理は、酸素を含まない雰囲気で行われることが好ましい。一方、導電体 2 4 2 B が、耐酸化性材料を含む場合、該加熱処理を、酸素を含む雰囲気で行ってもよい。

[0308]

次に、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、および導電体 2 4 2 B 上に絶縁体 2 5 6 を成膜する（図 13 参照。）。なお、絶縁体 2 5 6 は、絶縁性バリアとして機能することが好ましく、

酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タングステン、酸化チタン、酸化タンタル、または酸化ニッケルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを含む絶縁体を成膜するとよい。また、アルミニウムおよびハフニウムの双方を含む絶縁体として、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることができる。また、Inの濃度が低減されたインジウム－ガリウム－亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。

[0309]

また、絶縁体256は、絶縁体256a、および絶縁体256a上の絶縁体256bを含む積層構造としてもよい。このとき、絶縁体256aと絶縁体256bは、互いに異なる材料でもよい。また、絶縁体256aと絶縁体256bは、互いに異なる方法で形成することができる。例えば、絶縁体256aとしてスパッタリング法により形成された酸化アルミニウム、絶縁体256bとしてALD法により形成された酸化アルミニウムを用いることができる。

[0310]

バリア性を有する絶縁体256により、導電体242Bの酸化を抑制することができる。なお、導電体242Bが、耐酸化性材料を含む場合、絶縁体256は、必ずしも設ける必要は無い。なお、絶縁体256の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0311]

次に、絶縁体256の上に、絶縁体280を成膜する。絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて行うことができる。

[0312]

また、絶縁体280は、絶縁体280a、および絶縁体280a上の絶縁体280bを含む積層構造としてもよい。このとき、絶縁体280aと絶縁体280bは、互いに異なる材料でもよい。また、絶縁体280aと絶縁体280bは、互いに異なる方法で形成することができる。

[0313]

本実施の形態では、絶縁体280aとして、スパッタリング法によって酸化シリコンを成膜し、絶縁体280bとして、CVD法によって酸化窒化シリコンを成膜する。絶縁体280aの形成にスパッタリング法を用いることで、絶縁体280中の水素濃度を低減できるため、好ましい。また、絶縁体280bの形成にCVD法を用いることで被覆性よく絶縁体280を形成できるため好ましい。

[0314]

なお、絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜

後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼び、得られる膜を平坦化膜と呼ぶ場合がある。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体280の上面は必ずしも平坦性を有さなくてもよい。

[0315]

次に、少なくとも導電体205と重なる領域を有するように、絶縁体280、絶縁体256、および導電体242Bに対して加工処理を行い、開口245を形成する(図14参照。)。開口の形成にはレジストマスク、またはハードマスクを用いて、ウェットエッチング法、またはドライエッチング法を用いることができる。ただし、微細加工が可能な点、また絶縁体280の側面を概略垂直に加工できる点からドライエッチング法を用いるほうが好ましい。また、導電体242Bを加工することにより、導電体242(導電体242a、導電体242b、および導電体242c)が形成される。該加工により、酸化物230aの側面、酸化物230bの上面と側面、および絶縁体224の表面の一部が露出する。また、該加工により絶縁体224の一部がエッチングされ、絶縁体224が薄くなる、または絶縁体222の一部が露出する場合がある。また、該加工にハードマスクを用いる場合、加工により、ハードマスクも除去されることが好ましい。一方、絶縁体280上にハードマスクは残っていてもよく、その場合、後工程の導電体260などの研磨工程にて除去すればよい。

[0316]

導電体242aと導電体242c、および導電体242bと導電体242cが互いに向かい合う面の断面は、テーパ形状を有する場合がある。一方、該断面は概略垂直形状を有していてもよい。

[0317]

なお、後工程にて形成される導電体260は、開口245内に自己整合的に配置される。

[0318]

ここで、加熱処理を行うことが好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。一方、導電体242が耐酸化性を有する導電体の場合、該加熱処理を、酸素を含む雰囲気で行ってもよい。また、加熱処理は減圧状態で行ってもよい。例えば、加熱処理として、窒素雰囲気にて400℃の温度で1時間の処理を行う。

[0319]

該加熱処理により、酸化物230a、および酸化物230bに含まれる水素や水などの不純物を除去することができる。また、上記加工におけるドライエッチングにて酸化物230a、または酸化物230bに生じたダメージを回復することができる。また、酸素を含む雰囲気で加熱処理を行った場合、酸化物230a、および酸化物230bに酸素を添加することができる。

[0320]

また、上記加熱処理により、導電体242から、導電体242に含まれる金属元素が酸化物230bへ拡散し、酸化物230bに金属元素が添加される場合がある。また、酸化物230bの導電体242との界面近傍における酸素が導電体242に吸収される場合がある。その結果、酸化物230bの導電体242との界面近傍が金属化合物となり、低抵抗化する。なお、その際、酸化物230bの一部と、上述した金属元素とが、合金化してもよい。酸化物230bの一部と金属元素が、合金化することで、酸化物230bに添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。なお、図14(A)では、酸化物230bの上記低抵抗化領域の

一例として、点線にて領域 231（領域 231a、領域 231b、および領域 231c）を示している。また、開口 245 により露出した酸化物 230b には、チャネル形成領域として機能する領域 234（領域 234a、および領域 234b）が形成される。

[0321]

領域 231 は、酸化物 230b の導電体 242 近傍において、深さ方向に拡散するように設けられる例を示しているが、本発明はこれに限らない。領域 231 は、深さ方向において、酸化物 230b の全体に形成されていてもよいし、酸化物 230a に形成されていてもよい。また、領域 231 は、水平方向において、導電体 242 と重なる領域のみに形成される例を示しているが、本発明はこれに限らない。領域 231 は、導電体 242 から水平方向に拡散した領域に形成されてもよいし、後工程で形成される導電体 260 の一部と重なる領域にも形成されてもよい。

[0322]

また、酸化物 230 中の水素は、領域 231 に拡散し、領域 231 に存在する酸素欠損の中に入った場合、比較的安定な状態になると考えられる。また、領域 234 に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域 231 に拡散し、領域 231 に存在する酸素欠損の中に入り、比較的安定な状態になると考えられる。したがって、熱処理によって、領域 231 は、より低抵抗化し、領域 234 は、高純度化（水、水素などの不純物の低減）し、より高抵抗化すると考えられる。

[0323]

また、窒素または不活性ガス雰囲気で加熱処理した後に、酸化性ガスを 10ppm 以上、1% 以上、または 10% 以上含む雰囲気で行ってもよい。加熱処理は、250℃以上 650℃以下、好ましくは 300℃以上 500℃以下、さらに好ましくは 320℃以上 450℃以下で行えばよい。

[0324]

なお、導電膜 242A の成膜後、または、導電体 242 の形成後の加熱処理において、導電膜 242A または導電体 242 に、酸化物 230 の領域 231 の酸素が吸収されることで、領域 231 に酸素欠損が生じる場合がある。酸化物 230 中の水素が、当該酸素欠損に入ることによって、領域 231 のキャリア密度は、増加する。したがって、酸化物 230 の領域 231 は、n 型となり、低抵抗化される。

[0325]

領域 231 の酸素濃度は、領域 234 の酸素濃度より低い場合がある。また、領域 231 の水素濃度は、領域 234 の水素濃度より高い場合がある。

[0326]

次に、開口 245 内において、酸化物 230a の側面、酸化物 230b の上面、および側面、導電体 242 の側面、絶縁体 256 の側面、および絶縁体 280 の側面と接する領域を有するように、絶縁体 280 上に酸化膜 230C を形成する（図 15 参照）。

[0327]

酸化膜 230C の形成は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。酸化物 230c に求める特性に合わせて、酸化膜 230A、または酸化膜 230B と同様の成膜方法を用いて、酸化膜 230C を成膜すればよい。本実施の形態では、酸化膜 230C として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4$ 、1、または 1:3:4 [いずれも原子数比] のターゲットを用いて成膜することができる。

[0328]

尚、酸化膜 230C は、積層としてもよい。例えば、スパッタリング法によって、 $In : Ga : Zn = 4 : 2 : 4$ [原子数比] のターゲットを用いて酸化物 230c1 となる酸化膜を成膜して、連続して $In : Ga : Zn = 1 : 3 : 4$ [原子数比] のターゲットを用いて酸化物 230c2 となる酸化膜を成膜してもよい。

[0329]

続いて、酸化膜 230C 上に、絶縁体 250A を成膜する（図 15 参照。）。

[0330]

絶縁体 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。絶縁体 250A として、CVD 法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁体 250A を成膜する際の成膜温度は、 350°C 以上 450°C 未満、特に 400°C 前後とすることが好ましい。絶縁体 250A を、 400°C で成膜することで、不純物が少ない絶縁体を成膜することができる。

[0331]

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、当該酸素プラズマに絶縁体 250A を曝すことで、絶縁体 250A、へ酸素を導入することができる。

[0332]

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁体 250A の水分濃度および水素濃度を低減させることができる。

[0333]

続いて、導電膜 260aA、および導電膜 260bA を順次成膜する（図 15 参照。）。導電膜 260aA、および導電膜 260bA は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。導電膜 260aA として、窒化チタンを成膜し、導電膜 260bA として、タングステンを成膜してもよい。

[0334]

導電膜 260aA として、CVD 法、またはスパッタリング法により、金属窒化物を形成するとよい。導電膜 260aA に金属窒化物を用いることにより、絶縁体 250A が有する酸素により、導電膜 260bA が酸化して導電率が低下することを防ぐことができる。

[0335]

また、導電膜 260bA として、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

[0336]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、絶縁体 250A から、酸化物 230b に酸素が添加され、酸化物 230b に含まれる酸素濃度を増加させることができる。また、本加熱処理により、酸化物 230b に低抵抗領域（領域 231）が形成される場合がある。

[0337]

次に、導電膜 260bA、導電膜 260aA、絶縁体 250A、および酸化膜 230C を、絶縁体 280 が露出するまで研磨し、導電体 260a、および導電体 260b を有する導電体 260、絶縁体 250、および酸化物 230c を形成する（図 16 参照。）。上記研磨には、CMP 法を用いることができる。該研磨により、導電体 260、絶縁体 250、および酸化物 230c の上面は、絶縁体

$[0\ 3\ 3\ 8]$ $[0\ 3\ 3\ 9]$
$$[0 \ 3 \ 4 \ 0]$$
$$\begin{bmatrix} 0 & 3 & 4 & 1 \end{bmatrix}$$
$$[0 \ 3 \ 4 \ 2]$$
$$[0\ 3\ 4\ 3]$$
 $[0\ 3\ 4\ 4]$

52

成する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体141となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD法によって、酸化アルミニウムまたは窒化シリコンを成膜することが好ましい。また、異方性エッチングは、例えばドライエッチング法などを行えばよい。開口290の側壁部をこのような構成とすることで、外方からの酸素の透過を抑制し、次に形成する導電体110Aの酸化を防止することができる。また、導電体110Aから、水、水素などの不純物が外部に拡散することを防ぐことができる。一方、開口290内にて導電体110Aが酸化しない場合、あるいは、導電体110Aの酸化が、半導体装置の特性に与える影響が小さい、または影響を与えない場合、必ずしも絶縁体141を設ける必要は無い。また、開口290内にて導電体110Aから、水、水素などの不純物が外部に拡散しない場合、あるいは、導電体110Aから拡散した不純物が、半導体装置の特性に与える影響が小さい、または影響を与えない場合、必ずしも絶縁体141を設ける必要は無い。

[0345]

次に、導電体110Aを成膜する。導電体110Aとして、窒化タンタル、窒化チタン、タングステン、モリブデン、銅、シリコン、およびゲルマニウムを含む材料を用いることができる。また、これらの材料を複数積層してもよい。導電体110Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0346]

次に、導電体110Aの上に充填剤288を成膜する(図19参照。)。充填剤288は、この後の工程で行うCMP処理ができる程度に、開口290を埋め込むことができればよい。よって、開口290内に空洞などが形成されていてもよい。充填剤288として、絶縁体、導電体、および半導体などの材料を用いることができる。充填剤288として、絶縁体を用いる場合、シリコンを含む酸化物、シリコンを含む窒化物、金属を含む酸化物、金属を含む窒化物、などを含む材料や、アクリルやポリイミドなどの樹脂、レジストなどの有機物からなる材料、を用いることができる。充填剤288として、半導体を用いる場合、シリコンやゲルマニウムなどを含む材料を用いることができる。充填剤288は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて形成することができる。または、スピンコート法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて形成することができる。例えば、充填剤288として、APCVD法を用いて酸化シリコンを成膜すればよい。

[0347]

次に、CMP処理を行って、絶縁体281より上の層を除去し、導電体110を形成する。(図20参照。)。ここで、絶縁体281が、導電体110AのCMP処理に対するストッパーとして機能することが好ましい。なお、当該CMP処理により、絶縁体281の一部が除去される場合がある。

[0348]

次に、エッチング処理を行って、開口290内の充填剤288を除去する。エッチング処理としては、ウェットエッチング法およびドライエッチング法のいずれを用いてもよいが、開口290内の充填剤288を除去するにあたって、ウェットエッチング法を用いた方が容易な場合がある。ウェットエッチングを用いる場合、エッチャントとしてフッ酸などの酸性溶液や、アルカリ性溶液などを用いればよい。また、エッチャントとして、現像液を用いてもよい。また、ドライエッチング法として、

酸素を含むプラズマを用いたアッシングにより充填剤 288 を除去してもよい。

[0349]

次に、導電体 110 および絶縁体 281 の上に絶縁体 130 を成膜する（図 21 参照。）。絶縁体 130 は、開口 290 の内側に設けられた導電体 110 に接して形成されることが好ましい。このため、絶縁体 130 は、ALD 法または CVD 法などの被覆性の良い成膜方法を用いて成膜することが好ましく、例えば、ALD 法を用いて酸化シリコンを成膜する。なお、PEALD 法を用いて、酸化シリコンを成膜してもよい。

[0350]

また、ALD 法などの成膜方法を用いて絶縁体 130 を成膜し、被覆性良く導電体 110 を覆うことで、容量素子 100 の上部電極と下部電極が短絡することを防ぐことができる。

[0351]

次に、絶縁体 130、絶縁体 281、絶縁体 274、絶縁体 280、および絶縁体 256 を、リソグラフィ法を用いて加工し、導電体 242c を露出する開口 292 を形成する（図 22 参照。）。

[0352]

次に、絶縁体 241 となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体 241 を形成する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 241 となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD 法によって、酸化アルミニウムまたは窒化シリコンを成膜することが好ましい。また、異方性エッチングは、例えばドライエッチング法などを行えばよい。開口 292 の側壁部をこのような構成とすることで、外方からの酸素の透過を抑制し、次に形成する導電体 120A の酸化を防止することができる。また、導電体 120A から、水、水素などの不純物が外部に拡散することを防ぐことができる。一方、開口 292 内にて導電体 120A が酸化しない場合、あるいは、導電体 120A の酸化が、半導体装置の特性に与える影響が小さい、または影響を与えない場合、必ずしも絶縁体 241 を設ける必要は無い。また、開口 292 内にて導電体 120A から、水、水素などの不純物が外部に拡散しない場合、あるいは、導電体 120A から拡散した不純物が、半導体装置の特性に与える影響が小さい、または影響を与えない場合、必ずしも絶縁体 241 を設ける必要は無い。

[0353]

次に、絶縁体 130 の上に導電体 120A を成膜する（図 23 参照。）。導電体 120A は、開口 290、および開口 292 の内部に形成する必要があるため、導電体 120A は、ALD 法または CVD 法などの埋め込み性の良い成膜方法を用いて成膜することが好ましい。例えば、ALD 法を用いて窒化チタンを成膜し、その上に CVD 法を用いてタングステンを成膜する。

[0354]

このように、導電体 120A を成膜することで、開口 290 中に埋め込み性良く、容量素子 100 の上部電極を設けることができるので、容量素子 100 の静電容量を大きくすることができる。

[0355]

次に、導電体 120A をリソグラフィ法によって加工し、導電体 120 および導電体 240 を形成する（図 24 参照）。なお、導電体 120A の加工において、絶縁体 130 を加工してもよい。また、導電体 120 より上の層に配線として機能する導電体を形成してもよい。導電体 120 は、容量素子 100 の上部電極、および配線として機能し、導電体 240 は、導電体 242c と電氣的に接続

するプラグ、および配線として機能する。このように形成された導電体 120、および導電体 240 は、絶縁体 130 上の同じ層に配置される。例えば、導電体 120、および導電体 240 は、絶縁体 130 の上面に接する。

[0356]

以上により、図 1 に示すトランジスタ 200 および容量素子 100 を有する半導体装置を作製することができる。

[0357]

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、良好な周波数特性を有する半導体装置を提供することができる。または、本発明により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0358]

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0359]

以上、本実施の形態に示す構成、方法などは、他の実施の形態や実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0360]

<半導体装置の変形例 1>

以下では、図 25 を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200、および容量素子 100 を有する半導体装置の一例について説明する。

[0361]

なお、図 25 に示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図 1 参照。)を構成する構造と同機能を有する構造には、同符号を付記する。

[0362]

以下、トランジスタ 200、および容量素子 100 の構成について、図 25 を用いて説明する。なお、本項目においても、トランジスタ 200、および容量素子 100 の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0363]

先の<半導体装置の構成例>に示した半導体装置(図 1 参照。)では、トランジスタ 200 が一つの半導体層に二つのトランジスタ(トランジスタ 200a、およびトランジスタ 200b)、およびそれぞれのトランジスタと電氣的に接続する容量素子(容量素子 100a、および容量素子 100b)を有している例を示したが、本発明はこれに限らない。図 25 に示すようにトランジスタ 200 は、一つの半導体層に一つのトランジスタ(トランジスタ 200a)、およびトランジスタ 200a と電氣的に接続する一つの容量素子(容量素子 100a)を有していてもよい。

[0364]

このとき、酸化物 230a、酸化物 230b、および導電体 242c において、A2 側の側面と接

するように絶縁体256が設けられる。

[0365]

トランジスタ200aの導電体242cと電氣的に接続する導電体240と、容量素子100aの上部電極として機能する導電体120を、同じ材料を用いて同じ工程にて形成することで、工程数、およびマスク枚数を削減できるため、半導体装置の製造に係るコストを削減することができる。

[0366]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0367]

(実施の形態2)

本実施の形態では、図26を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

[0368]

図26(A)に示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0369]

チップ1200には、バンプ(図示しない)が設けられ、図26(B)に示すように、プリント基板(Printed Circuit Board: PCB)1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0370]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0371]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0372]

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212への

データ転送、CPU 1211、およびGPU 1212が有するメモリ間のデータ転送、およびGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

[0373]

アナログ演算部1213はA/D（アナログ/デジタル）変換回路、およびD/A（デジタル/アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0374]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0375]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0376]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0377]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0378]

GPU 1212を有するチップ1200が設けられたPCB 1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0379]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU 1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0380]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

[0381]

(実施の形態 3)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図27にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0382]

図27(A)はUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0383]

図27(B)はSDカードの外観の模式図であり、図27(C)は、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0384]

図27(D)はSSDの外観の模式図であり、図27(E)は、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。基板1153のメモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0385]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0386]

(実施の形態 4)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図28に、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0387]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ (Digital Signage : 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0388]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0389]

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの) を有していてもよい。

[0390]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図28に、電子機器の例を示す。

[0391]

[情報端末]

図28 (A) には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0392]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0393]

図28 (B) には、ノート型情報端末5200が図示されている。ノート型情報端末5200は、

情報端末の本体 5 2 0 1 と、表示部 5 2 0 2 と、キーボード 5 2 0 3 と、を有する。

[0 3 9 4]

ノート型情報端末 5 2 0 0 は、先述した情報端末 5 1 0 0 と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末 5 2 0 0 を用いることで、新規の人工知能の開発を行うことができる。

[0 3 9 5]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図 2 8 (A)、図 2 8 (B) に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0 3 9 6]

[ゲーム機]

図 2 8 (C) は、ゲーム機の一例である携帯ゲーム機 5 3 0 0 を示している。携帯ゲーム機 5 3 0 0 は、筐体 5 3 0 1、筐体 5 3 0 2、筐体 5 3 0 3、表示部 5 3 0 4、接続部 5 3 0 5、操作キー 5 3 0 6 等を有する。筐体 5 3 0 2、および筐体 5 3 0 3 は、筐体 5 3 0 1 から取り外すことが可能である。筐体 5 3 0 1 に設けられている接続部 5 3 0 5 を別の筐体 (図示せず) に取り付けることで、表示部 5 3 0 4 に出力される映像を、別の映像機器 (図示せず) に出力することができる。このとき、筐体 5 3 0 2、および筐体 5 3 0 3 は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体 5 3 0 1、筐体 5 3 0 2、および筐体 5 3 0 3 の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0 3 9 7]

また、図 2 8 (D) は、ゲーム機の一例である据え置き型ゲーム機 5 4 0 0 を示している。据え置き型ゲーム機 5 4 0 0 には、無線または有線でコントローラ 5 4 0 2 が接続されている。

[0 3 9 8]

携帯ゲーム機 5 3 0 0、据え置き型ゲーム機 5 4 0 0 などのゲーム機に本発明の一態様の GPU またはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0 3 9 9]

更に、携帯ゲーム機 5 3 0 0 に本発明の一態様の GPU またはチップを適用することによって、人工知能を有する携帯ゲーム機 5 3 0 0 を実現することができる。

[0 4 0 0]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5 3 0 0 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0401]

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0402]

図28(C)、図28(D)では、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0403]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0404]

図28(E)は、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図28(F)は、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0405]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0406]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0407]

図28(E)、図28(F)では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0408]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0409]

図28(G)は、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。

図 28 (G) では、ダッシュボードに取り付けられた表示パネル 5701、表示パネル 5702、表示パネル 5703 の他、ピラーに取り付けられた表示パネル 5704 を図示している。

[0410]

表示パネル 5701 乃至表示パネル 5703 は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル 5701 乃至表示パネル 5703 は、照明装置として用いることも可能である。

[0411]

表示パネル 5704 には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル 5704 は、照明装置として用いることもできる。

[0412]

本発明の一態様の GPU またはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル 5701 乃至表示パネル 5704 には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0413]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0414]

[電化製品]

図 28 (H) は、電化製品の一例である電気冷凍冷蔵庫 5800 を示している。電気冷凍冷蔵庫 5800 は、筐体 5801、冷蔵室用扉 5802、冷凍室用扉 5803 等を有する。

[0415]

電気冷凍冷蔵庫 5800 に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫 5800 を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0416]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0417]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の

電子機器の記載と適宜組み合わせることができる。

[0418]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0419]

100：容量素子、110：導電体、120：導電体、130：絶縁体、141：絶縁体、200：トランジスタ、205：導電体、210：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、222：絶縁体、224：絶縁体、230：酸化物、231：領域、234：領域、240：導電体、241：絶縁体、242：導電体、245：開口、250：絶縁体、256：絶縁体、260：導電体、274：絶縁体、280：絶縁体、281：絶縁体、288：充填剤、290：開口、292：開口、600：メモリセル

請求の範囲

[請求項 1]

酸化物と、
前記酸化物上に、お互いに離間して設けられた第 1 の導電体、および第 2 の導電体と、
前記酸化物上、かつ前記第 1 の導電体と前記第 2 の導電体の間の領域と重畳する領域を有する第 3 の導電体と、
前記第 3 の導電体上の第 1 の絶縁体と、
前記第 1 の絶縁体に設けられた第 1 の開口を介して、前記第 1 の導電体と電氣的に接続する第 4 の導電体と、
前記第 1 の絶縁体上に設けられ、かつ前記第 1 の開口内部で前記第 4 の導電体上に設けられた第 2 の絶縁体と、
前記第 1 の開口内部で、前記第 2 の絶縁体を間に挟み、前記第 4 の導電体と重畳する第 5 の導電体と、
前記第 1 の絶縁体、および前記第 2 の絶縁体に設けられた第 2 の開口内で前記第 2 の導電体と電氣的に接続する第 6 の導電体と、
を有し、
前記第 5 の導電体、および前記第 6 の導電体は、前記第 1 の絶縁体上において、前記第 2 の絶縁体の上面と接する半導体装置。

[請求項 2]

請求項 1 において、
前記第 4 の導電体、前記第 2 の導電体、および前記第 5 の導電体により容量素子を構成する半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記半導体装置は第 3 の絶縁体を有し、
前記第 3 の絶縁体は、前記第 3 の導電体と前記酸化物の間と、前記第 3 の導電体と前記第 1 の導電体の間と、前記第 3 の導電体と前記第 2 の導電体の間に設けられる半導体装置。

[請求項 4]

請求項 3 において、
前記第 3 の絶縁体は、前記第 1 の絶縁体と接する半導体装置。

[請求項 5]

請求項 1 乃至請求項 4 のいずれか一項において、
前記第 5 の導電体、および前記第 6 の導電体は、同じ材料を含む半導体装置。

[請求項 6]

請求項 1 乃至請求項 5 のいずれか一項において、前記第 5 の導電体、および前記第 6 の導電体は、同じ工程で形成される半導体装置。

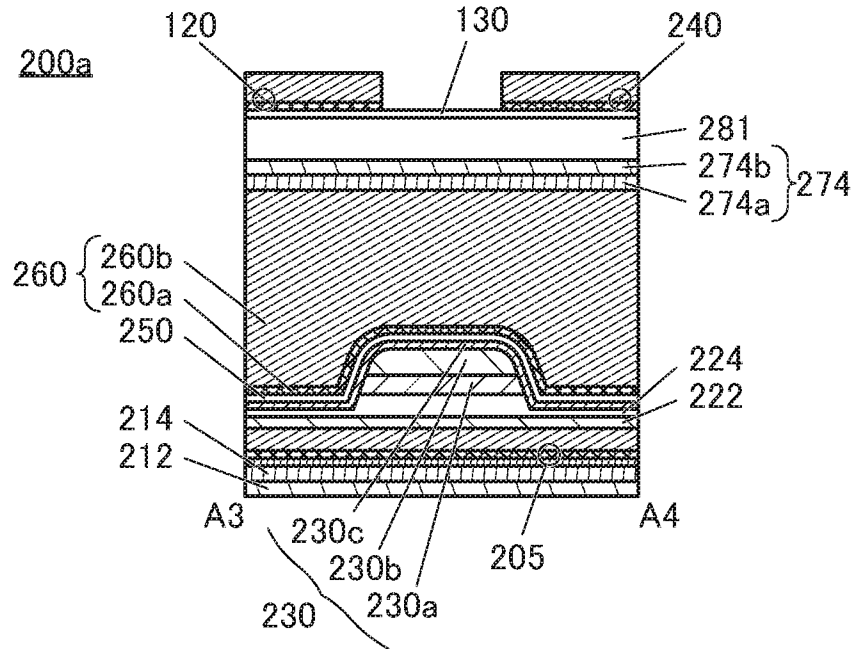
[請求項 7]

請求項 1 乃至請求項 6 のいずれか一項において、
前記酸化物は、インジウムと、元素 M (M はアルミニウム、ガリウム、イットリウム、またはスズ) と、亜鉛と、を有する半導体装置。

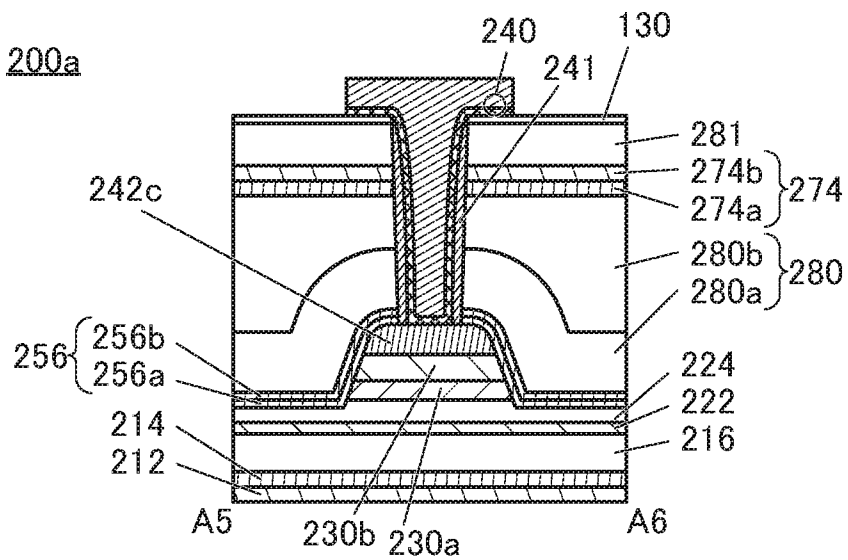
[図2]

2/28

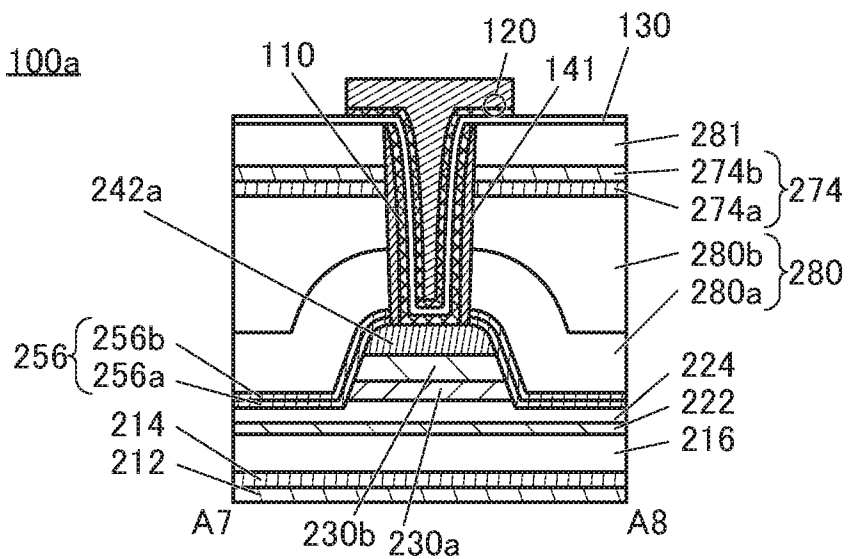
(A) 200a



(B) 200a

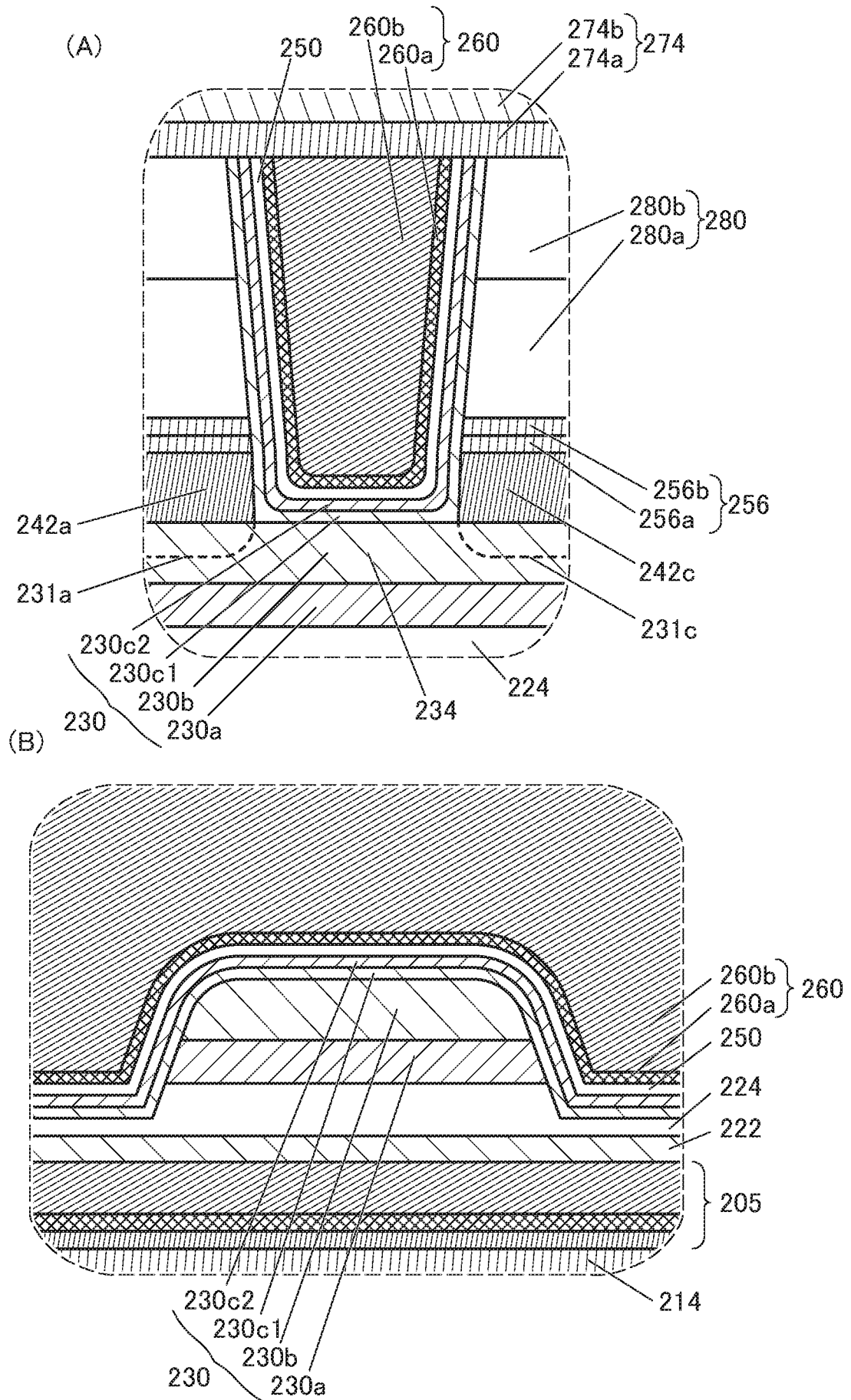


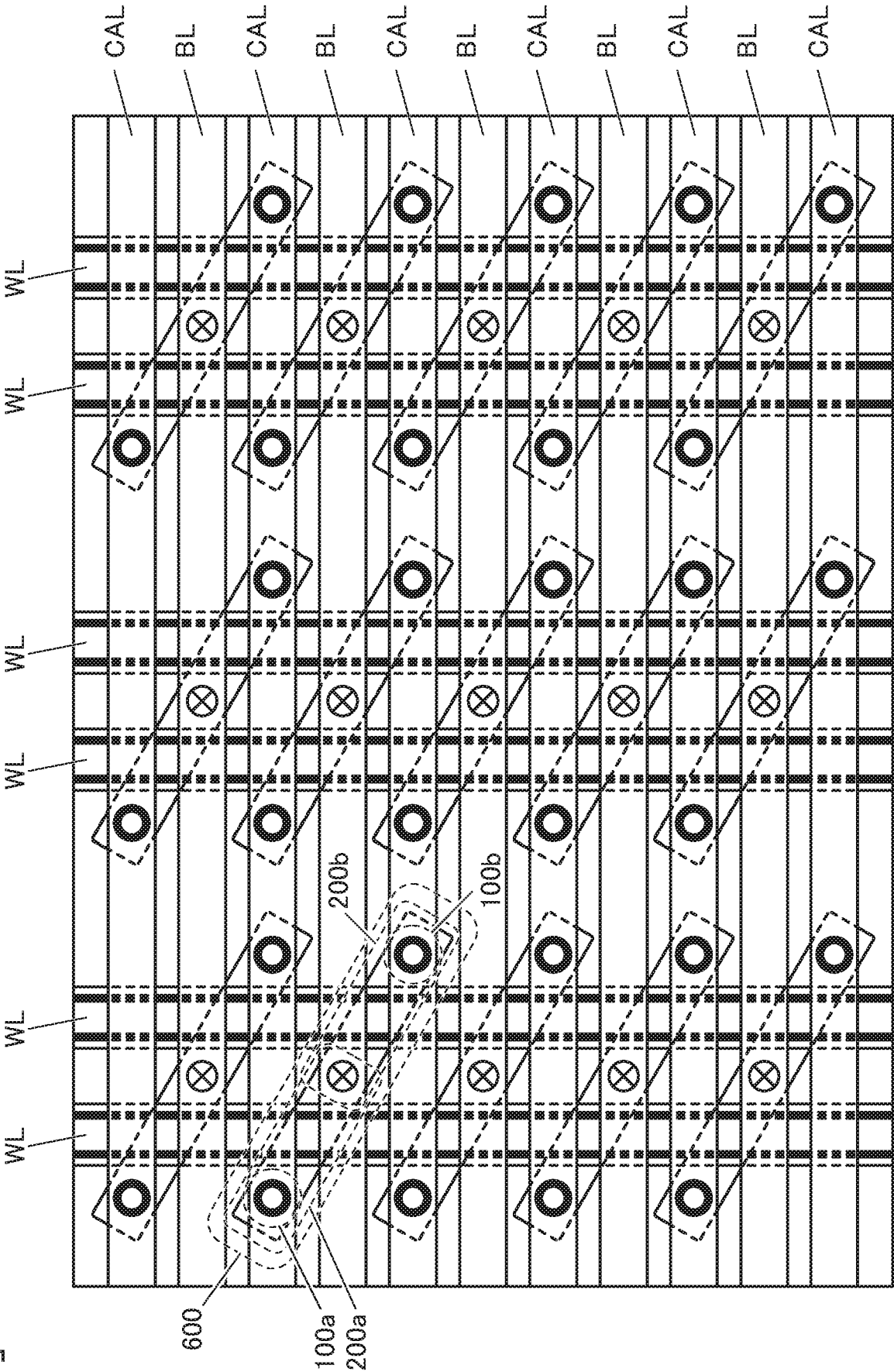
(C) 100a



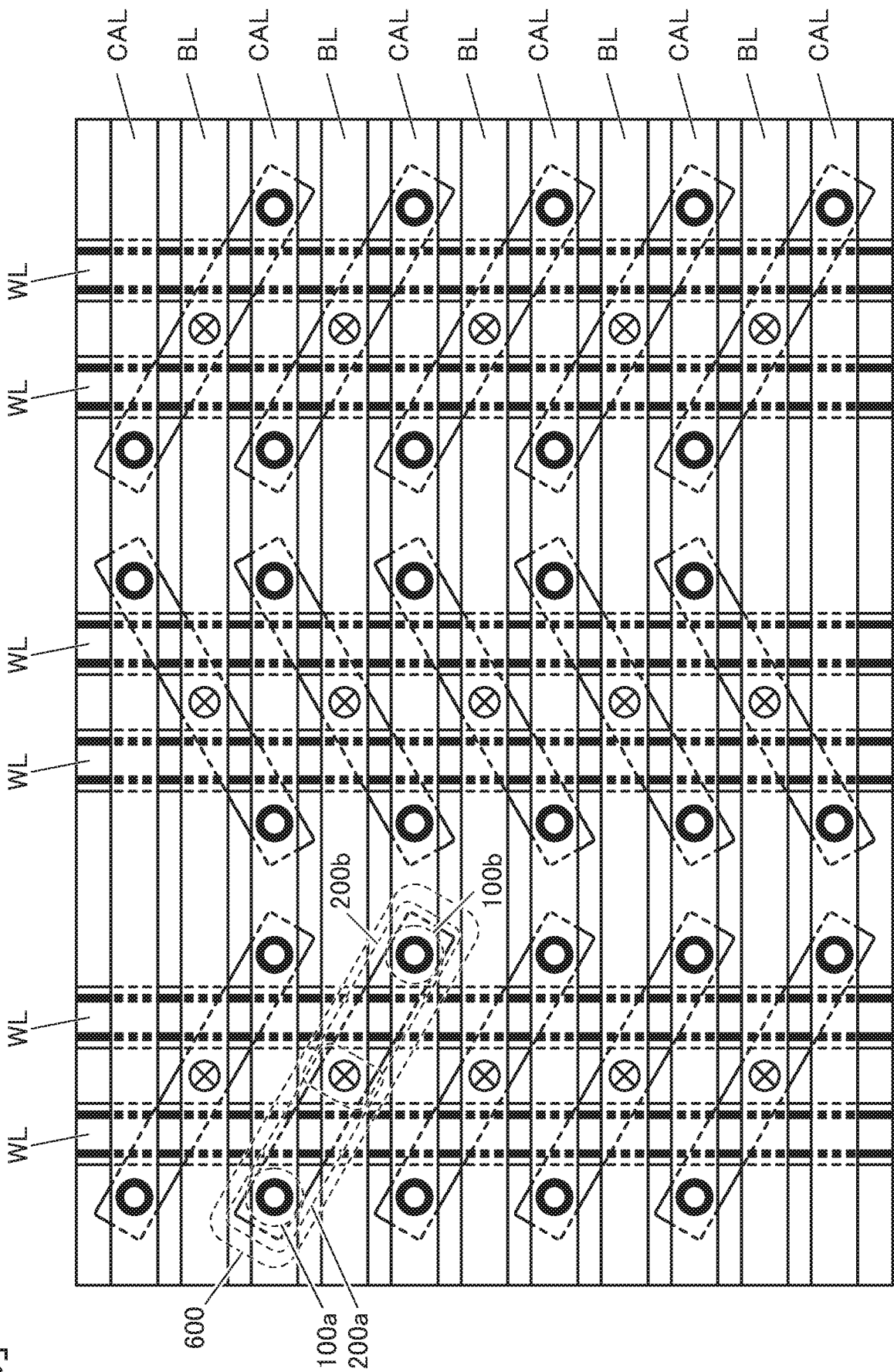
[図3]

3/28



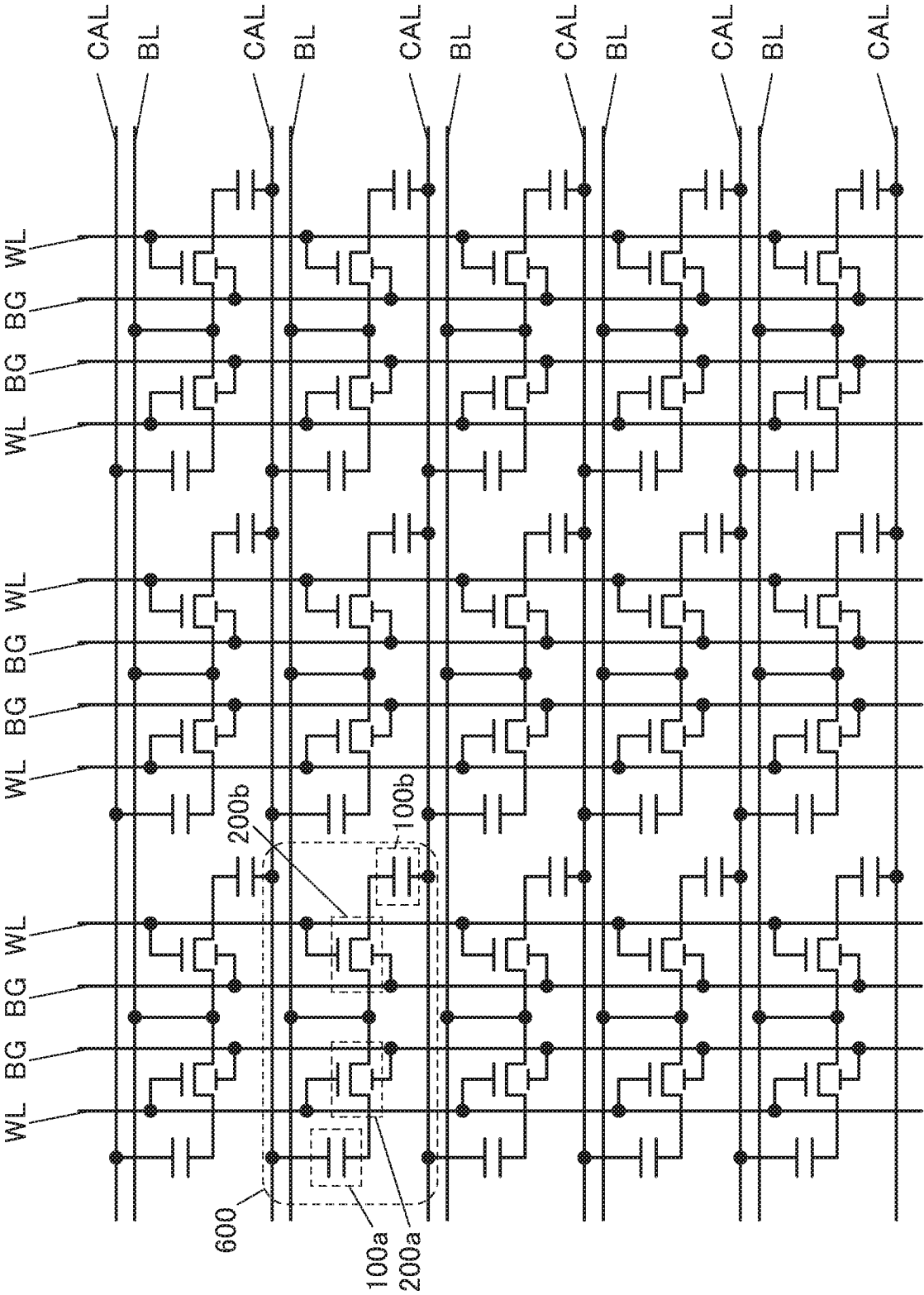


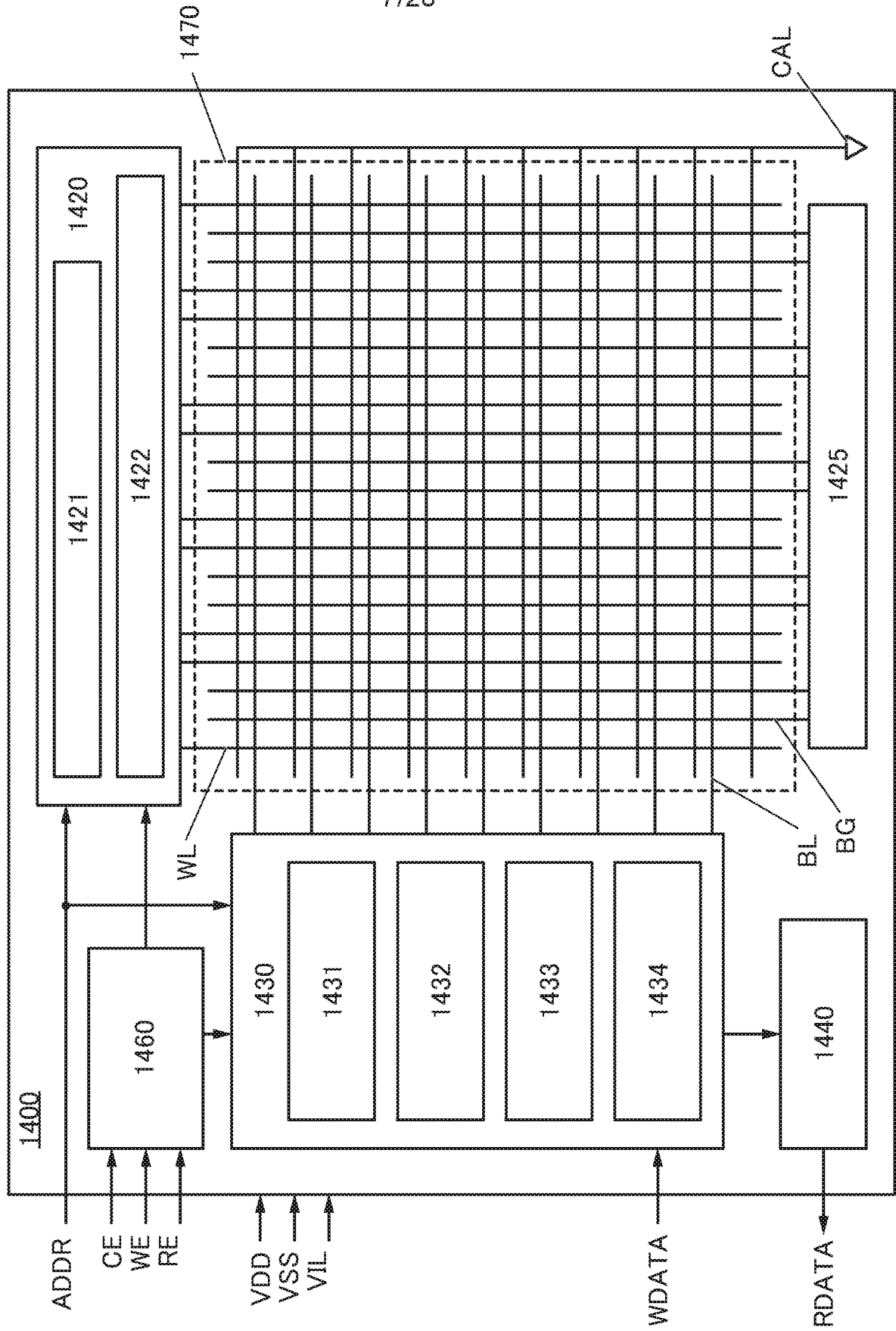
[圖4]



[圖5]

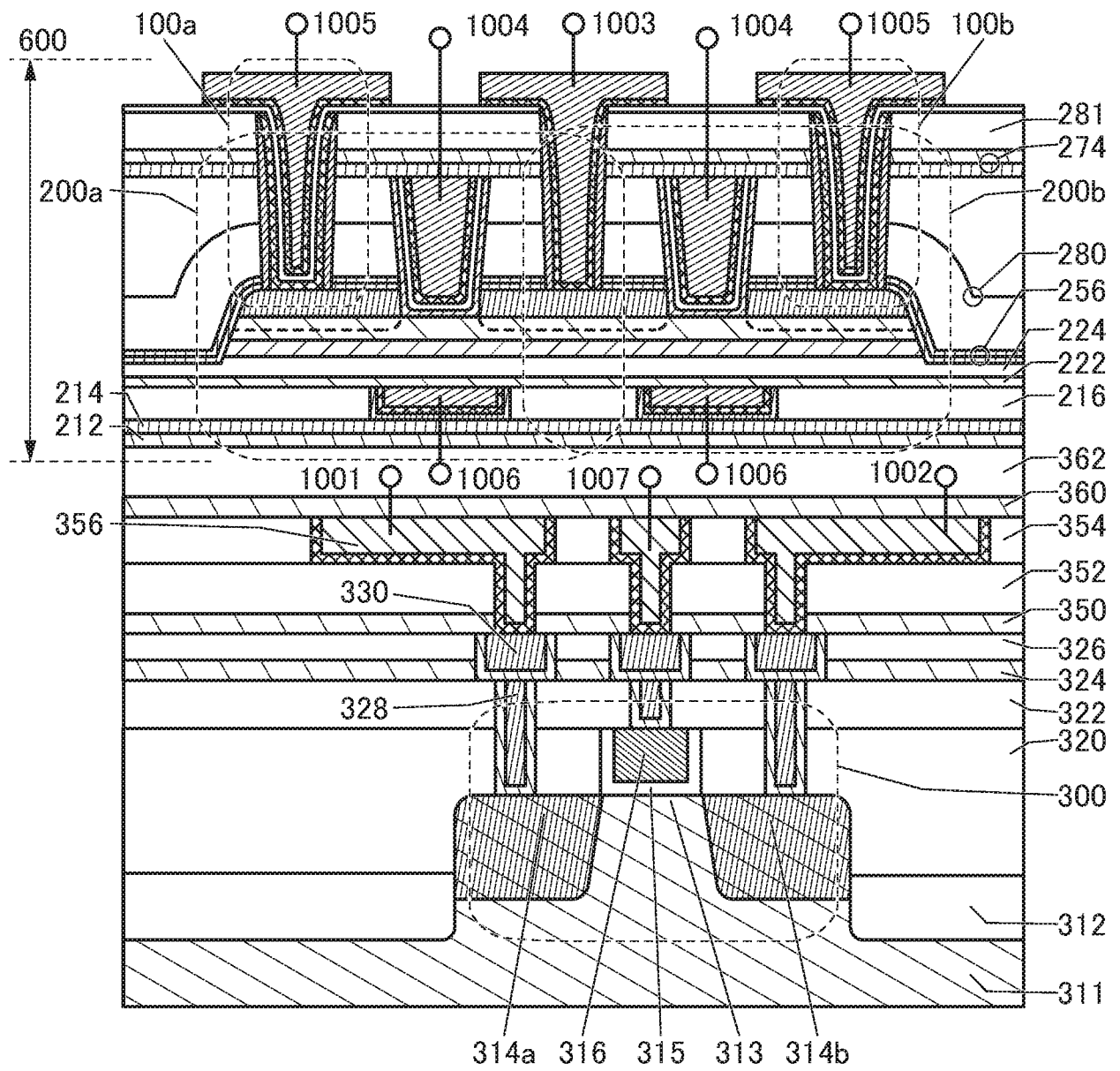
[圖6]





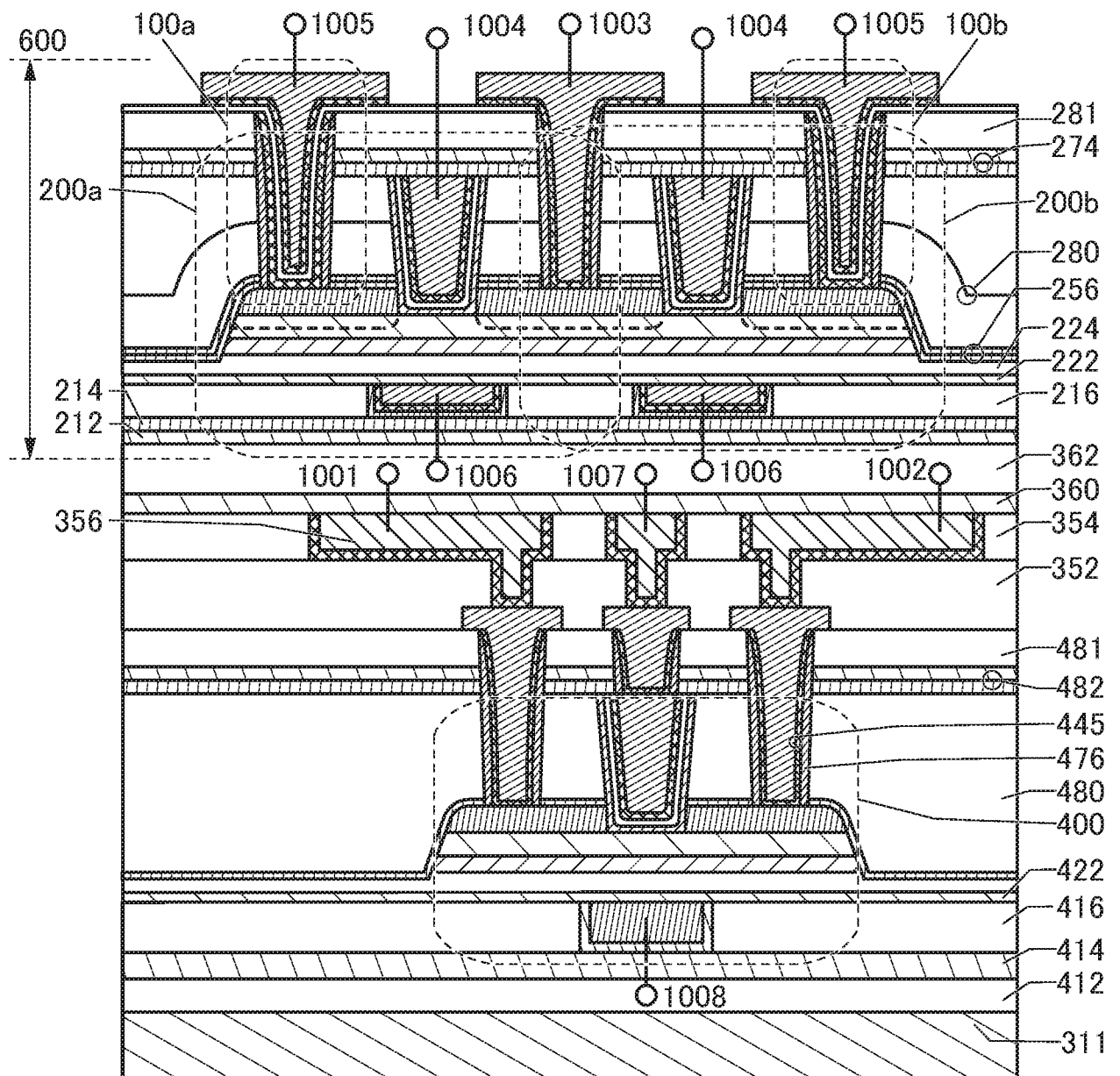
[図8]

8/28



[図9]

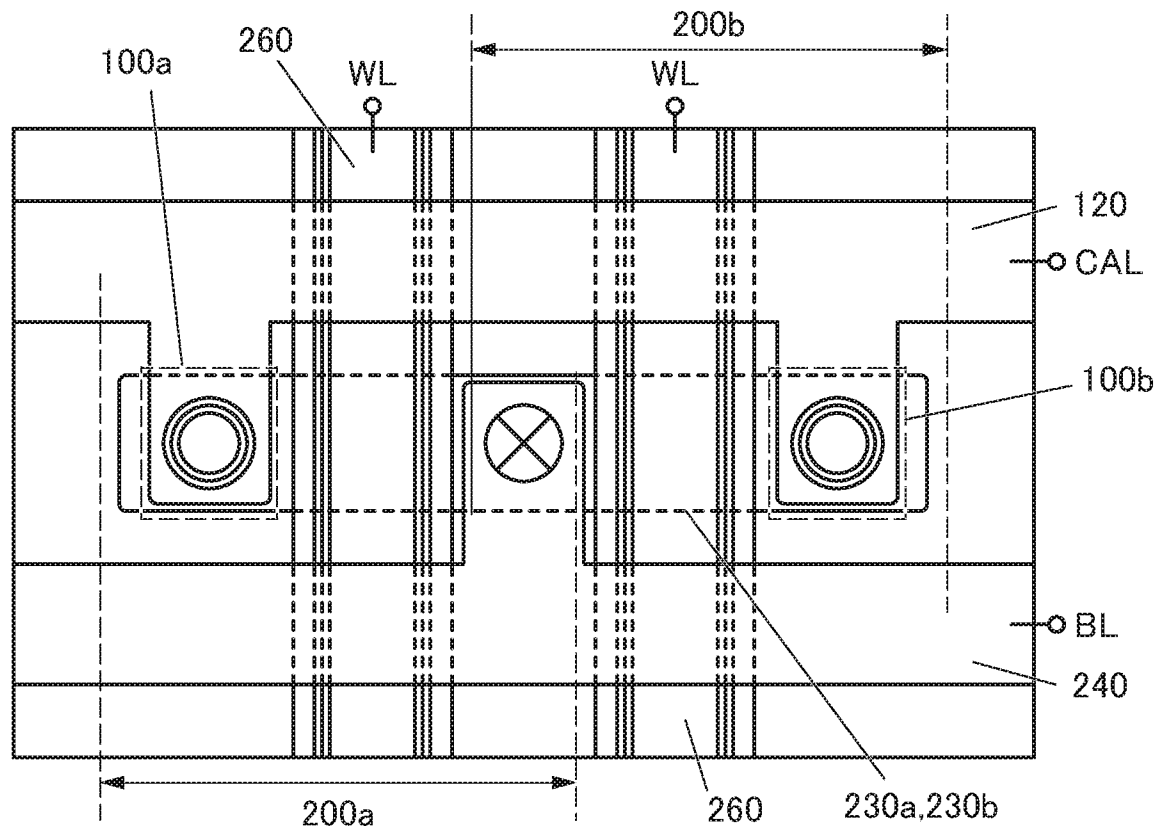
9/28



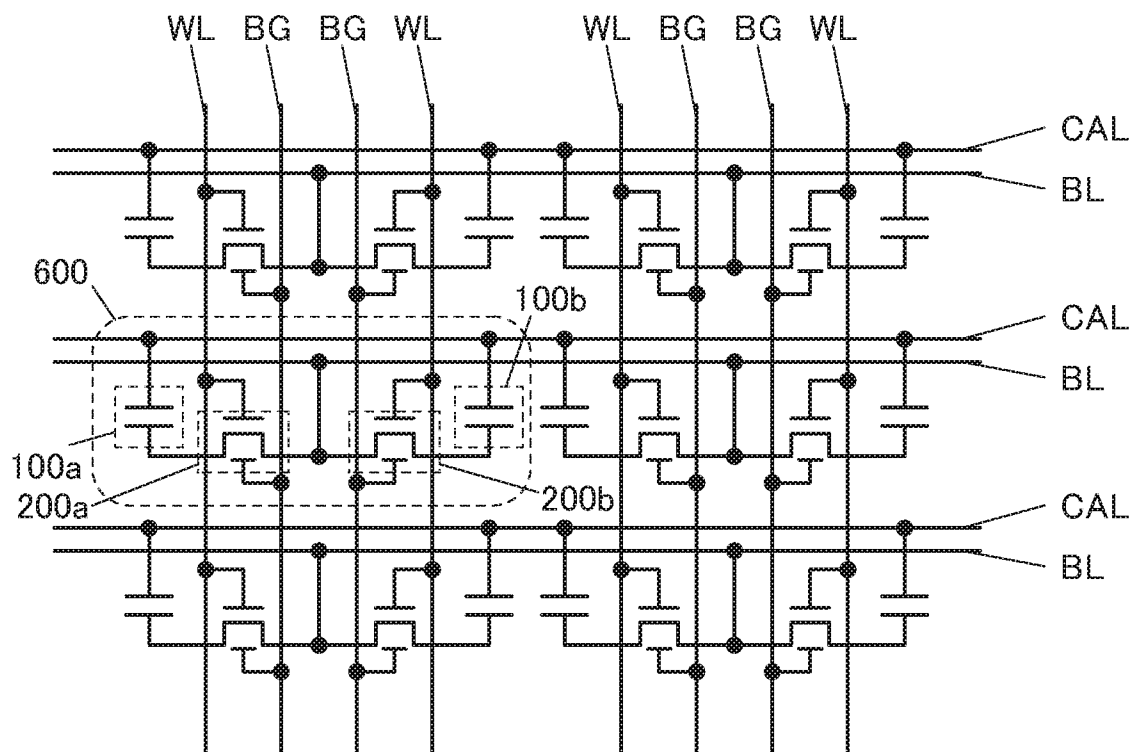
[図 10]

10/28

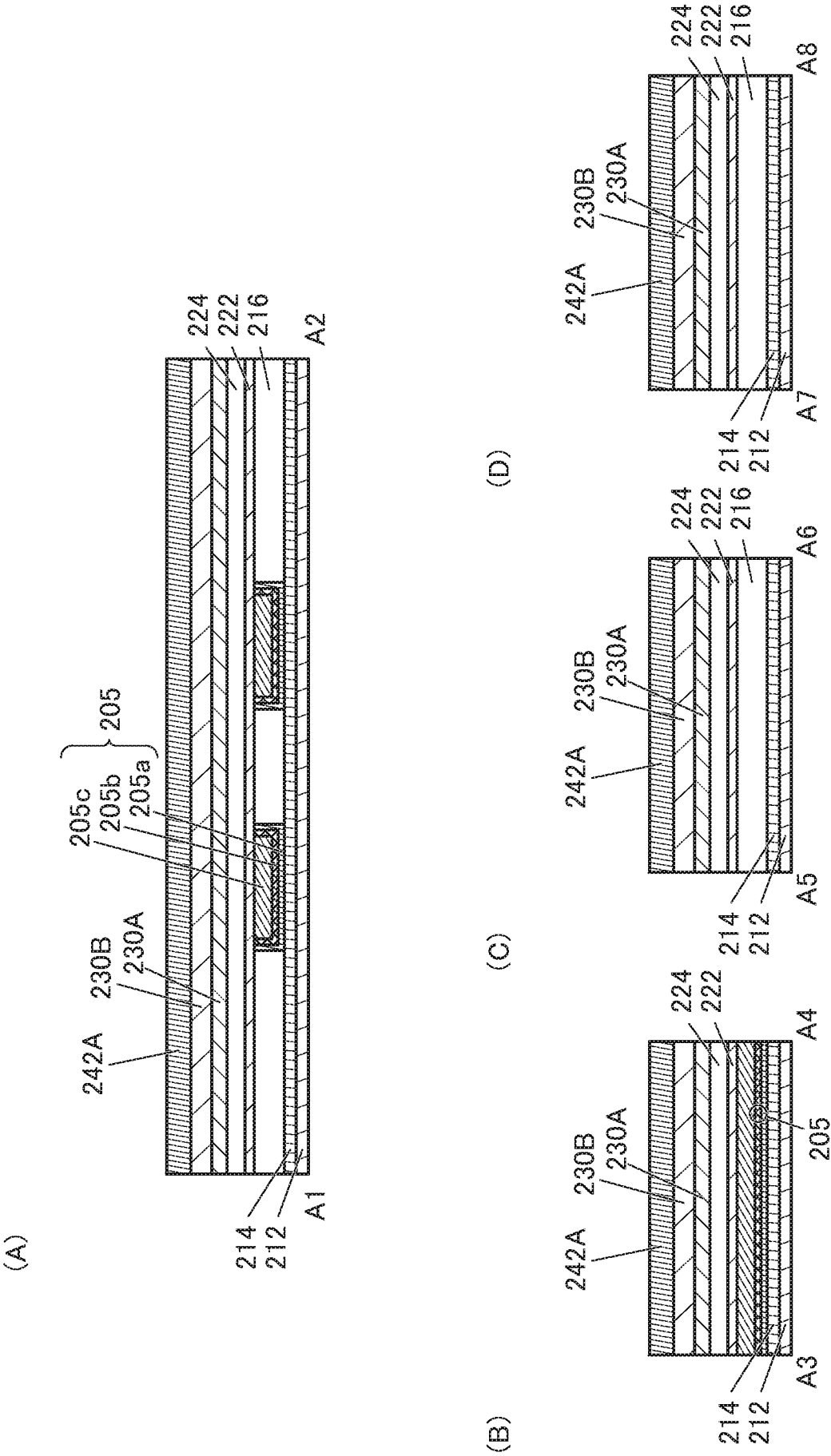
(A)



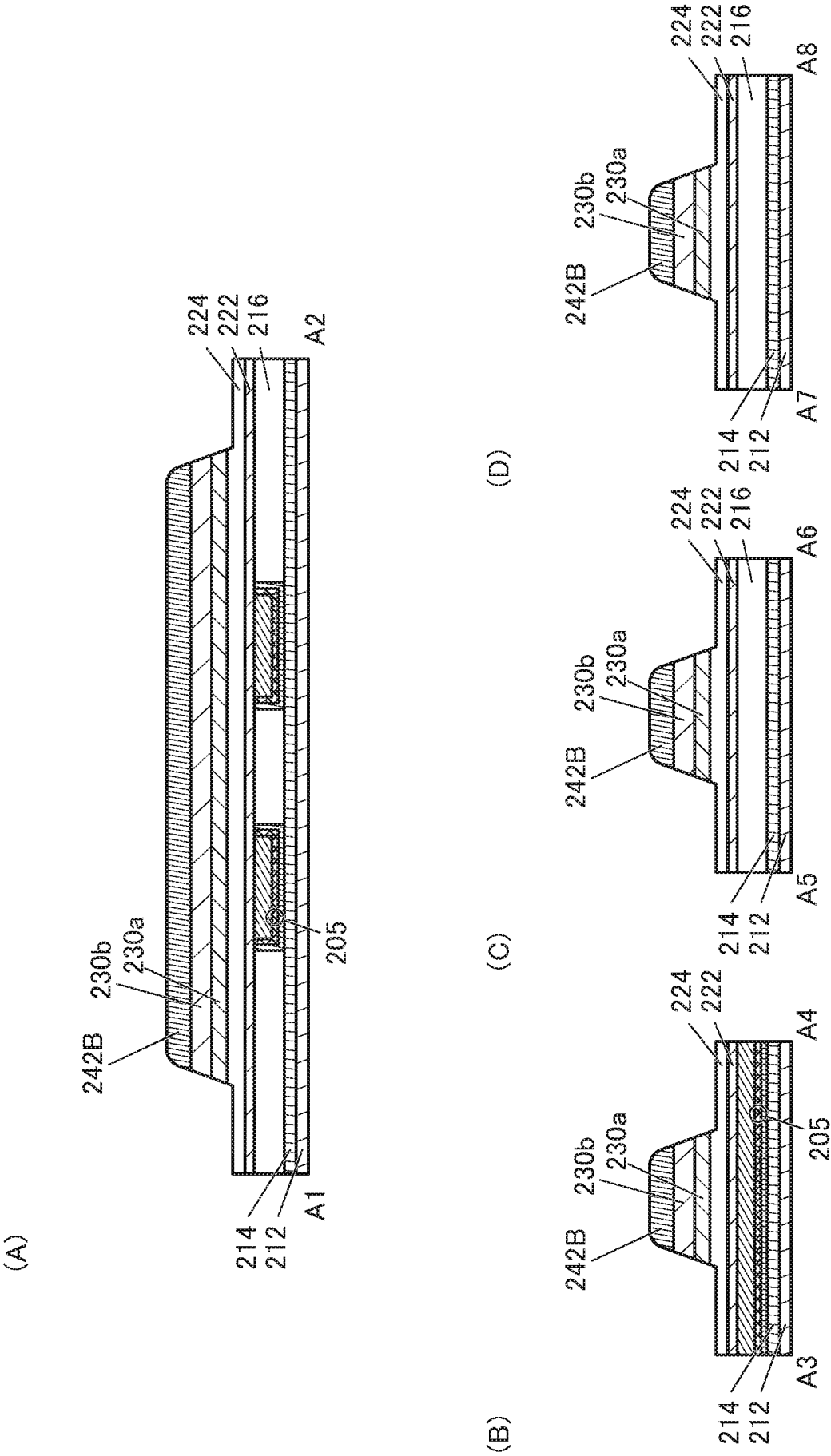
(B)



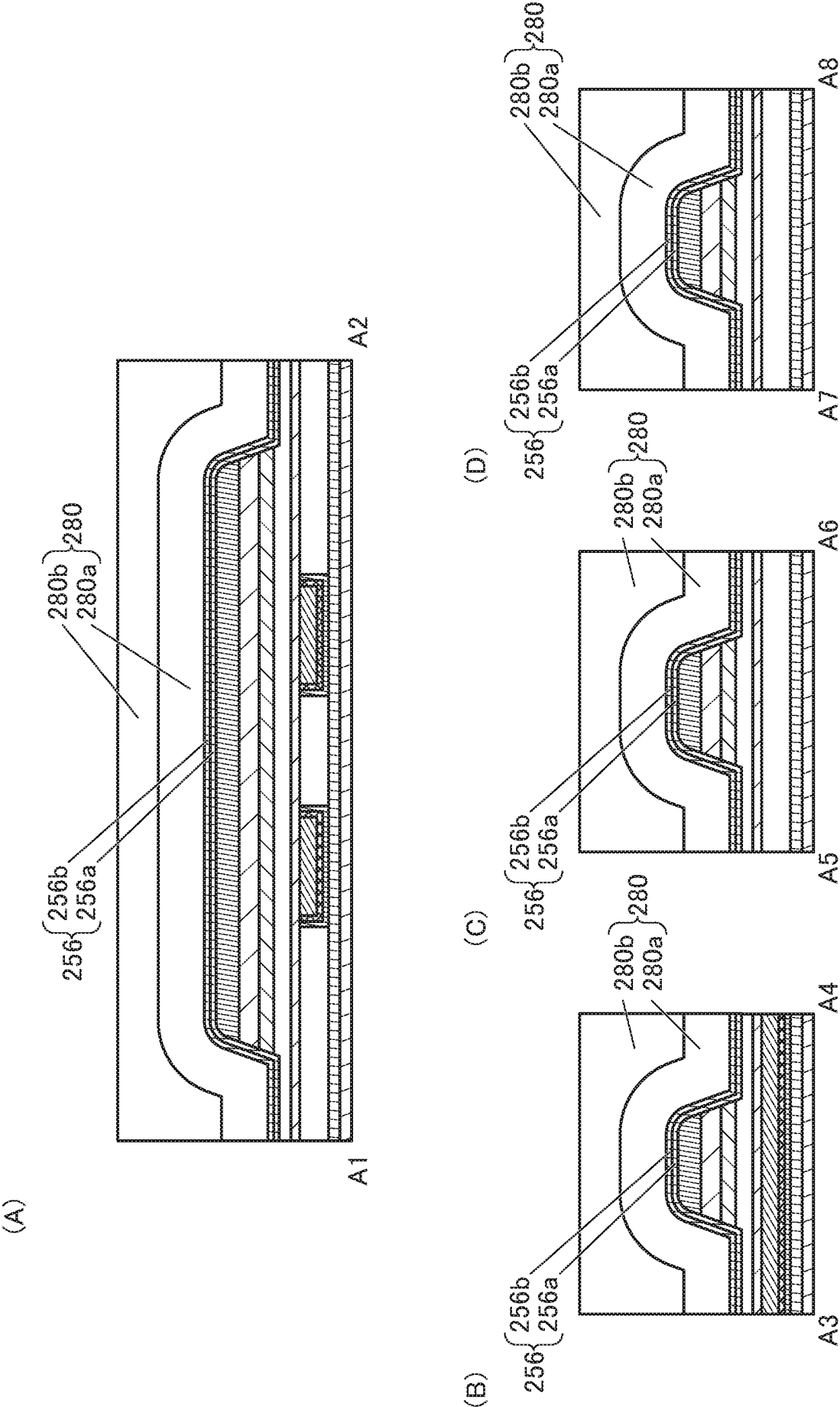
[図11]



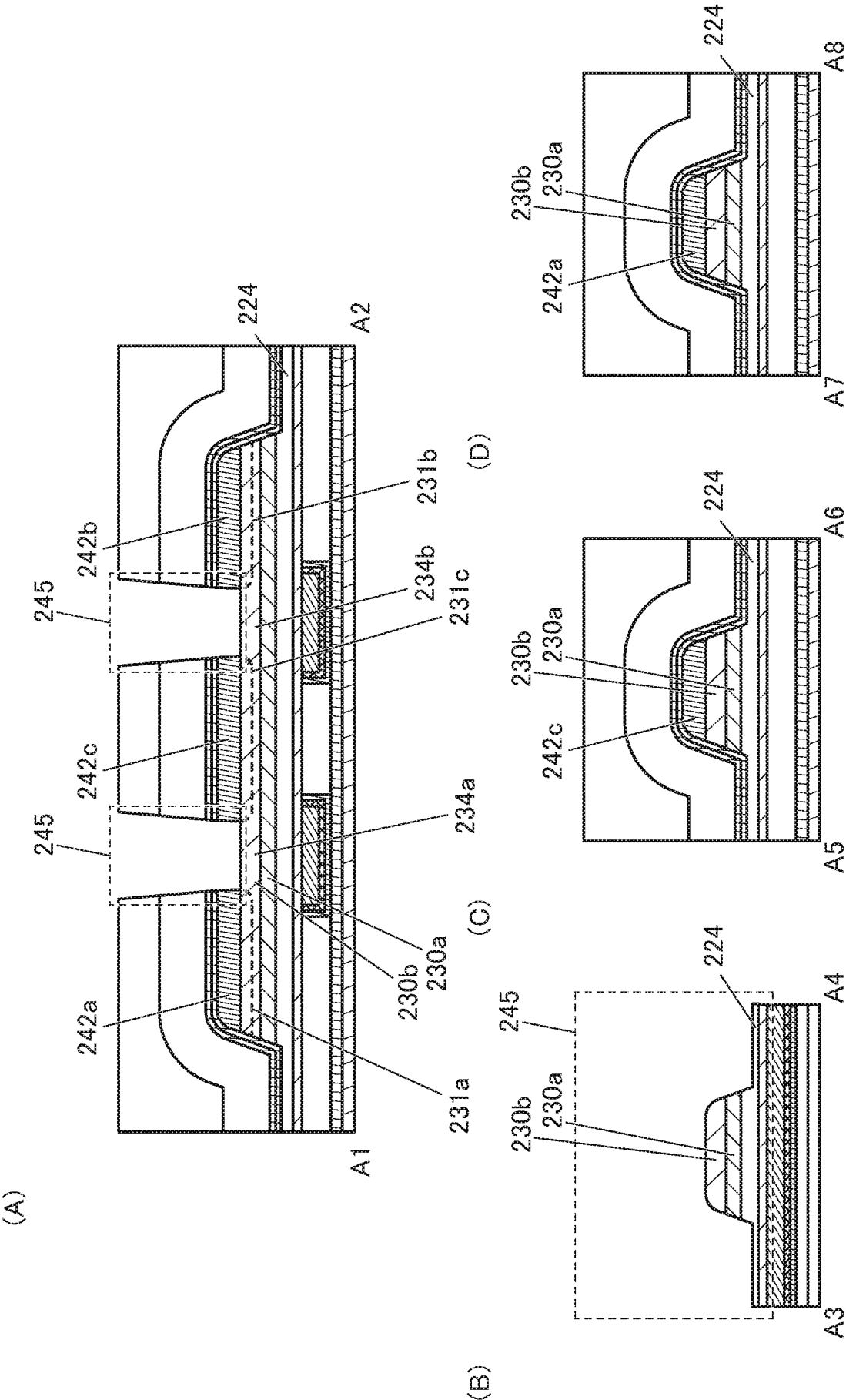
[圖12]



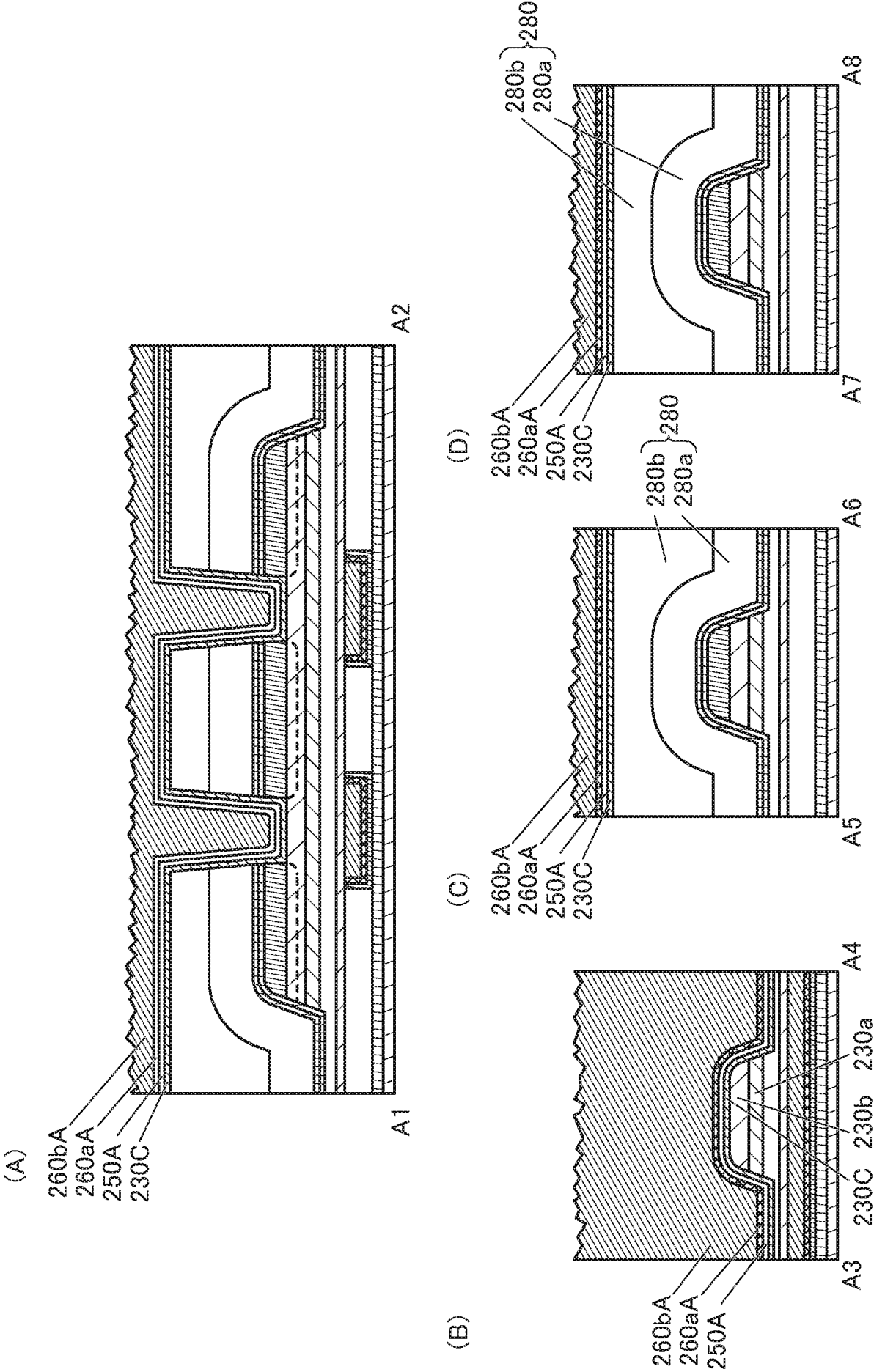
[図13]



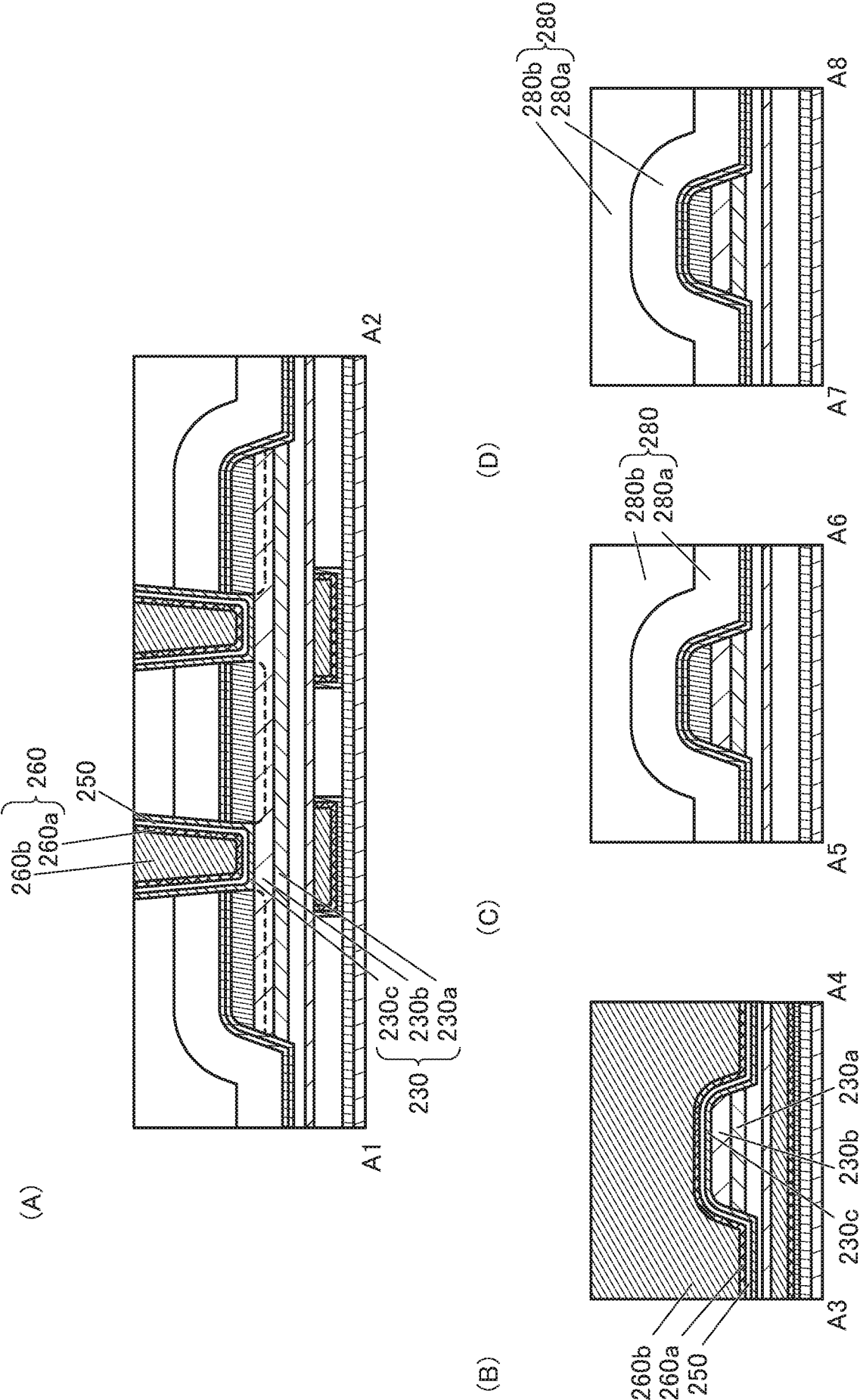
[圖 14]



[圖 15]

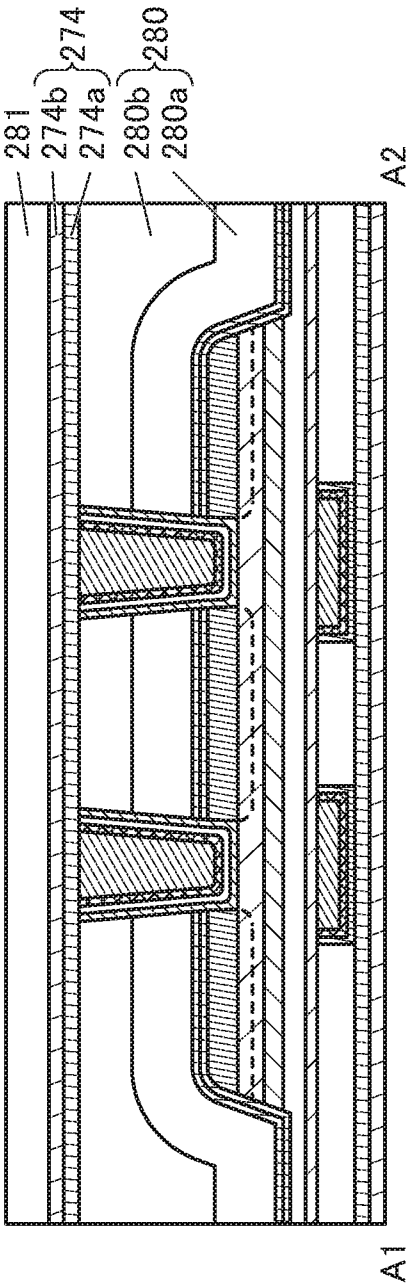


[図16]



[図17]

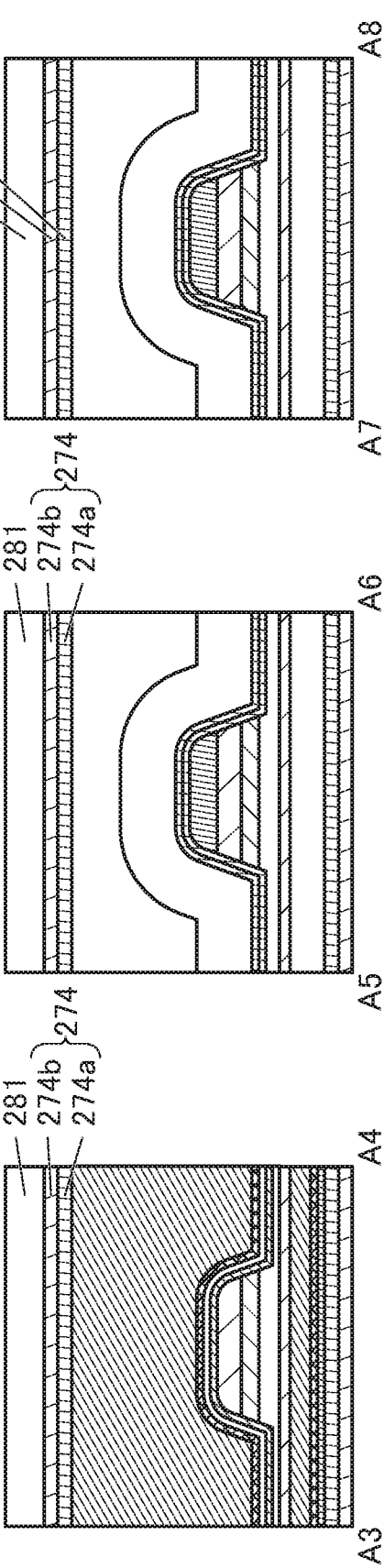
(A)



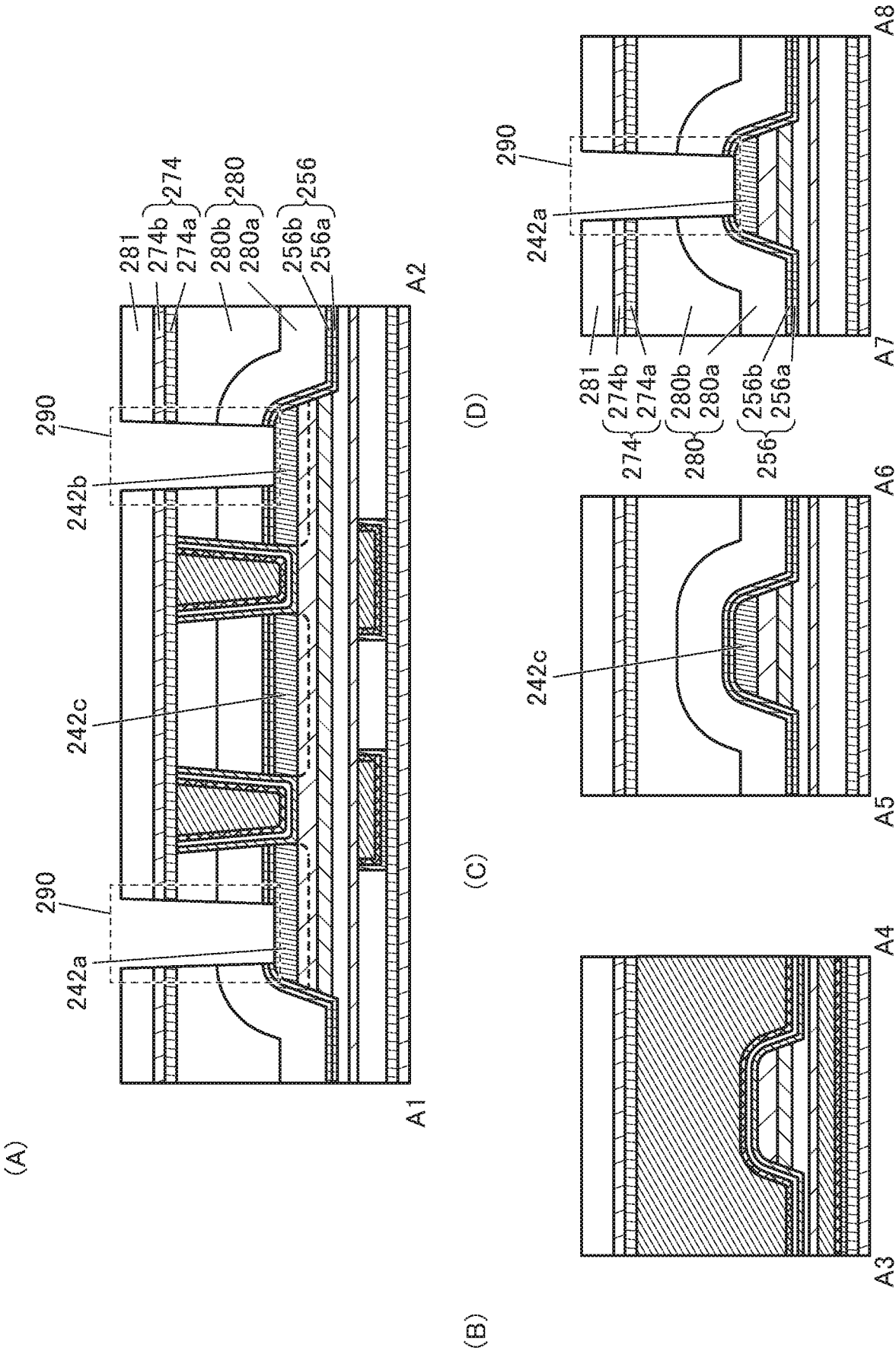
(B)

(C)

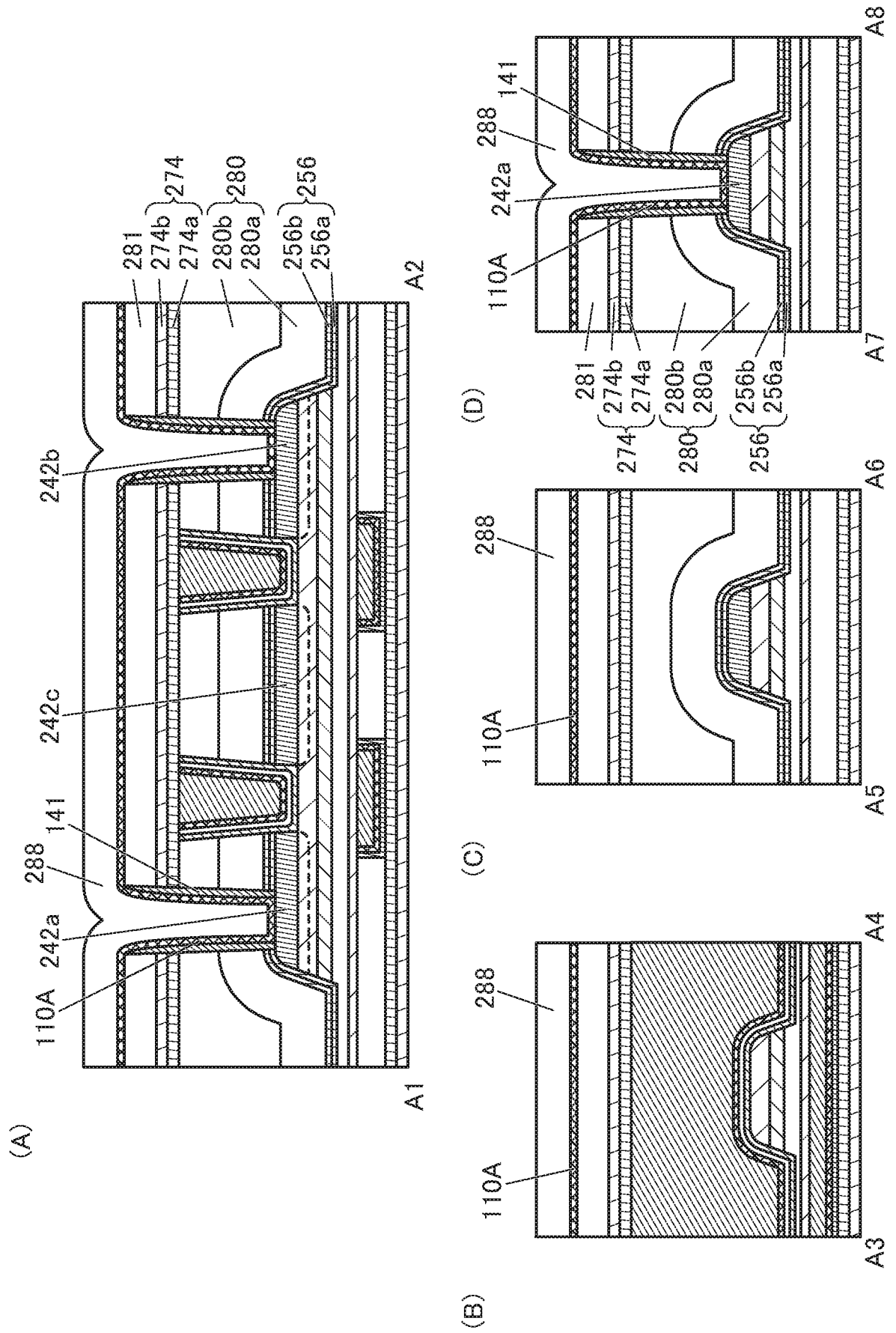
(D)



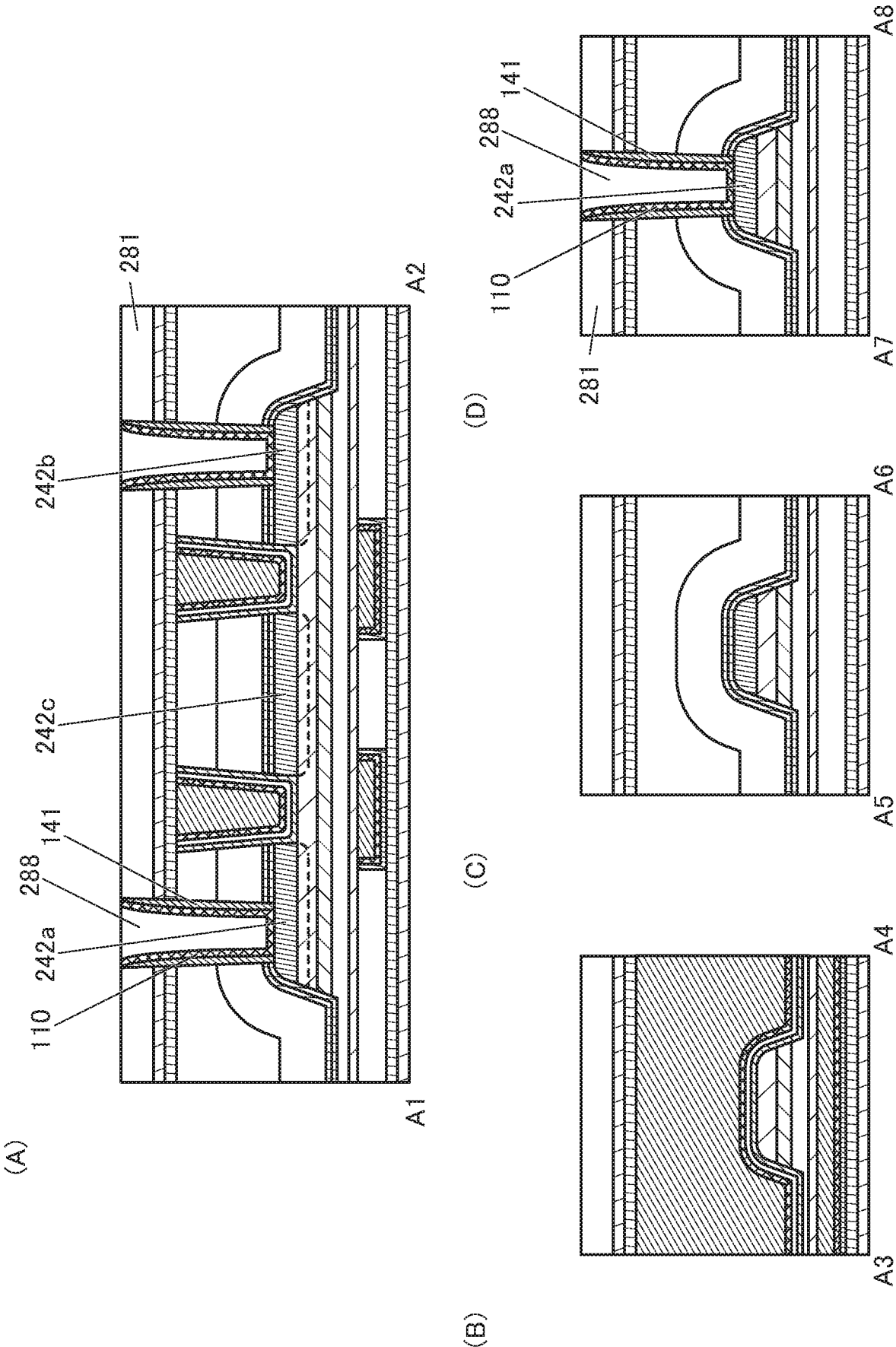
[図18]



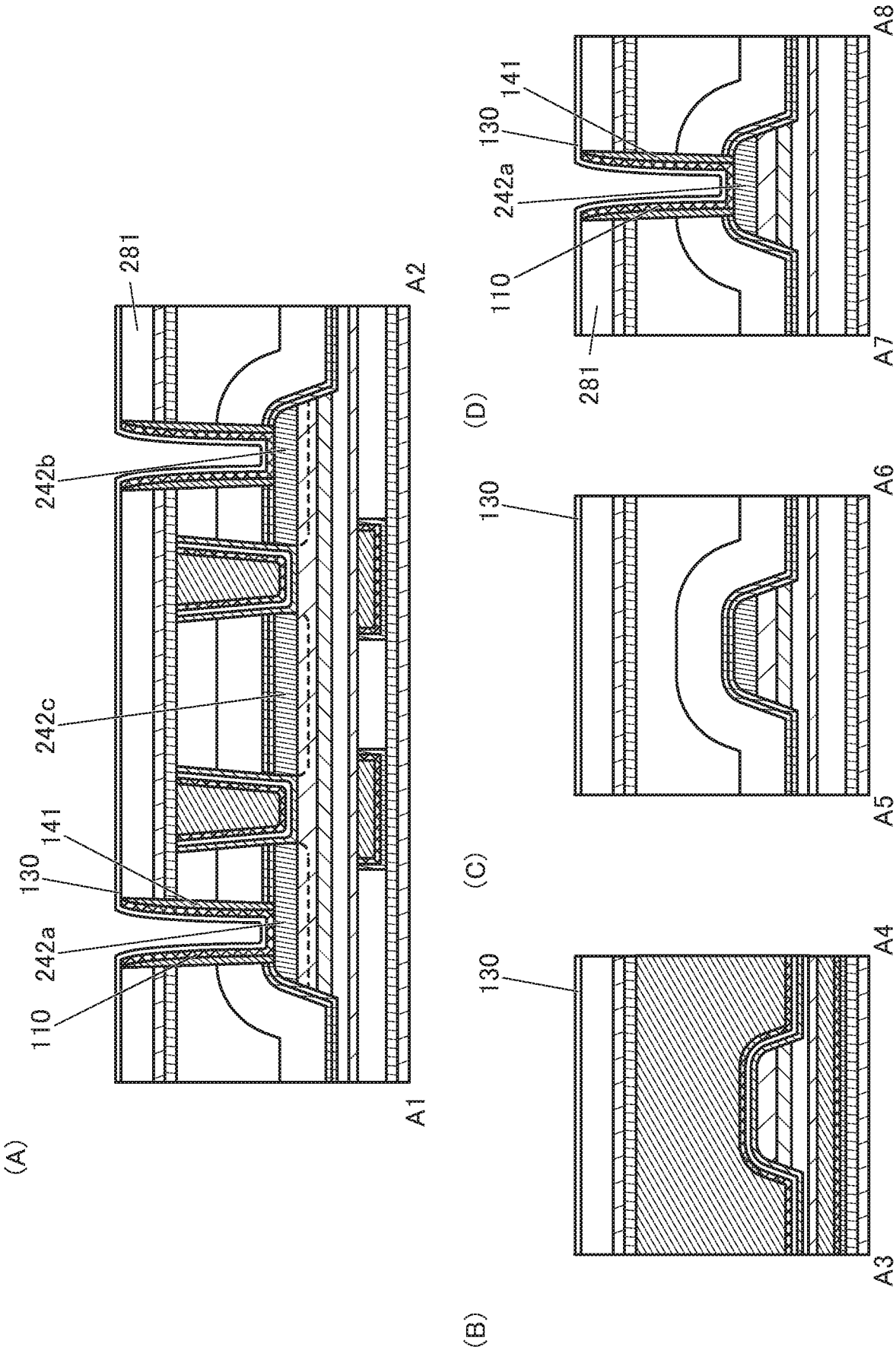
[図19]



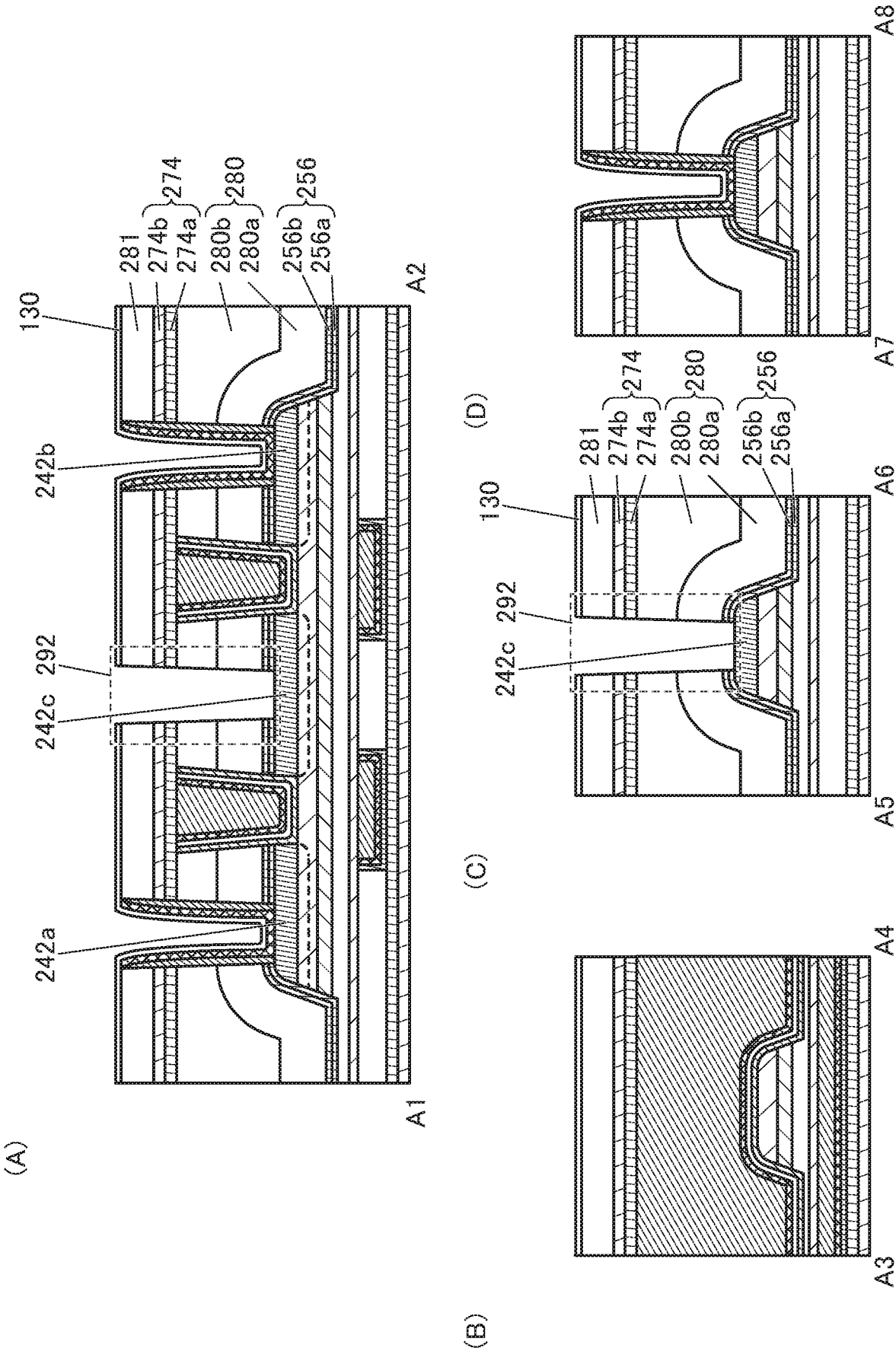
[圖20]



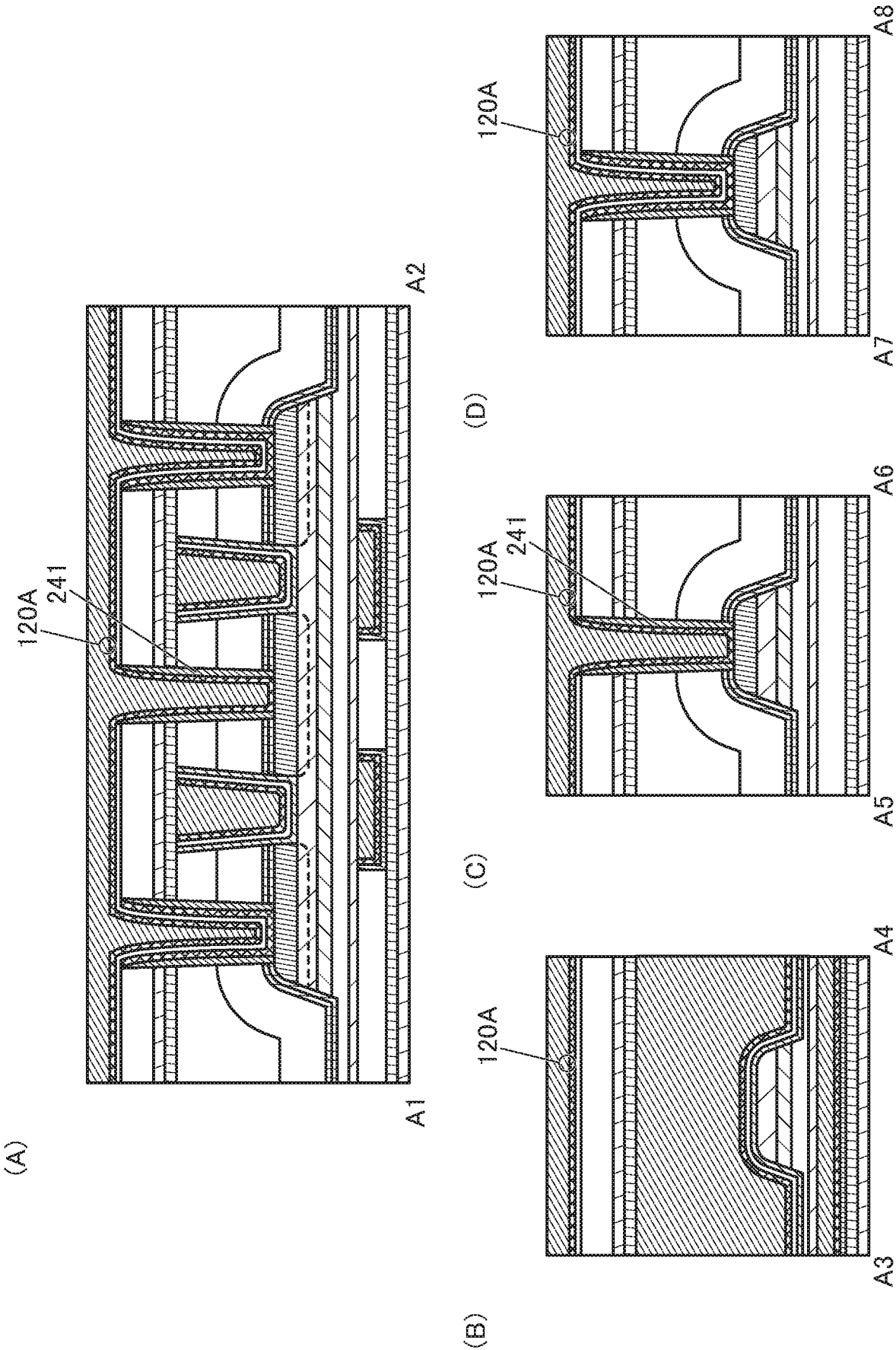
[圖21]



[圖 22]

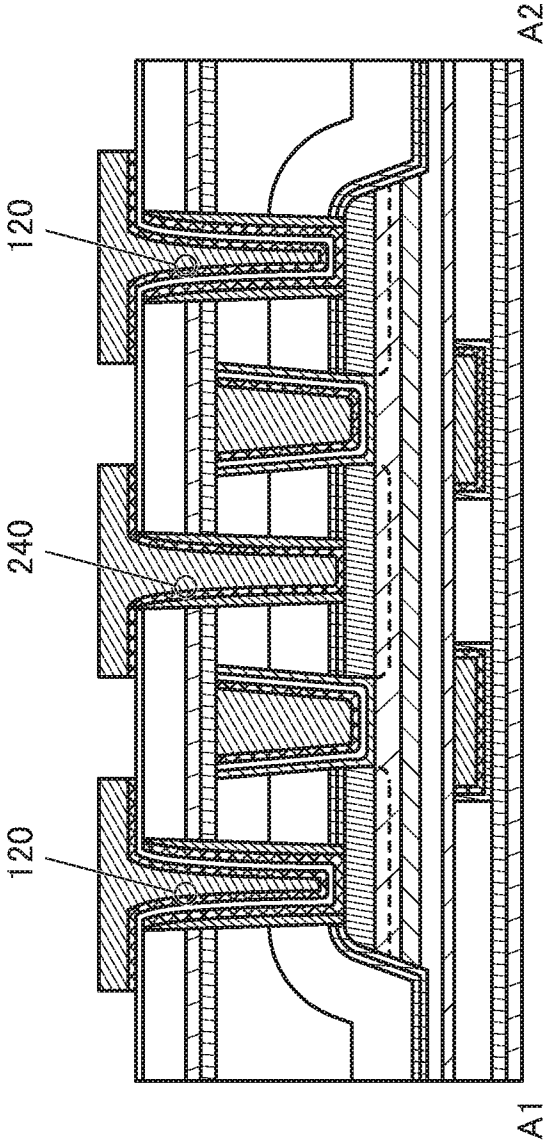


[圖 23]

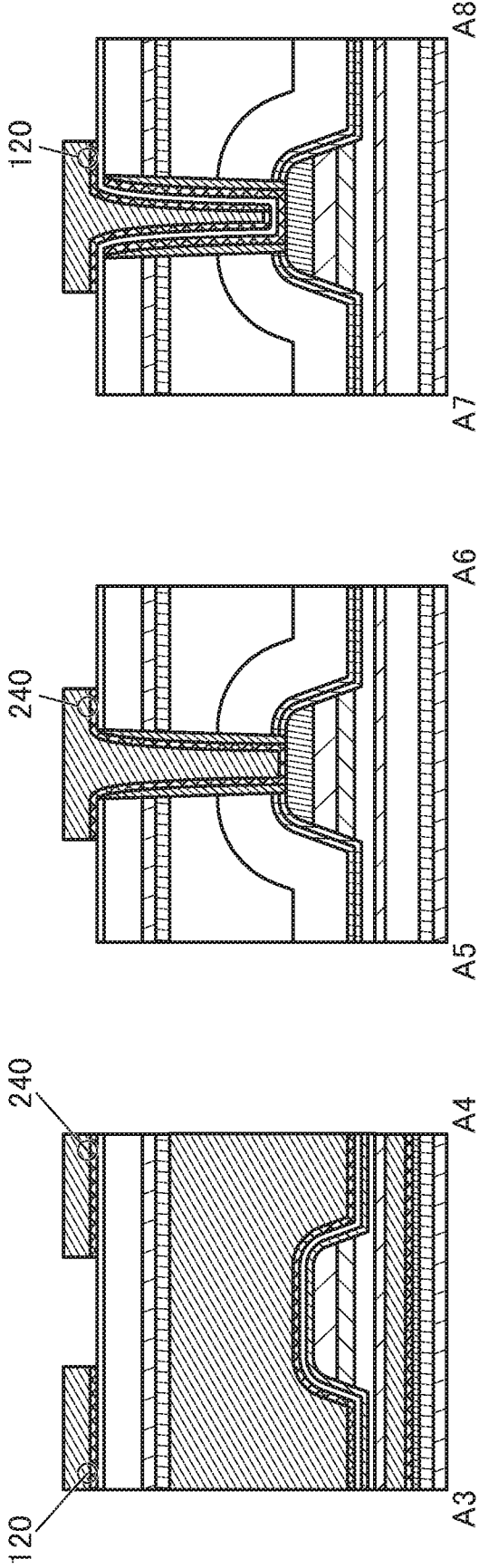


[圖 24]

(A)

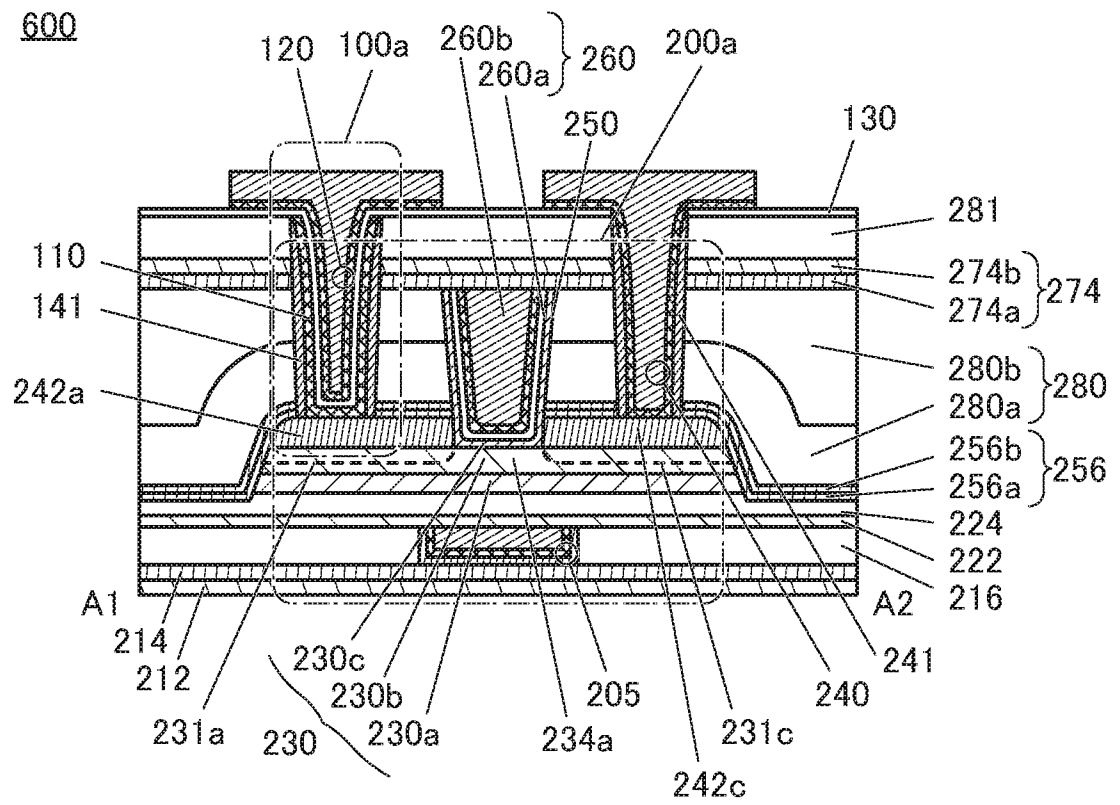


(B)



[図25]

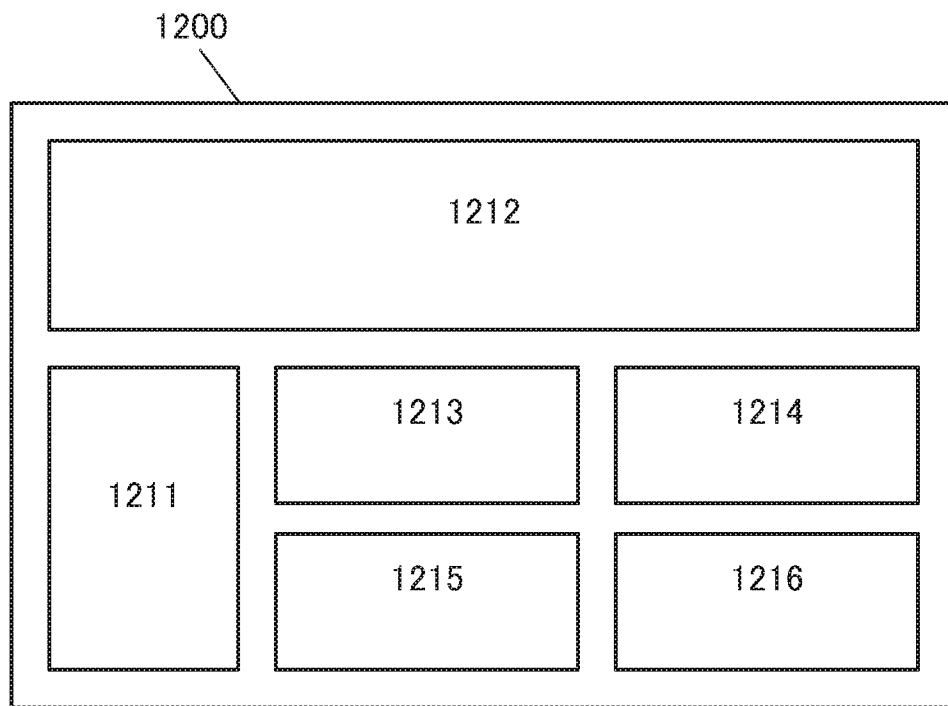
25/28



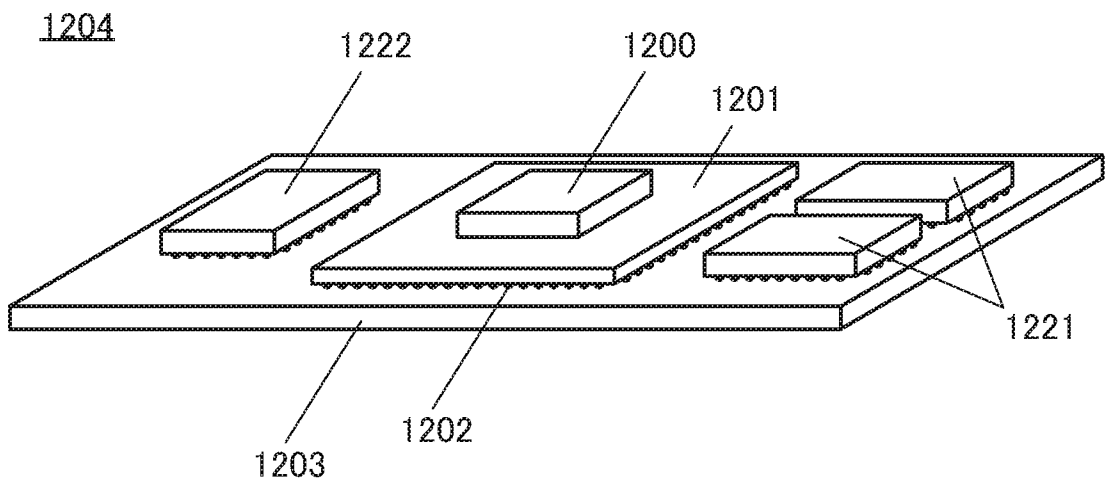
[図26]

26/28

(A)



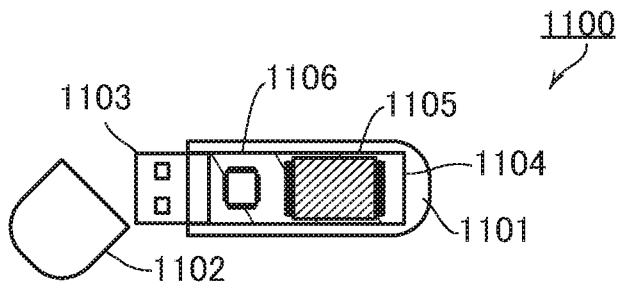
(B)



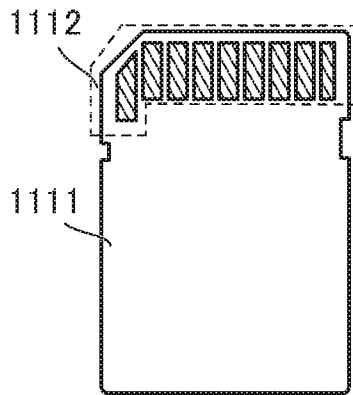
[図27]

27/28

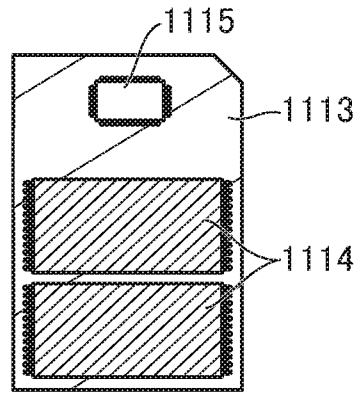
(A)



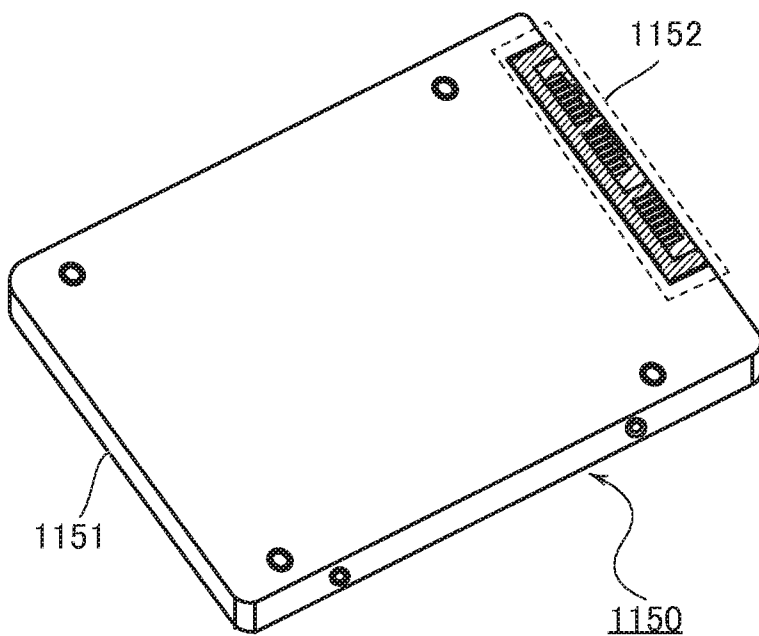
(B)



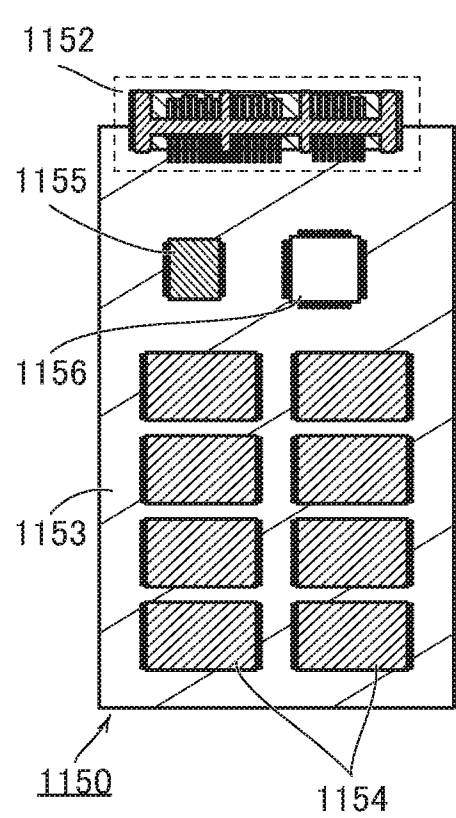
(C)



(D)



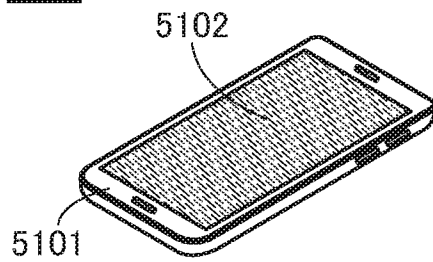
(E)



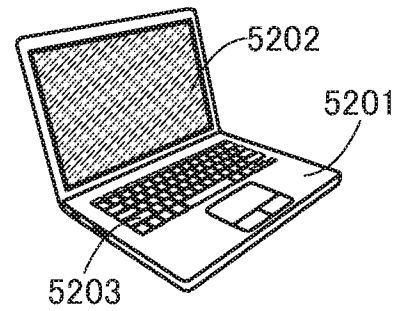
[図28]

28/28

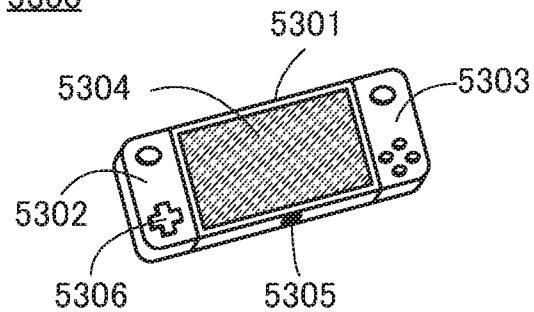
(A)

5100

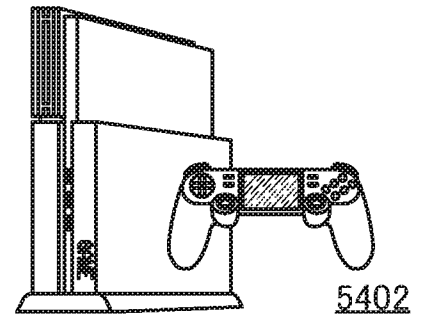
(B)

5200

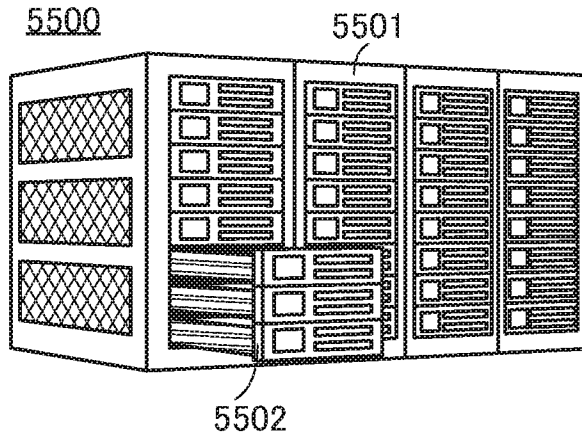
(C)

5300

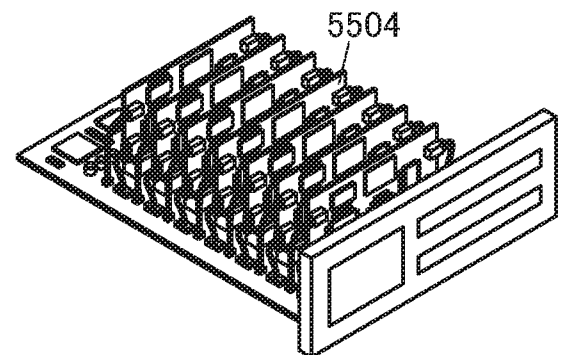
(D)

5400

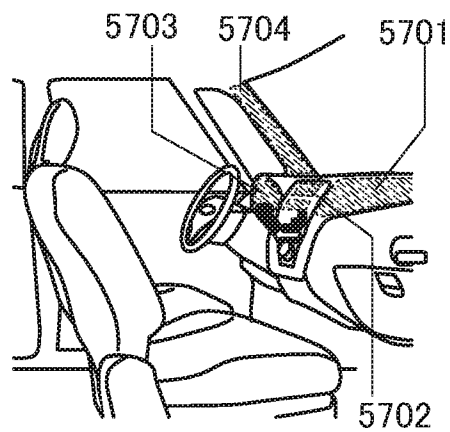
(E)

5500

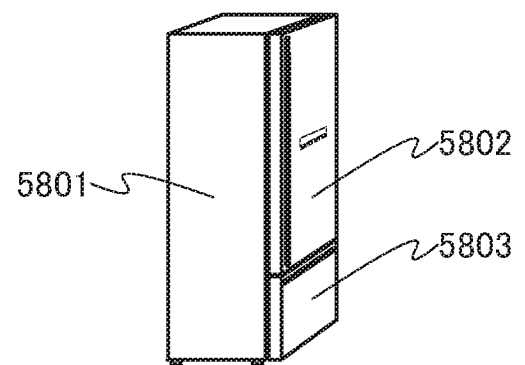
(F)

5502

(G)



(H)

5800

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/055427

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8242 (2006.01) i, H01L21/8239 (2006.01) i,
H01L27/105 (2006.01) i, H01L27/108 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8242, H01L21/8239, H01L27/105, H01L27/108, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-120896 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 July 2017, paragraphs [0049], [0066], [0145]-[0149], [0277]-[0279], [0296], [0297], fig. 4(B), 14 & US 2017/0186875 A1, paragraphs [0095], [0112], [0191]-[0195], [0323]-[0325], [0343], [0344], fig. 4B, 14	1-7
Y	JP 2008-177225 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 31 July 2008, paragraphs [0029]-[0033], fig. 1(b) (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September 2019 (04.09.2019)

Date of mailing of the international search report
17 September 2019 (17.09.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/055427

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-64303 A (HITACHI, LTD.) 07 March 1997, paragraphs [0023]-[0026], fig. 3-6 (Family: none)	1-7
A	JP 2016-213468 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 December 2016, entire text, all drawings & US 2016/0336454 A1, entire text, all drawings & US 2018/0190826 A1	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/8242(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8242, H01L21/8239, H01L27/105, H01L27/108, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-120896 A (株式会社半導体エネルギー研究所) 2017.07.06, 段落[0049], [0066], [0145] - [0149], [0277] - [0279], [0296], [0297], 図4(B), 14 & US 2017/0186875 A1, 段落[0095], [0112], [0191] - [0195], [0323] - [0325], [0343], [0344], 図4B, 14	1-7
Y	JP 2008-177225 A (松下電器産業株式会社) 2008.07.31, 段落[0029] - [0033], 図1(b) (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 博司

5F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-64303 A (株式会社日立製作所) 1997.03.07, 段落[0023] - [0026], 図3 - 6 (ファミリーなし)	1-7
A	JP 2016-213468 A (株式会社半導体エネルギー研究所) 2016.12.15, 全文, 全図 & US 2016/0336454 A1, 全文, 全図 & US 2018/0190826 A1	1-7