

公告本

308661

申請日期	85. 11. 16.
案 號	85114065
類 別	G06F 12/00

A4
C4

308661308661

Int. Cl.⁶

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	使用內容可定址型記憶體之記憶體架構，與使用該架構之系統及方法
	英 文	"A MEMORY ARCHITECTURE USING CONTENT ADDRESSABLE MEMORY, AND SYSTEMS AND METHODS USING THE SAME"
二、發明 創作人	姓 名	G. R. 莫罕瑞
	國 籍	美國
	住、居所	美國德州達拉斯市卡文翰路5723號
三、申請人	姓 名 (名稱)	美商卷藤邏輯公司
	國 籍	美國
	住、居所 (事務所)	美國加州佛烈蒙市西瓦倫路B1-905,3100號
	代 表 人 姓 名	B. J. 歐爾森

裝

訂

線

3088661

308661

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 美 1995.11.16 08/559,379

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明技術領域

本發明概言之係關於記憶體架構且更明確地說係關於一種使用內容可定址型記憶體之記憶體架構與使用該種記憶體架構之系統及方法。

發明背景

一種具有視訊/圖形顯示能力之典型處理系統包含一中央處理單元(CPU)，一藉由一CPU本地匯流排(直接及/或經由核心邏輯)耦接至CPU之顯示控制器，一經由核心邏輯耦接至CPU本地匯流排之系統記憶體，一經由週邊本地匯流排(例如PCI匯流排)耦接至顯示控制器之框緩衝器記憶體，週邊電路(例如時脈驅動器與信號轉換器，顯示驅動器電路)，與一顯示單元。

CPU是系統主腦且通常連同作業系統軟體來提供總體系統控制。尤其，CPU與系統記憶體進行通訊，保存用以執行程式所必需之指令與資料，通常經由核心邏輯，一般而言，核心邏輯是2至7晶片，其中一或更多晶片是"位址與系統控制器頻繁型"而一或更多其他晶片是"資料路徑頻繁型"。CPU也控制顯示控制器要顯示在顯示單元之圖形影像之內容，以回應使用者指令與程式指令。

顯示控制器通常界接CPU與顯示驅動器電路，在顯示資料更新與螢幕復新運作期間管理框緩衝器與CPU與顯示之間之圖形及/或視訊資料的互換，控制框緩衝記憶體運作，並對目標圖形或視訊資料執行額外之基本處理，而顯示控制器可為例如視訊圖形架構(VGA)控制器。例如，顯示

五、發明說明(2)

控制器也可包含用以執行基本運作之能力，而該等基本運作可為例如畫線與構成多邊形。顯示控制器主要是做為CPU之從屬裝置。

一般而言，改善對於任何系統記憶體資源之存取時間皆可提高系統效能。例如，降低CPU/核心邏輯自系統記憶體存取給定資料所需之時間將允許在一給定時段以內存取更多資料。此外，較快之記憶體存取將提供CPU及/或核心邏輯可執行其他重要工作之額外時間。一存取時間改善可大為改善系統效能之特定範例是在自系統記憶體擷取資料以供儲存於快取記憶體期間。

大多數之PC系統包含一或二層次之資料快取記憶體以供改善CPU對於資料之存取時間。"L1"快取記憶體通常與CPU晶片整合在一起且具有8至16千位元組之快速靜態隨機存取記憶體(SRAM)。"L2"快取記憶體(當獲得提供時)通常位於晶片以外(經由CPU本地匯流排耦接至CPU與核心邏輯)而且一般具有256至512千位元組之快速SRAM。快取記憶體之SRAMs具有遠快於系統記憶體之DRAMs之循環時間(例如SRAM快取記憶體之隨機存取是7至10毫微秒，而系統記憶體DRAM之隨機存取是110至130毫微秒且頁存取是40毫微秒)。因此依照CPU資料需求之預期自系統記憶體讀取資料塊區並寫入該等資料塊區於快取記憶體。此種"強化"一般是由作業系統根據一些因數之一函數來實施而該等因數可為例如CPU在一運作序列中所需之資料的空間及/或時間區域性。如果CPU需要資料以執行一給定運作，且

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

該資料已為儲存於快取記憶體之塊區之一部份(亦即"快取記憶體命中"出現),則該資料之存取遠快於自系統記憶體來存取。藉由選擇系統記憶體與快取記憶體之延遲與密度比率成為10至1之數量級,且決定於作業系統對於系統記憶體之分隔,對於快取記憶體之讀取的快取記憶體命中率可超過95%。

因此,出現對於存取記憶體之改良式方法與硬體之需求。此種方法與硬體特別適用於建構統一之系統記憶體-框緩衝器系統與用以實現在更傳統系統之系統記憶體-框緩衝器資料轉移。

此外,因為系統記憶體顆粒性,頻寬,密度需求與系統時脈速率增加,所以出現改善快取記憶體效率與快取記憶體運作之需求,尤其,出現對於用以在快取化運作期間轉移資料自系統記憶體至快取記憶體之電路與方法的需求。

發明摘要

根據本發明之原理之一實例,本案提供一種記憶體而該種記憶體包含一可定址型記憶體細胞之陣列。該種記憶體也包含一內容可定址型記憶體細胞以比較一接收之選擇位元與一儲存之選擇位元並致能對於受到定址之記憶體細胞的存取做為回應。

根據本發明之第二實例,本案提供一記憶體次系統,而該記憶體次系統包含記憶體細胞之第一與第二陣列,用以選擇性存取第一陣列之該等細胞之一些細胞的第一定址電路,與用以選擇性存取第二陣列之該等細胞之一些細胞的

五、發明說明(4)

第二定址電路。至少一第一內容可定址型記憶體細胞是用以儲存相關於第一記憶體細胞陣列之一第一庫選擇位元，而第一內容可定址型記憶體細胞比較儲存之第一庫選擇位元與一接收之庫選擇位元且如果該二者匹配則致能第一定址電路。至少一第二內容可定址型記憶體細胞是用以儲存相關於第二記憶體細胞陣列之一第二庫選擇位元，而第二內容可定址型記憶體細胞比較儲存之第二庫選擇位元與一接收之庫選擇位元且如果該二者匹配則致能第二定址電路。

本發明之原理也可實現於一包含一位址匯流排，一庫選擇匯流排，與多個記憶體庫之記憶體裝置。每一記憶體庫包含一包含許多列與行之記憶體細胞之陣列，用以存取該陣列之選定細胞的列與行解碼器，用以耦接展現於位址匯流排之位址至該等解碼器以回應一致能信號之電路，與一內容可定址型記憶體細胞之陣列，且該內容可定址型記憶體細胞之陣列是用以比較儲存之庫選擇位元與展現於庫選擇匯流排之庫選擇位元並當匹配出現時產生致能信號。

本發明之原理可進一步實現於用以存取一記憶體系統之方法且該記憶體系統包含一記憶體細胞庫與相關之定址電路，而該庫相關於至少一內容可定址型記憶體細胞。一位元儲存於內容可定址型記憶體細胞以供辨識該庫。一庫選擇位元傳送至內可定址型記憶體細胞並在該內容可定址型記憶體細胞與儲存之位元相比較。然後如果儲存之位元匹配傳送之位元則致能對於該陣列之選定細胞的存取。

五、發明說明(5)

實現本發明之原理之電路系統與方法大為改善以前技術之定址方法。尤其，本發明之原理允許多個庫/多個記憶體裝置系統之記憶體細胞陣列可以應用程式為單位來個別加以定址。更明確地說，使用CAM陣列細胞，其中當系統啓動時可寫入一庫選擇位元，允許系統處理電路以作業系統需求為基礎來使得記憶體使用達到最佳化。尤其，本發明之原理允許資料在強化運作期間自系統記憶體高效率地轉移至快取記憶體或者在顯示更新運作期間自系統記憶體高效率地轉移至框緩衝器。

前文已相當廣泛地描述本發明之特點與技術優點以致應可更加瞭解隨後之本發明詳細說明。下文將說明本發明之額外特點與優點而且該等特點與優點構成本發明之申請專利範圍之主體。熟悉本技術領域者應可理解所說明之概念與特定實例可輕易做為修改或設計其他結構來實現本發明之相同目標的基礎。熟悉本技術領域者也應可瞭解此種等效建構並未脫離本發明的精神與範疇而本發明的精神與範疇陳述於附加之申請專利範圍。

附圖簡短說明

為了更完整地瞭解本發明與本發明之優點，現在將連同附圖來參看下列說明，其中：

圖1A與1B是一示範資訊處理系統之高階功能方塊圖，而該系統可運用實現本發明之原理之一或更多記憶體：

圖2是一實現本發明之原理之單晶片，多重庫記憶體裝置的功能方塊圖：

五、發明說明(6)

圖3是一電氣示意圖，而該電氣示意圖描寫展示於圖2之該等內容可定址型記憶體細胞陣列之一選定內容可定址型記憶體細胞陣列的二選定內容可定址型記憶體細胞；及

圖4是實現本發明之原理的一單庫單晶片記憶體裝置。

發明詳細說明

藉由參看附圖之圖1-4所描述之展示實例可最瞭解本發明之原理與他們之優點，其中相同之參考號碼表示相同之組件。雖然實現本發明之原理的記憶體裝置適用於極多應用，為了展示起見，此種記憶體裝置將連同一般用於個人電腦之一基本處理系統架構來加以說明。

圖1A是一處理系統100部份的高階功能方塊圖。系統100包含中央處理單元101，CPU本地匯流排102，核心邏輯103，顯示控制器104，系統記憶體105，數位至類比轉換器(DAC)106，框緩衝器108與顯示裝置107。

CPU 101是控制系統100之總體運作之"主腦"。尤其，CPU 101執行各種資料處理功能並決定要顯示於顯示單元107之圖形資料的內容以回應使用者指令及/或應用軟體之執行，CPU 101可為例如一通用微處理器，例如用於商業用個人電腦之代爾Pentium級微處理器或類似之微處理器，CPU 101經由CPU本地匯流排102與系統100之其餘部份進行通訊，而CPU本地匯流排102可為例如一特殊匯流排，或一通用匯流排(為業界所常用)。

核心邏輯103，在CPU 101之指揮下，控制CPU 101，顯示控制器104，與系統記憶體105之間之資料，位址，控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

信號與指令的互換。核心邏輯103可為許多可購得之核心邏輯晶片組之任一且該種晶片組係設計成為相容於系統之其餘部份，尤其是CPU 101。一或更多之核心邏輯晶片，例如展示系統之晶片112，一般是"位址與系統控制器頻繁型"而一或更多之核心邏輯晶片，例如圖1之晶片114，是"資料頻繁型"。位址頻繁型核心邏輯晶片112通常：利用CPU匯流排102之位址路徑來界接CPU 101；維持快取記憶體，包含快取記憶體標籤，集合關聯型快取記憶體標籤與確保快取記憶體一致性所必需之其他資料；執行快取記憶體"匯流排偵察"；產生系統記憶體之DRAM或快取記憶體所需之控制信號；並控制一般管理異動。資料頻繁型晶片114通常：利用CPU匯流排102之資料路徑來界接CPU 101；發出循環結束回應給位址晶片112或CPU 101；如果運作之循環未完成則可中止該等運作；並仲裁匯流排102之資料路徑。

CPU 101可直接或經由一外部(L2)快取記憶體115來與核心邏輯103進行通訊。L2快取記憶體115可為例如256千位元組之快速SRAM裝置。值得注意的是CPU 101也可包含板上(L1)快取記憶體，通常可多達16千位元組。

顯示控制器104可為許多可購得之VGA顯示控制器之任一。例如，顯示控制器104可為Cirrus Logic CL-GD754x系列顯示控制器之一。此種控制器之結構與運作說明於CL-GD754x Application Book, Rev 1.0, 11月22日, 1994, 與CL-GD7542 LCD VGA Controller Preliminary Data Book, Rev.

五、發明說明(8)

1.0.2, 1994年6月, 而且以上二書皆可自 Cirrus Logic, Inc., Fremont, 加州, 取得而在此提及該二書以供參考。顯示控制器 104 可經由核心邏輯 103 自 CPU 101 或者經由 CPU 本地匯流排 102 直接自 CPU 101 接收資料, 指令及/或位址。資料, 指令, 與位址是經由核心邏輯 103 來在顯示控制器 104 與系統記憶體 105 之間互換。另外, 位址與指令可經由一本地匯流排來在核心邏輯 103 與顯示控制器 104 之間互換而該本地匯流排可為例如一 PCI 本地匯流排。通常, 顯示控制器 104 控制螢幕復新, 執行有限數目之圖形功能。例如畫線, 構成多邊形, 彩色空間轉換, 顯示資料內插與伸縮與視訊流線化, 並且處理其他行政雜務, 例如功率管理。最重要的是, 顯示控制器 104 在螢幕復新期間控制像素資料自框緩衝器 108 轉移至顯示單元 107 並在顯示資料更新期間界接 CPU 101 與框緩衝器 108。視訊資料可直接輸入至顯示控制器 104。

數位至類比轉換器 106 接收來自控制器 104 之數位資料並輸出類比資料以驅動顯示 107 做為回應。在展示之實例中, DAC 106 與顯示控制器 104 整合於單一晶片之上。視系統 100 之特定建構而定, DAC 106 也可包含一彩色調色盤, YUV 至 RGB 格式轉換電路, 及/或 X-與 Y-伸縮電路, 而以上只是其中一些選擇。顯示 107 可為例如 CRT 單元, 液晶顯示, 場致發光顯示, 電漿顯示, 或利用多個像素來顯示影像於一螢幕之其他種類的顯示裝置。也應注意的是在其他實例中, "顯示" 107 可為另一種輸出裝置, 例如雷射印

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

表機或類似之文件觀看/列印裝置。

系統100之資料路徑會隨著每一設計而改變。例如，系統100可為"64-位元"或"72-位元"系統。假設，為了討論方便起見，選擇一64-位元系統。則，每一資料連結，包括CPU匯流排102與PCI匯流排116之資料路徑，經由核心邏輯103通往系統記憶體109與顯示控制器104之資料路徑，與顯示控制器104及框緩衝器108之間的資料連結，皆是64位元寬。應注意的是位址連結會視記憶體之大小與例如支援資料位元組選擇，錯誤偵測更正，與虛擬記憶體運作之需要等因素而定來改變。在今日之典型CPU處理器系統中，CPU匯流排102與PCI匯流排116之位址部份的寬度一般是30位元之數量級。

圖1B是本發明之原理適用之另一系統架構。在此範例中，記憶體105是一"統一"記憶體系統，因為系統記憶體109與框緩衝器108共同位於單一積體電路或積體電路庫之上。此不同於框緩衝器是與系統記憶體分離而單獨存在並經由顯示控制器界接系統之其餘部份的該等系統。系統記憶體109再一次最好是一傳統系統記憶體且該記憶體在CPU 101之指揮下依照執行各種處理功能與應用程式之所需來儲存資料，位址，與指令。如同傳統之系統，框緩衝器108儲存產生所要求之影像於顯示單元107之螢幕所需的像素資料。

圖2是實現本發明之原理之一多庫單晶片記憶體裝置200的功能方塊圖。在圖2所展示之實例中，包含X個庫201，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (10)

其中X是一大於或等於2之正整數。爲了討論方便起見，假設記憶體200包含16個庫201(亦即X等於16)。

每一庫201包含一配置成爲M列與N行之記憶體細胞陣列202。例如，如果每一陣列202包含4百萬位元組(32百萬位元)，則一可能之配置是4千列乘8千行。在較佳之實例中，每一陣列202是利用動態隨機存取記憶體(DRAM)細胞來建造，雖然可使用其他種類之資料儲存裝置之另一實例，例如靜態隨機存取記憶體(SRAM)細胞或鐵電性隨機存取記憶體(FRAM)細胞。每一庫201進一步包含傳統之列解碼器電路203，感測放大器電路204，與行解碼器電路205。列解碼器電路203耦接至相關於細胞陣列202之M列之每一列的字組線並選擇一列以回應一列位址字組而該列位址字組受到接收並儲存於位址緩衝器/鎖存器206。

感測放大器204耦接至相關於每一陣列202之N行之每一行的位元線。感測放大器204利用傳統之差動式感測技術來感測沿一選定列之資料。行解碼器205選擇存取(亦即讀取或寫入)沿選定列之P個細胞以回應受到接收並鎖存於位址緩衝器/鎖存器206之行位址位元。例如，如果給定庫201是組織成爲一("乘32")裝置，則P等於32且對於每一行位址存取沿選定列之一32位元位置。經由行解碼器205與感測放大器204來自記憶體200以外之存取最好是經由一P-位元寬之資料匯流排208來實施。若要獲得基本DRAM結構與運作之更詳細說明，請參考Sunaga等人之論文"DRAM Macros For ASIC Chips," IEEE Journal of Solid State

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

Circuits, Volume 30, Number 9, 1995年9月，而在此提及該論文以供參考。

根據本發明之原理，每一庫201進一步包含一內容可定址型記憶體細胞陣列(CAM) 207。下文將連同圖3來進一步加以討論，每一內容可定址型記憶體細胞陣列207包含一些用以比較展現於庫選擇匯流排210之庫選擇位元BNKSL的CAM細胞。如果庫選擇匯流排210之庫選擇位元BNKSL匹配儲存於一給定CAM陣列207之位址位元(比較元)，則該CAM陣列207之匹配線211致能對應之位址緩衝器/鎖存206且展現於位址匯流排209之列與行位址位元輸入至並鎖存於該位址緩衝器/鎖存器206。然後可經由對應之列解碼器203與行解碼器205以一傳統方式來執行對於對應之細胞陣列202的資料存取。

庫選擇位元是在系統啓動之時由作業系統利用CAM字組線212來寫入每一CAM陣列207，而下文將對此進一步加以討論。在較佳實例中，其中一次只能存取一庫201，一組獨特之位址位元寫入每一CAM陣列207以供對應記憶體陣列202之獨特辨識(定址)，雖然本發明之原理並未受限於此種實例。例如，在其他實例中，多個庫201可使得相同之位址位元寫入於他們對應之CAM陣列201。在此種情形之下，多個陣列202服務資料匯流排208。在展示之實例中，記憶體200之每一CAM陣列207具備一CAM選擇線212(總共有X條CAM選擇線212)。

在展示之實例中，經由輸入/輸出電路213接收R個庫選

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

源

五、發明說明 (12)

擇位元BNKSL。在一存取(亦即對於對應陣列202之讀取或寫入)期間，庫選擇位元BNKSL選擇要存取之庫201。在對於一給定CAM陣列207之寫入期間，匯流排209之庫選擇位元BNKSL表示要寫入對應於作用之CAM選擇線212之CAM陣列207的比較元。在一CAM陣列寫入期間要加以致動之CAM選擇線212受到選擇以回應經由輸入/輸出電路213所接收之選擇信號CAMSL。

數目R表示庫選擇匯流排210之線數目。所接收之庫選擇位元BNKSL之數目與CAM選擇位元CAMSL之數目是記憶體200之給定實例之庫201數目的一函數。在展示實例中，其中使用16個庫201，R等於4，因為在一陣列存取運作期為要寫入一對應之CAM陣列207或一庫選擇而自16庫中挑選一庫需要4位元，同樣地，每一CAM陣列包含R個內容可定址型記憶體細胞以儲存4位元來與4個接收之庫選擇位元相比較。

輸入/輸出電路213也包含傳統之資料輸入/輸出緩衝器與鎖存器，頁模態遞增電路以產生行位址來進行對於一選定庫210之細胞陣列202的頁模態存取，時脈產生電路與功率配送電路。在較佳實例中，位址是利用位址輸入ADD ϕ -ADD_Y自一多工型位址匯流排所接收以回應一列位址選通信號(/RAS)與一行位址選通信號(/CAS)。資料是經由資料接腳DQ ϕ -DQ Z來輸入與輸出以回應一作用之寫入致能信號(\overline{WE})且資料是經由資料埠/輸出DQ ϕ -DQZ來輸出以回應一輸出致能信號(\overline{OE})。

五、發明說明 (13)

圖3是一典型CMOS內容可定址型記憶體(CAM)細胞300陣列對之更詳細功能方塊圖。CAM細胞300是利用一6-電晶體(6T)SRAM細胞來加以建造，以310來表示；與一對比較器(XNOR閘)，以302與303來表示，在較佳實例中，每一CAM陣列207是一單一系列之線性陣列，CAM細胞300之每一列相關於通往對應之位址緩衝器/鎖存器206之一CAM選擇線212與一庫致能線211。比較器306與307以一佈線或配置獲得耦接，連同沿相同列通往相關之致能線211的任何其他CAM細胞300。細胞300之每一行耦接至庫選擇匯流排210之一對應線與該線所承載之資料的補數。在展示之實例中，互補之資料是藉由反相器304來獲得。

在對於一給定CAM細胞300之寫入期間，對應之CAM選擇線212上拉至高位準且要寫入之資料展現於庫選擇匯流排210之相關線。位址匯流排209之每一線的資料為對應CAM細胞300的SRAM細胞301所鎖存。在一讀取期間，CAM選擇線212再度上拉至高位準且鎖存於SRAM細胞301之資料展現於庫選擇匯流排209之對應線上。

在一比較期間，要比較之位址受驅動至庫選擇匯流排210之對應線。如果與鎖存於該陣列之每一SRAM細胞301之資料相匹配。則比較器302與303之電晶體維持關閉且因此不會下拉致能線211至低位準且致能線211繼續漂浮在高位準。如果該陣列之任一細胞出現不匹配，則比較器302與303之電晶體開啓且致能線211被拉至邏輯0。換句話說，在該陣列組態中，若要一給定陣列207之致能線維持在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

邏輯一，則匯流排209之所有線之位址必須匹配一CAM陣列207之所有對應細胞的資料。

圖4描寫實現本發明之原理之單一庫(陣列)記憶體裝置400。記憶體400包含一M行乘N列之記憶體細胞陣列401。列解碼器電路402，感測放大器403，與行解碼器404。如前文連同圖2之實例所討論，列解碼器電路402，感測放大器403，與行解碼器404允許對於細胞陣列401以內之位置的存取以利用一傳統方式來回應一列與行位址。

在記憶體裝置400之較佳實例中，列與行位址是自一多工型位址匯流排(未加以展示)所接收以回應/RAS與/CAS信號。該等位址選擇生通過位址緩衝器/放大器405與一位址鎖存器406，而位址緩衝器/放大器405與一位址鎖存器406皆耦接至一CAM細胞陣列407之致能線211。最好，CAM細胞陣列407之結構與功能類似於前文連同圖3所討論之該等結構與功能。在此種情形之下，當寫入CAM細胞陣列407之位址位元匹配所接收之位址(庫選擇)位元BNKSL ϕ -BNKSL R時，匹配線420是置於一作用狀態而此使得緩衝器/放大器405與位址鎖存器406以管線化方式傳送列與行位址至列解碼器402與行解碼器404。

用以接收CAM陣列選擇位元CAMSL ϕ -CAMSL R之輸入或接腳數目R以及用以接收庫選擇位元BNKSL之輸入或接腳數目R是視記憶體400之可能系統應用程式而定來加以選擇。例如，假設一系統記憶體要利用4記憶體裝置400來建造且該等記憶體裝置400之每一裝置可個別加以選擇。在

五、發明說明 (15)

此種情形之下，使用4接腳或輸入以接收CAM陣列選擇位元來讀取與寫入位址位元於CAM陣列407且使用4輸入與接腳來接收庫選擇位元。

控制信號，例如/RAS與/CAS，與時脈，如果記憶體400是建造成為一同步裝置則包含任何主時脈，是經由放大器408來接收且是由時脈產生器409用以產生使得列與行位址管線化通過位址鎖存器406所必需之時脈。位址鎖存器406可為例如一個三相位址鎖存器，而三相位址鎖存器在本技術領域為眾所知。

記憶體400也包含傳統之讀取與寫入電路以與細胞陣列401經由行解碼器404互換資料。寫入路徑包含一輸入緩衝器410以接收來自資料接腳或輸入DQ ϕ -DQZ之資料與一輸入鎖存器411以鎖存資料來傳送至行解碼器404。輸入放大器/緩衝器410是由經由介面412所接收之一傳統寫入致能(/WE)信號來加以致能。讀取路徑包含讀取放大器413，輸出鎖存器414，與輸出放大器/鎖存緩衝器415。輸出放大器/鎖存緩衝器415是由經由介面416所接收之一傳統輸出致能信號(/OE)來加以致能。

實現本發明之原理的記憶體裝置，例如記憶體裝置200與記憶體裝置400，可用於許多應用之任一應用，且該等應用需要個別之庫或裝置選擇。例如，考慮圖1A所展示之系統100的傳統系統記憶體105。在此種情形之下，如果快取記憶體115需要再載入，則核心邏輯103傳送一新列位址至系統記憶體105，連同庫選擇位元BNKSL。最好列位址

五、發明說明 (16)

位元與庫選擇位元皆是在RAS之下降邊緣獲得輸入。如果使用一多重庫記憶體200則傳送庫選擇位元至所有庫201，而如果使用一多重裝置記憶體，則傳送庫選擇位元至所有裝置400。一旦對應之CAM陣列匹配庫選擇位元，則該列位址受到輸入並鎖存於相關之位址鎖存器。一旦此出現時，所要之行位址受到輸入及鎖存以回應/CAS。然後經由核心邏輯103來執行對於快取記憶體115所需之資料的存取。在頁模態中，經由選定(作用)之庫201或記憶體204在內部產生額外之行位址。

本發明之原理也可應用於圖1A之傳統處理系統或圖1B之統一框緩衝器系統之系統記憶體105與框緩衝器108的直接定址。例如，如果使用一多重庫裝置200，則寫入於CAM陣列207之庫選擇位元，或者如果使用單一陣列裝置，則寫入CAM陣列407之庫選擇位元，可受到選擇以辨識該等庫為系統記憶體或框緩衝器記憶體。然後，若要存取一給定記憶體，CPU 101與核心邏輯103只要產生適當之庫選擇位元BNKSL。

雖然本發明與其之優點已詳細加以說明，應可理解不脫離本發明之精神與範圍之下可實施各種變更，置換與更動而本發明之精神與範疇是由附加之申請專利範圍來定義。

四、中文發明摘要(發明之名稱：使用內容可定址型記憶體之記憶體架構，與使用該架構之系統及方法)

本案提出一種記憶體200，而記憶體200包含一可定址型記憶體細胞之陣列202與一內容可定址型記憶體細胞207/300以比較一接收之選擇位元與一儲存之選擇位元並致能對於受到定址之記憶體細胞的存取做為回應。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱："A MEMORY ARCHITECTURE USING CONTENT ADDRESSABLE MEMORY, AND SYSTEMS AND METHODS USING THE SAME")

A memory 200 including an array 202 of addressable memory cells and a content addressable memory cell 207/300 for comparing a received select bit with a stored select bit and enabling access to addressed ones of the memory cells in response.

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1. 一種記憶體，該種記憶體包含：
 - 一可定址型記憶體細胞之陣列；
 - 一內容可定址型記憶體細胞，該內容可定址型記憶體細胞是用以比較一接收之選擇位元與一儲存之選擇位元並致能對於該等記憶體細胞之受到定址之記憶體細胞的存取做為回應。
2. 根據申請專利範圍第1項之記憶體，其中當該接收之選擇位元匹配該儲存之選擇位元時該內容可定址型記憶體細胞致能對於該等記憶體細胞之該等受到定址之記憶體細胞的存取。
3. 根據申請專利範圍第1項之記憶體，其中該記憶體細胞陣列包含一動態隨機存取記憶體細胞之陣列。
4. 根據申請專利範圍第1項之記憶體，其中該記憶體細胞陣列包含一靜態隨機存取記憶體細胞之陣列。
5. 根據申請專利範圍第1項之記憶體，且該種記憶體進一步包含：
 - 一用以選擇該陣列之該等記憶體細胞之一列以回應一系列位址的列解碼器；
 - 一用以存取沿一該選定列之該等選定細胞以回應一行位址的行解碼器；及
 - 由該內容可定址型記憶體細胞來致能以傳送該等位址至該等列與行解碼器之電路。
6. 根據申請專利範圍第5項之記憶體，其中用以傳送該等位址之該電路包含一位址鎖存器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

六、申請專利範圍

7. 根據申請專利範圍第5項之記憶體，其中用以傳送該等位址之該電路包含一位址緩衝器。
8. 根據申請專利範圍第1項之記憶體，其中該內容可定址型記憶體細胞包含：
 - 一用以儲存該儲存之選擇位元的鎖存器；及
 - 一用以比較該儲存之選擇位元與該接收之位元的邏輯閘。
9. 一種記憶體次系統，該種記憶體次系統包含：
 - 記憶體細胞之第一與第二陣列：
 - 用以選擇性存取該第一陣列之該等細胞之一些細胞的第一定址電路；
 - 用以選擇性存取該第二陣列之該等細胞之一些細胞的第二定址電路；
 - 用以儲存相關於該第一記憶體細胞陣列之第一庫選擇位元的至少一第一內容可定址型記憶體細胞，該第一內容可定址型記憶體細胞比較該儲存之第一庫選擇位元與一接收之庫選擇位元而且如果匹配則致能該第一定址電路；及
 - 用以儲存相關於該第二記憶體細胞陣列之第二庫選擇位元的至少一第二內容可定址型記憶體細胞，該第二內容可定址型記憶體細胞比較該儲存之第二庫選擇位元與一接收之庫選擇位元而且如果匹配則致能該第二定址電路。
10. 根據申請專利範圍第9項之記憶體次系統，其中該記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

體次系統是製作於單一晶片之上。

11. 根據申請專利範圍第9項之記憶體次系統，其中該第一定址電路包含：

一用以選擇該第一陣列之一列以回應一列位址的列解碼器；

一用以存取沿一該選定列之該等選定細胞的行解碼器；及

用以選擇性傳送列與行位址至該等列與行解碼器之電路，該電路是藉由自該第一內容可定址型記憶體細胞所接收之一信號來加以致能。

12. 根據申請專利範圍第9項之記憶體次系統，其中該第二定址電路包含：

一用以選擇該第二陣列之一列以回應一列位址的列解碼器；

一用以存取沿一該選定列之該等選定細胞的行解碼器；及

用以選擇性傳送列與行位址至該等列與行解碼器之電路，該電路是藉由自該第二內容可定址型記憶體細胞所接收之一信號來加以致能。

13. 根據申請專利範圍第11項之記憶體次系統，其中用以傳送位址之該電路包含一位址緩衝器與一鎖存器。

14. 根據申請專利範圍第12項之記憶體次系統，其中用以傳送位址之該電路包含一位址緩衝器與一鎖存器。

15. 根據申請專利範圍第9項之記憶體次系統，其中該至少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一第一內容可定址型記憶體細胞包含：

一用以儲存一該第一庫選擇位元之鎖存電路；

用以比較該第一庫選擇位元與一接收之庫選擇位元的至少一互斥NOR閘；及

一耦接至該互斥NOR閘以輸出一該致能信號至該第一定址電路的致能線。

16. 根據申請專利範圍第9項之記憶體次系統，其中該至少一第二內容可定址型記憶體細胞包含：

一用以儲存一該第二庫選擇位元之鎖存電路；

用以比較該第二庫選擇位元與一接收之庫選擇位元的至少一互斥NOR閘；及

一耦接至該互斥NOR閘以輸出一該致能信號至該第二定址電路的致能線。

17. 一種記憶體裝置，該種記憶體裝置包含：

一位址匯流排；

一庫選擇匯流排；及

多個記憶體庫，每一記憶體庫包含：

一包含許多列與許多行之記憶體細胞的陣列；

用以存取該陣列以內之選定細胞的列與行解碼器；

用以耦接展現於該位址匯流排之位址至該等解碼器以回應一致能信號之電路；及

一內容可定址型記憶體細胞之陣列，該陣列是用以比較儲存之庫選擇位元與展現於該庫選擇匯流排之庫選擇位元且當匹配出現時產生該致能信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

18. 根據申請專利範圍第17項之記憶體裝置，且該記憶體裝置包含多個內容可定址型記憶體選擇線，一該選擇線是用以傳送一信號至內容可定址型記憶體陣列之該等陣列之一相關陣列以寫入展現於該庫選擇匯流排之庫選擇位元於該相關陣列。
19. 根據申請專利範圍第17項之記憶體裝置，其中每一該內容可定址型記憶體細胞包含：
- 一用以儲存一該庫選擇位元之鎖存電路；
 - 一用以比較該儲存之庫選擇位元與一接收之庫選擇位元的邏輯閘；及
 - 一耦接至該互斥NOR閘以輸出一該致能信號之致能線。
20. 根據申請專利範圍第19項之記憶體裝置，其中該鎖存電路包含一SRAM細胞。
21. 根據申請專利範圍第19項之記憶體裝置，其中該邏輯閘包含一互斥OR閘。
22. 一種用以定址一記憶體系統之方法，該記憶體系統包含一記憶體細胞庫與相關之定址電路，該庫相關於至少一內容可定址型記憶體細胞，該種方法包含下列步驟：
- 儲存一位元於內容可定址型記憶體細胞以辨識該庫；
 - 傳送一庫選擇位元至內容可定址型記憶體細胞；
 - 在內容可定址型記憶體細胞比較儲存之位元與傳送之位元；且
 - 當儲存之位元匹配傳送之位元時致能對於該陣列之選

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

定細胞的存取。

23. 根據申請專利範圍第22項之方法，其中對於該庫之選定細胞之存取是由傳送至定址電路之列與行位址來加以控制且該種方法進一步包含下列步驟：

接收一針對該陣列之一選定列的列位址與一用以傳送至內容可定址型記憶體細胞之位元以回應一列位址選通信號；及

接收一行位址以存取選定列之選定細胞以回應一行位址選通信號。

24. 根據申請專利範圍第22項之方法，其中該庫包含置於單一晶片之多個庫之一庫且用以傳送之該步驟包含用以傳送一庫選擇位元至多個庫之步驟。

25. 根據申請專利範圍第22項之方法，其中該庫包含置於離散裝置之多個庫之一庫且用以傳送之該步驟包含用以傳送一庫選擇位元至該等離散裝置之每一離散裝置之步驟。

26. 根據申請專利範圍第22項之方法，其中該定址電路包含一位址鎖存器且用以致能之該步驟包含致能一針對選定細胞之位址輸入至位址鎖存器的步驟。

27. 根據申請專利範圍第22項之方法，其中該定址電路包含一位址緩衝器且用以致能之該步驟包含致能位址緩衝器之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

308661
199806
308661

8511066

308661

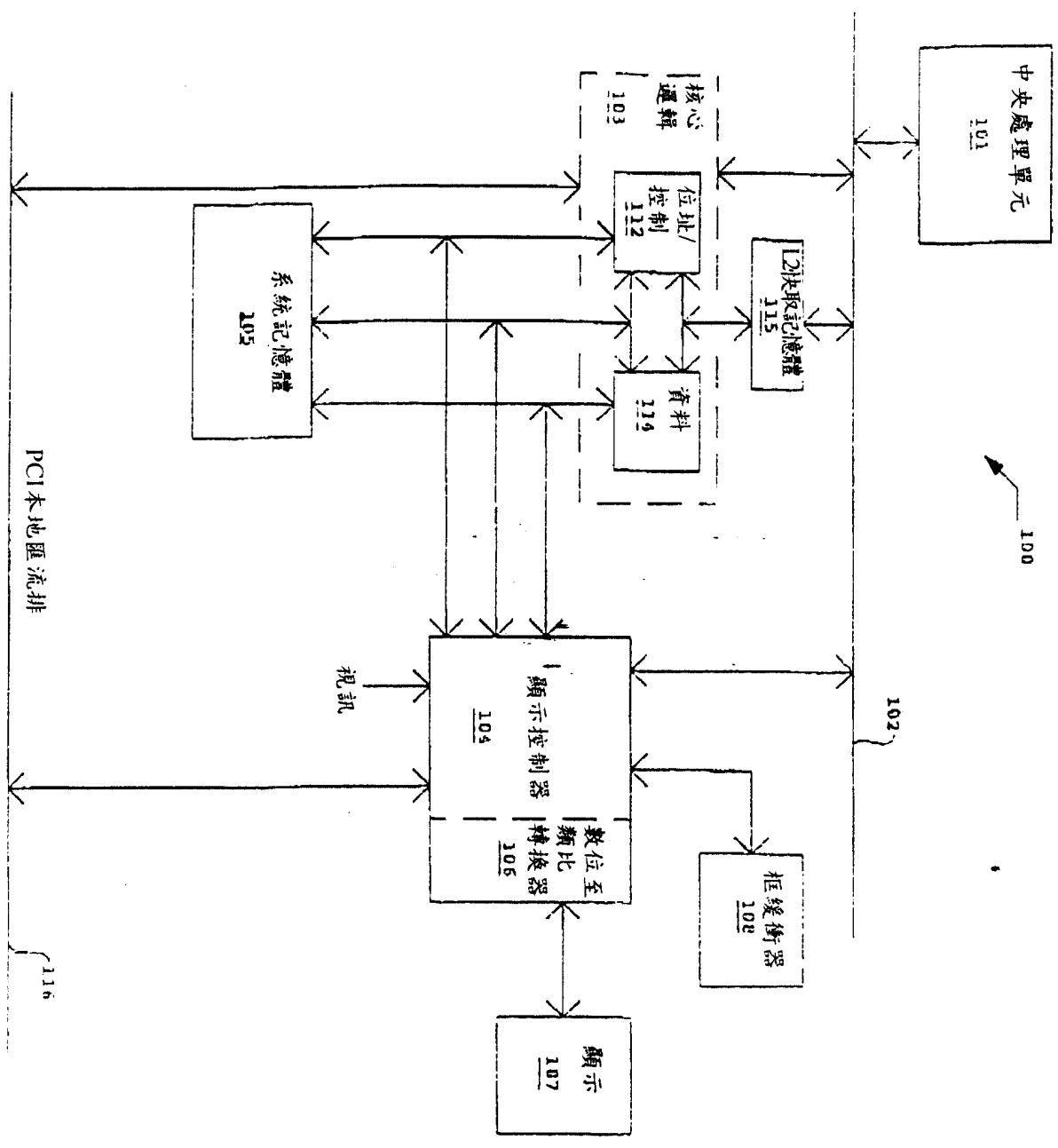


圖 1A

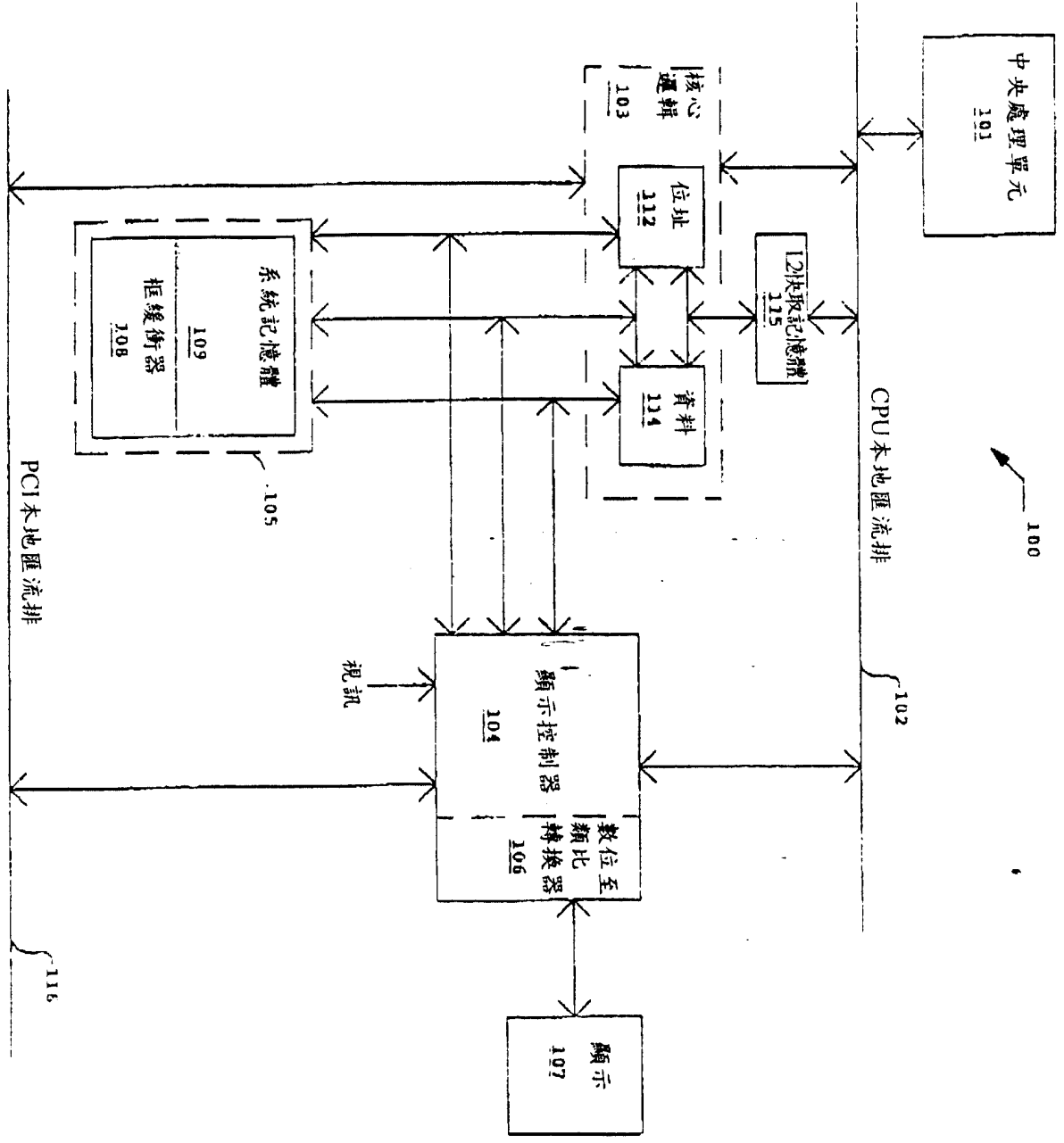


圖 1B

308661

308661

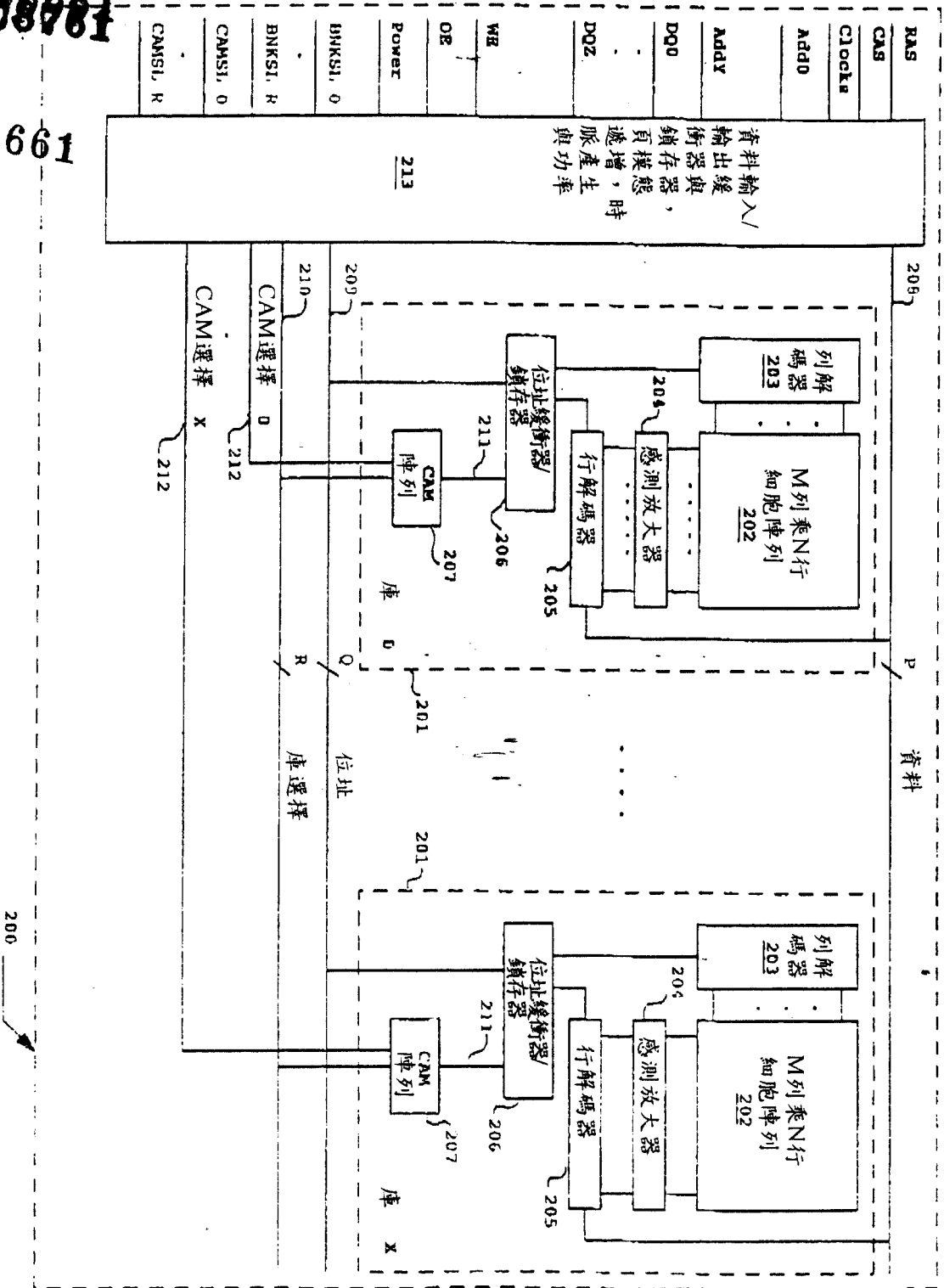


圖 2

200

308661

308661

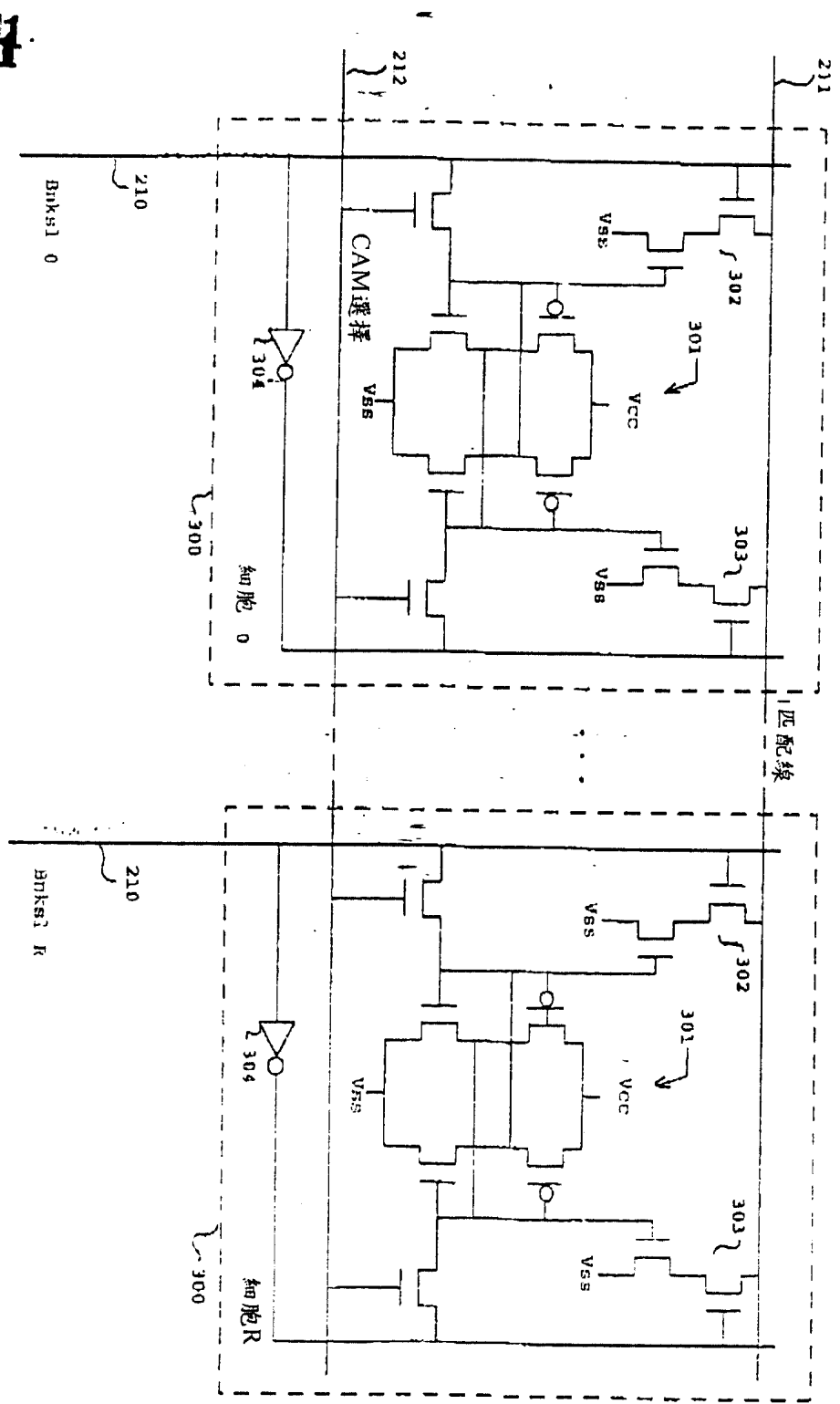


图 3

308661

308661

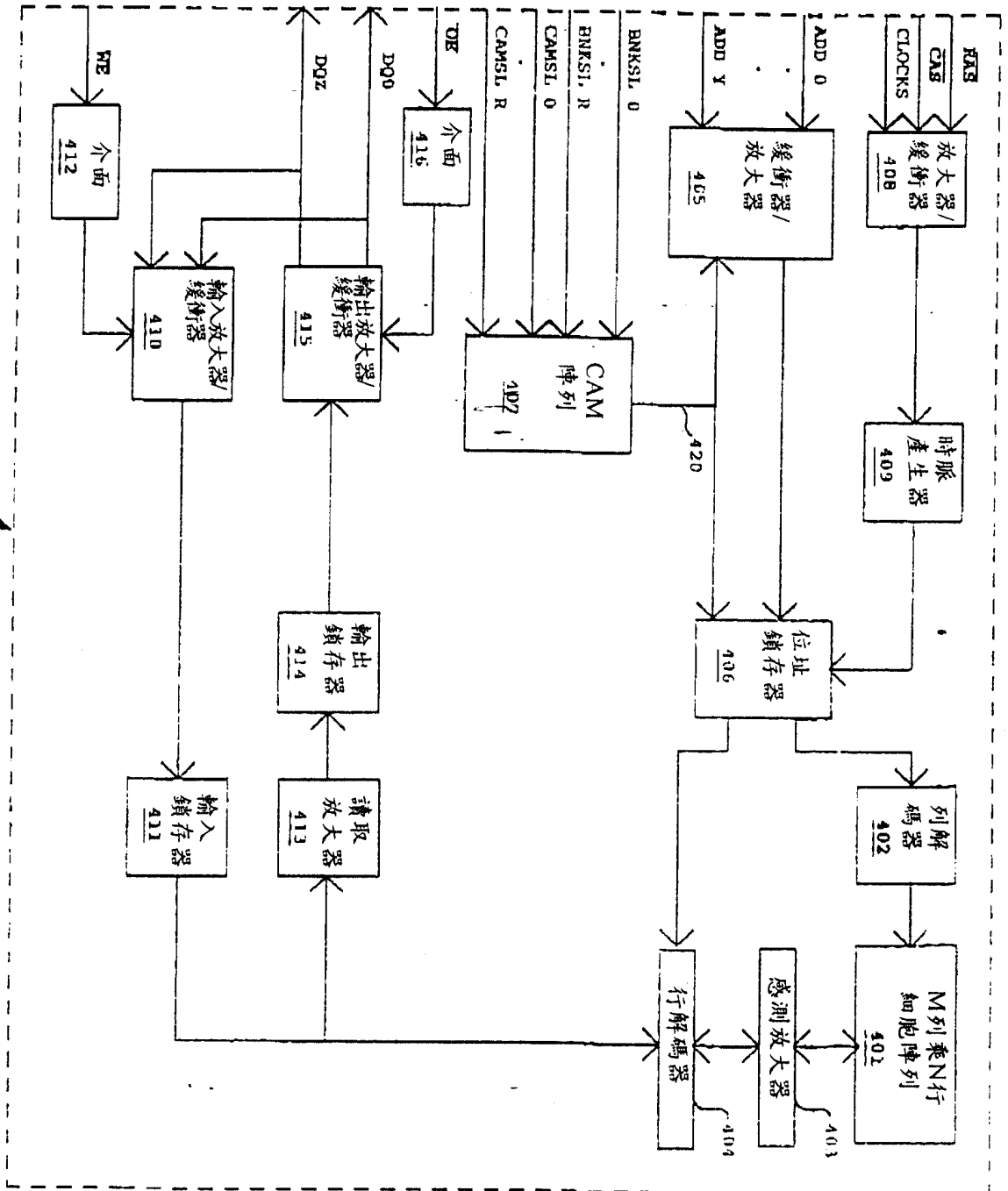


圖 4