



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 10 2005 026 228 B4 2010.04.15**

(12)

## Patentschrift

(21) Aktenzeichen: **10 2005 026 228.7**

(22) Anmeldetag: **07.06.2005**

(43) Offenlegungstag: **16.02.2006**

(45) Veröffentlichungstag  
 der Patenterteilung: **15.04.2010**

(51) Int Cl.<sup>8</sup>: **H01L 21/336 (2006.01)**  
**H01L 29/78 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

<b>10-2004-0041857</b>	<b>08.06.2004</b>	<b>KR</b>
<b>11/074,711</b>	<b>09.03.2005</b>	<b>US</b>

(73) Patentinhaber:

**Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR**

(74) Vertreter:

**Kuhnen & Wacker Patent- und  
 Rechtsanwaltsbüro, 85354 Freising**

(72) Erfinder:

**Yun, Eun-jung, Seoul, KR; Kim, Sung-min,  
 Incheon, KR; Lee, Sung-young, Yongin, Kyonggi,  
 KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

<b>EP</b>	<b>12 44 142</b>	<b>A1</b>
<b>US</b>	<b>55 80 802</b>	<b>A</b>

(54) Bezeichnung: **Transistor vom GAA-Typ und Verfahren zu dessen Herstellung**

(57) Hauptanspruch: Verfahren zur Herstellung eines Transistors vom Gate-All-Around(GAA)-Typ, aufweisend:

Vorsehen eines Siliziumsubstrats (10);

Ätzen des Substrats zum Ausbilden eines Paares von voneinander beabstandet angeordneten Gräben, so daß ein Aktivbereich (14) des Siliziums zwischen den Gräben angeordnet verbleibt;

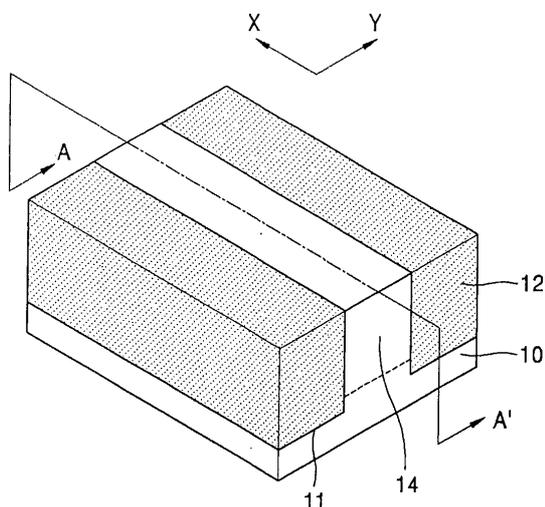
Füllen der Gräben mit Isoliermaterial, so dass sich erste und zweite Isolationsbereiche (12) ergeben;

Ionen-Implantieren von Störstellen in das Substrat (10);

nachfolgendes Ausbilden einer Öffnung in dem Aktivbereich zum Trennen von Abschnitten des Aktivbereiches (14), wodurch voneinander beabstandet angeordnete Säulen aus Silizium ausgebildet werden, die mit den Störstellen implantiert sind, wobei Bereiche der Säulen, welche mit den Störstellen implantiert sind, Source- bzw. Drainbereiche bilden;

Ausbilden eines Kanalbereichs (26) in der Öffnung zum Überbrücken der Source- und Drainbereiche; und

Ausbilden einer Gate-Isolierschicht (30) und einer Gate-Elektrode (32) um den Kanalbereich herum.



**Beschreibung**

## HINTERGRUND DER ERFINDUNG

## 1. Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung betrifft im allgemeinen Halbleitervorrichtungen, und insbesondere Halbleitervorrichtungen, welche Gate-All-Around (GAA) Strukturen aufweisen, sowie Verfahren zur Herstellung der Halbleitervorrichtungen, welche Gate-All-Around (GAA) Strukturen aufweisen.

## 2. Beschreibung des Stands der Technik

**[0002]** Nach Halbleitervorrichtungen, welche GAA Strukturen aufweisen besteht eine besondere Nachfrage aufgrund ihrer ausgezeichneten Leistungsfähigkeit und wegen ihres Unterdrückens des Short-Channel-Effekts. Diese Vorteile ergeben sich auch, da eine dünne Siliziumschicht, welche den Kanal einer GAA Vorrichtung ausbildet, durch ein Gate umgeben und dadurch exklusiv gesteuert wird. Das an dem Drain erzeugte elektrische Feld hat daher geringen Einfluß auf den Kanalbereich, d. h. ein Short-Channel-Effekt kann dadurch unterdrückt werden.

**[0003]** Ein dreidimensionaler Transistor, welcher eine GAA Struktur aufweist verwendet im allgemeinen einen Silizium-auf-Isolator-Wafer (SOI). Die Verwendung eines SOI-Wafers zur Herstellung einer Halbleitervorrichtung, welche einen Transistor vom GAA Typ aufweist, birgt jedoch Probleme bei der Herstellung, wie z. B. die hohen Anfangskosten, welche mit der Herstellung des SOI-Wafers verbunden sind, und die Bildung eines Floating-Body-Effekts.

**[0004]** Die EP 1 244 142 A1 zeigt einen Doppel-Gate-Transistor des Typs „Gate-All-Around“ und ein Verfahren zur Herstellung desselben, bei welchem in dem Substrat ein Graben ausgebildet und Halbleitermaterial über dem Graben abgeschieden wird, um eine Halbleiterbrücke über dem Graben zu bilden, wobei die Halbleiterbrücke einen aktiven Bereich bildet und auf der Halbleiterbrücke ein Gate-Isolator aufgebracht wird und auf diesem Gate-Isolatormaterial wiederum ein Gate gebildet wird.

## ZUSAMMENFASSUNG DER ERFINDUNG

**[0005]** Aufgabe der vorliegenden Erfindung ist es, ein kosteneffizientes Verfahren zur Herstellung einer Halbleitervorrichtung vor GAA Typ vorzusehen.

**[0006]** Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Halbleitervorrichtung vom GAA Typ vorzusehen, welche keinerlei Floating-Body-Effekt offenbart.

**[0007]** Ein weiteres Ziel der vorliegenden Erfindung ist es, ein Verfahren zur Herstellung einer Halbleitervorrichtung vom GAA-Typ vorzusehen, welche nicht unerwünschterweise die effektive Kanallänge der Vorrichtung verändert.

**[0008]** Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Halbleitervorrichtung vom GAA Typ vorzusehen, welche eine minimale Parasitärkapazität zwischen den Source-/Drainbereichen und dem Gate aufweist.

**[0009]** Entsprechend einem weiteren Ziel der vorliegenden Erfindung wird ein Transistor vom GAA Typ unter Verwendung eines Substratsiliziumwafers (bulk silicon wafer) und insbesondere eines mono-kristallinen Silizium Wafers, im Gegensatz zu einem SOI-Wafers hergestellt.

**[0010]** Entsprechend einem weiteren Ziel der vorliegenden Erfindung werden Source-/Drainbereiche unter Verwendung einer Blanket-Ionen-Implantationstechnik im Gegensatz zu einer LDD-Ionen-Implantation ausgebildet.

**[0011]** In dieser Hinsicht enthält ein Verfahren zur Herstellung einer Halbleitervorrichtung vom GAA Typ entsprechend der vorliegenden Erfindung das Vorsehen eines Substrates, wie z. B. einem mono-kristallinen Siliziumsubstrat, dem Ätzen des Substrates zum Ausbilden eines Paares von einander beabstandeten Gräben, so daß eine Siliziumwand zwischen den Gräben der angeordnet ist, dem Füllen der Gräben mit Isoliermaterial, und dem Ionen-Implantieren von Störstellen in die Wand des Siliziums. Nachfolgend wird eine Öffnung in der Wand ausgebildet, um Abschnitte der Wand zu trennen, wodurch Säulen, welche die Source- und Drainbereiche der Vorrichtung aufweisen ausgebildet werden. Anschließend wird ein Kanalbereich in der Öffnung zum Überbrücken der Source- und Drainbereiche ausgebildet. Schließlich wird ein Gateoxid und einer Gate-Elektrode um den Kanalbereich herum ausgebildet.

**[0012]** Entsprechend einem weiteren Ziel der vorliegenden Erfindung, werden Seitenwand-Spacer verwendet, um Isoliermaterial an einer oder mehreren Seiten der Gate-Elektrode vorzusehen.

**[0013]** In dieser Hinsicht enthält ein Verfahren zum Herstellen einer Halbleitervorrichtung vom GAA Typ entsprechend der vorliegenden Erfindung das Vorsehen eines Substrates, welches einen Aktivbereich in Form eines Streifens aufweist, der sich längenmäßig in einer ersten Richtung zwischen ersten und zweiten Isolationsbereichen erstreckt, dem Ausbilden einer Öffnung in dem Aktivbereich zwischen dem ersten und zweiten Isolationsbereichen, und dem Ausbilden erster Seitenwand-Spacer innerhalb der Öffnung auf gegenüberliegenden Seitenwänden des Aktivbe-

reichs. Nachfolgend wird eine Opferschicht an dem Boden der Öffnung ausgebildet. Zumindest ein Abschnitt der ersten Seitenwand-Spacer wird entfernt, um die gegenüberliegenden Seitenwände des Aktivbereichs freizulegen. Anschließend wird ein Kanalbereich zwischen den freigelegten Abschnitten der gegenüberliegenden Seitenwände des Aktivbereichs, sowie über der Opferschicht ausgebildet. Danach wird die Opferschicht entfernt und eine Gate-Isolationsschicht sowie eine Gate-Elektrode werden um den Kanalbereich ausgebildet.

**[0014]** In einer Ausführungsform wird die Opferschicht zwischen den ersten Seitenwandspacern an dem Boden der Öffnung ausgebildet. In diesem Fall werden die ersten Seitenwand-Spacer unter Verwendung der Opferschicht als eine Ätzmaske geätzt, so daß verbleibende Abschnitte der Spacer auf gegenüberliegenden Seiten der Opferschicht verbleiben. Der Kanalbereich wird anschließend auf der Opferschicht und den verbleibenden Abschnitten der ersten und zweiten Wandspacer ausgebildet.

**[0015]** Eine Halbleitervorrichtung vom GAA Typ entsprechend der vorliegenden Erfindung enthält entsprechend eine erste Säule, aufweisend einen Sourcebereich, eine zweite Säule, aufweisend einen Drainbereich und von der ersten Säule beabstandet, einen Kanalbereich, welcher den Source- und Drainbereichen überbrückt, eine Gate-Isolationsschicht, sowie eine Gate-Elektrode, welche den Kanalbereich umgeben, und Isoliermaterial, das lateral der Gate-Elektrode unter dem Kanalbereich angeordnet ist.

**[0016]** In einer weiteren Ausführungsform wird das Substrat unter Verwendung der ersten Seitenwand-Spacer als eine Ätzmaske geätzt, um eine Aussparung darin auszubilden. Anschließend werden die ersten Seitenwand-Spacer entfernt. Die Opferschicht wird in der Aussparung ausgebildet. Der Kanalbereich wird über der Opferschicht ausgebildet.

**[0017]** Eine weitere Ausführungsform der Halbleitervorrichtung vom GAA Typ entsprechend der vorliegenden Erfindung enthält entsprechend eine erste Säule aufweisend einen Sourcebereich, eine zweite Säule aufweisend einen Drainbereich und von der ersten Säule beabstandet, einen Kanalbereich, welcher die Source- und Drainbereiche überbrückt, sowie eine Gate-Isolationsschicht und eine Gate-Elektrode, welche den Kanalbereich umgeben, so daß die Gate-Elektrode einen unteren Abschnitt aufweist, der unter dem Kanalbereich angeordnet ist. Die Breite des Kanalbereichs, von dem Sourcebereich zu dem Drainbereich ist entsprechend größer als die Breite des unteren Abschnitts der Gate-Elektrode zwischen den Source- und Drainbereichen in gleicher Richtung gemessen.

**[0018]** In Beiden Ausführungsformen werden Maskenmuster über dem Aktivbereich voneinander beabstandet in der Längsrichtung des Aktivbereichs ausgebildet. Die Öffnung in dem Aktivbereich wird durch Ätzen des Substrates unter Verwendung der Maskenmuster als eine Ätzmaske ausgebildet. Es werden ebenfalls zweite Seitenwand-Spacer auf gegenüberliegenden Seitenwänden der Maskenmuster und über dem Kanalbereich vor dem Ausbilden der Gateoxidschicht und der Gate-Elektrode ausgebildet. Das durch die verbleibenden Abschnitte der ersten Seitenwand-Spacer und/oder der zweiten Seitenwand-Spacer vorgesehene Isoliermaterial minimiert die Parasitärkapazität.

**[0019]** Die Opferschicht wird vorzugsweise bestehend aus einer SiGe Epitaxialschicht ausgebildet. Der Kanalbereich kann somit bestehend aus einer SiGe Epitaxialschicht ausgebildet werden. Der Kanalbereich kann eine obere Oberfläche aufweisen, welche auf der gleichen Ebene als die oberen Oberflächen der Säulen, welche die Source-/Drainbereiche aufweisen, ausgebildet sein. Alternativ kann der Kanalbereich eine erhöhte Struktur aufweisen, in welcher die obere Oberfläche auf einer Ebene über den oberen Oberflächen der Säulen angeordnet ist. Als weitere Alternative kann der Kanalbereich eine ausgesparte Struktur aufweisen, in welcher die obere Oberfläche auf einer Ebene unter den unteren Oberflächen der Säulen angeordnet ist. Der Kanalbereich kann ebenfalls die Source-/Drainbereiche an den jeweiligen Enden des Kanalbereichs vollständig überlappen.

**[0020]** Entsprechend einem weiteren Ziel der vorliegenden Erfindung wird das Substrat unter der Gate-Elektrode gegen-dotiert. Das Gegen-Dotieren kann unter Verwendung einer Ionen-Implantations oder Plasma-Dotierungstechnik durchgeführt werden. Die Störstellen des gegen-dotierten Bereichs sind vorzugsweise B, BF<sub>2</sub>, BF<sub>3</sub>, oder In Ionen. Das Gegen-Dotieren kann in dem Bereich des Substrates, welcher an dem Boden der Öffnung in dem Aktivbereich vor dem Ausbilden der ersten Seitenwand-Spacer freigelegt wird, durchgeführt werden. Alternativ kann das Gegen-Dotieren in dem Bereich des Substrates, welcher an dem Boden der Öffnung in dem Aktivbereich freigelegt ist, nachdem die ersten Seitenwand-Spacer ausgebildet werden und bevor die Opferschicht ausgebildet wird, durchgeführt werden.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0021]** Die obigen sowie weitere Ziele, Merkmale und Vorteile der vorliegenden Erfindung sind anhand der nachfolgenden ausführlichen Beschreibung der bevorzugten Ausführungsformen mit Bezug auf die beigefügten Zeichnungen ersichtlich.

[0022] Es zeigt:

[0023] [Fig. 1A](#), [Fig. 2A](#), [Fig. 3A](#), [Fig. 4A](#), [Fig. 5A](#), [Fig. 6A](#), [Fig. 7A](#), [Fig. 8A](#), [Fig. 9A](#) und [Fig. 10A](#) sind perspektivische Ansichten einer Halbleitervorrichtung vom GAA-Typ während ihrer Herstellung, welche eine erste Ausführungsform eines Verfahrens zum Herstellen einer Halbleitervorrichtung vom GAA-Typ entsprechend der vorliegenden Erfindung darstellen;

[0024] [Fig. 1B](#) ist eine Schnittansicht entlang der A-A Linie von [Fig. 1A](#);

[0025] [Fig. 2B](#), [Fig. 3B](#), [Fig. 4B](#), [Fig. 5B](#), [Fig. 6B](#), [Fig. 7B](#), [Fig. 8B](#), [Fig. 9B](#) und [Fig. 10B](#) sind ähnliche Schnittansichten der jeweils in [Fig. 2A](#), [Fig. 3A](#), [Fig. 4A](#), [Fig. 5A](#), [Fig. 6A](#), [Fig. 7A](#), [Fig. 8A](#), [Fig. 9A](#) und [Fig. 10A](#) gezeigten Vorrichtung;

[0026] [Fig. 4C](#) ist eine Schnittansicht ähnlich der von [Fig. 4B](#), die jedoch eine alternative Art des Gegen-Dotierens des Substrates zeigt;

[0027] [Fig. 4D](#) ist eine Schnittansicht einer Halbleitervorrichtung vom GAA-Typ während ihrer Herstellung, welche das Ausbilden einer Opferschicht in der ersten Ausführungsform eines Verfahrens zum Herstellen einer Halbleitervorrichtung vom GAA-Typ entsprechend der vorliegenden Erfindung darstellt;

[0028] [Fig. 10C](#) ist eine Schnittansicht einer Halbleitervorrichtung vom GAA-Typ, aufweisend einer erhöhten Kanalstruktur entsprechend einer Ausführungsform der vorliegenden Erfindung;

[0029] [Fig. 10D](#) ist eine Schnittansicht einer Halbleitervorrichtung vom GAA-Typ, aufweisend eine vertiefte bzw. ausgesparte Kanalstruktur entsprechend einer Ausführungsform der vorliegenden Erfindung;

[0030] [Fig. 10E](#) ist eine Schnittansicht einer Halbleitervorrichtung vom GAA-Typ, aufweisend einen Kanalbereich, dessen Enden die Source-/Drainbereiche entsprechend einer Ausführungsform der vorliegenden Erfindung vollständig überlappen;

[0031] [Fig. 10F](#) ist eine Schnittansicht einer Halbleitervorrichtung vom GAA-Typ, aufweisend einen gegen-dotierten Bereich, welcher entsprechend der in [Fig. 4C](#) gezeigten Technik entsprechend einer Ausführungsform der vorliegenden Erfindung ausgebildet ist.

[0032] [Fig. 11A](#), [Fig. 12A](#), [Fig. 13A](#), [Fig. 14A](#), [Fig. 15A](#), [Fig. 16A](#), [Fig. 17A](#) und [Fig. 18A](#) sind perspektivische Ansichten einer Halbleitervorrichtung vom GAA-Typ während ihrer Herstellung, welche einer weiteren Ausführungsform eines Verfahrens zur Herstellung einer Halbleitervorrichtung vom GAA-Typ

entsprechend der vorliegenden Erfindung darstellen.

[0033] [Fig. 11B](#), [Fig. 12B](#), [Fig. 13B](#), [Fig. 14B](#), [Fig. 15B](#), [Fig. 16B](#), [Fig. 17B](#) und [Fig. 18B](#) sind Schnittansichten der jeweils in den [Fig. 11A](#), [Fig. 12A](#), [Fig. 13A](#), [Fig. 14A](#), [Fig. 15A](#), [Fig. 16A](#), [Fig. 17A](#) und [Fig. 18A](#) gezeigten Vorrichtung;

[0034] [Fig. 12C](#) ist eine Schnittansicht ähnlich der von [Fig. 12B](#), welche das Gegen-Dotieren des Substrates darstellt;

[0035] [Fig. 12D](#) ist eine Schnittansicht ähnlich der von [Fig. 12B](#), welche das Ausbilden der Opferschicht darstellt;

[0036] [Fig. 14C](#) ist eine Schnittansicht ähnlich der von [Fig. 14B](#), welche jedoch das Ausbilden einer erhöhten Kanalstruktur entsprechend einer Ausführungsform der vorliegenden Erfindung darstellt;

[0037] [Fig. 14D](#) ist eine Schnittansicht ähnlich der von [Fig. 14B](#), die jedoch das Ausbilden einer ausgesparten Kanalstruktur entsprechend einer Ausführungsform der vorliegenden Erfindung darstellt;

[0038] [Fig. 18C](#) ist eine Schnittansicht einer weiteren Ausführungsform einer Halbleitervorrichtung vom GAA-Typ, aufweisend eine erhöhte Kanalstruktur entsprechend einer Ausführungsform der vorliegenden Erfindung;

[0039] [Fig. 18D](#) ist eine Schnittansicht einer weiteren Ausführungsform einer Halbleitervorrichtung vom GAA-Typ, aufweisend eine ausgesparte Kanalstruktur entsprechend der vorliegenden Erfindung; und

[0040] [Fig. 18E](#) ist eine Schnittansicht einer weiteren Ausführungsform einer Halbleitervorrichtung vom GAA-Typ, aufweisend einen Kanalbereich, dessen Enden die Source-/Drainbereiche entsprechend der vorliegenden Ausführungsform vollständig überlappen.

#### AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0041] Die vorliegende Erfindung wird im folgenden mit Bezug auf die begleitenden Zeichnungen ausführlicher beschrieben. In den Zeichnungen ist die Dicke der Schichten und Bereiche zu Zwecken der Klarheit übertrieben dargestellt. Ebenfalls werden gleiche Bezugszeichen verwendet, um gleiche Elemente in den Zeichnungen zu bezeichnen.

[0042] [Fig. 1A](#) bis [Fig. 10B](#) stellen ein Verfahren zum Herstellen einer Gate-All-Around (GAA) Halbleitervorrichtung entsprechend der vorliegenden Erfindung dar. Bezugnehmend auf [Fig. 1A](#) und [Fig. 1B](#) ist eine Wand aus mono-kristallinem Siliziumhalbleiter-

substrat **10** ausgebildet. Die Wand weist eine vorbestimmte Höhe gemessen von einer ersten unteren Oberfläche **11** auf, und erstreckt sich längs in einer ersten Richtung (z. B. Richtung X in [Fig. 1A](#)). Im allgemeinen wird das Substrat **10** geätzt, um darin Gräben auszubilden, und eine Schicht von isolierendem Material wird innerhalb der Gräben ausgebildet, um dadurch eine Vielzahl von Isolationsstrukturen **12** vorzusehen. Die Isolationsstrukturen **12** erstrecken sich in der ersten Richtung, so daß der Teil des Halbleitersubstrats **10** zwischen den Isolationsstrukturen **12** die zuvorgehend erwähnte Wand bildet. Die erste untere Oberfläche **11** entspricht somit dem Boden der Gräben, d. h. der Fläche, an welcher das Substrat **10** geätzt wird.

**[0043]** Die Grabenisolationstechnik des Ausbildens der Isolationsstrukturen **12** um einen Abschnitt des Halbleitersubstrats **10** herum wird im folgenden im weiteren Detail beschrieben. Zuerst wird eine Pad-Oxidschicht (nicht gezeigt) und eine Nitridschicht (nicht gezeigt) auf der Oberfläche des Halbleitersubstrats **10** ausgebildet. Anschließend wird eine Fotolackschicht (nicht gezeigt) auf der Nitridschicht ausgebildet, und die Fotolackschicht wird unter Verwendung von Fotolithographie strukturiert. Die Pad-Oxidschicht und die Nitridschicht werden anschließend unter Verwendung der strukturierten Fotolackschicht als eine Maske geätzt, um dadurch, wiederum ein Maskenmuster auszubilden. In dem Halbleitersubstrat **10** werden durch anisotropes Trocken-Ätzen des Halbleitersubstrats **10** auf eine vorbestimmte Tiefe unter Verwendung des Maskenmusters als eine Ätzmaske Gräben ausgebildet. Anschließend wird eine Schicht von isolierendem Material auf dem Substrat **10** mit einer dementsprechenden Dicke ausgebildet, daß die Gräben gefüllt sind. Das Maskenmuster wird ebenfalls entfernt und die Struktur wird planarisiert. Wie in [Fig. 1A](#) dargestellt verbleibt die planarisierte Schicht von isolierendem Material entsprechend in den Gräben, um die Isolationsstrukturen **12** entlang beider Seiten der Wand des Halbleitersubstrats **10** auszubilden.

**[0044]** Die Isolationsstrukturen **12** können aus jeglicher geeigneten Schicht isolierenden Materials, wie z. B. einer Oxidschicht oder einer Nitridschicht ausgebildet werden. In der vorliegenden Ausführungsform sind die Isolationsstrukturen **12** aus einem hochdichten Plasmaoxidfilm (HDP) ausgebildet. Das Material der Isolationsstrukturen **12** basiert jedenfalls auf dem Vorsehen einer Ätzselektivität in Bezug auf benachbarte Materialien in einem später ausführlicher beschriebenen Ätzverfahren.

**[0045]** Anschließend werden Störstellen, wie z. B. As in die Wand des Halbleitersubstrats **10** Ionen implantiert. Die resultierende Struktur wird anschließend thermisch behandelt, um den Ionen-implantierten Bereich zu stabilisieren. Ein erster Ionen-implantierter

Bereich **14** wird entsprechend ausgebildet. Der erste Ionen-implantierte Bereich **14** wird letztendlich Source-/Drainbereiche an der Oberfläche des Halbleitersubstrats **10** ausbilden.

**[0046]** Bezugnehmend auf [Fig. 2A](#) und [Fig. 2B](#) wird eine Schicht isolierenden Materials auf der gesamten Oberfläche des Halbleitersubstrats **10** nach Ausbilden der Isolationsstrukturen **12** und der Wand des Halbleitersubstrats **10**, welche durch die Isolationsstrukturen definiert ist, ausgebildet. Als nächstes wird die Schicht isolierenden Materials unter Verwendung von Fotolithographie strukturiert, um dadurch isolierende Maskenmuster **16** auszubilden, welche sich in einer zweiten Richtung (z. B. der Y-Richtung in [Fig. 1A](#)) erstrecken, welche senkrecht zu der Richtung ist, in welcher sich die Wand des Halbleitersubstrats **10** erstreckt. In der vorliegenden Ausführungsform sind die isolierenden Maskenmuster **16** aus SiN ausgebildet. Die isolierenden Maskenmuster **16** können jedoch aus anderen Materialien ausgebildet sein, die eine gewünschte Ätzselektivität in einem nachfolgenden Ätzverfahren vorsehen. Die isolierenden Maskenmuster **16** werden ebenfalls bei dem Ausbilden einer Gate-Elektrode unter Verwendung einer Damaszierungstechnik verwendet. Insofern bildet der Abstand zwischen den isolierenden Maskenmustern **16** die effektive Kanallänge der Gate-Elektrode. Das Verfahren bietet entsprechend eine einfache Steuerung bzw. Kontrolle zum Vorsehen einer gewünschten effektiven Kanallänge der Gate-Elektrode.

**[0047]** Bezugnehmend auf [Fig. 3A](#) und [Fig. 3B](#), wird der Abschnitt (der Wand) des Halbleitersubstrats **10**, welcher zwischen den isolierenden Maskenmustern **16** und den Isolationsstrukturen **12** freigelegt ist, unter Verwendung der isolierenden Maskenmuster **16** und der Isolationsstrukturen **12** als Ätzmasken geätzt, wodurch eine Öffnung **18** in dem Halbleitersubstrat ausgebildet wird. Die Öffnung **18** schließt an einer zweiten unteren Oberfläche **13** des Halbleitersubstrats **10** ab. Obwohl die zweite untere Oberfläche **13** auf jeglicher Ebene relativ zu der ersten unteren Oberfläche **11** angeordnet sein kann, ist die zweite untere Oberfläche **13** vorzugsweise auf einer Ebene über der, der ersten Oberfläche **11** angeordnet, um das Freilegen einer Opferschicht, wie später beschrieben werden wird, zu erleichtern.

**[0048]** Die Abschnitte der Wand des Halbleitersubstrats **10**, welche voneinander durch die Öffnung **18** getrennt sind, weisen jedenfalls eine Vielzahl von Halbleitersäulen auf. Jede der Säulen weist eine erste Ionen-implantierte Fläche **14** an ihrem oberen Ende auf.

**[0049]** Anschließend werden Störstellen, wie z. B. B, BF<sub>2</sub>, BF<sub>3</sub> oder In-Ionen oder dergleichen in dem Bereich des Halbleitersubstrats **10**, welcher an dem

Boden der Öffnung **18** freigelegt ist, implantiert, wodurch eine zweite ionen-implantierte Fläche **20** auf der Oberfläche des Halbleitersubstrats **10** ausgebildet wird. Die Störstellen der zweiten ionen-implantierten Fläche **20** sind verglichen mit den Störstellen der ersten ionen-implantierten Fläche **14** von gegenteiligem Typ, d. h. der Bereich des Halbleitersubstrats **10**, welcher an den Boden der Öffnung **18** freigelegt ist, ist gegendotiert. Die zweite ionen-implantierte Fläche **20** dient somit als eine Isolationschicht, um zu verhindern, daß sich elektrische Ladungen zwischen den Halbleitersäulen bewegen.

[0050] Bezugnehmend auf [Fig. 4A](#) und [Fig. 4B](#), sind erste Seitenwand-Spacer **22** entlang innerer Seiten der Struktur ausgebildet, welche durch die jeweils gegenüberliegenden Seiten der isolierenden Maskenmuster **16**, die jeweiligen gegenüberliegenden Seiten der Säulen des Halbleitersubstrats **10**, und die jeweils gegenüberliegenden Seiten der Isolationsstrukturen **12** gebildet ist. Obwohl die ersten Isolierspacer **22** aus verschiedenen isolierenden Materialien, wie z. B. einem Oxid, einem Nitrid, oder dergleichen ausgebildet sein können, sind die ersten Isolierspacer **22** aus einem Oxid in Erwägung der Ätzselektivität zwischen dem Halbleitersubstrat **10** und den isolierenden Maskenmustern **16** ausgebildet. Des Weiteren ist es wichtig, daß die ersten Isolierspacer **22** jeweils eine akkurate Dicke aufweisen, d. h. eine Dicke, welche präzise mit einer Designregel übereinstimmt, da die Dicke der Isolierspacer dazu dient, die effektive Kanallänge der Gate-Elektrode zu bilden, wie anhand der nachfolgenden Beschreibung ersichtlich werden wird.

[0051] Bevor die Beschreibung jedoch fortfährt, ist in [Fig. 4C](#) eine alternative Sequenz zu dem Verfahren der vorliegenden Erfindung gezeigt. Insbesondere zeigt [Fig. 4C](#), daß das Ionen implantieren des Abschnitts des Halbleitersubstrats **10**, welcher an den Boden der Öffnung **18** freigelegt ist, stattfinden kann, nachdem die ersten Isolierspacer **22** ausgebildet sind. D. h. als eine Alternative zu dem, was in [Fig. 3B](#) dargestellt ist, kann die zweite ionen-implantierte Fläche **20** nach Ausbilden der ersten Isolierspacer **20** ausgebildet werden.

[0052] Bezugnehmend auf [Fig. 4C](#) wird eine Opferschicht **24** auf dem Abschnitt des Halbleitersubstrats **10**, welcher zwischen den ersten Isolierspacern **22** freigelegt ist, ausgebildet. Die Opferschicht **24** ist in der endgültigen Halbleitervorrichtung nicht vorhanden. Die Opferschicht **24** kann daher aus jeglichen verschiedenen Materialien ausgebildet sein. Die Opferschicht **24** besteht jedoch vorzugsweise aus einem Material, welches sich exzellent eignet, in einer gewünschten Dicke ausgebildet zu werden, z. B. einem Material, daß durch epitaxiales Aufwachsen ausgebildet werden kann. In der vorliegenden Ausführungsform ist die Opferschicht **24** vorzugsweise

eine SiGe-Schicht. Solange jedoch die Ätzselektivität zwischen dem Silizium des Halbleitersubstrats **10** und dem Oxid des ersten Isolierspacers **22** sichergestellt ist, kann die Opferschicht **24** anstatt dessen unter Verwendung von chemischem Dampfabscheiden, physikalischem Dampfabscheiden oder dergleichen ausgebildet werden. Die Opferschicht kann z. B. durch chemisches Dampfabscheiden von Polysilizium auf dem freigelegten Abschnitt des Halbleitersubstrats **10**, thermischem Behandeln der resultierenden Polysiliziumschicht und Ätzen der Polysiliziumschicht ausgebildet werden.

[0053] Bezugnehmend auf [Fig. 5A](#) und [Fig. 5B](#) werden die ersten Isolierspacer **22** unter Verwendung der Isoliermaskenmuster **16**, der Isolationsstrukturen **12** und der Opferschicht **24** als Ätzmasken geätzt, so daß die Opferschicht **24** und die verbleibenden Abschnitte **22a** der ersten Isolierspacer **20** innerhalb der Öffnung **18** verbleiben. Und wie am besten in [Fig. 5B](#) gezeigt, wird das Ätzen vorzugsweise soweit durchgeführt, daß die oberen Oberflächen der verbleibenden Abschnitte **22a** mit der Ebene der oberen Oberfläche der Opferschicht **24** bündig sind, oder unter dieser angeordnet sind. Dies erleichtert ein nachfolgendes Ausbilden einer Kanalhalbleiterschicht und trägt zum Minimieren der Parasitärkapazität zwischen dem Source-/Drainbereich und dem Gate bei.

[0054] Bezugnehmend auf [Fig. 6A](#) und [Fig. 6B](#), wird eine Kanalhalbleiterschicht **26** auf der Opferschicht **24** und den verbleibenden Abschnitten **22a** der ersten Isolierspacer ausgebildet. Die Kanalhalbleiterschicht **26** wird mit einer solchen Dicke ausgebildet, daß diese die Öffnung **18** füllt und somit die oberen Abschnitte der Halbleitersäulen, welche die erste ionen-implantierte Fläche **14** und das Halbleitersubstrat **10** enthalten, überbrückt. Die Kanalhalbleiterschicht **26** dient entsprechend als der Kanal des Transistors. In der vorliegenden Ausführungsform kann die Kanalhalbleiterschicht **26** eine epitaxial aufgewachsene Siliziumschicht im Anbetracht der genauen Kohärenz sein, die zwischen solch einer Schicht und der mono-kristallinen Siliziumhalbleiterschicht **10** besteht. Die epitaxial aufgewachsene Siliziumschicht kann einer thermischen Behandlung in einer Wasserstoffatmosphäre für einen vorbestimmten Zeitraum unterzogen werden, um Defekte ihrer Oberfläche zu beheben. Überdies ist die Gesamtdicke der Kanalhalbleiterschicht **26** von der Dicke der Opferschicht **24**, gemessen von der zweiten unteren Oberfläche **13** abhängig. Die Opferschicht ist deshalb derart ausgebildet, daß sie unter der Ebene des Halbleitersubstrats **10**, das die Isoliermaskenmuster **16** kontaktiert, angeordnet ist.

[0055] [Fig. 6B](#) zeigt eine Kanalhalbleiterschicht **26**, deren obere Oberfläche mit der, jeder der Halbleitersäulen bündig ist. Eine GAA-Halbleitervorrichtung

entsprechend der Vorrichtung der vorliegenden Erfindung kann jedoch eine erhöhte Kanalstruktur, wie in [Fig. 6C](#) gezeigt, aufweisen. In der erhöhten Kanalstruktur ist die obere Oberfläche der Kanalhalbleiterschicht **26** auf einer Ebene über der, der oberen Oberflächen der Halbleitersäulen angeordnet. Alternativ kann, wie in [Fig. 6D](#) gezeigt, eine GAA-Halbleitervorrichtung entsprechend der vorliegenden Erfindung eine ausgesparte Kanalstruktur aufweisen, in welcher die obere Oberfläche der Kanalhalbleiterschicht **26** auf einer Ebene unter der, der oberen Oberflächen der Halbleitersäulen angeordnet ist.

**[0056]** Bezugnehmend auf [Fig. 7A](#) und [Fig. 7B](#) ist Isoliermaterial auf der gesamten Oberfläche des Halbleitersubstrats **10** abgeschieden. Anschließend wird die Isoliermaterialschicht unisotrop geätzt, um zweite Isolierspacer **28** auf Seitenwänden der Isoliermaskenmuster **16** auszubilden. Die zweiten Isolierspacer **28** können aus einem Oxid, einem Nitrid oder dergleichen ausgebildet sein. Die zweiten Isolierspacer **28** weisen jedenfalls vorzugsweise eine Ätzselektivität in Bezug auf die Isolationsstrukturen **12** auf, so daß die zweiten Isolierspacer **28** als eine Ätzmaske in einem nachfolgenden Ätzverfahren dienen.

**[0057]** Des weiteren bilden die Dicken der verbleibenden Abschnitte **22A** der ersten Isolierspacer **22**, wie vorhergehend beschrieben, die effektive Breite W1 des unteren Abschnitts des Kanals. Die Dicke der zweiten Isolierspacer **28**, und insbesondere die Dicken der Bodenabschnitte der zweiten Isolierspacer **28**, welche die Kanalhalbleiterschicht **26** kontaktieren, bilden gleichermaßen die effektive Breite W2 eines oberen Abschnitts des Kanals. Die ersten und zweiten Isolierspacer **22** und **28** sind daher vorzugsweise mit nahezu der gleichen Dicke ausgebildet.

**[0058]** Bezugnehmend auf [Fig. 8A](#) und [Fig. 8B](#), wird die Struktur unter Verwendung der zweiten Isolierspacer **28**, der Isoliermaskenmuster **16** und der Kanalhalbleiterschicht **26** als Ätzmasken anisotrop geätzt. Demzufolge werden die freigelegten Abschnitte der Isolationsstrukturen **12** und jene Teile der verbleibenden Abschnitte **22a** der ersten Isolierspacer, welche sich entlang der Seitenwände der Opferschicht **24** erstrecken, entfernt. Die Seitenwände der Opferschicht **24** werden somit freigelegt. Wenn die Isolationsstrukturen **12** und die ersten Isolierspacer **22** aus Materialien gleicher Art bzw. der Familie, wie z. B. einer Oxidfamilie ausgebildet sind, weisen die Materialien ähnliche Ätzselektivitäten auf. In diesem Fall werden die freigelegten Abschnitte der Isolationsstrukturen **12** und jene Teile der verbleibenden Abschnitte **22a**, welche sich entlang Seitenwänden der Opferschicht **24** erstrecken, während eines einzelnen Ätzverfahrens entfernt. Die freigelegten Abschnitte der Isolationsstrukturen **12** und jene Teile der verbleibenden Abschnitte **22a**, welche sich ent-

lang von Seitenwänden der Opferschicht **24** erstrecken, werden anderenfalls getrennt durch zwei Ätzverfahren entfernt.

**[0059]** Bezugnehmend auf [Fig. 9A](#) und [Fig. 9B](#), wird danach die verbleibende Opferschicht entfernt, so daß ein quaderförmiger Mittelabschnitt der Kanalhalbleiterschicht **26** vollständig freigelegt bleibt.

**[0060]** Bezugnehmend auf [Fig. 10A](#) und [Fig. 10B](#) wird eine Gate-Isolierschicht **30**, z. B. eine Siliziumoxidschicht, auf den freigelegten rechteckförmigen Oberflächen der Kanalhalbleiterschicht **26** ausgebildet. Eine Gate-Isolierschicht **30** wird ebenfalls auf dem Teil der zweiten unteren Oberfläche **13** des Halbleitersubstrats **10** ausgebildet, welche durch das Entfernen der Opferschicht **24** freigelegt wurde.

**[0061]** Nachfolgend wird ein Gate-Elektrodenmaterial, z. B. Polysilizium, auf der Gate-Isolierschicht **30**, welche um die Kanalhalbleiterschicht **26** herum ausgebildet ist, abgeschieden, wodurch eine Gate-Elektrode **32** ausgebildet wird. Die Gate-Elektrode **32** füllt die Fläche, von welcher die Opferschicht **24** entfernt wurde, vorzugsweise vollständig auf. Die resultierende Struktur kann nach dem Abscheidungsverfahren planarisiert werden. Anschließend wird eine Kontaktöffnung in jedem der Isoliermaskenmuster **16** ausgebildet, um die erste ionen-implantierte Fläche **14** freizulegen. Danach werden die Kontaktöffnungen mit einem leitenden Material aufgefüllt, um dadurch eine Sourceelektrode **34a** und eine Drainelektrode **34b** auszubilden, woraufhin ein GAA-Transistortyp entsprechend der vorliegenden Erfindung vollständig ist.

**[0062]** [Fig. 10c](#) bis [Fig. 10f](#) zeigen weitere Ausführungsformen eines GAA-Transistortyps entsprechend vorliegender Erfindung.

**[0063]** [Fig. 10c](#) zeigt einen GAA-Transistortyp entsprechend der vorliegenden Erfindung, wobei die Kanalhalbleiterschicht **26** eine erhöhte Struktur aufweist, wie in Verbindung mit [Fig. 6C](#) beschrieben wurde. [Fig. 10D](#) zeigt ein GAA-Transistor entsprechend der vorliegenden Erfindung, wobei die Kanalhalbleiterschicht **26** eine ausgesparte Struktur aufweist, wie in Verbindung mit [Fig. 6D](#) beschrieben wurde. [Fig. 10E](#) zeigt einen GAA Transistortyp entsprechend der vorliegenden Erfindung, wobei die erste ionen-implantierte Fläche **14** vollständig innerhalb dem Vorsprung der rechteckförmigen Öffnung liegt, welcher sich durch die Gate-Elektrode **32** erstreckt. D. h. der Kanalbereich überlappt die Source-/Drainbereiche an den jeweiligen Enden des Kanalbereichs vollständig. [Fig. 10F](#) zeigt einen GAA Transistor entsprechend der vorliegenden Erfindung, wobei die zweite ionen-implantierte Fläche **20** in dem Bereich des Transistors, welcher zwischen den verbleibenden Abschnitten **22a** der ersten Isolierspacer definiert ist, angeordnet ist, wie in Verbindung mit

[Fig. 4C](#) beschrieben wurde.

[0064] [Fig. 11A](#) bis [Fig. 18B](#) stellen weitere Ausführungsformen eines Verfahrens zum Herstellen einer GAA Halbleitervorrichtung entsprechend der vorliegenden Erfindung dar.

[0065] Bezugnehmend auf [Fig. 11A](#) und [Fig. 11B](#), wird eine Wand aus einem monokristallinen Siliziumhalbleitersubstrat **10** ausgebildet. Die Wand weist eine vorbestimmte Höhe, gemessen von einer ersten unteren Oberfläche **11** des Substrats **10** auf, und erstreckt sich längs in einer ersten Richtung. Es werden ebenfalls eine Vielzahl von Isolationsstrukturen **12** ausgebildet, die sich in der ersten Richtung entlang der Wand erstrecken. Nachfolgend werden Störstellen, wie z. B. As, in das Halbleitersubstrat **10** ionen-implantiert, um einen Source-/Drainbereich auf der Oberfläche des Halbleitersubstrats **10** auszubilden. Die ionen-implantierte Fläche wird thermisch behandelt um die resultierende Struktur zu stabilisieren, wodurch eine erste ionen-implantierte Fläche **14** ausgebildet wird.

[0066] Danach wird eine isolierende Materialschicht auf der gesamten Oberfläche des Halbleitersubstrats **10** ausgebildet. Anschließend wird die isolierende Materialschicht unter Verwendung von Photolithographie strukturiert, um dadurch eine Vielzahl von Isoliermaskenmustern **16** auszubilden, welche sich in einer zweiten Richtung senkrecht zu der ersten Richtung erstrecken, in welcher sich die Wand des Halbleitersubstrats **10** erstreckt. In der vorliegenden Ausführungsform sind die Isoliermaskenmuster **16** aus SiN ausgebildet. Danach wird der Teil des Halbleitersubstrats **10**, welcher zwischen den Isoliermaskenmustern **16** und den Isolierschichten **12** freigelegt ist, unter Verwendung der Isoliermaskenmuster **16** und der Isolierschichten **12** als Ätzmasken geätzt, wodurch eine Öffnung **18b** ausgebildet wird, welche an einer zweiten unteren Oberfläche **15** endet, die über der Ebene angeordnet ist, in welche die Störstellen in das Substrat **10** implantiert wurden. Obere Endabschnitte der Wand des Halbleitersubstrats **10** werden durch die Öffnung **18b** voneinander getrennt, wodurch eine Vielzahl von Halbleitersäulen ausgebildet werden. Die erste ionen-implantierte Fläche **10** verbleibt auf jedem der Halbleitersäulen.

[0067] Bezugnehmend auf [Fig. 12A](#) und [Fig. 12B](#) wird Isoliermaterial auf der gesamten Oberfläche des Halbleitersubstrats **10** abgeschieden, in welcher die Öffnung **18b** ausgebildet wurde. Nachfolgend wird die Schicht von isolierendem Material anisotrop geätzt, um erste Isolierspacer **22b** auszubilden, welche die Seiten der Öffnung **18b** und die gegenüberliegenden Seitenwände der Isoliermaskenmuster **16** bedecken.

[0068] Bezugnehmend auf [Fig. 12C](#) wird der Ab-

schnitt des Halbleitersubstrats **10**, welcher an dem Boden der Öffnung **18b** freigelegt ist, unter Verwendung der ersten Isolierspacer **22b** als Ätzmasken um eine vorbestimmte Menge geätzt. Das Ätzverfahren bildet eine Aussparung aus, deren Boden durch eine dritte untere Oberfläche **17** des Substrats definiert ist. Danach werden Störstellen, wie z. B. B, BF<sub>2</sub>, In Ionen oder dergleichen in das Halbleitersubstrat **10** implantiert, wodurch das Substrat **10** gegendotiert wird und eine zweite ionen-implantierte Fläche **20b** in der dritten unteren Oberfläche **17** des Halbleitersubstrats **10** ausgebildet wird. Die zweite ionen-implantierte Oberfläche **20** dient als eine Isolierschicht, um zu verhindern, daß sich elektrische Ladungen zwischen den Halbleitersäulen bewegen. Obwohl die dritte untere Oberfläche **17** auf jeglicher Ebene relativ zu der, der ersten unteren Oberfläche **11** angeordnet sein kann, ist die dritte untere Oberfläche **17** vorzugsweise auf einer Ebene über der, der ersten unteren Oberfläche **11** angeordnet, um das Freilegen einer Opferschicht zu erleichtern, wie später beschrieben werden wird.

[0069] Bezugnehmend auf [Fig. 12D](#) wird eine Opferschicht **24b** auf dem Abschnitt des Halbleitersubstrats **10**, welcher durch die ersten Isolierspacer **22b** freigelegt ist, ausgebildet. Die Opferschicht **24b** füllt vorzugsweise den ausgesparten Abschnitt des Halbleitersubstrats **10** und weist eine ebene obere Oberfläche auf, welche mit der zweiten unteren Oberfläche des Substrats **10** bündig ist. Zu diesem Zweck ist die Opferschicht **24b** aus einem Material ausgebildet, das sich exzellent dazu eignet in einer gewünschten Dicke ausgebildet zu werden, z. B. einem Material, welches durch epitaxiales Aufwachsen ausgebildet werden kann. In der vorliegenden Ausführungsform ist die Opferschicht **24** vorzugsweise eine Si-Ge-Schicht. Solange jedoch die Ätzselektivität zwischen dem Silizium des Halbleitersubstrats **10** und dem Oxid der ersten Isolierspacer **22b** sichergestellt ist, kann die Opferschicht **24b** anstatt dessen unter Verwendung von chemischem Dampfabscheiden, physikalischem Dampfabscheiden oder dergleichen ausgebildet werden. Die Opferschicht **24b** kann z. B. durch chemisches Dampfabscheiden von Polysilizium auf dem freigelegten Abschnitt des Halbleitersubstrats **10**, thermischem Behandeln der resultierenden Polysiliziumschicht, und Ätzen der Polysiliziumschicht ausgebildet werden.

[0070] Bezugnehmend auf die [Fig. 13A](#) und [Fig. 13B](#) werden die ersten Isolierspacer **22b** unter Verwendung der Isoliermaskenmuster **16**, der Isolierschichten **12**, des Halbleitersubstrats **10** und der Opferschicht **24b** als Ätzmasken vollständig weggeätzt. Die Opferschicht **24b** wird deshalb unterhalb der zweiten unteren Oberfläche **15** des Substrats **10** an dem Boden des mittleren Abschnitts der Öffnung **18b** freigelegt.

[0071] Bezugnehmend auf [Fig. 14A](#) und [Fig. 14B](#)

wird eine Kanalhalbleiterschicht **26b** auf der Opferschicht **24b** ausgebildet. Die Kanalhalbleiterschicht **26b** füllt die Öffnung **18b** vollständig auf, um zu Überbrücken und dadurch die Halbleitersäulen zu verbinden. Die Kanalhalbleiterschicht **26b** erstreckt sich insbesondere zwischen jenen Abschnitten der ersten Ionen-implantierten Fläche **14**, welche auf den jeweiligen Halbleitersäulen ausgebildet ist. Die Kanalhalbleiterschicht **26b** dient somit als der Kanal des Transistors. In der vorliegenden Ausführungsform kann die Kanalhalbleiterschicht **26b** eine epitaxial aufgewachsene Siliziumschicht sein, wenn man die genaue Kohärenz in Erwägung zieht, welche zwischen solcher Schicht und dem mono-kristallinen Siliziumhalbleitersubstrat **10** existiert. Die epitaxial aufgewachsene Siliziumschicht kann einer thermischen Behandlung für einen vorbestimmten Zeitraum in einer Wasserstoffatmosphäre unterzogen werden, um Mängel an ihrer Oberfläche zu begleichen. Die Gesamtdicke der Kanalhalbleiterschicht **26b** ist überdies derart gestaltet, daß ihre obere Oberfläche im wesentlichen auf der gleichen Ebene mit der, der Halbleitersäulen angeordnet ist. Wie jedoch in [Fig. 14C](#) gezeigt kann die Halbleiterschicht **26b** eine erhöhte Struktur aufweisen, wobei ihre obere Oberfläche über der Ebene der oberen Oberfläche der Halbleitersäulen angeordnet ist. Alternativ, wie in [Fig. 14D](#) gezeigt, kann die Halbleiterschicht **26b** eine ausgesparte Struktur aufweisen, wobei ihre obere Oberfläche unter der Ebene der oberen Oberfläche der Halbleitersäulen angeordnet ist.

**[0072]** Bezugnehmend auf [Fig. 15A](#) und [Fig. 15B](#) wird Isoliermaterial wieder auf der gesamten Oberfläche des Halbleitersubstrats **10** abgeschieden. Diese Schicht von isolierendem Material wird anisotrop geätzt, um dadurch zweite Isolierspacer **28b** auf Seitenwänden der Isoliermaskenmuster **16** auszubilden. Die zweiten Isolierspacer **28e** können aus einem Oxid, einem Nitrid oder dergleichen bestehen. Zwei Isolierspacer **28b** weisen jedenfalls vorzugsweise eine Ätzselektivität in Bezug auf die Isolierstrukturen **12** auf, so daß die zweiten Isolierspacer **28b** als eine Ätzmaske in einem nachfolgendem Ätzverfahren dienen.

**[0073]** Des Weiteren bilden die Dicken der Bodenabschnitte der ersten Isoliersabschnitte **22b** die effektive Breite eines unteren Abschnitts des Kanals. Gleichermaßen bilden die Dicken der zweiten Isolierspacer **28b** und insbesondere die Dicken der Bodenabschnitte der zweiten Isolierspacer **28b**, welche die Kanalhalbleiterschicht **26d** kontaktieren, die effektive Breite eines oberen Abschnitts des Kanals. Die ersten und zweiten Isolierspacer **22b** und **28b** werden daher vorzugsweise mit nahezu der gleichen Dicke ausgebildet.

**[0074]** Bezugnehmend auf [Fig. 16A](#) und [Fig. 16B](#) wird die Struktur unter Verwendung der zweiten Iso-

lierspacer **28b**, der Isoliermaskenmuster **16** und der Kanalhalbleiterschicht **26b** als Ätzmasken anisotrop geätzt. Demzufolge werden die freigelegten Abschnitte der Isolierschichten **12** entfernt, um die Seitenwände der Opferschicht **24b** freizulegen.

**[0075]** Bezugnehmend auf [Fig. 17A](#) und [Fig. 17B](#) wird die Opferschicht **24b** entfernt, so daß ein mittlerer Abschnitt der Kanalhalbleiterschicht **26b** freigelegt ist.

**[0076]** Bezugnehmend auf [Fig. 18A](#) und [Fig. 18B](#) wird eine Gate-Isolierschicht **30**, z. B. eine Siliziumoxidschicht auf den freigelegten Oberflächen der Kanalhalbleiterschicht **26b** ausgebildet. Eine Gate-Isolierschicht **30** wird auf Oberflächen des Halbleitersubstrats **10** ausgebildet, welche durch das Entfernen der Opferschicht **24b** freigelegt werden.

**[0077]** Demzufolge wird ein Gateelektrodenmaterial, z. B. Polysilizium auf den Gateisolierschichten **30** abgelagert, wodurch eine Gate-Elektrode **32b** ausgebildet wird. Die Gate-Elektrode **32d** füllt die Fläche, von welcher die Opferschicht **24b** entfernt wurde, vorzugsweise vollständig auf. Die resultierende Struktur kann nach den Abscheideverfahren kanalisiert werden. Anschließend wird eine Kontaktöffnung in jedem der Isoliermaskenmuster **16** ausgebildet, um die erste Ionen-implantierte Fläche **14** freizulegen. Danach werden die Kontaktöffnungen mit einem leitenden Material gefüllt, wodurch eine Sourcelektrode **34a** und eine Drainelektrode **34b** ausgebildet werden, woraufhin ein Transistor vom GAA Typ entsprechend der vorliegenden Erfindung vollständig ist.

**[0078]** Die [Fig. 18c](#) bis [Fig. 18e](#) zeigen weitere Ausführungsformen eines Transistors vom GAA Typ entsprechend der vorliegenden Erfindung. [Fig. 18c](#) zeigt einen Transistor von GAA Typ entsprechend der vorliegenden Erfindung, wobei die Kanalhalbleiterschicht **26** eine erhöhte Struktur aufweist, wie in Verbindung mit der [Fig. 14C](#) beschrieben worden ist. Die [Fig. 18d](#) zeigt einen Transistor vom GAA Typ entsprechend der vorliegenden Erfindung, wobei die Kanalhalbleiterschicht **26** eine ausgesparte Struktur aufweist, wie im Bezug auf [Fig. 14d](#) beschrieben worden ist. Die [Fig. 18e](#) zeigt einen Transistor vom GAA Typ entsprechend der vorliegenden Erfindung, wobei die erste Ionen-implantierte Fläche **14** vollständig innerhalb des Vorsprungs der rechteckigen Öffnung liegt, welche sich durch die Gate-Elektrode **32b** hindurch erstreckt. D. h. der Kanalbereich überlappt die Source-/Drainbereiche an den jeweiligen Enden des Kanalbereichs vollständig.

### Patentansprüche

1. Verfahren zur Herstellung eines Transistors vom Gate-All-Around(GAA)-Typ, aufweisend: Vorsehen eines Siliziumsubstats (**10**);

Ätzen des Substrats zum Ausbilden eines Paares von voneinander beabstandet angeordneten Gräben, so daß ein Aktivbereich (14) des Siliziums zwischen den Gräben angeordnet verbleibt;

Füllen der Gräben mit Isoliermaterial, so dass sich erste und zweite Isolationsbereiche (12) ergeben; Ionen-Implantieren von Störstellen in das Substrat (10);

nachfolgendes Ausbilden einer Öffnung in dem Aktivbereich zum Trennen von Abschnitten des Aktivbereiches (14), wodurch voneinander beabstandet angeordnete Säulen aus Silizium ausgebildet werden, die mit den Störstellen implantiert sind, wobei Bereiche der Säulen, welche mit den Störstellen implantiert sind, Source- bzw. Drainbereiche bilden;

Ausbilden eines Kanalbereichs (26) in der Öffnung zum Überbrücken der Source- und Drainbereiche; und

Ausbilden einer Gate-Isolierschicht (30) und einer Gate-Elektrode (32) um den Kanalbereich herum.

2. Verfahren nach Anspruch 1, wobei das Ausbilden einer Öffnung in dem Aktivbereich (14) ein Ausbilden von Maskenmustern aufweist, welche sich quer über den Aktivbereich (14) erstrecken und in der Längsrichtung des Aktivbereiches (14) voneinander beabstandet angeordnet sind, um gegenüberliegende Seitenwände aufzuweisen, sowie ein Ätzen des Aktivbereichs (14) unter Verwendung der Maskenmuster als eine Ätzmaske.

3. Verfahren nach Anspruch 2, ferner aufweisend ein Ausbilden einer Opferschicht (24) an dem Boden der Öffnung vor dem Ausbilden des Kanalbereichs, sowie ein Entfernen der Opferschicht (24) nach Ausbilden des Kanalbereichs und vor Ausbilden der Gate-Isolierschicht (30) und der Gate-Elektrode (32).

4. Verfahren nach Anspruch 3, wobei: der Aktivbereich (14) in der Form eines Streifens ausgebildet ist, welcher sich längs in einer ersten Richtung zwischen den ersten und zweiten Isolationsbereichen (12) erstreckt;

und die Öffnung in dem Aktivbereich (14) zwischen den ersten und zweiten Isolationsbereichen ausgebildet ist;

und Seitenwand-Spacern (22) innerhalb der Öffnung auf gegenüberliegenden Seitenwänden des Aktivbereichs (14) ausgebildet werden;

und obere Abschnitte der Seitenwand-Spacer (22) zum Freilegen von zumindest oberen Abschnitten der gegenüberliegenden Seitenwände des Aktivbereichs (14) entfernt werden, während verbleibende Abschnitte der Seitenwand-Spacer (22) an dem Boden der Öffnung verbleiben;

und der Kanalbereichs zwischen den freigelegten Abschnitten der gegenüberliegenden Seitenwände der Aktivschicht (14), sowie auf der Opferschicht (24) und den verbleibenden Abschnitten der Seitenwand-Spacer ausgebildet wird;

5. Verfahren nach Anspruch 4, ferner umfassend ein Ausbilden zweiter Seitenwand-Spacer (28) auf den gegenüberliegenden Seitenwänden der Maskenmuster und über dem Kanalbereich vor dem Ausbilden der Gate-Isolierschicht (30) und der Gate-Elektrode (32).

6. Verfahren nach Anspruch 4, wobei das Ausbilden der Opferschicht (24) epitaxiales Aufwachsen von SiGe an dem Boden der Öffnung zwischen den Seitenwand-Spacern aufweist.

7. Verfahren nach Anspruch 4, wobei das Ausbilden eines Kanalbereichs zwischen den freigelegten Abschnitten der gegenüberliegenden Seitenwände der Aktivschicht epitaxiales Aufwachsen von Si auf der Opferschicht (24) und den verbleibenden Abschnitten der Seitenwand-Spacer (22) aufweist.

8. Verfahren nach Anspruch 4, wobei das Vorsehen eines Substrats mit einem Aktivbereich (14) in der Form eines Streifens, ein Vorsehen eines mono-kristallinen Siliziumsubstrats, ein Ätzen des Substrats zum Ausbilden eines Paares von voneinander beabstandeten Gräben darin, welche sich in der ersten Richtung erstrecken, wobei eine Wand des mono-kristallinen Silizium zwischen den Gräben angeordnet ist, ein Füllen der Gräben mit Isoliermaterial zum Ausbilden von Grabenisolationsstrukturen, und ein Implantieren von Störstellen in die Wand des mono-kristallinen Siliziums aufweist.

9. Verfahren nach Anspruch 4, wobei das Ätzen der Wand unter Verwendung der Maskenmuster als eine Ätzmaske derart gesteuert wird, daß der Boden der Öffnung auf einer Ebene über dem Boden von jedem Graben angeordnet ist.

10. Verfahren nach Anspruch 4, ferner ein Ausbilden von zweiten Seitenwand-Spacern (28) auf gegenüberliegenden Seitenwänden der Maskenmuster und über dem Kanalbereich vor dem Ausbilden der Gate-Isolierschicht (30) und der Gate-Elektrode (32) aufweisend.

11. Verfahren nach Anspruch 10, wobei die zweiten Seitenwand-Spacer (28) ausgebildet sind, um sich ebenfalls quer über den Isolationsstrukturen zu erstrecken und das Entfernen der Opferschicht (24) ein Wegätzen von Abschnitten der Isolationsstrukturen, welche zwischen den zweiten Seitenwand-Spacern (28) freigelegt sind, sowie ein nachfolgendes Wegätzen der Opferschicht (24) aufweist.

12. Verfahren nach Anspruch 4 ferner, das Implantieren von Störstellen in dem gesamten Bereich des Substrats, das am Boden der Öffnung vor Ausbilden der Seitenwand-Spacer (22) freigelegt wird, aufweisend.

13. Verfahren nach Anspruch 4, ferner, das Implantieren von Störstellen in dem gesamten Bereich des Substrats, das am Boden der Öffnung nach Ausbilden der Seitenwand-Spacer (22) freigelegt wird, aufweisend.

14. Transistor vom Gate-All-Around(GAA)-Typ, aufweisend:  
eine erste Säule, welche einen Sourcebereich aufweist;  
eine zweite Säule, welche einen Drainbereich aufweist und von der ersten Säule beabstandet angeordnet ist;  
einen Kanalbereich (26), welcher den Sourcebereich der ersten Säule und den Drainbereich der zweiten Säule überbrückt;  
eine Gate-Isolierschicht (30) und eine Gate-Elektrode (32), welche den Kanalbereich umgeben; und  
Isoliermaterial, welches zwischen den Säulen lateral zu der Gate-Elektrode unter dem Kanalbereich angeordnet ist.

15. Transistor nach Anspruch 14, ferner Maskenmuster aufweisend, welche auf den jeweiligen Säulen angeordnet sind, sowie Isoliermaterial, das zwischen den Maskenmustern und lateral zu der Gate-Elektrode (32) über dem Kanalbereich angeordnet ist.

16. Transistor nach Anspruch 14, ferner einen gegen-dotierten Bereich aufweisend, welcher unter der Gate-Elektrode (32) angeordnet ist.

17. Transistor nach Anspruch 14, wobei der Kanalbereich eine Si-Epitaxialschicht ist.

18. Transistor nach Anspruch 14, wobei der Kanalbereich eine obere Fläche aufweist, welche auf derselben Ebene wie die oberen Oberflächen der Säulen angeordnet ist.

19. Transistor nach Anspruch 14, wobei der Kanalbereich eine obere Oberfläche aufweist, welche auf einer Ebene über den oberen Oberflächen der Säulen angeordnet ist.

20. Transistor nach Anspruch 14, wobei der Kanalbereich eine obere Oberfläche aufweist, welche auf einer Ebene unterhalb den oberen Oberflächen der Säulen angeordnet ist.

21. Transistor nach Anspruch 14, wobei der Kanalbereich die Source- und Drainbereiche an jeweiligen Enden des Kanalbereichs vollständig überlappt.

22. Transistor nach Anspruch 14, ferner ein mono-kristallines Substrat aufweisend, welches die Säulen aufweist.

23. Verfahren nach Anspruch 1, wobei:

der Aktivbereich (14) in der Form eines Streifens ausgebildet ist, welcher sich längs in einer ersten Richtung zwischen den ersten und zweiten Isolationsbereichen (12) erstreckt;  
und die Öffnung in dem Aktivbereich (14) zwischen den ersten und zweiten Isolationsbereichen (12) ausgebildet ist;  
und Seitenwand-Spacern (22) innerhalb der Öffnung auf gegenüberliegenden Seitenwänden des Aktivbereichs (14) ausgebildet werden;  
Und nachfolgendes eine Aussparung in dem Substrat zwischen den Seitenwand-Spacern (22) ausgebildet wird;  
und eine Opferschicht (24) in der Aussparung ausgebildet wird;  
und die Seitenwand-Spacer (22) zum Freilegen der gegenüberliegenden Seitenwände des Aktivbereichs (14) entfernt werden;  
und der Kanalbereich zwischen den freigelegten gegenüberliegenden Seitenwänden des Aktivbereichs und über der Opferschicht (24) ausgebildet ist;  
und die Opferschicht (24) entfernt wird.

24. Verfahren nach Anspruch 23, wobei das Ausbilden einer Öffnung in dem Aktivbereich ein Ausbilden von Maskenmustern aufweist, welche sich quer über den Aktivbereich erstrecken und voneinander in erster Richtung beabstandet angeordnet sind, um gegenüberliegende Seitenwände aufzuweisen, sowie ein Ätzen des Aktivbereichs unter Verwendung der Maskenmuster als eine Ätzmaske.

25. Verfahren nach Anspruch 23, wobei das Ausbilden der Opferschicht (24) epitaxiales Aufwachsen von SiGe in der Aussparung aufweist.

26. Verfahren nach Anspruch 23, wobei das Ausbilden eines Kanalbereichs zwischen den freigelegten Abschnitten der gegenüberliegenden Seitenwände der Aktivschicht epitaxiales Aufwachsen von Si auf der Opferschicht (24) aufweist.

27. Verfahren nach Anspruch 23, wobei das Vorsehen eines Substrats, mit einem Aktivbereich in der Form eines Streifens, ein Vorsehen eines mono-kristallinen Substrats, ein Ätzen des Substrats zum Ausbilden eines Paares von voneinander beabstandeten Gräben darin, welche sich in der ersten Richtung erstrecken, wodurch eine Wand aus mono-kristallinem Silizium zwischen den Gräben angeordnet ist, ein Füllen der Gräben mit Isoliermaterial zum Ausbilden von Grabenisolationsstrukturen, sowie ein Implantieren von Störstellen in der Wand aus mono-kristallinem Silizium aufweist.

28. Verfahren nach Anspruch 27, wobei das Ausbilden einer Öffnung in dem Aktivbereich ein Ausbilden von Maskenmustern aufweist, welche sich über die Wand erstrecken und voneinander beabstandet in erster Richtung angeordnet sind, um gegenüberlie-

gende Seitenwände aufzuweisen, sowie ein Ätzen der Wand unter Verwendung der Maskenmuster als Ätzmaske.

29. Verfahren nach Anspruch 28, wobei das Ätzen der Wand unter Verwendung der Maskenmuster als eine Ätzmaske derart gesteuert wird, daß der Boden der Öffnung auf einer Ebene über dem Boden von jedem Graben angeordnet ist.

30. Verfahren nach Anspruch 28, ferner ein Ausbilden von zweiten Seitenwand-Spacern auf den gegenüberliegenden Seitenwänden der Maskenmuster und über den Kanalbereich, vor dem Ausbilden der Gate-Isolierschicht (30) und der Gate-Elektrode (32) aufweisend.

31. Verfahren nach Anspruch 30, wobei die zweiten Seitenwand-Spacer (28) ausgebildet sind, so daß sich diese ebenfalls quer über den Isolationsstrukturen entlang gegenüberliegenden Seitenwänden der jeweiligen Maskenmuster erstrecken, und das Entfernen der Opferschicht (24) ein Wegätzen von Abschnitten der Isolationsstrukturen, welche zwischen den zweiten Seitenwand-Spacern (28) freigelegt sind, und ein nachfolgendes Wegätzen der Opferschicht aufweist.

32. Verfahren nach Anspruch 23, ferner ein Implantieren von Störstellen in dem gesamten Bereich des Substrats, welcher an dem Boden der Öffnung nach Ausbilden der Seitenwand-Spacer freigelegt wird, aufweisend.

33. Transistor nach einem der Ansprüche 14 bis 22, wobei die Gate-Elektrode (32) einen unteren Abschnitt aufweist, der unter dem Kanalbereich angeordnet ist, und die Breite des Kanalbereichs von dem Sourcebereich der ersten Säule zu dem Drainbereich der zweiten Säule größer als die Breite des unteren Abschnitts der Gate-Elektrode (32), gemessen in gleicher Richtung, von dem Sourcebereich der ersten Säule zu dem Sourcebereich der zweiten Säule ist.

Es folgen 26 Blatt Zeichnungen

Anhängende Zeichnungen

Fig. 1A

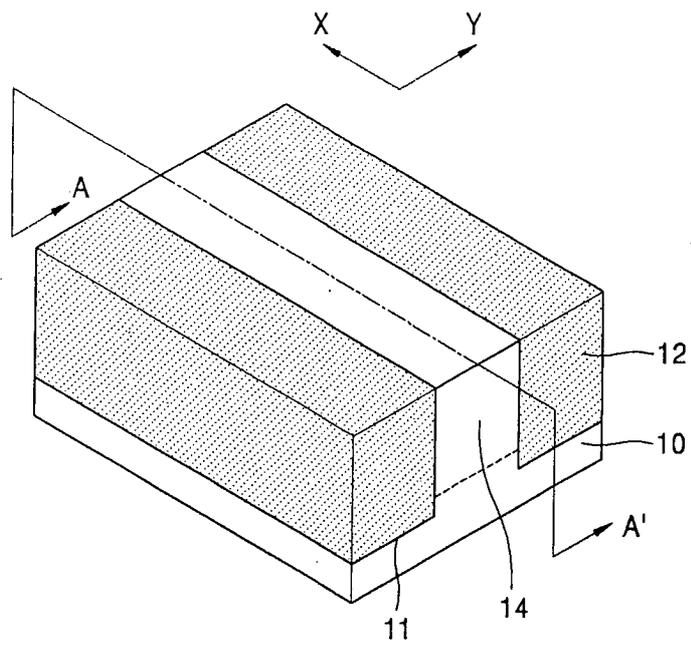
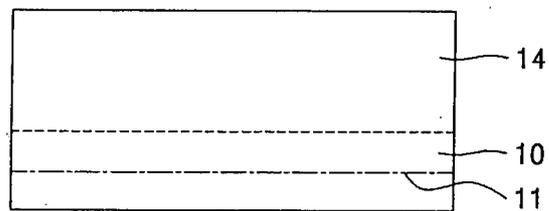
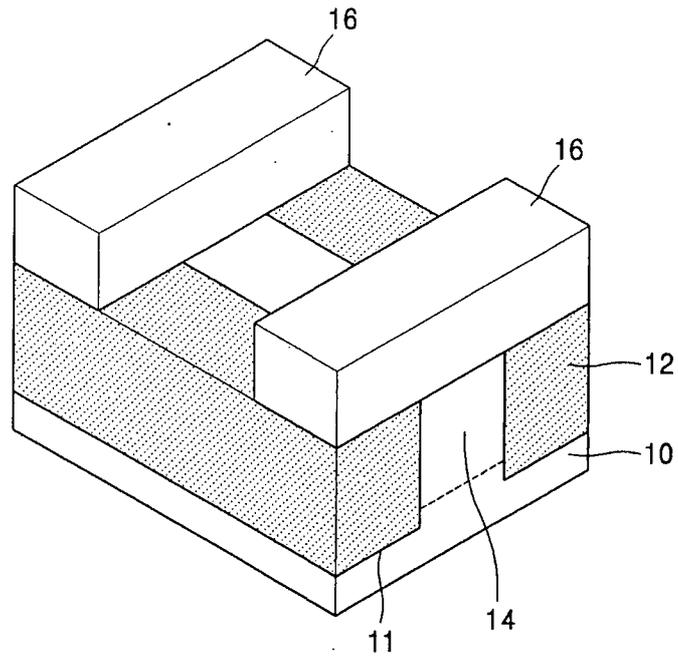


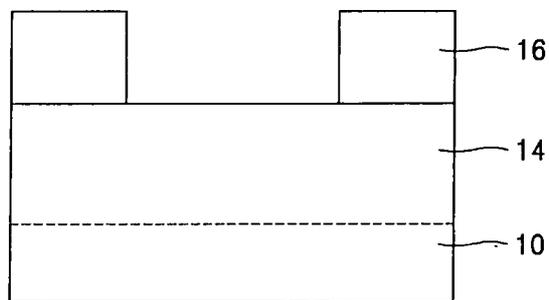
Fig. 1B



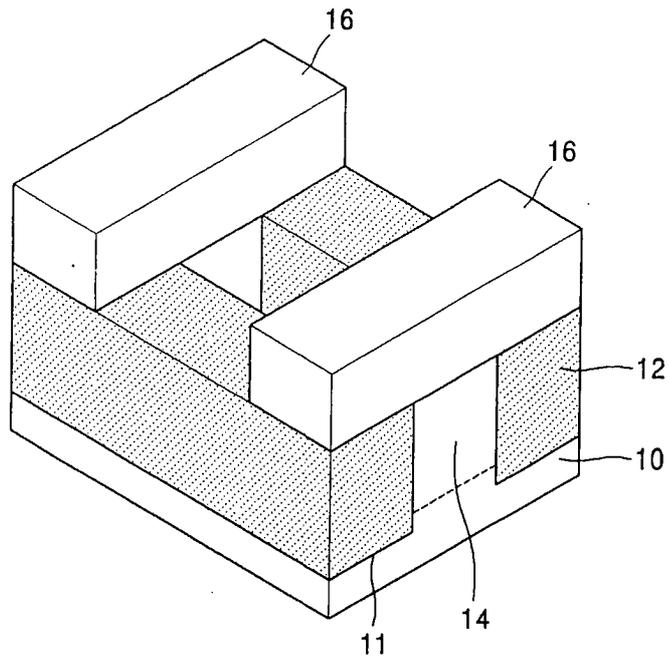
**Fig. 2A**



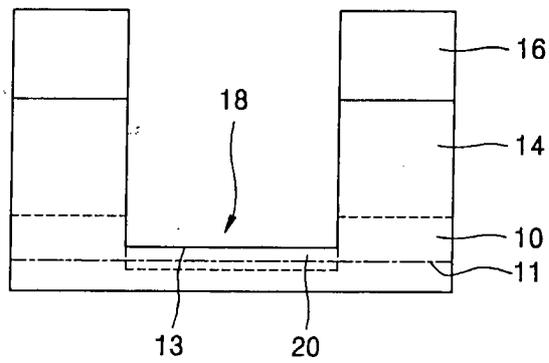
**Fig. 2B**



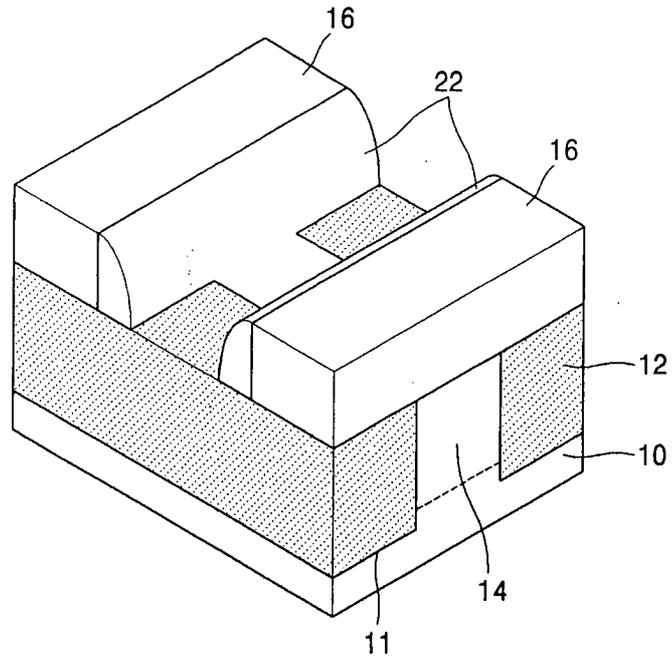
**Fig. 3A**



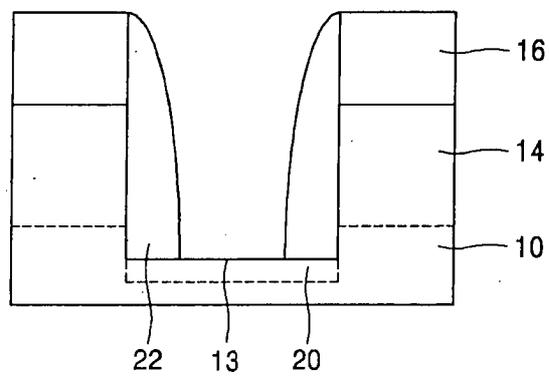
**Fig. 3B**



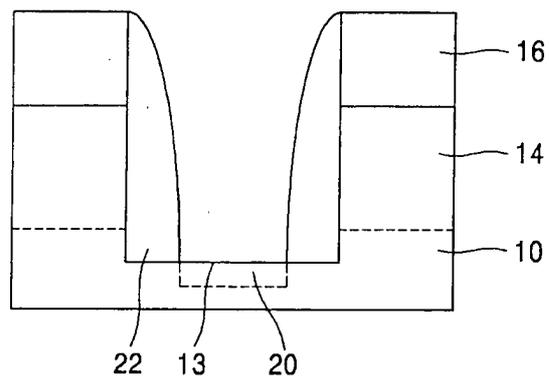
**Fig. 4A**



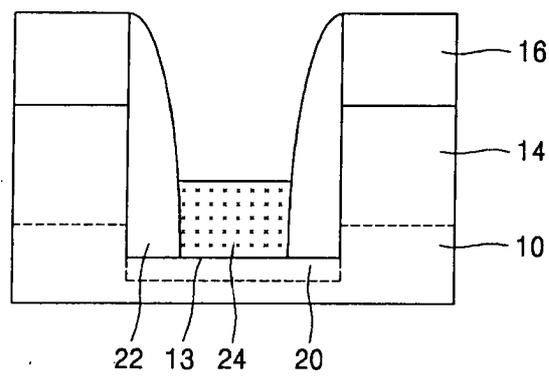
**Fig. 4B**



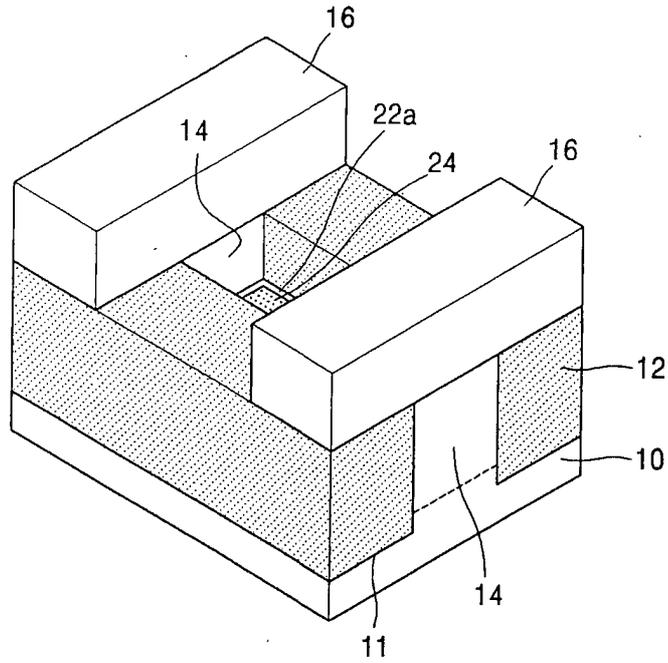
**Fig. 4C**



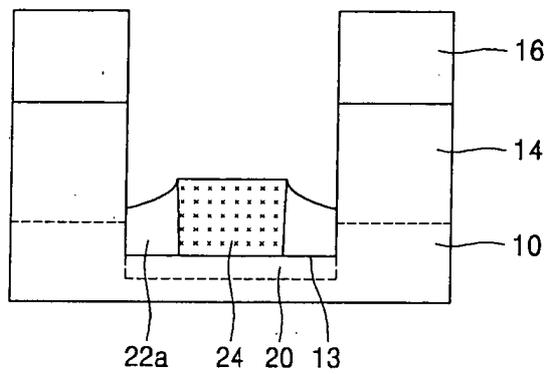
**Fig. 4D**



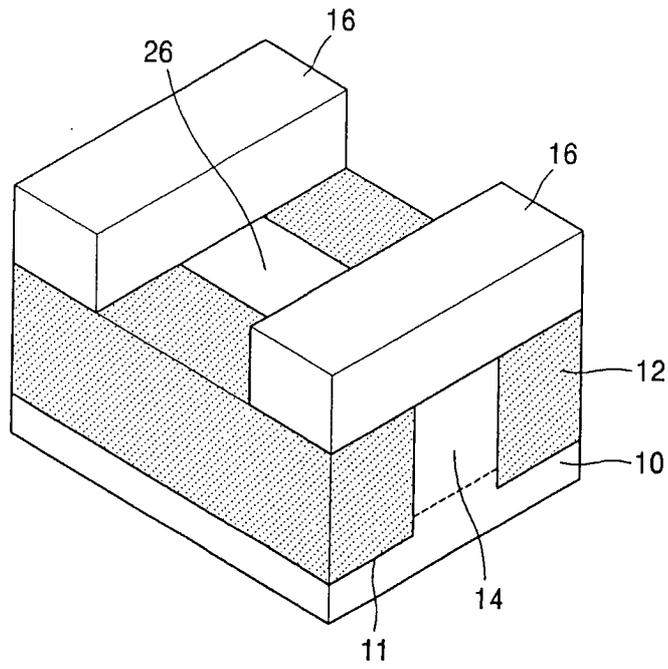
**Fig. 5A**



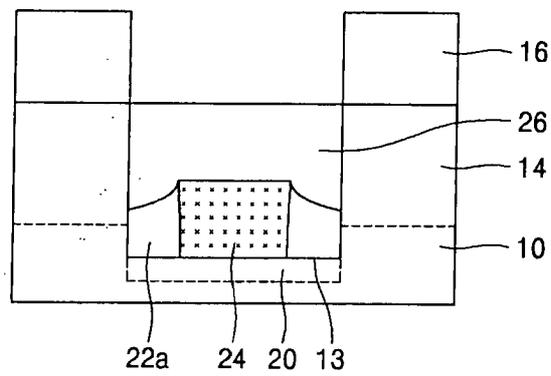
**Fig. 5B**



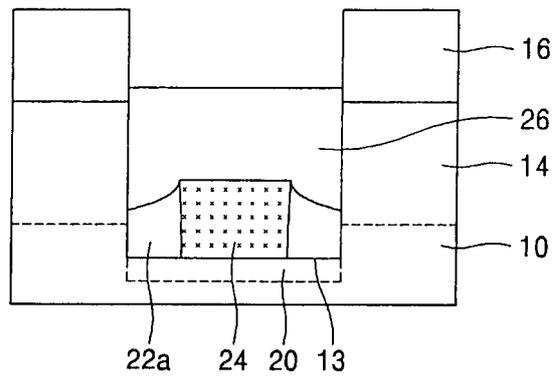
**Fig. 6A**



**Fig. 6B**



**Fig. 6C**



**Fig. 6D**

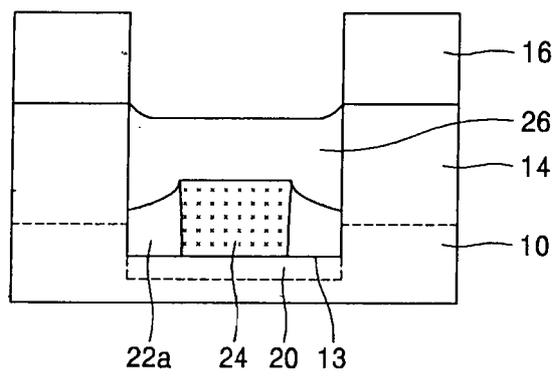


Fig. 7A

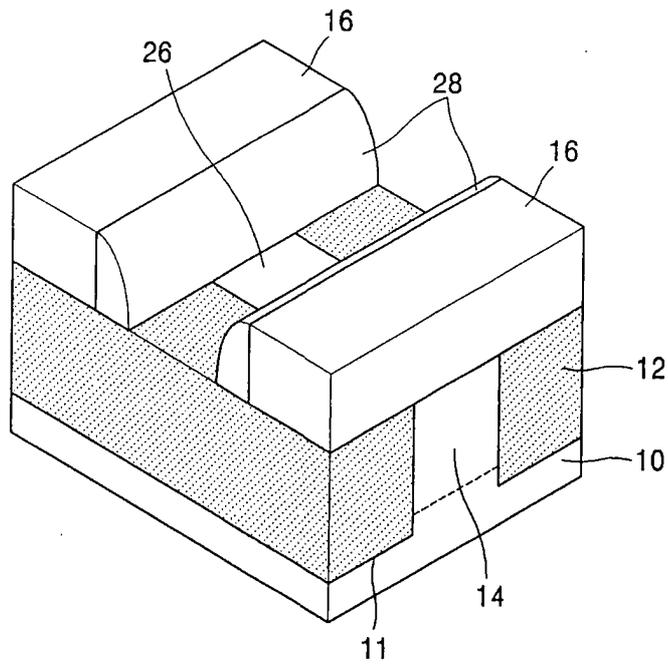
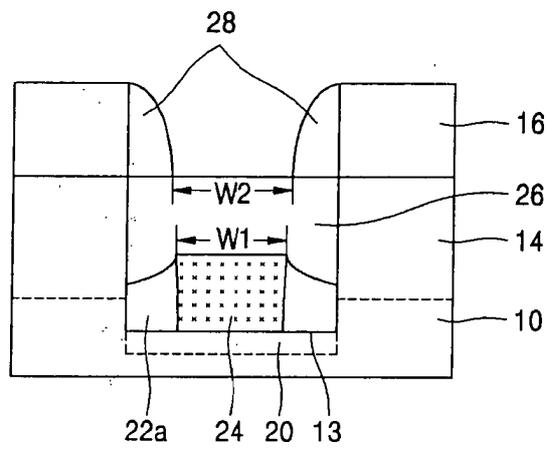
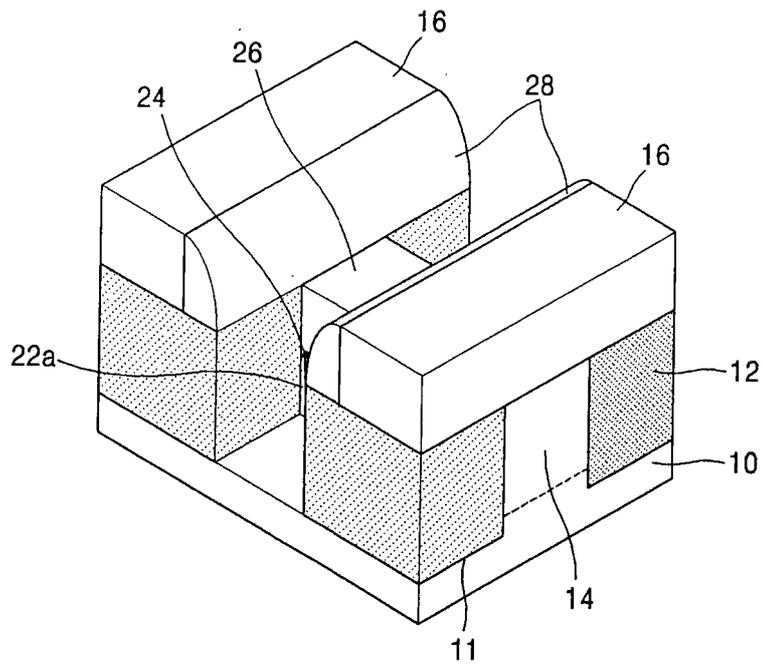


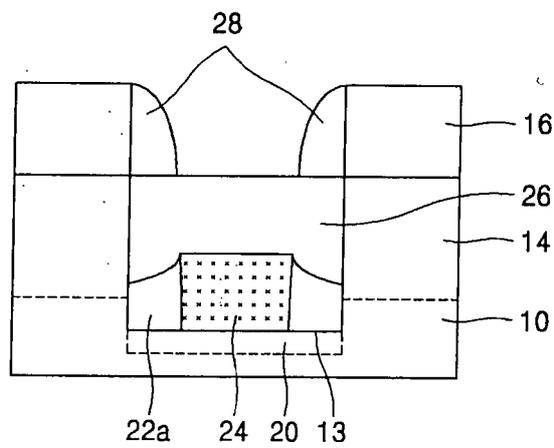
Fig. 7B



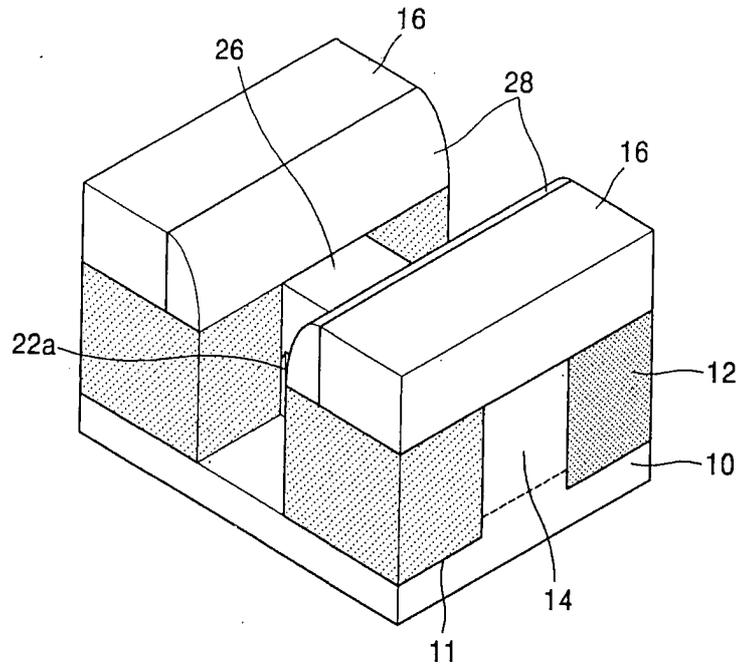
**Fig. 8A**



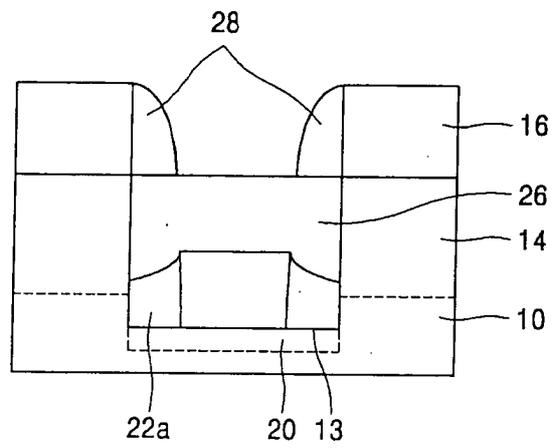
**Fig. 8B**



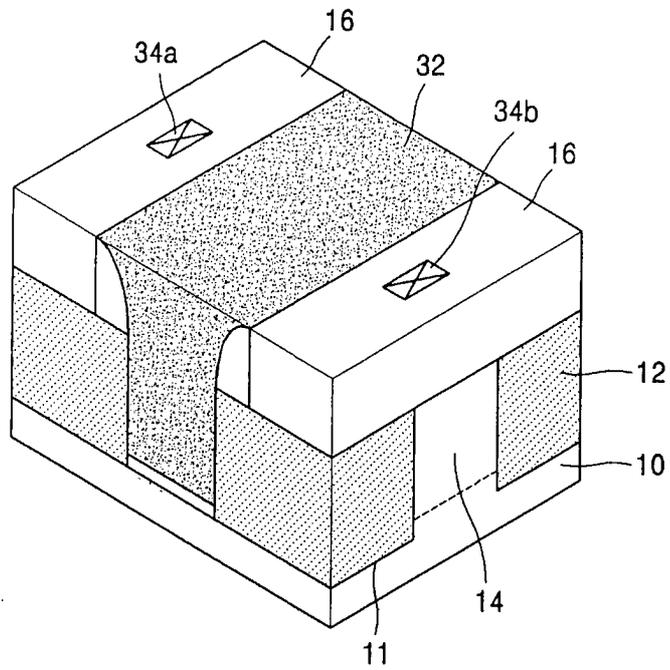
**Fig. 9A**



**Fig. 9B**



**Fig. 10A**



**Fig. 10B**

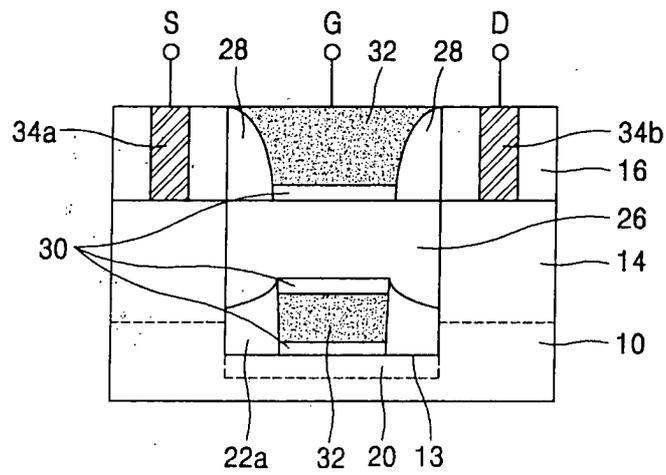


Fig. 10C

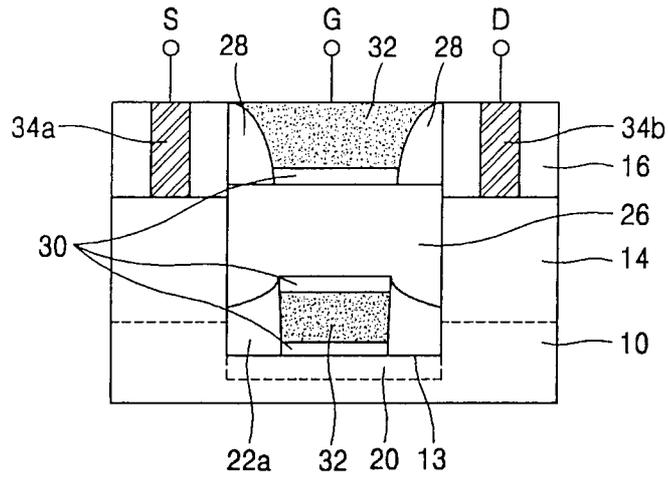


Fig. 10D

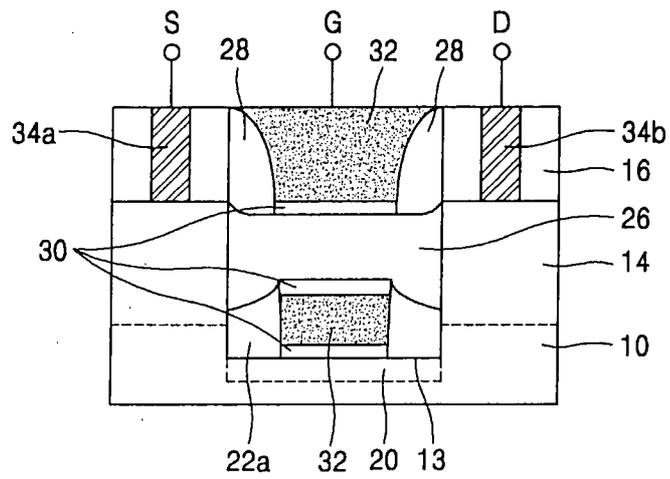


Fig. 10E

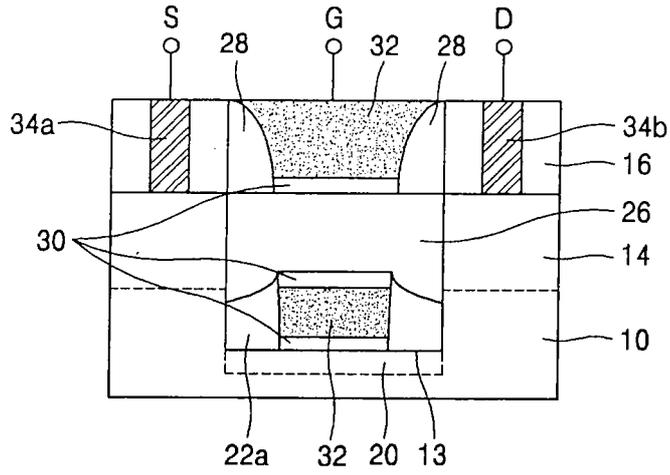
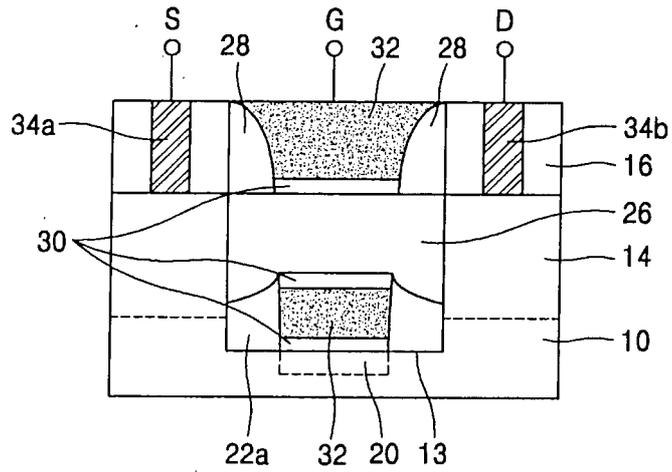
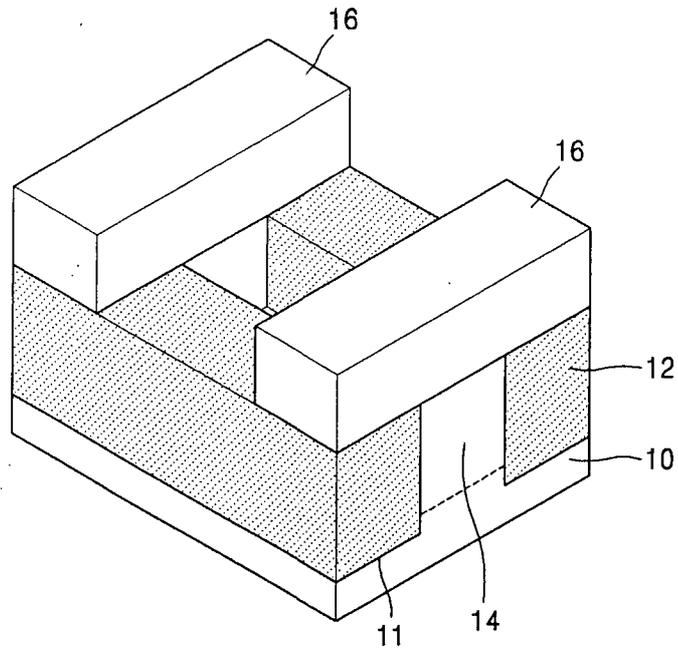


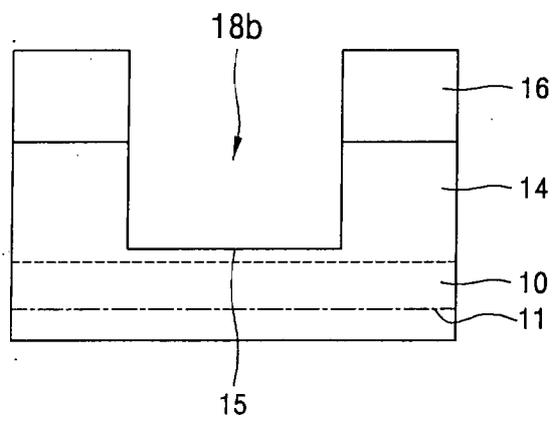
Fig. 10F



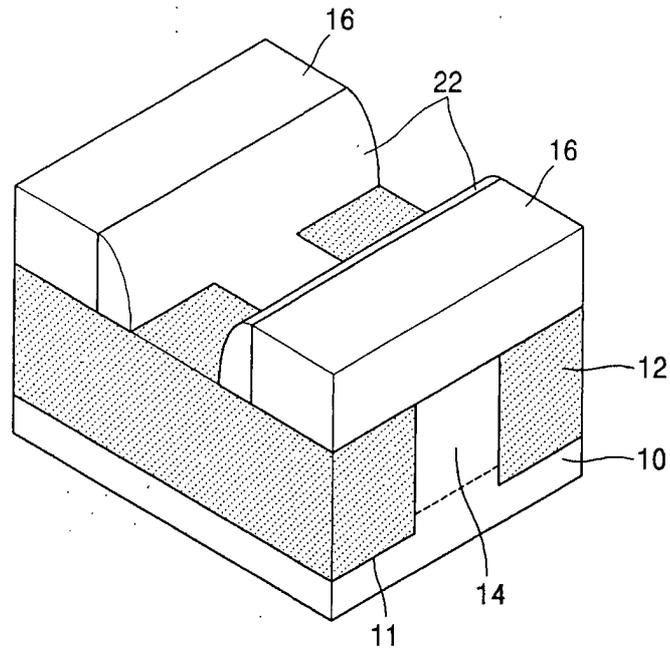
**Fig. 11A**



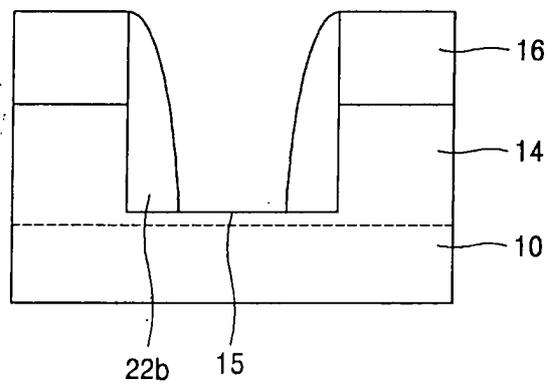
**Fig. 11B**



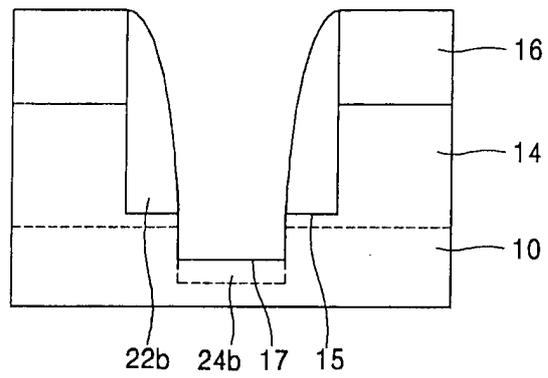
**Fig. 12A**



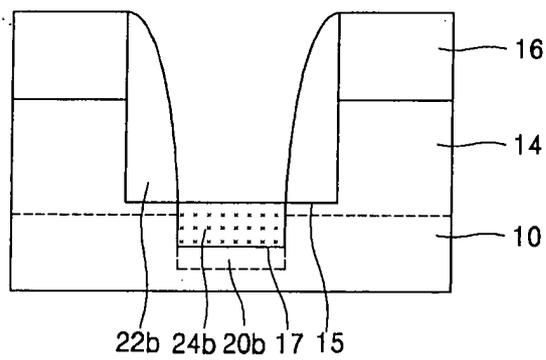
**Fig. 12B**



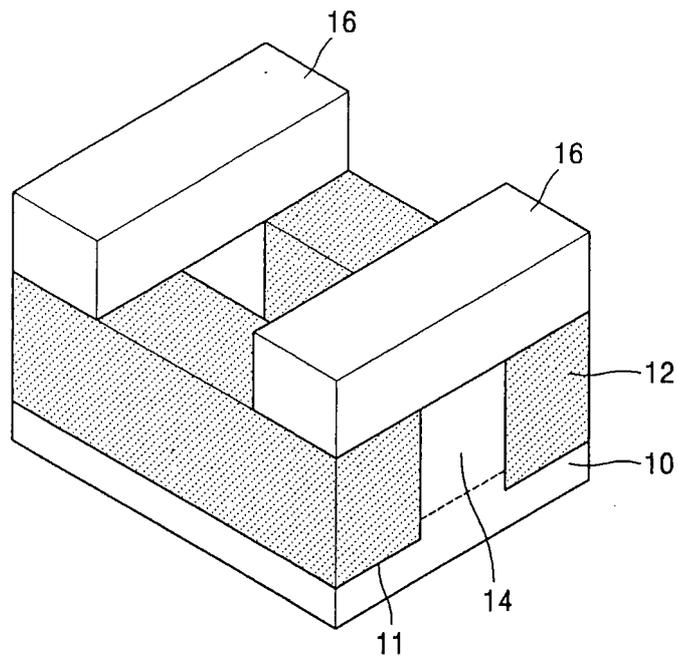
**Fig. 12C**



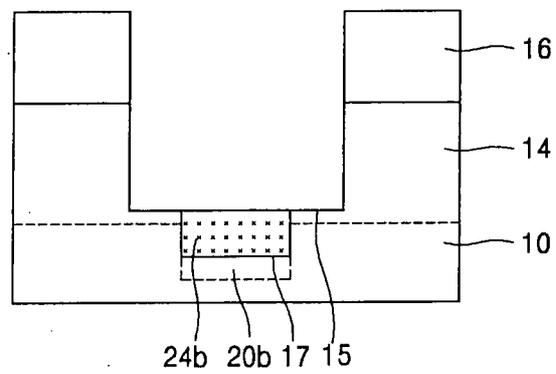
**Fig. 12D**



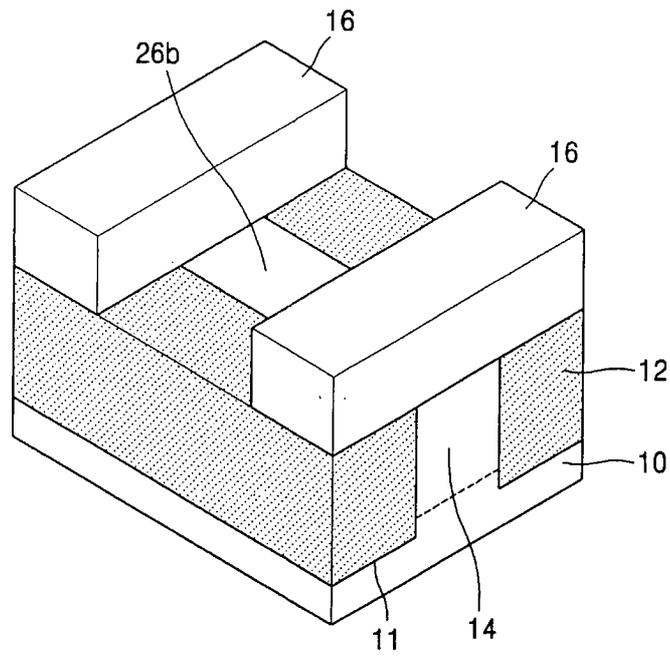
**Fig. 13A**



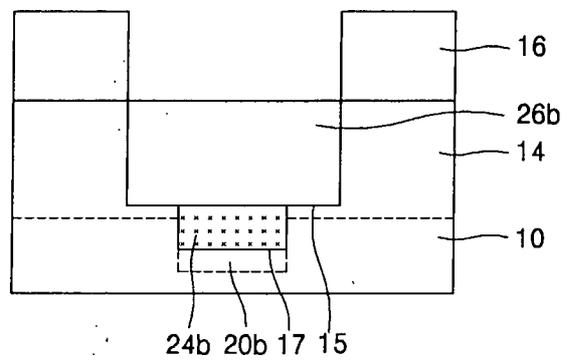
**Fig. 13B**



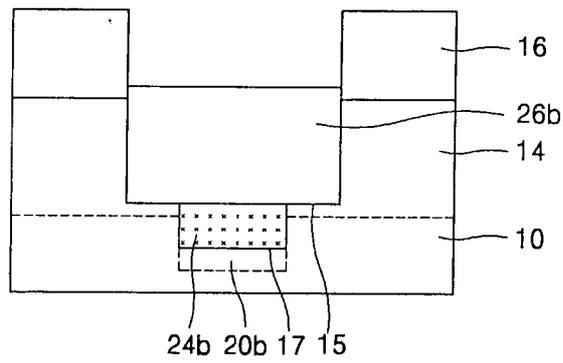
**Fig. 14A**



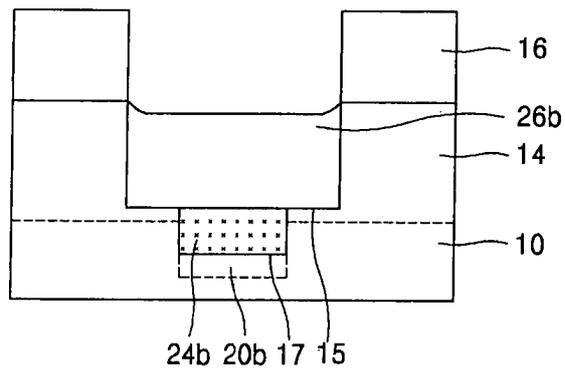
**Fig. 14B**



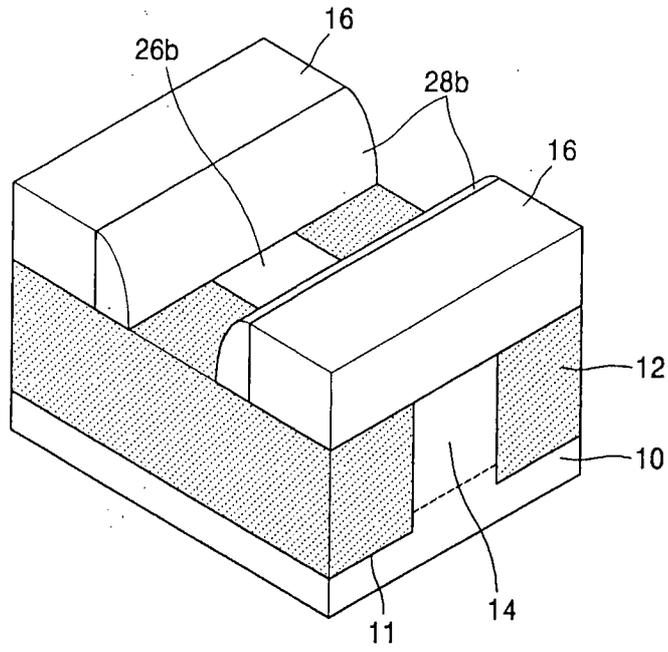
**Fig. 14C**



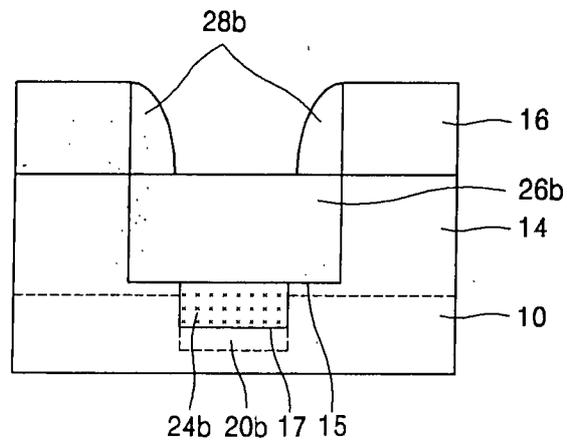
**Fig. 14D**



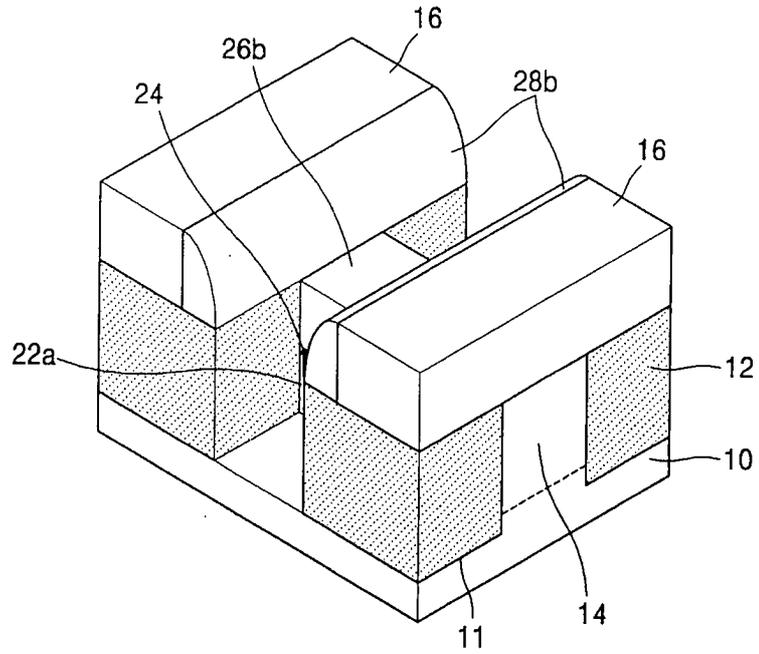
**Fig. 15A**



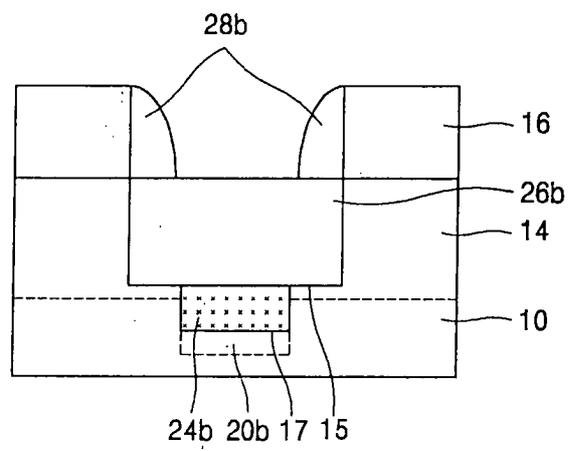
**Fig. 15B**



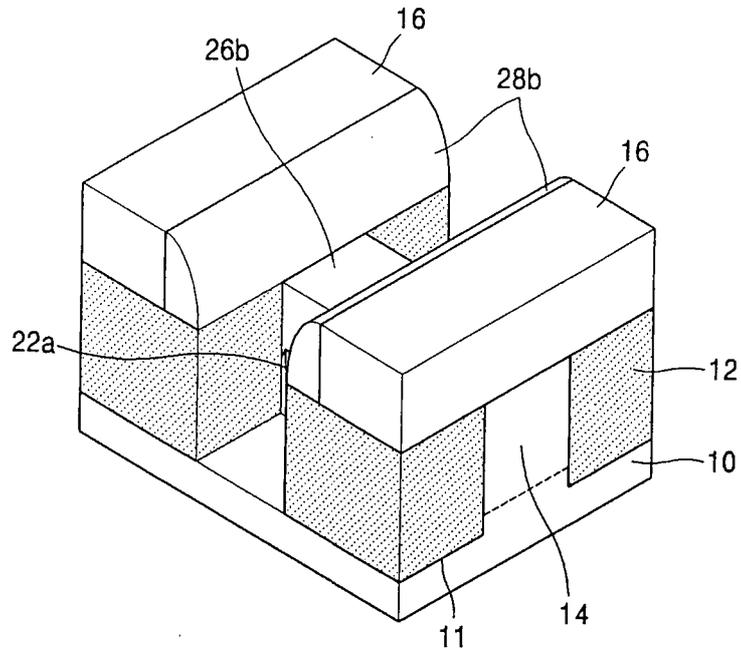
**Fig. 16A**



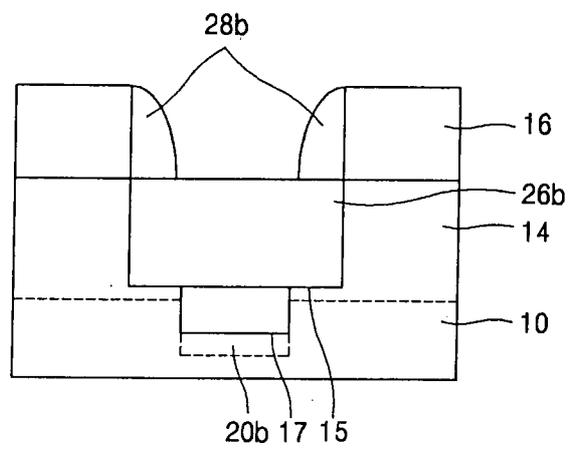
**Fig. 16B**



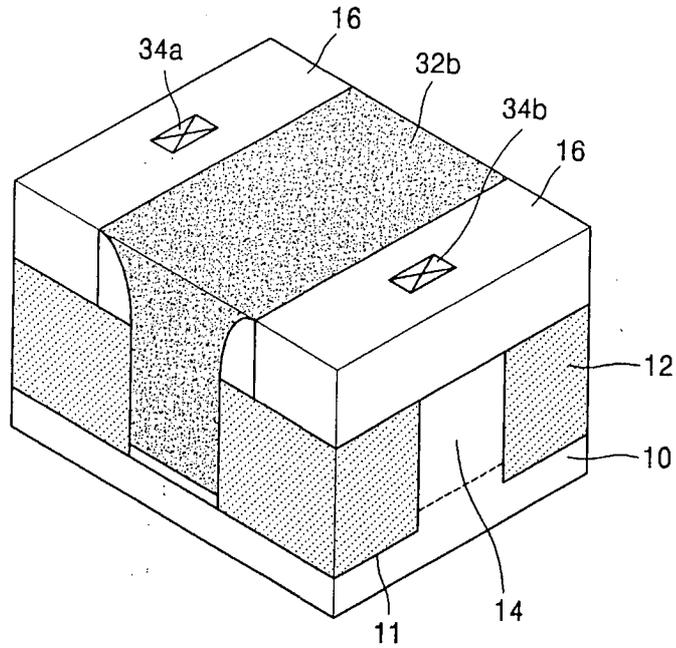
**Fig. 17A**



**Fig. 17B**



**Fig. 18A**



**Fig. 18B**

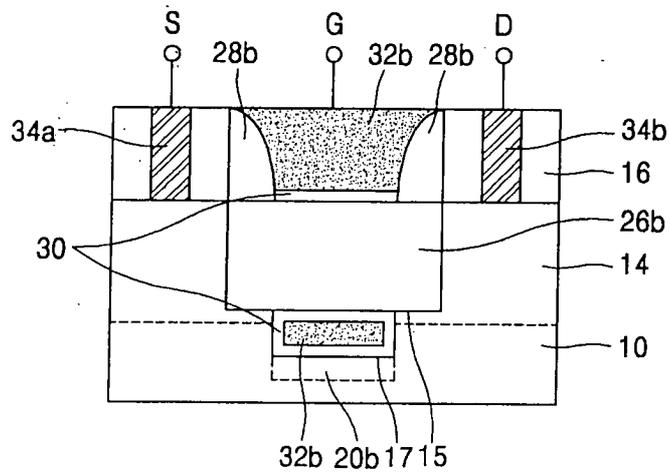


Fig. 18C

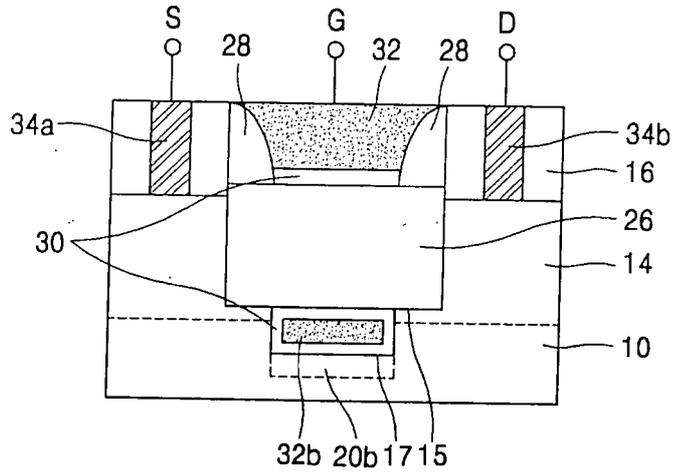


Fig. 18D

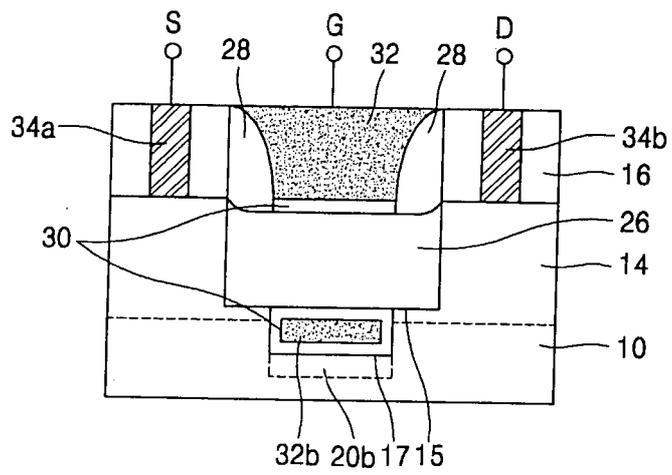


Fig. 18E

