

# 公告本

409376

申請日期	88.3.25
案 號	88104689
類 別	1101 23/48

A4  
C4

(以上各欄由本局填註)

409376

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	用於積體電路之接線墊設計
	英 文	BOND PAD DESIGN FOR INTEGRATED CIRCUITS
二、發明 創作人	姓 名	1. 塞勒西 齊帝沛狄 2. 維維恩 汪達 瑞恩
	國 籍	美國
三、申請人	住、居所	1. 美國賓州艾倫頓市賴納街308號 2. 美國新澤西州漢普敦市布萊恩斯路
	姓 名 (名稱)	美商朗訊科技公司
	國 籍	美國
	住、居所 (事務所)	美國新澤西州摩里山丘市山脈大道600號
	代 表 人 姓 名	麥克·R·格林

裝

訂

線

409376

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

美國 1998年05月04日 09/072,369 有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱  
面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明 ( I )

### 發明的技術範疇

本發明就一般而言係用於積體電路，特言之，係用於其內具有接線墊之積體電路。

### 發明背景

積體電路(IC)技術的某些觀點受到相當多的重視，譬如電路中裝置的數目及尺寸，以及可達到每秒數百萬個指令(MIPS)的電路處理速度。很明顯地，此範疇內的進展相當吸引人且已廣為人知。但是，超大型積體(VLSI)電路技術還有其他觀點更是重要。例如，積體電路必須以電路連接才能在較大電路中使用。積體電路封裝外部接腳(pin)的電路必須透過接線墊連接到積體電路，該接線墊一般係位於積體電路的周邊區(periphery)。接線墊通常曝露於微晶片壓模(microchip die level)上，提供壓模上之積體電路與其內將安裝微晶片之電路間的相互連接。一般而言，接線墊係位於積體電路壓模的周邊。接線墊為金屬區域，透過緩衝區及導電互連以電路連接至該積體電路中的裝置。當在分層堆積過程中形成接線墊時，金屬線(wire)最後必須連至接線墊，以連接至完整積體電路封裝的外部接腳上。由於傳統接線技術的結果，以及金屬線的實際尺寸和接線特性，在與裝置尺寸相比較時，接線墊的尺寸相當大。由於其尺寸，接線墊佔據晶片表面相同大的比例，因此接線墊下方區域佔有整個晶片表面相當少的部份。

封裝及接線墊之間的電路連接(electrical connection)需要絕對完整性(physical integrity)以及高導電性。傳統用來形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

成連接的接線過程，通常需要溫度升高及/或相當大的壓力，以產生金屬線及接線墊間較佳的連接。接線墊通常位於介電層的頂層，接線狀況會在電介質(dielectric)中產生熱量及機械應力。這種應力可能導致電介質產生瑕疵，並且反過來導致介於接線墊與在底層的導電基底間之電介質出現大量洩漏電流。這些洩漏電流通常會阻止主動裝置使用接線墊下方的基底區，藉以降低裝置的斂集率(packaging fraction)。緩衝區通常是位於積體電路的周邊區及介於接線墊之間，避免置於接線墊下方。同樣地，必須增加接線墊之間的空間，以容納緩衝區或其他裝置。

在先前技藝中，藉由在接線墊之下的金屬層中，澱積出簡單的金屬緩衝墊(cushion pad)，使得在接線墊軌跡(footprint)之下、較低層的積體電路中，成功地建構出有效電路。此金屬墊的功用在於作為緩衝，保護其下方的介電層，避免受到金屬線接線過程中壓力及高溫的傷害。但是，當技術日趨進步，裝置尺寸越來越小，可能是0.3微米或甚至0.25微米，此金屬墊已失去其效用。觀察0.3微米裝置尺寸的積體電路，顯示出至少有50%樣本的電介質中出現裂痕。因此，推斷出此技術在0.3微米裝置尺寸時即達到其實際極限。

因此本技術所需要的是改良方法，用以在接線過程中，提供實際上可降低線路結構受到傷害風險的接線墊支持結構，並允許更有效的使用晶片區域。

發明總結

### 五、發明說明(3)

爲了要克服以上所述有關先前技藝之不足，本發明提供接線墊支持結構，以使用其上具有接線墊之積體電路。在一具體實施例中，該接線墊支持結構包括一支持層，該層位於接線墊之下，並在其中形成一開口。該接線墊支持結構另包括一介電層，該層位於導電層之上，並至少有部份延伸至該開口中，以形成一至少覆蓋部份該開口的接線墊支持表面。在一具體實施例中，該第一接線墊支持層可包括一導電金屬，以及第二接線墊支持層可包括一電介質材料。

因此，本發明提供獨特的接線墊結構，其中在一第一接線墊支持層內有一開口，係至少部份以一第二接線墊支持層填滿。一般相信此二層間內部結構的合作可提供分級複合式支持結構，作爲定向壓力轉換器，以緩衝積體電路內的內部及接線的應力。

在另一具體實施例中，接線墊支持結構另包括若干開口，其中各開口係在第一接線墊支持層中的幾何圖案內形成。在一較佳具體實施例中，第一接線墊支持層，係緊接在接線墊之下。但是，值得稱讚的是接線墊支持層也可位於接線墊之下的其他層。此特定具體實施例的一種觀點爲，在第一接線墊支持層上，開口形成若干巢狀的幾何圖案。這些巢狀的幾何圖案可逐漸形成各種不同的幾何圖案。例如，矩形、六邊形、八邊形或甚至無規則的形狀。然而，以另一觀點來看，巢狀的幾何圖案都是同心的幾何圖案。

## 五、發明說明(4)

開口或巢狀幾何圖案的尺寸可能各有不同。在一具體實施例中，巢狀幾何圖案的外側圖案可能要比巢狀幾何圖案的內側圖案要來得寬。此外，巢狀幾何圖案由一距離隔開，從巢狀幾何圖案的內側圖案到巢狀幾何圖案的外側圖案，其隔開的距離越變越窄。一般相信這些尺寸及間隔可加以改變，以承受已知積體電路設計內不同的壓力需求。

在另一具體實施例中，巢狀幾何圖案係位於至少接線墊軌跡的一部份之下。或者，接線墊軌跡係位於巢狀幾何圖案之上，或是，該開口係位於至少接線墊軌跡的一部份之下。

從另一觀點來看，本發明提供一種在有接線墊位於其上之積體電路中，產生接線墊支持結構的方法。在一說明用的具體實施例中，本方法包括以下步驟：在接線墊之下形成一第一接線墊支持層、在該第一接線墊支持層中形成一開口、以及在該第一接線墊支持層上形成一第二接線墊支持層，並至少部份伸入該開口中，以形成接線墊支持表面，覆蓋至少該開口的一部份。

再從另一觀點來看，本發明提供一積體電路系統。在一具體實施例中，該積體電路系統包括一接線墊，該接線墊具有一軌跡，且位於積體電路系統及接線墊支持結構之上。在本特定的具體實施例中，接線墊結構包括一導電金屬層，該層位於接線墊之下，且有若干巢狀幾何圖案形狀的開口在其中形成。該接線墊結構另包括一介電層，該層係位於導電層之上，並至少部份延伸至巢狀幾何圖案的開

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 5 )

口中，以形成接線墊支持表面，覆蓋至少在該巢狀幾何圖案開口的一部份之上。從此觀點來看，巢狀幾何圖案開口係位於至少軌跡的一部份之下。

以上已相當廣泛地概述本發明的較佳及替代功能，以致本行業的專家能夠更瞭解以下有關本發明的詳細說明。形成本發明申請專利範圍主體的本發明其他功能，如下所述。本行業的專家應讚賞他們已能夠利用所附的概念及特定的具體實施例為基礎，來設計或修改用來執行與本發明目的相同的其他結構。本行業的專家也應瞭解這類同等的建構方式，仍不脫本發明廣義的精神及範疇。

### 圖式簡單說明

為了更瞭解本發明，請參考以下詳細說明及本說明書所附的附圖：

圖1為傳統積體電路壓模範例的俯視圖；

圖2為圖1中積體電路一部份平面2-2的側視圖；

圖3為根據本發明原則所架構出的第一接線墊支持層的具體實施例之平面圖；

圖4為圖3第一接線墊支持層沿著平面4-4之側視圖；

圖5為具有一第二接線墊支持層在其上形成之圖3第一接線墊支持層，沿著平面4-4之側視圖；

圖6為採用圖5接線墊支持結構之積體電路範例的一部份，沿著平面4-4之側視圖；及

圖7其上附加有參考用接線墊軌跡的圖5接線墊支持層，沿著平面7-7之側視圖。

## 五、發明說明(6)

### 圖式之詳細說明

首先請參見圖1，該圖為傳統積體電路壓模範例的俯視圖。積體電路(壓模)，一般指定為100，包括一介電層101，位在整個壓模100之上。介電層101已產生圖案至若干金屬接線墊103的曝光部份105。在半導體基底(未顯示)上所形成的壓模100的範圍，包括若干代表性的微電路110、120、130、140，其功能各有不同。

本行業的專家將發現開極區、源極區及漏極區等的組合，構成爲執行不同功能所設計的半導體電路。積體電路包括這些半導體裝置某些組合的聚集，且這些半導體構成了若干電子模組。例如，這些模組可能包括一時脈、一中央處理器單元、一記憶體陣列、一算術副處理器或其他具有特定功能的模組。很明顯地，所選定的模組係受到希望使用的積體電路的特性的指示。壓模上不同模組的配置，係受到不影響本發明的範圍及意圖的設計考量之指示。但是，爲了現在的討論，至少有一部份的有效微電路110、120、130、140係位於接線墊103之下的區域。這些模組可參考壓模100的主要微電路。藉由壓模100導電層內所形成的電路追蹤(trace)115，個別電路130、140係以電路連接至特定微晶片壓模上的接線墊103。

本行業的專家將發現，澱積在半導體晶圓表面上任一層次的電路，都會產生明顯的軌跡。因此，各接線墊103產生一接線墊軌跡。在先前技藝中，裝置尺寸大於0.3微米時，藉由在接線墊103之下的金屬層中澱積金屬緩衝墊109，個

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

別電路110、120、130、140已成功地建構於接線墊103之下的壓模100的較低層中。接線墊103的軌跡至少有部份與金屬層以下之金屬緩衝墊109成一直線。

現在參見圖2，該圖為沿著圖1積體電路一部份的平面2-2之側視圖。以下將說明包括接線墊103的壓模100周邊區的一部份、接線墊103之下的金屬及介電層及主動裝置。所繪出的部份包括：一基底201、代表的主動半導體裝置203、一第一介電層211、一第二介電層212、一第一金屬層221、一第三介電層213、一第二金屬層222、一第四介電層214、一第三金屬層223、一第五介電層215、一第四金屬層224、一第六介電層216、一第五金屬層225以及一第七介電層101。第五金屬層225可存取的部分包括圖1接線墊103的曝光部分。金屬線230已佈線至接線墊103。

為了進一步討論，接線墊103之下的主動半導體裝置203，係代表主要微電路110的任一有效電路。介電層211、212中的視窗251，提供介於基底201及金屬層221之間的電路連接。最接近接線墊103的金屬層224，在接線過程中提供減壓，該過程避免接線墊103之下的介電層211、212、213及214破裂。第四金屬層224包括一金屬薄片，在第五金屬層225上之接線墊103的下方形成。因此，接線墊103之下的區域，由於其傷害接線墊103之下的介電層的風險降低，所以可用來作為有效電路。透過位於接線墊103下方的有效電路，接線墊103彼此可靠得更近；這使得每直線周邊距離允許更多的接線墊103。此外，以這種實體配置可達到更有

## 五、發明說明( 8 )

效地利用矽，因此，每片晶圓可產生更高的壓模良率。

圖2中所描繪的主動半導體裝置203，代表主動裝置，特別是指場效應電晶體。該場效應電晶體在閘極結構231的相對兩側上，各具有一閘極結構231、源極/漏極區233及235，以及在閘極結構231的相對兩側上，各有絕緣側牆237及239。閘極結構231由多晶矽(polysilicon)所形成。閘極結構231的絕緣部份，譬如像閘氧化層，對於本行業的專家而言是眾所週知。第一及第二介電層211及212分別為正形的(conformal)電介質，就像四乙基原矽酸鹽(TEOS)和硼磷酸-四乙基原矽酸鹽(BPTEOS)。其他介電層也可由大家所熟知的澱積氧化物或氮化物來產生。金屬層可以是鋁或其他適合用於半導體裝置的導電金屬。添加物，譬如像矽，可以少量存在。如圖所示，至少主動半導體裝置203的一部份，係在接線墊103的軌跡之下直接形成。形成微電路的細節類似本行業專家所進行的一樣。對本發明而言重要的是：避免接線墊之下的介電層受到傷害。

所描繪的結構，可由本行業的專家使用眾所熟知的技術，澱積電介質及金屬層並形成圖案，以形成該裝置，即可很容易製造出來。例如，可使用眾所週知的平版印刷法、離子注入、蝕刻法等處理方法。因此，不需要詳述適用的處理方法。當然，積體電路的細節將取決於積體電路所需要的應用方式。與接線墊相連的包裝連接，係由傳統及現在已使用且眾所熟知的技術完成。在代表性的具體實施例中，第四金屬層224，會在金屬線230的應用及接線期

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( 9 )

間，保護主動式半導體裝置203。接線墊103的軌跡實際上與第四金屬層224的軌跡及主動式半導體裝置203的軌跡成一直線。

本發明所描述的具體實施例的各種變化，對本行業的專家是顯而易見的。雖然描述了具有五層金屬層的具體實施例，但是較少或更多層的金屬層都可實現。此外，接線墊不需要位於積體電路的周邊區。

現在請參見圖3，同時繼續參見圖2，圖3是根據本發明原則所架構出來的第一接線墊支持層的示範用的具體實施例之平面圖。一第一接線墊支持層，一般指定為300，包括若干開口310、320、330、340、350、360。在一較佳的具體實施例中，第一接線墊支持層300係在接線墊層(第五金屬層)225之下的第四金屬層224中所形成。第四金屬層224也可用在第一接線墊支持層300的例子。在此具體實施例中，若干開口310、320、330、340、350、360的每一開口，均在第一接線墊支持層300中形成一巢狀的幾何圖案。本行業專家耳熟能詳的傳統照相製版工藝，可用來在金屬層224中形成若干開口310、320、330、340、350、360。在特別適用的具體實施例中，這些巢狀幾何圖案係同心的幾何圖案。說明時是以八邊形為例，幾何形狀也可以是各種不同的形狀。例如，矩形、六邊形、八邊形或甚至無規則的形狀。在較佳的具體實施例中，任一選定的外側開口320、330、340、350或360都要比相對較接近幾何圖案中心點的開口310、320、330、340、350要寬，例如開口360要比開

## 五、發明說明 ( 10 )

口 350 要寬，開口 350 又要比開口 340 來得寬 ( $X_5 > X_4 > X_3 > X_2 > X_1$ )。

現在請參見圖 4，該圖為圖 3 第一接線墊支持層 300 沿著平面 4-4 的側視圖。在另一較佳的具體實施例中，開口 310、320、330、340、350 及 360 傳統上所形成的圖案，是將第一接線墊支持層 300 集中至圖 2 的第五介電層 215 的表面。當說明用具體實施例在金屬層 224 中定義六個具代表性尺寸的同心的開口 310、320、330、340、350、360 時，本行業的專家將發現開口數，以及開口的尺寸，在仍不脫離本發明的範疇及意圖時，可能各有不同。

現在請參見圖 5，同時並繼續參見圖 2 及圖 3，圖 5 為有第二接線墊支持層 500 在其上形成之圖 3 的第一接線墊支持層沿著平面 4-4 的側視圖。第二接線墊支持層 500，在一較佳之具體實施例中包括介電層，係澱積於第一接線墊支持層 300 之上，以致至少部份填滿若干開口 310、320、330、340、350、360，並形成緊接的介電層 510。緊接的介電層 510 可能類似圖 2 的第六介電層 216。在一較佳的具體實施例中，緊接的介電層 510 係位於第一接線墊支持層 300 之上，且延伸至少至開口 310、320、330、340、350、360 之中。當圖 5 說明第二接線墊支持層 500 形成接線墊支持表面 520 覆蓋在整個開口 310、320、330、340、350、360 之上時，應瞭解到接線墊支持表面係形成在僅以上所述開口 310、320、330、340、350、360 的部份。第一接線墊支持層 300 及第二接線墊支持層 500 相互溝通，以便在接線墊 103 之下

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

形成接線墊支持結構530。

現在請參見圖6，同時並繼續參見圖2，執行圖5接線墊支持結構的示範用積體電路一部份，沿著平面4-4的側視圖。該代表性積體電路的基礎結構，類似透過介電層215基底201的圖2積體電路。但是圖5積體電路與圖2積體電路有所不同，在該電路中，圖6的開口310、320、330、340、350及360均在第四金屬層624中形成圖案。第六介電層616已澱積在第四金屬層624之上，且至少部份填滿開口310、320、330、340、350、360。請注意開口310、320、330、340、350、360的厚度逐漸增厚，其厚度從支持結構中心開始逐漸變厚。此外，巢狀幾何圖案係由一距離加以隔開，該距離從巢狀幾何圖案內側，例如310，朝向巢狀幾何圖案外側，例如，360，逐漸遞減拉近。

現在請參見圖7，同時並繼續參見圖5，圖7為具有參考用接線墊軌跡附加其上的圖5接線墊支持層，沿著平面7-7的側視圖。圖中可見，接線墊軌跡103延伸到至少部份覆蓋在已填滿電介質的最外側開口360。接線墊103曝光的部份，有可能顯示出來作為參考。因此，在特別佳的具體實施例中，接線墊支持結構530包括若干同心的幾何圖案交替地由圖2第四金屬層224的金屬以及圖2的第六介電層216的電介質所組成。測試結果顯示，根據本發明原則所製作的結構，只要基礎電路未受到嚴重傷害，此結構承受接線壓力的容忍度增至500%。因此，一般相信，這兩層間的內部結構的相互合作，可提供作為定向壓力轉換器的分級複合式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

支持結構，以緩衝積體電路內的接線壓力。

從以上內容，可發現本發明係提供可用於其上具有接線墊的積體電路之接線墊支持結構。於一具體實施例中，接線墊支持結構包括一支持層，該層係位於接線墊之下，且其中有一開口形成。接線墊支持結構更包括一介電層，該層係位於導電層上，且至少部份延伸至該開口，以形成接線墊支持表面，覆蓋在至少該開口的一部份之上。該第一接線墊支持層，在一具體實施例中，可包括一導電金屬，及該第二接線墊支持層可由電介質材料組成。

雖然本發明已詳述如上，但本發明有無窮的變化。這些變化應視為仍不脫離本發明的精神及範疇，而且對於該行業的專家而言是顯而易見的修改方式，本發明的專利申請範圍如下定義。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要 (發明之名稱： 用於積體電路之接線墊設計 )

本發明提供一種接線墊支持結構，用於其上具有接線墊之積體電路中。於一具體實施例中，該接線墊支持結構包括一支持層，該層位於接線墊之下，並在其中形成一開口。該接線墊支持結構另包括一介電層(dielectric layer)，該層位於導電層之上，且至少部份延伸至該開口中，以形成一至少部份覆蓋該開口的接線墊支持表面。在一具體實施例中，第一接線墊支持層可包括一導電金屬，而第二接線墊支持層可由一電介質材料組成。本發明提供一獨特的接線墊結構，其中在第一接線墊支持層內之開口，至少部份會由第二接線墊支持層所填滿。一般相信此二層間內部結構的合作，可提供作為積體電路內用來緩衝內部和接線應力的定向壓力(differential force)轉換器之分級複合式(graded composite)支撐結構。

## 英文發明摘要 (發明之名稱： BOND PAD DESIGN FOR INTEGRATED CIRCUITS )

The present invention provides a bond pad support structure for use in an integrated circuit having a bond pad located thereon. In one embodiment, the bond pad support structure comprises a support layer that is located below the bond pad and that has an opening formed therein. The bond pad support structure further includes a dielectric layer that is located on the conductive layer and that extends at least partially into the opening to form a bond pad support surface over at least a portion of the opening. The first bond pad support layer, in one embodiment, may comprise a conductive metal and the second bond pad support layer may comprise of a dielectric material. The present invention provides a unique bond pad structure wherein an opening within a first bond pad support layer is at least partially filled with a second bond pad support layer. It is believed that the inter-structural cooperation between these two layers provides a graded composite support structure that acts as a differential force transducer to buffer internal and bonding stresses within an integrated circuit.

## 六、申請專利範圍

1. 一種用於其上具有一接線墊之積體電路中的接線墊支持結構，包括：
  - 一第一接線墊支持層，位於該接線墊之下並且在其中形成一開口；及
  - 一第二接線墊支持層，位於該第一接線墊支持層之上，並至少部份延伸至該開口中，以形成一至少覆蓋部份該開口的接線墊支持表面。
2. 如申請專利範圍第1項之接線墊支持結構，其中該結構另包括若干開口，各該若干開口在該第一接線墊支持層中形成一幾何圖案。
3. 如申請專利範圍第2項之接線墊支持結構，其中該開口在該第一接線墊支持層中形成若干巢狀幾何圖案。
4. 如申請專利範圍第3項之接線墊支持結構，其中該巢狀幾何圖案係同心的幾何圖案。
5. 如申請專利範圍第3項之接線墊支持結構，其中該巢狀幾何圖案之外側圖案，要比該巢狀幾何圖案之內側圖案來得寬。
6. 如申請專利範圍第3項之接線墊支持結構，其中該巢狀幾何圖案係由一距離隔開，該距離從該巢狀幾何圖案之內側圖案到該巢狀幾何圖案之外側圖案為遞減拉近。
7. 如申請專利範圍第3項之接線墊支持結構，其中該巢狀幾何圖案係位在至少該接線墊的軌跡的一部份之下。
8. 如申請專利範圍第3項之接線墊支持結構，其中該接線

(請先閱讀背面之注意事項再  
向本頁)

裝

訂

線

## 六、申請專利範圍

墊的軌跡係位在該巢狀幾何圖案之上。

9. 如申請專利範圍第1項之接線墊支持結構，其中該開口係位在至少該接線墊的軌跡的一部份之下。
10. 如申請專利範圍第1項之接線墊支持結構，其中該第一接線墊支持層係由導電金屬所組成，以及該第二接線墊支持層係由電介質材料所組成。
11. 一種在其上具有一接線墊之積體電路中製造接線墊支持結構的方法，由以下步驟組成：  
形成一位於該接線墊之下的第一接線墊支持層；  
在該第一接線墊支持層中形成一開口；及  
在該第一接線墊支持層上形成一第二接線墊支持層，並且至少部份延伸至該開口中，以形成一覆蓋至少部份該開口的接線墊支持表面。
12. 如申請專利範圍第11項之方法，其中該在第一接線墊支持層中形成開口的步驟包括：在該第一接線墊支持層中的幾何圖案內形成若干開口。
13. 如申請專利範圍第12項之方法，其中該形成若干開口的步驟包括：在該第一接線墊支持層中形成若干巢狀幾何圖案。
14. 如申請專利範圍第13項之方法，其中該形成若干巢狀幾何圖案的步驟包括：形成該巢狀幾何圖案之同心幾何圖案。
15. 如申請專利範圍第13項之方法，其中該形成巢狀幾何圖案的步驟包括：形成具有一寬度較該巢狀幾何圖案

(請先閱讀背面之注意事項再  
向本頁)

裝  
訂  
線

## 六、申請專利範圍

的內側圖案寬度要寬的巢狀幾何圖案之外側圖案。

16. 如申請專利範圍第13項之方法，其中該形成巢狀幾何圖案的步驟包括：形成由一距離所隔開之巢狀幾何圖案，該距離從該巢狀幾何圖案的內側圖案到巢狀幾何圖案之外側圖案遞減拉近。
17. 如申請專利範圍第13項之方法，其中該形成巢狀幾何圖案的步驟包括：在至少該接線墊軌跡的一部份之下，形成該巢狀幾何圖案。
18. 如申請專利範圍第11項之方法，其中該形成一第一接線墊支持層的步驟包括：形成一導電金屬層，以及形成一第二接線墊支持層的步驟包括：形成一介電層。
19. 一種積體電路系統，包括：
  - 一具有一軌跡且位於該積體電路系統之上的接線墊；及
  - 一接線墊支持結構，包括：
    - 一導電金屬層，位於該接線墊之下且具有若干巢狀幾何圖案的開口在其中形成；及
    - 一介電層，位於該導電層之上，且至少部份延伸至該巢狀幾何圖案開口之中，以形成一覆蓋至少部份該巢狀幾何圖案開口的接線墊支持表面，該巢狀幾何圖案開口位於至少該軌跡的一部份之下。
20. 如申請專利範圍第19項之積體電路系統，其中該巢狀幾何圖案開口係同心的幾何圖案。
21. 如申請專利範圍第19項之積體電路系統，其中該巢狀

## 六、申請專利範圍

幾何圖案開口的外側開口比該巢狀幾何圖案開口的內側開口要寬。

22. 如申請專利範圍第19項之積體電路系統，其中該巢狀幾何圖案開口係由一距離隔開，該距離從該巢狀幾何圖案開口的內側開口到巢狀幾何圖案開口之外側開口遞減拉近。

(請先閱讀背面之注意事項再  
裝  
訂  
線  
為本頁)

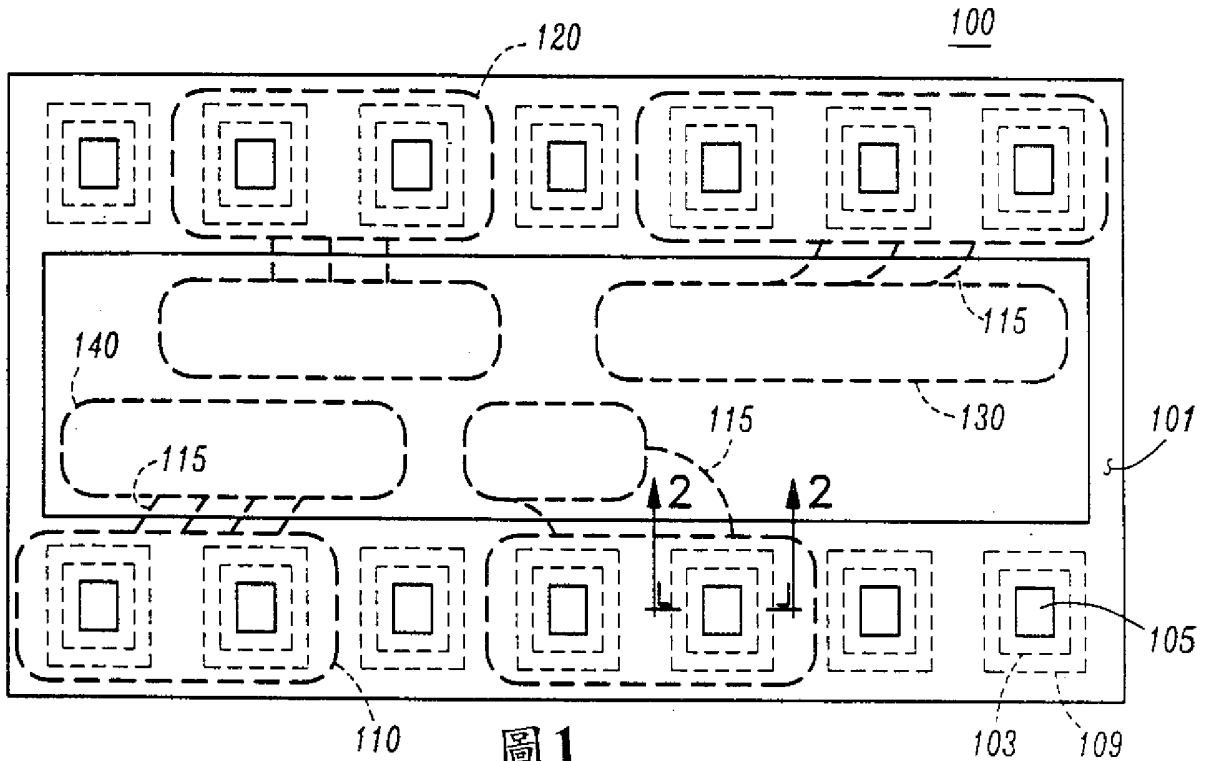


圖 1

先前技藝

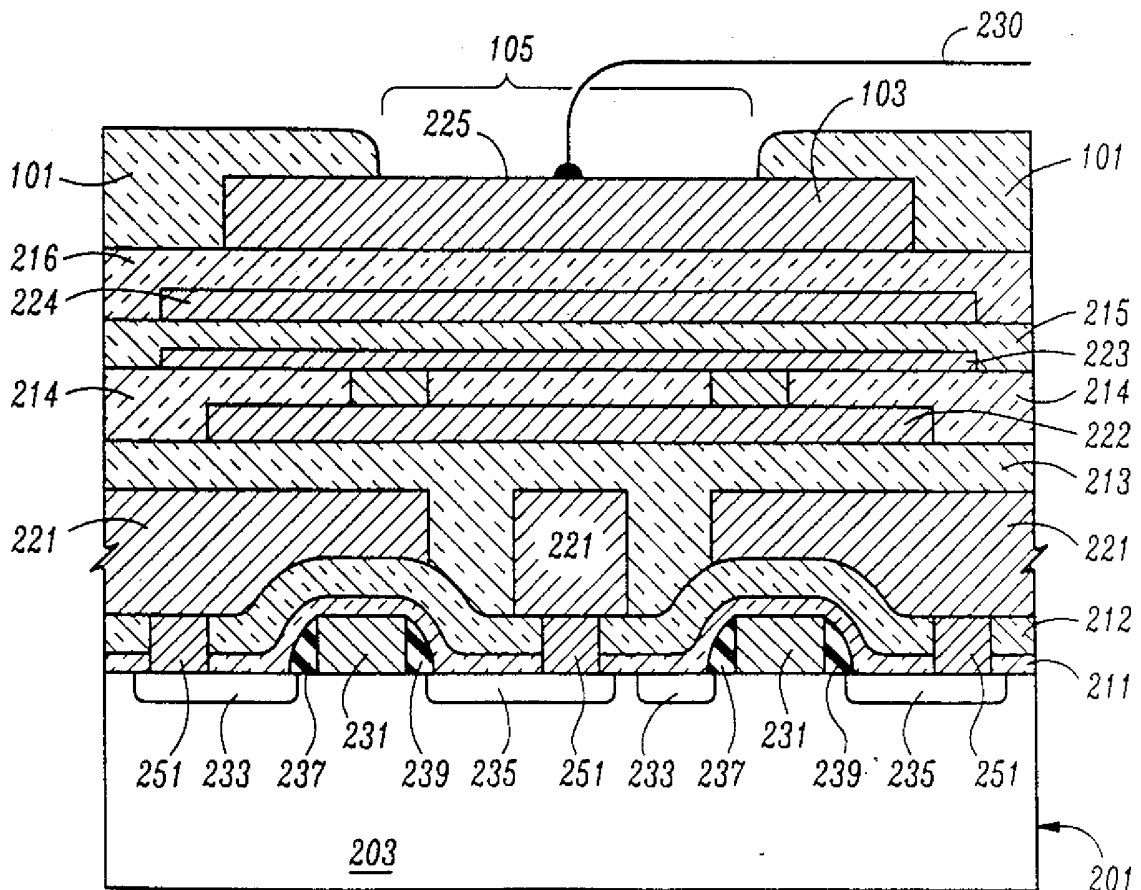


圖 2

此處註明

409376

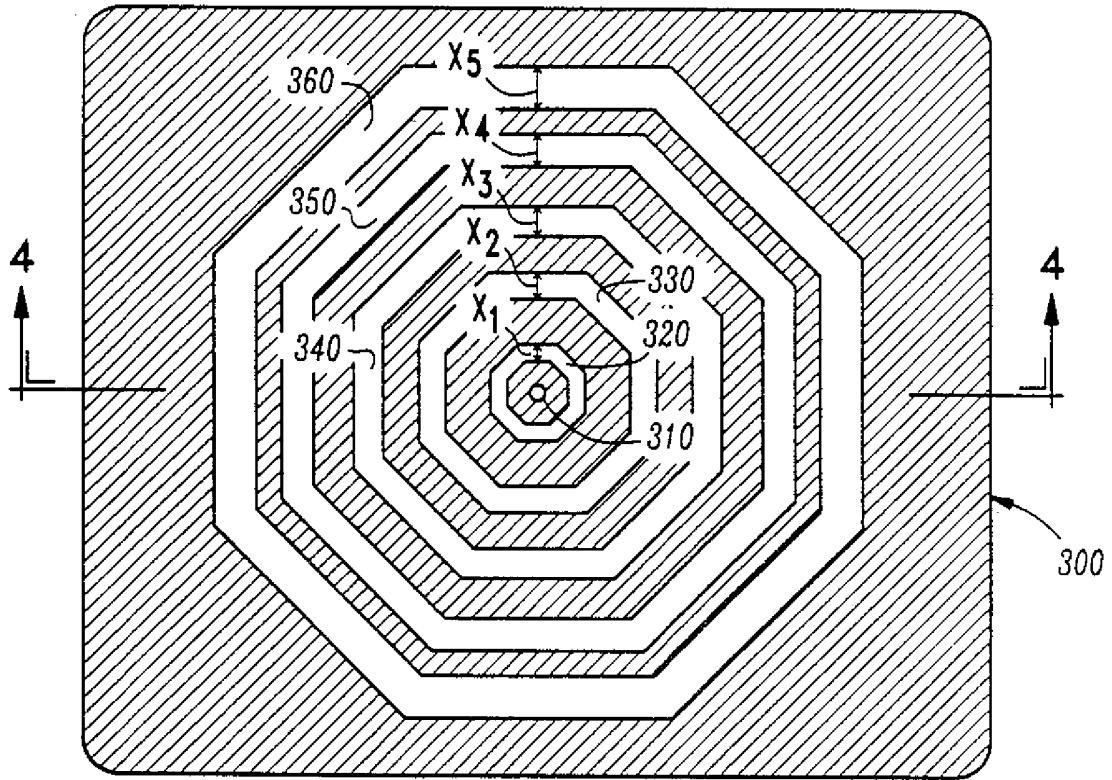


圖 3

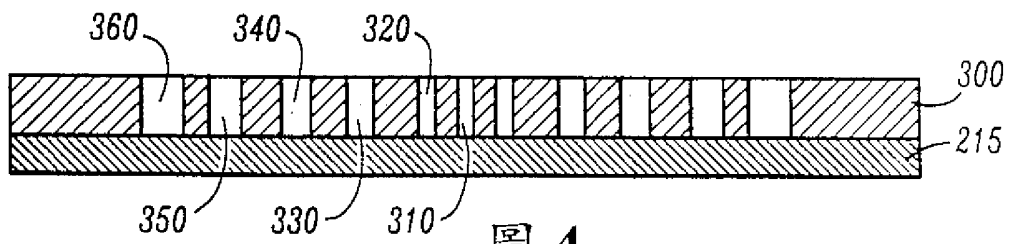


圖 4

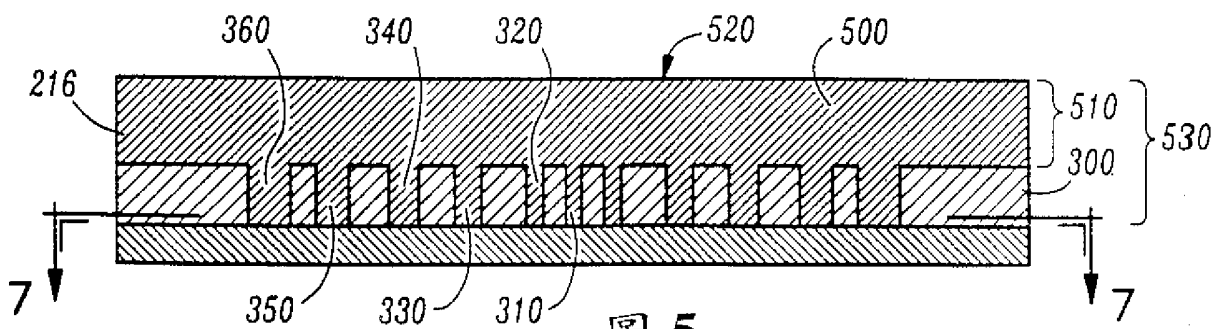


圖 5

409376

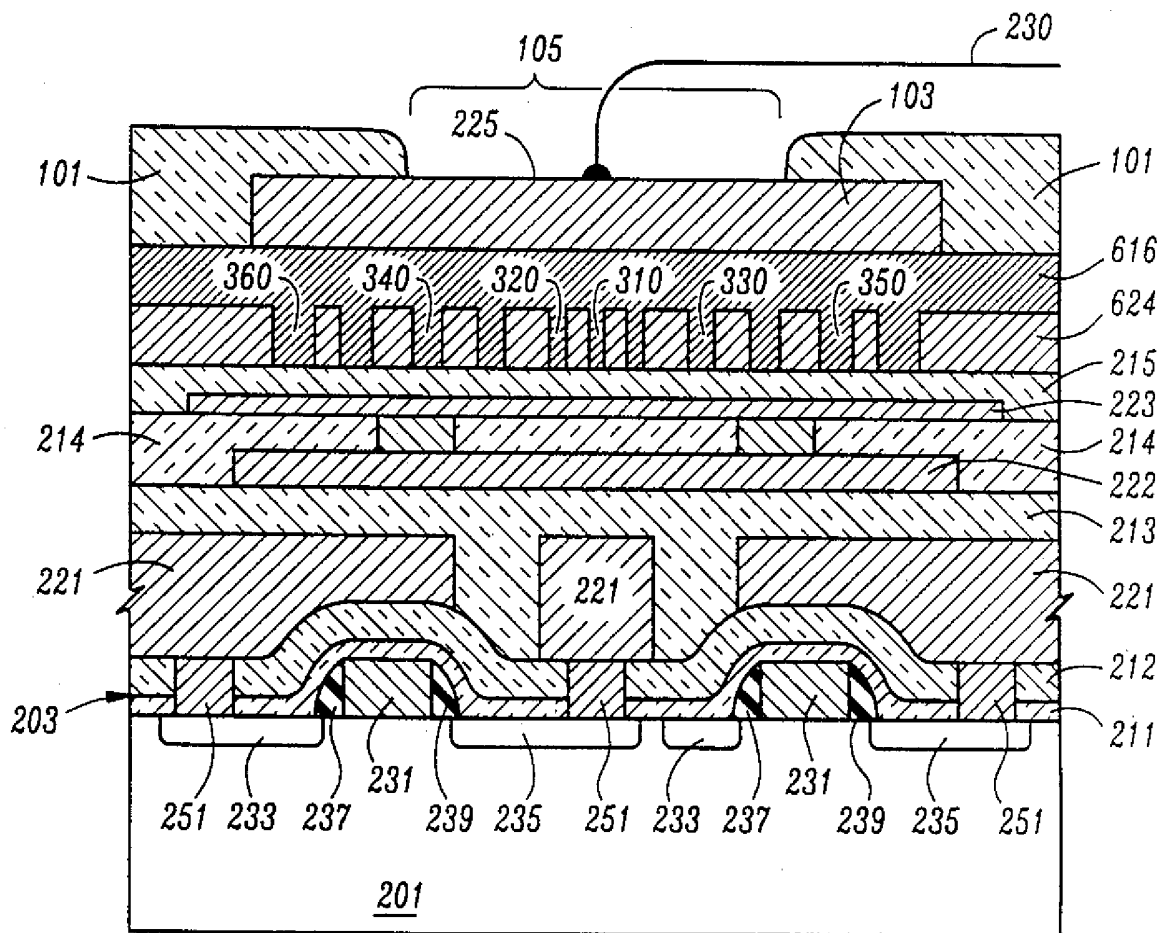


圖 6

409376

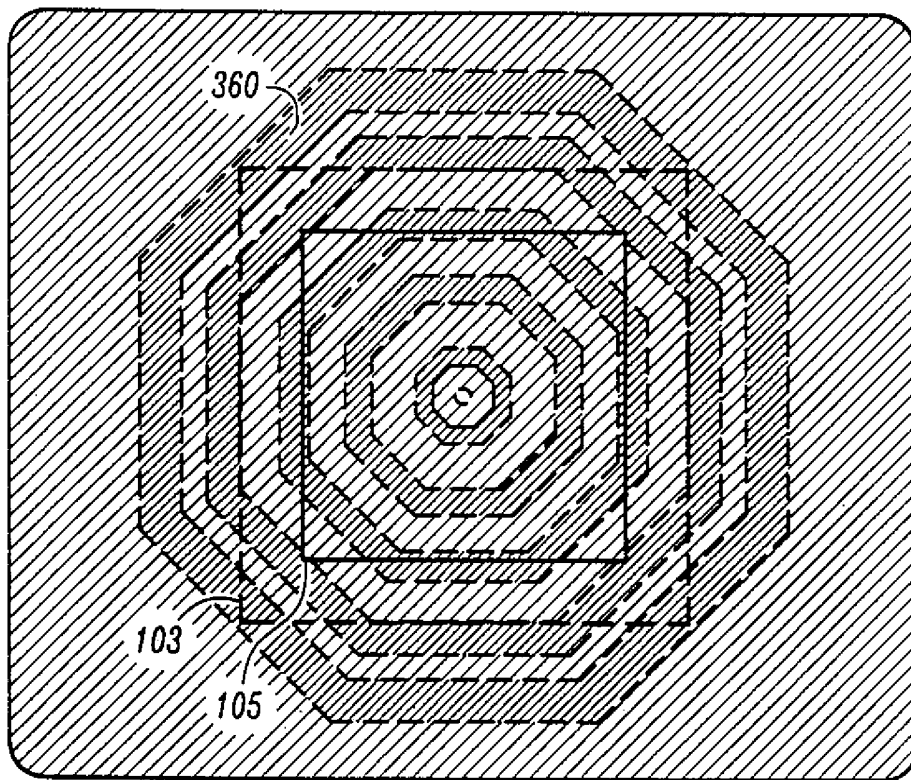


圖 7