

公告本

404066

申請日期	88-3-16
案 號	88104084
類 別	1401L ²⁹ / ₇₀

A4
C4

404066

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中 文	具有評估金屬絕緣體半導體場效電晶體(MISFET)之半導體元件
	英 文	SEMICONDUCTOR DEVICE WITH EVALUATION MISFET
二、發明人	姓 名	田中利幸
	國 籍	日 本
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝
訂
線

經濟部中央標準局員工消費合作社印製

404066

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國 (地區) 申請專利，申請日期： 1998,5,20 案號： 特願平10-138638
， ☒ 有 ☐ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

a)發明領域

大致關於一半導體裝置，更特別的是關於一半導體，具有金屬絕緣體半導體場效電晶體MISFET，其電流電壓性質可在晶片製程中加以評估。

b)相關前技之說明

為在半導體裝置之製程中評估形成於半導體基體上金屬絕緣體半導體場效電晶體MISFET的性質，除所欲之電路外，另形成製程控制顯示器(PCM)電晶體。一般而言，電路內金屬絕緣體半導體場效電晶體MISFET之閘電極的連接係經由互聯件而電聯至半導體基體表層雜質擴散區域，然而，PCM電晶體之閘電極並不必要被聯接至半導體基體上，若進行如電漿法等，閘電極並不與半導體基體相聯接，電荷係累積在閘電極處，而在閘電極下方之閘絕緣膜變的容易有介電擊穿，為防止閘絕緣膜之介電擊穿，是以使用閘保護元件。

第5圖為一傳統PCM電晶體與閘保護元件之橫截面，一p-態矽基體10具有一形成於基體表層中之p-態井101，一場氧膜102界定在p-態井101表層上之活化區域。

在p態井101之活化區域具有其中所形成之金屬絕緣體半導體場效電晶體MISFET，金屬絕緣體半導體場效電晶體MISFET係由一源區域103、一漏極區域104，一閘電極105與以閘絕緣膜106，在p-態井101表層之另一活化區域具有一n-態雜質擴散區域107，藉由互聯件115將閘電極105聯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

接至雜質擴散區域107。

源區域103、漏極區域104與閘電極105分別聯接至與探針連接之墊片109,111與110，該p態井101被連接至墊片108，將所欲之電壓各自施於墊片108至111以測量金屬絕緣體半導體場效電晶體MISFET的電流-電壓特性。

當晶片經互聯件115與雜質擴散區域107流入基體時，電荷累積在閘電極105，若雜質擴散區域107與p-態井101中p-n結點的擊穿電壓設定低於閘絕緣膜106之介電擊穿電壓，將可能防止閘絕緣膜106之介電擊穿。

考慮第5圖所示之金屬絕緣體半導體場效電晶體MISFET，其為一n-溝道耗盡型之金屬絕緣體半導體場效電晶體MISFET，由於此金屬絕緣體半導體場效電晶體MISFET的閘電壓為負值，有必要對與p-態井101相關之閘電極105施以一負值電壓來測量該閘電壓。在此狀態下，在雜質擴散區域107與p-態井101中之p-n結被繼續偏壓，若低於-0.6V之電壓被施於閘電極105，一向前電流由p-態井101流至雜質擴散區域107。

該向前電流造成npn二極電極體之"開"狀態，該npn電晶體具有雜質擴散區域107、p-態井101，與做為發射器之漏極區域104、一基底與一集電器，因此，無法測量金屬絕緣體半導體場效電晶體MISFET之漏極電流增加與金屬絕緣體半導體場效電晶體MISFET的性質。

本發明之摘要

本發明之目的係欲提供一在晶片製程中可量測金屬絕

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(3)

緣體半導體場效電晶體MISFET性質的半導體裝置，金屬絕緣體半導體場效電晶體MISFET具有一閘保護元件以防止金屬絕緣體半導體場效電晶體MISFET閘絕緣膜之介電擊穿。

根據本發明之另一觀點，其供設之半導體裝置包括：一半導體基體；一種形成於該半導體基體之表面之耗盡型金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道、一位於溝道上之閘絕緣膜，一位於閘絕緣膜上之閘電極；一形成於半導體基體表層上之雜質擴散區域、一互聯件其用以電聯閘電極與雜質擴散區域、一個p-n結，其當足夠截止金屬絕緣體半導體場效電晶體的電壓被施於接溝道之閘電極時，被偏壓反轉，使得該雜質擴散區域與溝道區域間之電路變得不導電，以及連接至閘電極，源區域與漏極區域之墊片，該等墊片與探針相接觸。

當施以可截止金屬絕緣體半導體場效電晶體的電壓時，電流並不在閘電極與溝道區域間流動，因此可測量金屬絕緣體半導體場效電晶體的內建閾電壓。

根據本發明之另一觀點，所供設之半導體裝置包括：一半導體基體；一種形成於該半導體基體之表面之金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道、一位於溝道上之閘絕緣膜，一

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

404066

五、發明說明(4)

位於閘絕緣膜上之閘電極；一第一導電態之第一井，其形成於該半導體基體之表層；一雜質擴散區域形成於該井中，其具有與第一導電態相反之第二導電態；一第二導電態的源區域，其環繞源自該半導體基體測之井；一互聯件，其用以電聯閘電極與該雜質擴散區域；以及墊片等，金屬絕緣體半導體場效電晶體MISFET其被聯接至閘電極、源區域與漏極區域並與探針相接觸。

當對閘電極施以一正或負電壓時，井與雜質擴散區域間之p-n結或井與表面區域間p-n結被反轉偏壓，所反轉之偏壓防止閘電極與半導體基體間之電流流動，因此，可測知金屬絕緣體半導體場效電晶體MISFET之本質電流-電壓特性。

如上所述，晶片製程中在金屬絕緣體半導體場效電晶體MISFET上所累積的電荷可經由閘保護元件而流向基體，所以可能防止閘絕緣膜之介電擊穿，再者，由於在金屬絕緣體半導體場效電晶體MISFET電流-電壓的測量時，電流不會流過閘保護元件，而可測得在金屬絕緣體半導體場效電晶體MISFET的本質特性。

圖式簡要說明

第1圖為根據本發明第一實施例之半導體裝置的截面圖式；

第2圖為一曲線圖，顯示第一實施例半導體裝置之金屬絕緣體半導體場效電晶體MISFET電流-電壓特性的測量結果；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

第3圖為根據本發明第二實施例之半導體裝置的截面圖；

第4A與B圖為根據本發明第三實施例與其改良者之半導體裝置的截面圖；

第5圖為傳統半導體裝置的截面圖；

第6圖為具有實施例半導體裝置的晶片之平面圖。

較佳實施例之詳細說明

第1圖為本發明第一實施例之半導體裝置的截面圖，一p-態矽基體具有形成於基體表面之p-態井2與n-態井3，一在矽基體1表面所形成場氧化物膜4界定每一井表層的活化區域。

一n-態溝道係形成於p-態井2中，金屬絕緣體半導體場效電晶體MISFET10係由n-態源區域10S、n-態漏極區域10D、一形成於源區域與漏極區域間之溝道10C、一形成於溝道10C上之閘絕緣膜10I，以及形成於閘絕緣膜10I上之閘電極10G，一p-態雜質擴散區域5形成於該n-態井3中，經由互聯件6該雜質擴散區域5連接至該閘電極10G上，該p-態井2、源區域10S、閘電極10G與漏極10D分別被聯接至墊21,21,22與23之上，與該等墊片連接之探針施所欲之電壓於與該墊片相連接的區域。

以下將說明第一圖所示半導體裝置的製造方法，在p-態矽基體1上，經由LOCOS形成具有約300nm厚度之場效氧化物膜4，將活化區域之表面熱氧化而形成一貫穿氧化物膜，其後種鍍硼離子以形成p-態井2，執行三次的硼離

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(6)

子種鍍，第一種鍍狀態為300keV之加速能量與 $3.0 \times 10^{13} \text{cm}^{-2}$ 之劑量，第二種鍍狀態為80keV之加速能量與 $2.0 \times 10^{13} \text{cm}^{-2}$ 之劑量，而第三種鍍狀態為30keV之加速能量與 $1.0 \times 10^{13} \text{cm}^{-2}$ 之劑量。

其後種鍍磷離子以形成n-態井2，執行三次的硼離子種鍍，第一種鍍狀態為600keV之加速能量與 $3.0 \times 10^{13} \text{cm}^{-2}$ 之劑量，第二種鍍狀態為200keV之加速能量與 $4.0 \times 10^{12} \text{cm}^{-2}$ 之劑量，而第三種鍍狀態為80keV之加速能量與 $1.05 \times 10^{13} \text{cm}^{-2}$ 之劑量，在形成n-態溝道井3之同時，在矽基體1表層中其它區域形成p-溝道之金屬絕緣體半導體場效電晶體MISFET井。

在離子種鍍之後，貫穿氧化物膜被除去，藉由濕式氧化法在活化區域表面上形成一具有5nm厚度之二氧化矽膜，該二氧化矽膜係作為開絕緣膜10I，藉由化學蒸汽沉積法CVD在基體整個表面上長出一180nm厚度之聚矽膜，在加速能量20keV與劑量 $4.0 \times 10^{15} \text{cm}^{-2}$ 之狀態下種鍍磷離子，使該沉積聚矽膜具有n-態導電，之後，將該聚矽膜圖案化而留下一開電極10G。

藉由使用開電極10G作為光罩種鍍砷與磷離子，在金屬絕緣體半導體場效電晶體MISFET10形成於其上的區域位置處形成微量摻雜漏極(LDD)結構之低濃度區域，砷離子之種鍍狀態為加速能量10keV與劑量 $6.0 \times 10^{13} \text{cm}^{-2}$ ，磷離子之種鍍狀態為加速能量10keV與劑量 $1.5 \times 10^{13} \text{cm}^{-2}$ ，其後，在1000下進行快速熱延以活化種鍍雜質離子。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

在閘電極10G之側壁上形成一側壁絕緣薄膜10W，藉由CVD法在整個基體表面上生長一二氧化矽膜，並隨後以反應離子蝕刻法以各向異性蝕刻該二氧化矽膜，而形成側壁絕緣膜10G。

藉由使用閘電極10G與作為光罩之側壁絕緣膜10W，種鍍砷離子以形成一源區域10S與一漏極區域10D，此一種鍍法之進行狀態為加速能量40keV與劑量 $2.0 \times 10^{15} \text{cm}^{-2}$ 。

之後，在n-態井3中形成一p-態雜質擴散區域5，形成雜質擴散區域5之種鍍氟離子的狀態為加速能量12keV與劑量 $4.0 \times 10^{14} \text{cm}^{-2}$ ，並更進一步，在加速能量7keV與劑量 $2.0 \times 10^{15} \text{cm}^{-2}$ 的狀態下種鍍硼離子。

氟離子種鍍預期可以改善閘絕緣膜之偏壓-溫度性質，若氟離子之劑量在 10^{15}cm^{-2} 之譜，會發生如硼離子之擊穿及過厚閘絕緣膜等問題，若種鍍氟離子時，無法單獨第控制氟與硼之劑量，然而，如上所述分別種鍍氟離子與硼離子，有可能單獨地控制氟與硼離子之劑量，倘若沒有BT性質等之問題，則可種鍍氟化硼離子。

在1000之溫度下進行快速熱延(RTA)以活化種鍍雜質離子，藉由熟知的矽化物化技法，可在源區域10S、漏極區域10D、雜質擴散區域5與閘電極10G上形成如鈷與鈦之耐火金屬等矽化物薄膜。

之後，形成一內層絕緣膜，穿透絕緣膜而形成接孔，並形成一鋁線圖案，在線圈層之最上層並形成墊20至23。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

雜質擴散區域5、n-態井3，與矽基體1構成一pnp電晶體，若高於pnp電晶體之集電器與底座打開的放射器間擊穿電極之電極被施於雜質擴散區域5與矽基體1之間，則在其間形成導電通路，該BVCEO小於開絕緣膜10I之介電擊穿電壓。

在以互聯件6電連接開電極10G與雜質擴散區域5後，且當高於由開電極10G上累積電荷所集生BVCEO的電壓被施於開電極10G與溝道區域10C間，累積電荷經雜質擴散區域5與n-態井3流入基體1，以此一方法，由雜質擴散區域5、n-態井3與矽基體1所構成之pnp電晶體作用為一開保護元件，如此可避免開絕緣膜10I之介電擊穿。

第2圖為一曲線圖，其表示金屬絕緣體半導體場效電晶體MISFET之電流-電壓性質之測量結果，金屬絕緣體半導體場效電晶體MISFET之電流與電壓特性之測量可藉由量測漏極區域電流，其藉由在墊片20與21接地而墊片23則施以一2.5V電壓，並改變施於墊片22之電壓而進行測量，在第2圖中之破折線顯示金屬絕緣體半導體場效電晶體MISFET之電流-電壓特性，比較而言，在第5圖中直線所表示者為傳統金屬絕緣體半導體場效電晶體MISFET的電流-電壓特性，橫座標表示以伏特為單位之開電壓，而縱座標則為以安培為單位之電流。

比較實施例之金屬絕緣體半導體場效電晶體MISFET，第5圖所示之傳統金屬絕緣體半導體場效電晶體MISFET具有在-0.5或更低開電壓範圍之大的漏極電流，這是因為

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(9)

第5圖中雜質擴散區域107與p-n井101間的p-n結被正向偏壓以將由雜質擴散區域107，p-n態井101與漏極區域104等所構成之n-p-n電晶體變為”開”狀態。

相反地，在此實施例中，若將一逆轉測電壓，即正值電壓施於閘電極10G，則在n-態井3與矽基體1間之p-n結點被反轉偏壓，是以在閘電極10G與基體1間無電流流動，若一累積測電壓，即一負值電壓被施於閘電極10G，則在n-態井3與雜質擴散區域5間之p-n結點被反轉偏壓，是以在閘電極10G與基體1間無電流流動，即使將一正極或負極的電壓施於閘電極10G，電流不會流經閘保護元件，可測量金屬絕緣體半導體場效電晶體MISFET之本質電壓-電流特性。

如第2圖之破折線所示，本實施例之金屬絕緣體半導體場效電晶體MISFET10在約-0.5V之閘電壓下被截斷，當足以截斷金屬絕緣體半導體場效電晶體MISFET之電壓被施於閘電極10G時，在n-態井3與雜質擴散區域5間之p-n結點被反轉偏壓，因此，在雜質擴散區域5與溝道區域10C間之p-n結點變得不導電，如此可測得金屬絕緣體半導體場效電晶體MISFET之閾值電壓。

在此實施例中，在n態井3中之n-態區域作用為由雜質擴散區域5、n-態井3與p-態矽基體1所構成之pnp電晶體的基極，為測量金屬絕緣體半導體場效電晶體MISFET10之本質電流-電壓特性，有必要不使pnp電晶體在閘電壓之測量範圍內處於”開”的狀態，此一要求之達到可藉由不將n-

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(10)

態井3之n-態區域設定於某一特定位能，而處在一變動狀態，在此實施例中，在n-態井3之n-態區域經由矽基體1之p-態雜質擴散區域5而被電聯接至如墊片之導電區域上，據此，在n-態井3中之n-態區域呈電子流動態。

在如第1圖所示之n-態金屬絕緣體半導體場效電晶體MISFET是保護式的，可藉由將在n-態井中所形成之p-溝道金屬絕緣體半導體場效電晶體MISFET之閘電極聯接至雜質擴散區域5，而保護p-態金屬絕緣體半導體場效電晶體MISFET。

之後，參考第3圖以說明第二實施例，在第一實施例中，使用一p-態矽基體，而在p-態井中形成一n-態金屬絕緣體半導體場效電晶體MISFET，在第二實施例中，使用一n-態矽基體，而在n-態井中形成一p-態金屬絕緣體半導體場效電晶體MISFET。

一p-態矽基體31具有形成於基體表層中之n-態井33，一場效氧化物膜35界定在n-態井33表層中之多個活化區域。

在n-態井33中形成一p-態溝道金屬絕緣體半導體場效電晶體MISFET40，金屬絕緣體半導體場效電晶體MISFET40係由一源區域40S、一漏極區域40D，一溝道區域40C、一閘絕緣膜40I與一閘電極40G所組成，該閘電極40G具有兩層結構，其由一非均態之50nm厚度矽膜與一150nm厚度的矽化鎢所組成。

一n-態井33具有一形成於另一區域上之p-態井34，在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(11)

p-態井34中，形成一n-態雜質擴散區域36，經由互聯件37，該n-態雜質擴散區域36被連接至閘電極40G，該n-態井33、源區域40S、閘電極40G與漏極區域40D分別被連接至墊片50、51、52與53上。

基本上，在第3圖所示之製造半導體裝置的方法與第一圖所示之製造半導體裝置的方法相同，因此，僅說明各井與雜質擴散區域之離子種鍍狀態。

n-態井33之形成係藉由在180keV之加速能量與 $1.5 \times 10^{13} \text{cm}^{-2}$ 之劑量的狀態下種鍍磷離子，藉由進行兩次的硼離子以形成一p-態井34，第一種鍍狀態為180keV之加速能量與 $1.5 \times 10^{13} \text{cm}^{-2}$ 之劑量，而第二種鍍狀態為115keV之加速能量與 $1.0 \times 10^{13} \text{cm}^{-2}$ 之劑量，雖然未示出，可藉由種鍍兩次硼離子而形成n-態溝道之金屬絕緣體半導體場效電晶體MISFET的p-態井，首先在180keV加速能量與 $8.0 \times 10^{12} \text{cm}^{-2}$ 劑量的情形下，隨後在30keV加速能量與 $2.7 \times 10^{12} \text{cm}^{-2}$ 劑量的情形下。

LDD結構之低雜質濃度區域之形成係藉由在20keV加速能量與 $1.0 \times 10^{13} \text{cm}^{-2}$ 劑量的情形下種鍍氟化硼，源區域40S與漏極區域40D之形成係藉由在20keV加速能量與 $3.0 \times 10^{15} \text{cm}^{-2}$ 劑量的情形下種鍍氟化硼，n-態雜質擴散區域36之形成係藉由在30keV加速能量與 $1.0 \times 10^{15} \text{cm}^{-2}$ 劑量的情形下種鍍砷離子。

在第二實施例中，閘電極40G經由n-態雜質擴散區域36與p-態井34而聯接至n-態井33，然而，與第一實例相同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

者，開絕緣膜40I之介電擊穿可為之避免，並可測量金屬絕緣體半導體場效電晶體MISFET之本質電流-電壓特性。

第3圖所示者為處在保護態之n-態井內p-態金屬絕緣體半導體場效電晶體MISFET，可藉由將p-態金屬絕緣體半導體場效電晶體MISFET連接至雜質擴散區域36而保護位於p-態井中的n-態金屬絕緣體半導體場效電晶體MISFET。

以下將參考第4A圖以說明第三實施例，第三實施例之半導體裝置具有三重井結構。

第4A圖為第三實施例之半導體裝置的截面圖，一p-態矽基體60具有一形成於基體表層的n-態井61，在n-態井61中形成兩個p-態井62與63，一場效氧化物膜72界定井表面之活化區域。

p-態井62具有一形成於其中之n-態溝道金屬絕緣體半導體場效電晶體MISFET，而其中所形成之p-態井63具有一n-態雜質擴散區域64，經由一互聯件66，金屬絕緣體半導體場效電晶體MISFET65之閘電極被連接至n-態雜質擴散區域64，p-態井62、源區域、閘電極與金屬絕緣體半導體場效電晶體MISFET的漏極區域及n-態井61分別地連接至墊片67至71。

當一正值或負值之電壓被施於閘電極上時，在n-態雜質擴散區域64與p-態井63間的p-n結：或者在p-態井63與n-態井61間的p-n結被反轉偏壓，而可測得金屬絕緣體半導體場效電晶體MISFET之本質特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(13)

在第4A圖所示之半導體裝置中，墊片69可直接連接至p-態井63，而無須形成n-態雜質擴散區域64，在此例中，p-態井61、n-態井61與p-態井62構成做為保護元件的pnp二極電晶體，若將較施於p-態井63之電壓大的電壓施於墊片71，即，二極體之基極，在p-態井63與n-態井61間之p-n結總將被反轉偏壓，而可測得金屬絕緣體半導體場效電晶體MISFET的本質特性。

對墊片71施以高電壓之應用相對應於第1圖之第一實施例中對n-態井3施以高電壓的應用，在此一情形下，一墊片供設n-態井3之用，並利用五個墊片來量測金屬絕緣體半導體場效電晶體MISFET之特性，在第一與第二實施例中，二極電晶體之基極係做為在開狀態的保護元件，因此可以四個墊片來量測金屬絕緣體半導體場效電晶體MISFET之特性，為使用較少之墊片以測量金屬絕緣體半導體場效電晶體MISFET的特性，較佳使得二極電晶體處在如第一與第二實施例中的開狀態。

第4B圖為本發明第三實施例中半導體裝置改良的橫截面圖，在第三實施例中，經由p-態井63與n-態雜質擴散區域64，金屬絕緣體半導體場效電晶體MISFET65之閘電極連接至n-態井61，在第三實施例的改良中，閘電極經由p-態雜質擴散區域64a而聯接至n-態井61，一金屬絕緣體半導體場效電晶體MISFET65之閘電極，一n-態井61係在一變動狀態，而墊片71a取代第三實施例中之墊片71而聯接至p-態矽基體60，其餘結構如同第4A圖之第三實施例

(請先閱讀背面之注意事項再填寫本頁)

張

訂

五、發明說明(14)

者。

在此一改良例中，金屬絕緣體半導體場效電晶體 MISFET65之電流-電壓特性的測量過程中，將位於p-態雜質擴散區域64a與n-態井61間之p-n結或者位於n-態井61與p-態井62間之p-n結反轉偏壓，是以可測量金屬絕緣體半導體場效電晶體 MISFET65之電流-電壓特性。

在半導體晶片之周緣區域沉積墊片83與84，該墊片84以探針加以接觸而測量PCM電晶體之閘電極，該墊片83係作為電路區域81中所形成電路的輸出/輸入端子，在PCM區域82中之PCM電晶體與電路區域81中之電路係分別完全不同電聯狀態的，藉由測量在PCM區域82中PCM電晶體的閘電壓值，可計算形成於電路區域81中金屬絕緣體半導體場效電晶體 MISFET之閘電壓。

在第6圖中，PCM區域係沉積在經劃線後的晶片80表面上，然而，其可沉積在晶圓的劃線區域上。

本發明已經由較佳的實施例加以說明，惟其並不限於上述實施例，對於熟於此技之人士，自可了解其之不同修正、改良或組合。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

元 件 標 號 對 照

1,,31,100… 矽基體
2,3,33,62,63,101… 井
4,35,102… 場效氧化物膜
10,40,65… 金屬絕緣體半導體場效電晶體 MISFET
10C,40C… 溝道區域
10S,40S,103… 源區域
10D,40D,104… 漏極區域
10G,40G,105… 閘電極
10I,40I,106… 閘絕緣膜
10W… 側壁絕緣膜
5,36,64,107… 雜質擴散區域
20-23,50-53,67-71,83 108-111… 墊片
6,37,66,115… 互聯件
80… 晶片
81… 電路區域
82… PCM區域

(請先閱讀背面之注意事項再填寫本頁)

表

訂

四、中文發明摘要(發明之名稱：具有評估金屬絕緣體半導體場效電晶體(MISFET)之半導體元件)

一種耗盡型金屬絕緣體半導體場效電晶體MISFET係形成於半導體基體之表面，金屬絕緣體半導體場效電晶體包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道、一閘絕緣膜、一雜質擴散區域形成於半導體基體表層、一互聯件用以電聯閘電極與雜質擴散區域、一p-n結，其當足夠截止金屬絕緣體半導體場效電晶體的電壓被施於該溝道之閘電極時，被反向偏壓，在雜質擴散區域與溝道區域間之電路變成不導電、數個墊片被聯接至閘電極、源區域與漏極區域。

英文發明摘要(發明之名稱：SEMICONDUCTOR DEVICE WITH EVALUATION MISFET)

A depletion type MISFET is formed on a surface of the semiconductor substrate, MISFET including a source region, a drain region, a channel region between the source and drain regions, a gate insulating film on the channel region, and a gate electrode on the gate insulating film. An impurity diffusion region is formed in a surface layer of the semiconductor substrate. An interconnect electrically connects the gate electrode and impurity diffusion region. A p-n junction is reversed biased when a voltage sufficient for cutting off the MISFET is applied to the gate electrode relative to the channel region, an electric path between the impurity diffusion region and the channel region is made non-conductive. Pads are connected to the gate electrode, source region, and drain region.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，其包括：

一半導體基體；

一種形成於該半導體基體之表面之耗盡型金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道區域、一位於溝道區域上之閘絕緣膜，一位於閘絕緣膜上之閘電極；

一雜質擴散區域形成於該半導體基體之表層上；

一用以電聯閘電極與該雜質擴散區域互聯件；

一p-n結，其係當足夠截止金屬絕緣體半導體場效電晶體的電壓，相對於該溝道被施加到閘電極時，被反向偏壓，且使該雜質擴散區域與該溝道區域間之電路變成不導電；

被分別聯接至閘電極、源區域與漏極區域的數個墊片。

2. 一種半導體裝置，其包括：

一半導體基體；

一種形成於該半導體基體之表面之金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道區域、一位於溝道區域上之閘絕緣膜，一位於閘絕緣膜上之閘電極；

一第一導電態之第一井，其形成於該半導體基體之表層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

六、申請專利範圍

一雜質擴散區域域形成於該第一井，其具有與第一導電態相反之第二導電態；

一第二導電態的源區域，其環繞源自該半導體基體之第一井；

一互聯件，其用以電聯閘電極與該雜質擴散區域；

數個墊片，其被分別聯接至閘電極、源區域與漏極區域。

3. 如申請專利範圍第2項之半導體裝置，其中該表面區域包括一與該半導體基體之導電態相同之導電態。
4. 如申請專利範圍第3項之半導體裝置，其更包括一具有與該半導體之導電態者相同之第二井，該第二井係形成於不同於第一井區域上的該表面區域中，其中該金屬絕緣體半導體場效電晶體(MISFET係安設在該第二井中。
5. 如申請專利範圍第2項之半導體裝置，其中，該半導體基體具有第一導電態，且該表面區域係由沉積在該半導體基體表面屬於第二導電態的第二井所組成。
6. 如申請專利範圍第5項之半導體裝置，其中該金屬絕緣體半導體場效電晶體(MISFET)係安設在該第二井中。
7. 如申請專利範圍第5項之半導體裝置，更包括一形成在第二井中之第一導電態的第三井，其中該金屬絕緣體半導體場效電晶體MISFET係安設在該第三井中。
8. 如申請專利範圍第2項之半導體裝置，其更包括一具第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

六、申請專利範圍

二導電態者之第二井，該第二井形成於不同於雜質擴散區域的第一井中，其中該金屬絕緣體半導體場效電晶體MISFET係安設在該第二井中。

9. 如申請專利範圍第2項之半導體裝置，其該金屬絕緣體半導體場效電晶體MISFET為耗盡型。

10. 一種半導體裝置，其包括：

一半導體基體；

一種形成於該半導體基體之表面之金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道區域、一位於溝道區域上之閘絕緣膜，一位於閘絕緣膜上之閘電極；

一第一導電態之井，其形成於該半導體基體之表層；

一雜質擴散區域形成於該第井中，其具有與第一導電態相反之第二導電態；

一第二導電態的源區域，其環繞源自該半導體基體側的該井；

一互聯件，其用以電聯閘電極與該雜質擴散區域；

其中第一導電態之該井區域經由該比表面之雜質擴散區域而被電聯至導電區域接至閘電極、源區域與漏極區域。

11. 如申請專利範圍第10項之半導體裝置，其中該表面區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

六、申請專利範圍

- 域包括一與該半導體基體之導電態相同之導電態。
12. 如申請專利範圍第10項之半導體裝置，其中該半導體基體具有第一導電態，且該表面區域係由沉積在該半導體基體表層所之第二導電態的另一井所組成。
13. 如申請專利範圍第10項之半導體裝置，其該金屬絕緣體半導體場效電晶體MISFET為耗盡型。
14. 一種半導體裝置，其包括：
- 一半導體基體；
 - 一種形成於該半導體基體之表面之耗盡型金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道、一位於溝道上之閘絕緣膜，一位於閘絕緣膜上之閘電極、金屬絕緣體半導體場效電晶體MISFET之閘值之測量係藉著以探針接觸該半導體基體之特定區域；
 - 一雜質擴散區域，其形成於該半導體基體之表面上；
 - 一互聯件，其用以電聯閘電極與該雜質擴散區域；
 - 一p-n結，其係當足夠截止與溝道連接之金屬絕緣體半導體場效電晶體的電壓被施於相對溝道區域之閘電極時，被反向偏壓，且使該雜質擴散區域與溝道區域間之電路變成不導電。
15. 一種半導體裝置，其包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一半導體基體；

一種形成於該半導體基體之表面之金屬絕緣體半導體場效電晶體MISFET，該金屬絕緣體半導體場效電晶體MISFET包括一源區域、一漏極區域，一位於源區域與漏極區域間之溝道區域、一位於溝道上之閘絕緣膜，一位於閘絕緣膜上之閘電極、金屬絕緣體半導體場效電晶體MISFET之閾值之測量係藉著以探針接觸該半導體基體之特定區域；

一第一導電態之井，其形成於該半導體基體之表層；

一雜質擴散區域形成於該井中，其具有與第一導電態相反之第二導電態；

一第二導電態的表面區域，其環繞源自該半導體基體側的該井；

一互聯件，其用以電聯閘電極與該雜質擴散區域。

16.如申請專利範圍第15項之半導體裝置，其中該表面區域具有與半導體基體之導電態相同之導電態。

17.如申請專利範圍第15項之半導體裝置，其中該半導體基體具有第一導電態，且該表面區域係由沉積在該半導體基體表層的第二導電態另一井所組成。

(請先閱讀背面之注意事項再填寫本頁)

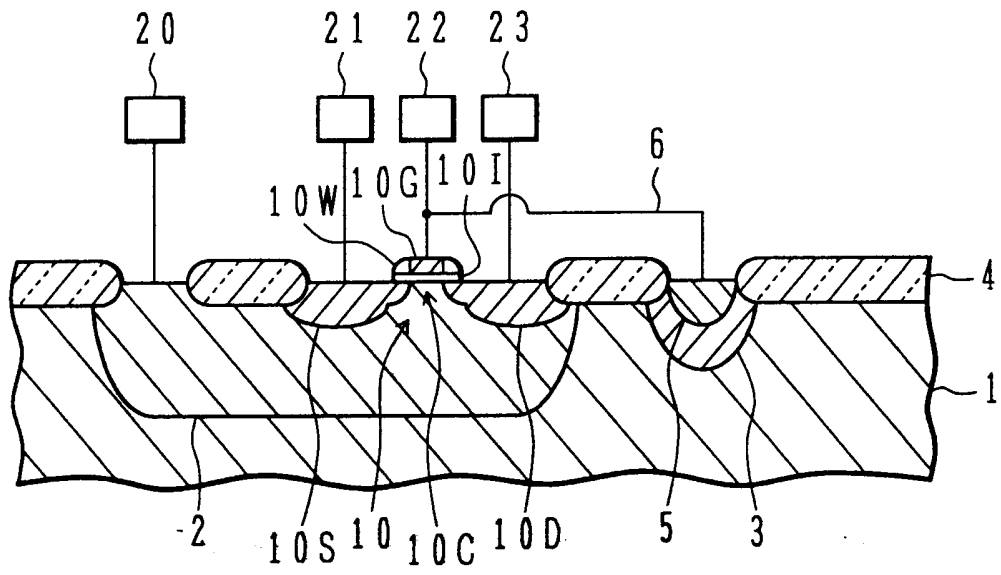
裝

訂

線

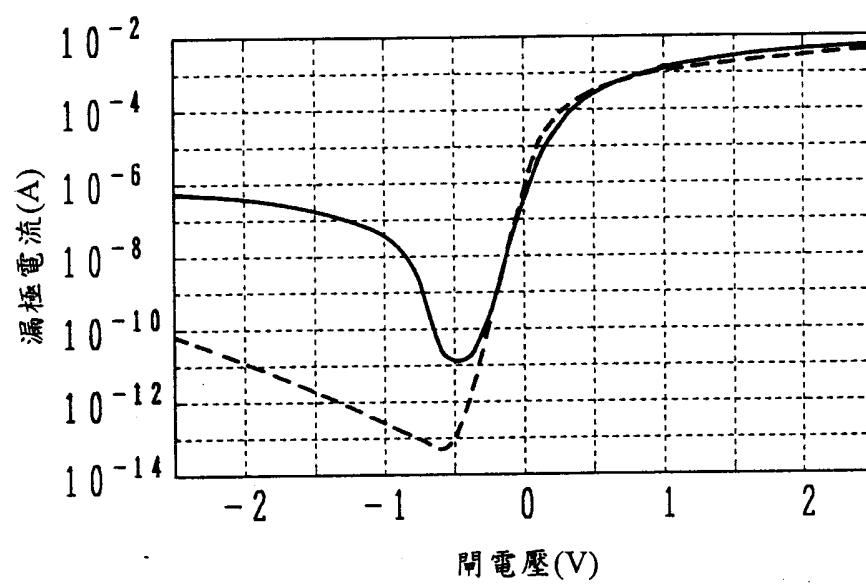
404066

第 1 圖

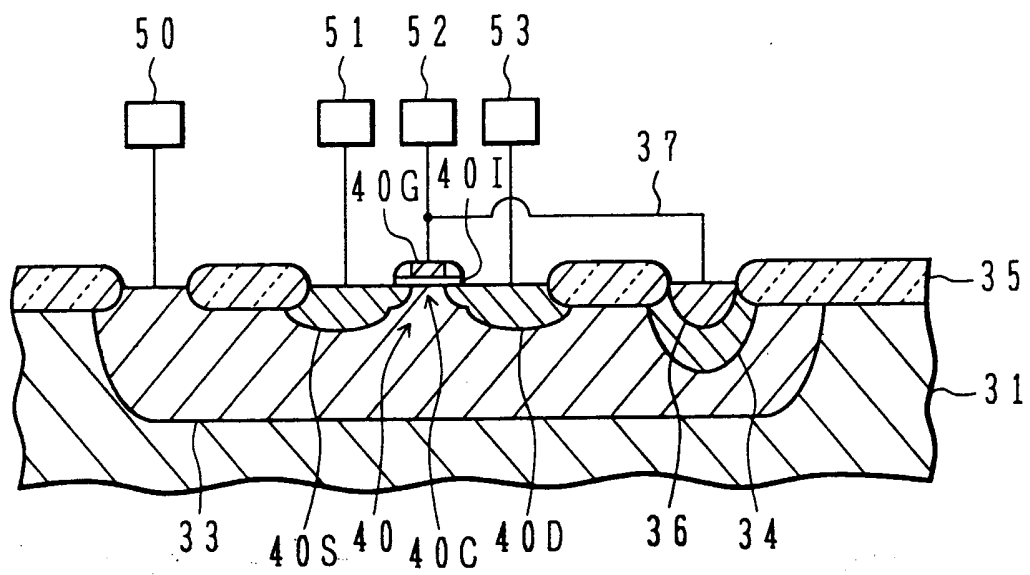


404066

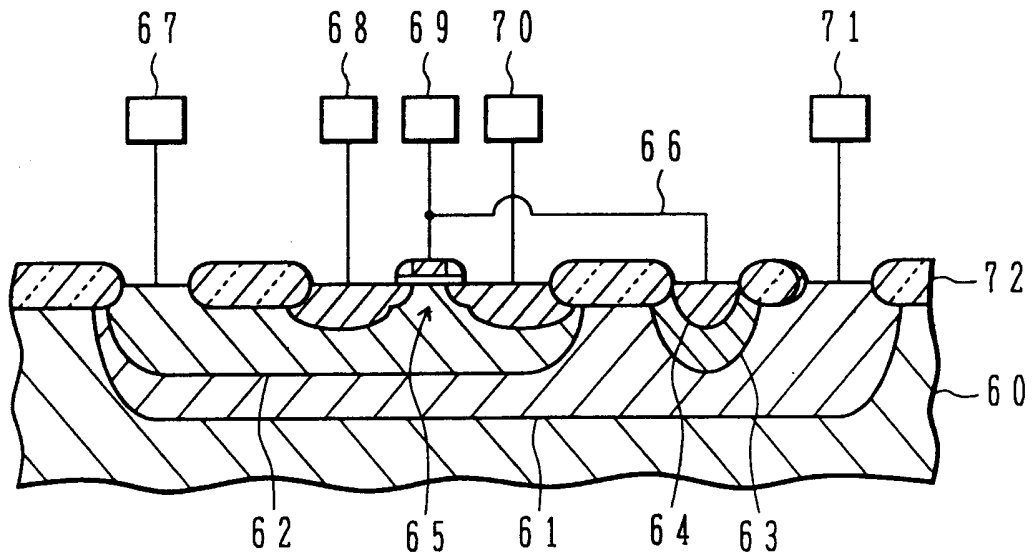
第 2 圖



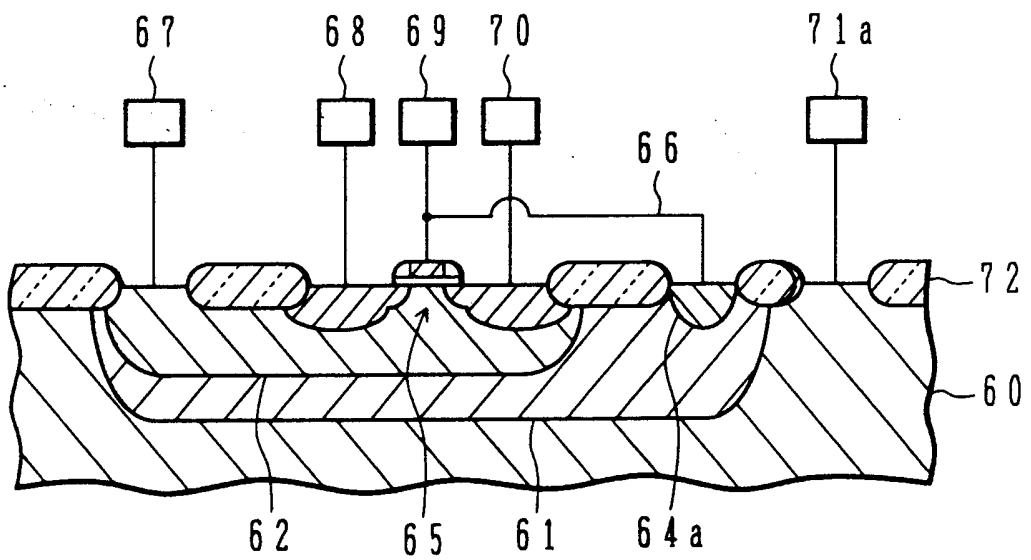
第 3 圖



第 4A 圖

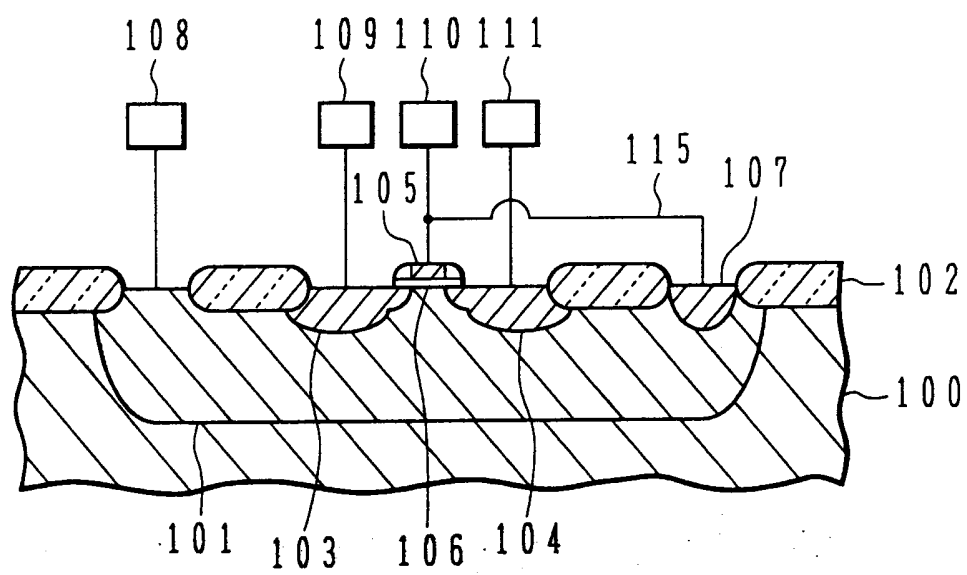


第 4B 圖



第 5 圖

習知技藝



404066

第 6 圖

