



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월14일
(11) 등록번호 10-1948126
(24) 등록일자 2019년02월08일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G06F 16/00 (2019.01)
G11C 15/00 (2006.01) G11C 7/12 (2006.01)
G11C 8/08 (2006.01)
(21) 출원번호 10-2014-7034459
(22) 출원일자(국제) 2013년05월03일
심사청구일자 2018년04월26일
(85) 번역문제출일자 2014년12월08일
(65) 공개번호 10-2015-0014487
(43) 공개일자 2015년02월06일
(86) 국제출원번호 PCT/JP2013/062791
(87) 국제공개번호 WO 2013/168685
국제공개일자 2013년11월14일
(30) 우선권주장
JP-P-2012-105558 2012년05월06일 일본(JP)
(56) 선행기술조사문헌
KR1020080059621 A*
(뒷면에 계속)

(73) 특허권자
고쿠리츠다이가쿠호진 도호쿠다이가쿠
일본 미야기켄 센다이시 아오바쿠 가타히라 2쵸메
1방 1고
(72) 발명자
하뉴우 다카히로
일본 미야기켄 센다이시 아오바쿠 가타히라 2쵸메
1방 1고 고쿠리츠다이가쿠호진 도호쿠다이가쿠내
마쓰나가 쇼운
일본 미야기켄 센다이시 아오바쿠 가타히라 2쵸메
1방 1고 고쿠리츠다이가쿠호진 도호쿠다이가쿠내
(뒷면에 계속)
(74) 대리인
유미특허법인

전체 청구항 수 : 총 14 항

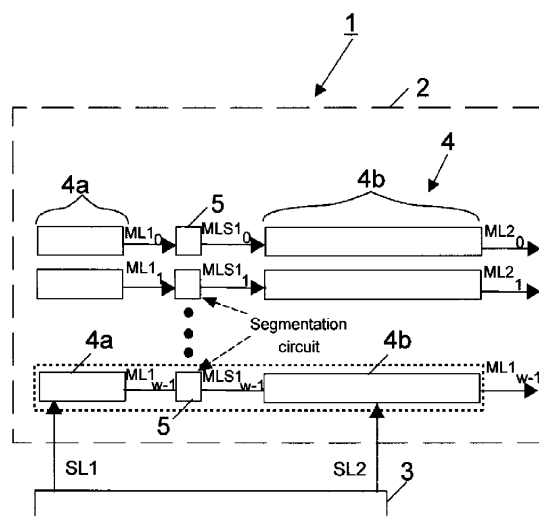
심사관 : 한선경

(54) 발명의 명칭 반도체 기억 장치

(57) 요약

반도체 기억 장치(1)는, 입력 제어부(3)와, 입력 제어부(3)에 접속되는 연상 메모리 블록(2)을 포함하고, 연상 메모리 블록(2)의 각 워드 회로(4)는, 입력 제어부(3)의 제1 서치 라인(SL1)에 접속되는 k 비트의 제1단 서브 워드 회로(4a)와, 입력 제어부(3)의 제2 서치 라인(SL2)에 접속되는 n-k 비트의 제2단 서브 워드 회로(4b)로 이루어지고, k 비트의 제1단 서브 워드 회로(4a)와 n-k 비트의 제2단 서브 워드 회로(4b)는, 세그먼트화 회로(5)를 통하여 분할되어 있다. 제1단 서브 워드 회로가 일치(매치) 신호를 출력하면, 일치한 결과가 세그먼트화 회로(5)에 기억(스토어)되고, 제2단 서브 워드 회로(4b) 내의, 복수의 로컬 일치 회로가 동작한다.

대표도 - 도1



(72) 발명자

오니자와 나오키

캐나다 H3A 2A7 퀘벡주 몬트리올 유니버시티 스트리트 3480 맥길 유니버시티내

가우뎃 빈센트

캐나다 N2L 3G1 온타리오주 워털루 유니버시티 애비뉴 웨스트 200 유니버시티 오브 워털루내

(56) 선행기술조사문헌

US20060233011 A1

US3997882 A

US20020080638 A1

US20080151588 A1

KR1020080029138 A

KR1020030068206 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

레지스터와, 비교기와, 모드 제어부를 포함하여 구성되는 입력 제어부; 및

상기 입력 제어부에 접속되는 연상 메모리 블록(associative memory block);

을 포함하고,

상기 연상 메모리 블록의 각 워드 회로는, 상기 입력 제어부의 제1 서치 라인에 접속되는 k비트의 제1단 서브 워드 회로와, 상기 입력 제어부의 제2 서치 라인에 접속되는 $n-k$ 비트(여기서, $n-k > k$ 임)의 제2단 서브 워드 회로와, 상기 제1단 서브 워드 회로와 상기 제2단 서브 워드 회로를 접속하는 세그먼트화 회로를 구비하고,

상기 제2단 서브 워드 회로는, 분할된 서브-서브 워드 회로와, 상기 서브-서브 워드 회로의 각각에 접속되는 로컬 일치 회로와, 상기 서브-서브 워드 회로 전체의 글로벌 일치 회로로 이루어지고,

상기 서브-서브 워드 회로의 각각에는, 상기 입력 제어부로부터 검색 워드가 병렬로 송출되고, 상기 검색 워드와 상기 서브-서브 워드 회로의 각각에 있어서 기억되어 있는 워드와의 일치가 상기 로컬 일치 회로에 의해 판정되고,

상기 로컬 일치 회로의 모든 출력은, 상기 글로벌 일치 회로에 입력되며,

상기 입력 제어부는, 상기 제1단 서브 워드가 검색 워드와 일치하지 않은 것으로 판정된 경우에는, 상이한 입력에 대하여 연속하여 일치 동작을 계속하도록 고속 모드로 동작하는,

반도체 기억 장치.

청구항 2

제1항에 있어서,

상기 서브-서브 워드 회로는 k 비트인, 반도체 기억 장치.

청구항 3

제1항에 있어서,

상기 입력 제어부는, 상기 고속 모드 및 저속 모드로 동작하는, 반도체 기억 장치.

청구항 4

제3항에 있어서,

상기 입력 제어부는, 상기 제1단 서브 워드가 검색 워드와 일치한 것으로 판정된 경우에는, 상기 저속 모드로 동작하는, 반도체 기억 장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 연상 메모리 블록의 검색에 있어서, 각 워드 회로는 다음의 검색을 행하기 전에 매치 라인(match line)이 충전되고, 상기 워드 회로 내에 있어서 일치한 매치 라인만이, 상기 워드 회로 내에서 생성된 국소적 제어 신호에 의해 충전되는, 반도체 기억 장치.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 연상 메모리 블록의 검색에 있어서, 각 워드 회로는 다음의 검색을 행하기 전에 매치 라인이 충전되고, 상

기 워드 회로의 글로벌 일치 회로의 동작 후에 상기 워드 회로의 매치 라인이 충전되는, 반도체 기억 장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 로컬 일치 회로는, 워드마다 비동기 또는 동기하여 제어되는, 반도체 기억 장치.

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 입력 제어부는, 동기 신호 또는 비동기 신호에 의해 구동되는, 반도체 기억 장치.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 연상 메모리 블록은, 2값의 연상 메모리 셀로 이루어지는, 반도체 기억 장치.

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 연상 메모리 블록은, 3값의 연상 메모리 셀로 이루어지는, 반도체 기억 장치.

청구항 11

제5항에 있어서,

상기 워드 회로는, 자율 사전 충전 회로를 포함하여 구성되어 있는, 반도체 기억 장치.

청구항 12

제7항에 있어서,

상기 로컬 일치 회로를, 워드마다 비동기로 제어하고,

검색 워드와 기억되어 있는 워드의 일치를 판정하는 일치 조작 후에, 일치한 워드의 매치 라인을, 국소적 제어 신호에 의해 자율 사전 충전하고, 상기 자율 사전 충전에서의 지연 시간 T_{PA} 를, 상기 연상 메모리 블록의 사이클 타임 T_{CA} 에 영향을 주지 않도록 동작시키는, 반도체 기억 장치.

청구항 13

제2항에 있어서,

상기 입력 제어부는, 상기 고속 모드 및 저속 모드로 동작하는, 반도체 기억 장치.

청구항 14

제6항에 있어서,

상기 워드 회로는, 자율 사전 충전 회로를 포함하여 구성되어 있는, 반도체 기억 장치.

청구항 15

삭제

발명의 설명

기술 분야

본 발명은, 반도체 기억 장치에 관한 것이다. 또한, 상세하게는, 본 발명은, 고속으로 또한 저소비 전력으로 동작하는 반도체 기억 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 메모리의 일종인 연상 메모리((associative memory block), 이하, CAM이라고 함)는, 고속이고 저전력기 능 메모리로서 사용되고 있다. CAM은, 입력되는 검색 워드를 기억된 워드와 비교하는 룩업(lookup) 테이블의 기 능을 가지고 있고, CAM은, 완전히 병렬로 같은 검색 방법으로 일치한 워드를 고속으로 출력한다.
- [0003] CAM은, 파라메트릭 곡선의 추출(비특허 문헌 1 참조), 디지털 화상 처리 변환의 특징 추출법에서 사용되는 허프 (Hough) 변환(비특허 문헌 2 참조), 데이터 압축의 알고리즘의 일종인 Lempel-Ziv 변환(비특허 문헌 3 참조), 인체 통신의 제어 장치(비특허 문헌 4 참조), 주기 사상 발생기(비특허 문헌 5 참조), 캐시 메모리(비특허 문헌 6 참조), 바이러스 검출용 프로세서(비특허 문헌 7 참조) 등에 사용되고 있다.
- [0004] 현재는, CAM은, 주로 네트워크 라우터(network router)나 네트워크 스위치의 패킷 제어에 사용되고 있다(비특허 문헌 8~11 참조).
- [0005] 도 18은, 종래의 CAM의 구성을 나타낸 블록도이다. 도 18에 나타낸 바와 같이, 종래의 CAM(100)은, 입력 제어부 (102)와, 기억 영역인 워드 블록(103)과, 부호기(104)를 포함하여 구성되어 있다. 검색 워드는, 서치 라인 (Search Line, 이하, SL이라고 함)으로부터 기억되어 있는 워드 블록(테이블이라고도 함)(103)에 송출된다. CAM(100) 중의 비트수는 통상 36 내지 144비트이다. 전형적인 CAM(100) 중의 워드 블록의 수는 수백으로부터 3 만 2천 위(位)이다. 각 입력 또는 워드 회로는, 수 다스(dozen)의 CAM 셀을 포함하고 있다. 각 워드 블록(103) 은, 검색 워드와 기억된 워드가 일치하고 있는지 또는 불일치한지를 나타내는 매치 라인(Match Line, 이하, ML 이라고 함)을 가지고 있다.
- [0006] 입력되는 검색 비트에 따른 각 CAM 셀에서의 비교의 결과는, CAM 셀에 부속되어 매치 라인(ML)에 접속되는 패스 트랜지스터(pass transistor)의 오프인지 온인지에 따라 결정된다. ML은 부호기(104)에 접속되어 있다. 부호기 (104)는, ML이 일치한 상태에 있는 2값의 일치한 장소(어드레스)를 생성한다.
- [0007] 워드 블록 또는 워드 회로는, 통상, 다이내믹 논리로 구성되어 있고(비특허 문헌 12 참조), NOR형(비특허 문헌 12 참조) 또는 NAND형(비특허 문헌 13~15 참조)의 구조로 분류되어 있다.
- [0008] NOR형의 워드 회로에 있어서, NOR형의 CAM 셀의 패스 트랜지스터는 ML과 접지 라인(그라운드 라인이라고 함)과 의 사이에 병렬로 접속되어 있으므로, 워드 회로는 고속으로 동작한다. CAM에서는 기억되어 있는 워드의 대부분 이 입력의 검색 워드와 불일치하므로, 대부분의 워드 회로는 일치하지 않은 상태이다. 그러므로, 일치하지 않은 워드 회로는, NOR형의 셀 중의 ML 용량을 고빈도로 방전하게 되어, 큰 전력을 소비한다.
- [0009] 상기 NOR형의 CAM 셀은 고속이지만, 소비 전력이 크다. 그러므로, 잡음 내성(耐性)을 가지고 ML의 소비 전력을 저감시키기 위해, 저전압화의 시도로서 전류 구동형(驅動型)의 회로가 제안되어 있다(비특허 문헌 16 및 17 참 조).
- [0010] 한편, NAND형의 CAM 셀은, NAND형의 워드 회로에 있어서, 패스 트랜지스터가 ML과 접지 라인과 사이에 직렬로 접속되어 있으므로, 워드 회로는 중속으로 동작한다. 일치한 워드 회로만이 ML 용량을 방전하므로, NAND형의 워 드 회로는, NOR형의 워드 회로와 비교하여, 소비 전력은 저하된다.
- [0011] 상기 NAND형의 CAM 셀은, 소비 전력이 작지만, 중속이다. 그러므로, NAND형의 CAM 셀의 스루풋(throughput)을 증대시키기 위해, PF-CDPD(pseudo-footless clock-and-data precharged dynamic) 게이트라는 회로가 제안 되어 있다(비특허 문헌 14 및 15 참조).
- [0012] 종래의 동기식(同期式)의 CAM에서는, 다음에, 검색되는 워드는, 현재의 검색이 완료하고 나서 유효하게 된다. 일치 동작의 최악의 경우의 지연 시간은, 통상은 워드의 비트수에 비례하므로, 종래의 동기식의 CAM의 스루풋은, CAM의 워드의 비트수에 의해 제한된다.
- [0013] CAM은 수백 이상의 워드를 기억하는 메모리 셀과 입력 데이터 사이의 검색을 병렬로 행하고, 일치 워드의 어드 레스를 출력한다. 종래의 동기식의 CAM에서는, 전체를 클록 신호로 일괄 제어하고 있고, 그 속도는 워드 회로의 비트 길이에 의한 전체 지연으로 결정되어 있었다. 인터넷의 차세대 프로토콜(통신 수준)인 IPv6에 있어서는 그 워드의 비트 길이는 144비트 이상에도 도달하고, CAM의 속도를 저하시키는 요인으로 되어 있다. 또한, 최근의 네트워크 트래픽의 증가에 의해, 기억해야 할 엔트리수도 증가하여 소비 전력이 증대하고 있다.
- [0014] 종래의 CAM 워드 회로 방식으로서, 저전력화를 위한 워드 회로의 세그먼트화 방법이 알려져 있다. 이 방법에서 는, 워드 회로의 세그먼트화에 의해, 처음에 선두의 수비트의 검색을 행하고, 일치 및 불일치를 판정하고, 나머

지의 대부분의 부분의 워드 회로의 동작을 정지시킴으로써, 저전력화를 도모하고 있었다. 그러나, 이 방법에서는, 세그먼트 사이에 센스 증폭기 등을 추가할 필요가 있어, 지연이 증대하는 요인으로 되고 있었다. 이 워드 회로 전체의 지연은, 각 세그먼트의 지연과 각각의 센스 증폭기의 지연의 합계로 결정된다.

- [0015] 이 세그먼트화 방법에서의 저전력화 효과를 유지하면서, 고속 동작을 실현하는 방법으로서, 아키텍처 레벨에서는, CAM 셀의 스루풋을 증대시키기 위해, 파이프라인을 사용한 회로가 제안되어 있다(비특허 문헌 18, 19 참조).

선행기술문헌

특허문헌

- [0016] (특허문헌 0001) 일본 공개특허 제2006-236515호 공보

비특허문헌

- [0017] (비특허문헌 0001) M. Meribout, T. Ogura, and M. Nakanishi, "On using the CAM concept for parametric curve extraction", IEEE Transactions on Image Processing, vol.9, no.12, pp.2126-2130, Dec. 2000
- (비특허문헌 0002) M. Nakanishi and T. Ogura, "A real-time CAM-based Hough transform algorithm and its performance evaluation", Proc. 13th International Conference on Pattern Recognition, 1996, vol.2, pp.516-521, Aug.1996
- (비특허문헌 0003) D. J. Craft, "A fast hardware data compression algorithm and some algorithmic extensions", IBM Journal of Research and Development, vol.42, no.6, pp.733-746, Nov. 1998
- (비특허문헌 0004) S. Choi, S. -J. Song, K. Sohn, H. Kim, J. Kim, N. Cho, J. -H. Woo, J. Yoo, and H. -J. Yoo, "A 24.2-mW dual-mode human body communication controller for body sensor network", Proc. 32 nd European Solid-State Circuits Conference, 2006, pp.227-230, Sept. 2006
- (비특허문헌 0005) S. Choi, K. Sohn, J. Kim, J. Yoo, and H. -J. Yoo, "A TCAM-based periodic event generator for multi-node management in the body sensor network", Proc. Asian Solid-State Circuits Conference, 2006, pp.307-310, Nov. 2006
- (비특허문헌 0006) P. -F. Lin and J. Kuo, "A 1-V 128-kb four-way set-associative cmos cache memory using wordline-oriented tag-compare (WLOT) structure with the content-addressable-memory (CAM) 10-transistor tag cell", IEEE Journal of Solid-State Circuits, vol.36, no.4, pp.666-675, Apr. 2001
- (비특허문헌 0007) C. -C. Wang, C. -J. Cheng, T. -F. Chen, and J. -S. Wang, "An adaptively dividable dual-port bitcam for virus-detection processors in mobile devices", IEEE Journal of Solid-State Circuits, vol.44, no.5, pp.1571-1581, May(2009)
- (비특허문헌 0008) N. -F. Huang, K. -B. Chen, and W. -E. Chen, "Fast and scalable multi-TCAM classification engine for wide policy table lookup", Proc.19th International Conference on Advanced Information Networking and Applications, 2005, vol.1, pp.792-797, March(2005)
- (비특허문헌 0009) M. Kobayashi, T. Murase, and A. Kuriyama, "A longest prefix match search engine for multi-gigabit IP processing", IEEE International Conference on Communications, 2000, vol.3, pp.1360-1364, 2000
- (비특허문헌 0010) Y. Tang, W. Lin, and B. Liu, "A TCAM index scheme for IP address lookup", Proc. First International Conference on Communications and Networking in China, pp.1-5, Oct. 2006
- (비특허문헌 0011) N. -F. Huang, W. -E. Chen, J. -Y. Luo, and J. -M. Chen, "Design of multifield IPv6 packet classifiers using ternary CAMs", Proc. Global Telecommunications Conference, 2001, vol.3, pp.1877-1881, 2001

- (비특허문헌 0012) K. Pagiamtzis and A. Sheikholeslami, "Content-addressable memory (CAM) circuits and architectures: a tutorial and survey", IEEE Journal of Solid-State Circuits, vol.41, no.3, pp.712-727, March(2006)
- (비특허문헌 0013) F. Shafai, K. Schultz, G. Gibson, A. Bluschke, and D. Somppi, "Fully parallel 30-MHz, 2.5-Mb CAM", IEEE Journal of Solid-State Circuits, vol.33, no.11, pp.1690-1696, Nov. 1998
- (비특허문헌 0014) H. -Y. Li, C. -C. Chen, J. -S. Wang, and C. Yeh, "An AND-type matchline scheme for high-performance energy-efficient content addressable memories", IEEE Journal of Solid-State Circuits, vol.41, no.5, pp.1108-1119, May(2006)
- (비특허문헌 0015) C. -C. Wang, J. -S. Wang, and C. Yeh, "High-speed and low-power design techniques for TCAM macros", IEEE Journal of Solid-State Circuits, vol.43, no.2, pp.530-540, Feb. 2008
- (비특허문헌 0016) I. Arsovski, T. Chandler, and A. Sheikholeslami, "A ternary content addressable memory (TCAMB) based on (4T) static storage and including a current-race sensing scheme", IEEE Journal of Solid-State Circuits, vol.38, no.1, pp.155-158, Jan. 2003
- (비특허문헌 0017) I. Arsovski and A. Sheikholeslami, "A mismatch-dependent power allocation technique for match-line sensing in content-addressable memories", IEEE Journal of Solid-State Circuits, vol.38, no. 11, pp.1958-1966, Nov. 2003
- (비특허문헌 0018) K. Pagiamtzis and A. Sheikholeslami, "Pipelined Match-Lines and Hierarchical Search-Lines for Low-Power Content-Addressable Memories", IEEE Custom Integrated Circuits Conference, pp. 383-386, 2003
- (비특허문헌 0019) K. Pagiamtzis and A. Sheikholeslami, "A low-power content-addressable memory (CAM) using pipelined hierarchical search scheme", IEEE Journal of Solid-State Circuits, vol.39, no.9, pp.1512-1519, Sept. 2004
- (비특허문헌 0020) C. Zukowski and S. -Y. Wang, "Use of selective precharge for low-power on the match lines of content-addressable memories", Proc. International Workshop on Memory Technology, Design and Testing, 1997, pp.64-68, Aug. 1997
- (비특허문헌 0021) S. Baeg, "Low-power ternary content-addressable memory design using a segmented match line", IEEE Transactions on Circuits and Systems(I): Regular Papers, vol. 55, no. 6, pp. 1485 - 1494, July(2008).
- (비특허문헌 0022) S. Choi, K. Sohn, and H. -J. Yoo, "A 0.7-fJ/bit/search 2.2-ns search time hybrid-type TCAM architecture", IEEE Journal of Solid-State Circuits, vol. 40, no.1, pp.254-260, Jan. 2005
- (비특허문헌 0023) C. -S. Lin, J. -C. Chang, and B. -D. Liu, "A low-power precomputation-based fully parallel content-addressable memory", IEEE Journal of Solid-State Circuits, vol.38, no.4, pp.654-662, Apr. 2003
- (비특허문헌 0024) P. -T. Huang and W. Hwang, "A(65) nm 0.165 fJ/bit/search 256×144 TCAM macro design for IPv6 lookup tables", IEEE Journal of Solid-State Circuits, vol.46, no.2, pp.507-519, Feb. 2011
- (비특허문헌 0025) S. Hanzawa, T. Sakata, K. Kajigaya, R. Takemura, and T. Kawahara, "A large-scale and low-power CAM architecture featuring a one-hot-spot block code for IP-address lookup in a network router", IEEE Journal of Solid-State Circuits, vol.40, no.4, pp.853-861, April(2005)

발명의 내용

해결하려는 과제

- [0018] 종래의, CAM을 저전력화하기 위한 워드 회로에서의 세그먼트화 방법에서는, 지연 시간이 증대하여 고속으로 동작하지 않았다.
- [0019] 상기한 세그먼트화 방법에서의 저전력화 효과를 유지하면서, 고속 동작을 실현하는 파이프라인을 사용하는 방법에서는, 각 세그먼트 사이에 삽입되는 파이프라인 레지스터에 의한 소비 전력의 증가가 매우 큰 것과 파이프라인 레지스터를 설치하는 것에 의한 칩 면적의 증가가 생기고 있었다.
- [0020] 특허 문헌 1에 개시된 메모리를 2겹으로 하는 방식에서는, 메모리가 2배 필요하므로, 면적 및 소비 전력에서의 증가가 매우 크다.
- [0021] 본 발명은, 상기 문제점을 해결하기 위해, 지연 시간이 짧고, 저소비 전력으로 동작하는 반도체 기억 장치를 제공하는 것을 목적으로 하고 있다.

과제의 해결 수단

- [0022] 상기 목적을 달성하기 위해, 본 발명의 반도체 기억 장치는, 레지스터와 비교기와 모드 제어부를 포함하여 구성되는 입력 제어부와, 입력 제어부에 접속되는 연상 메모리 블록을 포함하고, 연상 메모리 블록의 각 워드 회로는, 입력 제어부의 제1 서치 라인에 접속되는 k 비트의 제1단 서브 워드 회로와, 입력 제어부의 제2 서치 라인에 접속되는 $n-k$ 비트의 제2단 서브 워드 회로로 이루어지고, k 비트의 제1단 서브 워드 회로와 $n-k$ 비트의 제2단 서브 워드 회로는, 세그먼트화 회로를 통하여 접속되어 있는 것을 특징으로 한다.
- [0023] 상기 구성에 있어서, 제2단 서브 워드 회로는, 바람직하게는 다시 분할된 서브-서브 워드 회로와 각각의 상기 서브-서브 워드 회로에 접속되는 로컬 일치 회로와, 상기 서브-서브 워드 회로 전체의 글로벌 일치 회로로 이루어진다. 상기 서브-서브 워드 회로는, 바람직하게는, k 비트이다.
- [0024] 입력 제어부는, 바람직하게는, 고속 모드 및 저속 모드로 동작한다. 입력 제어부는, 바람직하게는, k 비트의 제1단 서브 워드가 검색하는 워드와 일치하지 않은 것으로 판정된 경우에는, 상이한 입력에 대하여 연속하여 일치 동작을 계속하도록 고속 모드로 동작한다. 입력 제어부는, 바람직하게는, k 비트의 제1단 서브 워드가 검색하는 워드와 일치한 것으로 판정된 경우에는, 검색이 연상 메모리 블록에서 완료할 때까지 대기하는 저속 모드로 동작한다.
- [0025] 연상 메모리 블록의 검색에 있어서, 바람직하게는, 각 워드 회로는 다음의 검색을 행하기 전에 매치 라인이 충전되고, 상기 워드 회로 내에 있어서 일치한 매치 라인만이, 워드 회로 내에서 생성된 국소적 제어 신호에 의해 충전된다.
- [0026] 연상 메모리 블록의 검색에 있어서, 바람직하게는, 각 워드 회로는 다음의 검색을 행하기 전에 매치 라인이 충전되고, 상기 워드 회로의 글로벌 일치 회로의 동작 후에 워드 회로의 매치 라인이 충전된다.
- [0027] 상기 구성에 있어서, 바람직하게는, 일치 회로는, 워드마다 비동기(非同期) 또는 동기하여 제어된다.
- [0028] 입력 제어부는, 바람직하게는, 동기 신호 또는 비동기 신호에 의해 구동된다.
- [0029] 연상 메모리 블록은, 바람직하게는, 2값의 연상 메모리 셀 또는 3값의 연상 메모리 셀로 이루어진다.
- [0030] 워드 회로는, 바람직하게는, 자율 사전 충전 회로를 포함하여 구성되어 있다.
- [0031] 일치 회로를, 바람직하게는, 워드마다 비동기로 제어하고, 검색하는 워드와 기억되어 있는 워드의 일치를 판정하는 일치 조작 후에, 일치한 워드의 매치 라인을, 국소적 제어 신호에 의해 자율 사전 충전하고, 자율 사전 충전에서의 지연 시간 T_{PA} 를, 연상 메모리 블록의 사이클 타임 T_{CA} 에 영향을 주지 않도록 동작시킨다.

발명의 효과

- [0032] 본 발명에 의하면, 워드 단위에서의 독립 제어에 기초한 고속이고 저전력의 CAM을 제공할 수 있다. 즉, 종래의 동기식의 CAM에서의, 최악의 케이스라고도 할 워드 회로의 전체 지연이 아니고, 세그먼트화된 선두의 부분 워드 회로에서의 작은 부분 지연에 의해 검색 동작의 사이클 시간이 결정되고, 종래식의 CAM보다 고속 동작이 가능하다.
- [0033] 또한, 워드 회로 실현 방법으로서, 워드 단위에서의 독립 동작을 위해 비동기식 제어 방식을 이용함으로써, 파

이프라인 레지스터 등을 이용하지 않고, 클록 신호에 의한 소비 전력을 저감하는 동시에, 최악 지연에 의하지 않는 회로 실현이 가능해진다. 물론, 워드 단위에서의 독립 동작을 위해 동기식 회로라도 실현 가능하다. 본 발명에 따른 워드 회로를 세그먼트화함으로써, 종래부터 알려져 있는 세그먼트화 방법에서의 저전력화 효과도 겸비하고 있다.

도면의 간단한 설명

[0034]

- 도 1은 본 발명의 반도체 기억 장치의 구성을 나타낸 블록도이다.
- 도 2는 $m=1$ 으로 했을 때의 입력 제어부의 구성을 나타낸 블록도이다.
- 도 3은 고속 모드로 동작하는 입력 제어부와 CAM 블록의 타임 차트를 나타낸 도면이다.
- 도 4는 저속 모드로 동작하는 입력 제어부와 CAM 블록의 타임 차트를 나타낸 도면이다.
- 도 5는 프리차지의 블록도이다.
- 도 6은 일치여부의 블록도이다.
- 도 7은 일치하지 않은 경우의 블록도이다.
- 도 8은 2값의 NAND형의 CAM 셀의 회로도이다.
- 도 9는 본 발명의 위상 오버랩 처리에 따른 자율 제어에 의한 워드 회로의 블록도이다.
- 도 10은 도 9의 자율 제어에 의한 워드 회로의 동작을 설명하는 타임 차트를 나타낸 도면이다.
- 도 11은 동기형(同期型)의 워드 회로의 블록도이다.
- 도 12는 도 11의 동작을 설명하는 타임 차트도이다.
- 도 13은 본 발명의 CAM의 워드 회로를 나타낸 회로도이다.
- 도 14는 도 13의 워드 회로의 동작을 나타낸 타임 차트도이다.
- 도 15는 본 발명의 최소 가공 치수가 90nm의 CAM에 대하여, 시뮬레이션의 결과를 나타낸 타이밍 차트도이다.
- 도 16은 본 발명의 자율 제어를 한 CAM과 비교예의 CAM의 사이클 시간을 비교한 도면이다.
- 도 17은 TCAM의 회로도이다.
- 도 18은 종래의 CAM의 구성을 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0035]

이하, 도면을 참조하면서 본 발명의 실시형태를 구체적으로 설명한다.

[0036]

(워드 중첩형 검색)

[0037]

도 1은, 본 발명의 워드 중첩형 검색(Word Overlapped Search, 이하, WOS 방법과 약칭함)을 사용한 반도체 기억 장치(1)의 구성을 나타낸 블록도이다.

[0038]

도 1에 나타난 바와 같이, 본 발명의 반도체 기억 장치(1)는, CAM 블록(2)과 입력 제어부(3)를 포함하여 구성되어 있다. 본 발명의 반도체 기억 장치(1)는, 연상 메모리이며, CAM(Content-Addressable Memory의 약호)이라고도 한다.

[0039]

CAM 블록(2)은, n 비트의 워드를 기억하는 복수의 워드(워드)의 워드 블록(워드 블록은 워드 회로라고도 함)(4)을 포함하고 있고, 자율 제어 또는 동기 제어에 의해 동작한다.

[0040]

워드 블록(4)은, 작은 k 비트의 서브 워드(4a)와 이 k 비트의 서브 워드(4a)에 접속되는 세그먼트화 회로(5)와, 세그먼트화 회로(5)의 출력측에 접속되는 후단(後段)의 $(n-k)$ 비트의 서브 워드(4b)로 구성되어 있다. 즉, 워드 블록(4)은, 작은 k 비트의 서브 워드(4a)와 후단의 큰 $(n-k)$ 비트의 서브 워드(4b)가, 세그먼트화 회로(5)를 통하여 분할되어 있다. k 비트의 서브 워드(4a)는, 입력 제어부(3)의 SL1(제1 서치 라인)에 접속되어 있다. $n-k$ 비트의 서브 워드(4b)는, 입력 제어부(3)의 SL2(제2 서치 라인)에 접속되어 있다.

[0041] 이와 같은 분할 방법은, 후의 워드 블록(4)의 가동률을 감소시키기 위해 사용되고 있다(비특허 문헌 20, 21).

[0042] 워드로서는, 2값을 기억시키는 binary CAM(이하, BCAM이라고 약칭함) 또는 3값을 기억시키는 ternary CAM(이하, TCAM이라고 약칭함)에 적용할 수 있다. 이하의 설명에서는, 특별히 단정하지 않는 한 반도체 기억 장치(1)는, BCAM으로 하여 설명한다.

[0043] 반도체 기억 장치(1)에 있어서, 대부분의 기억되어 있는 워드가, 일치 동작에 의해 입력되는 검색 워드의 최초의 수비트의 검색으로 불일치로 된다. 기억되어 있는 워드가, 균등 난수(uniform random number) 분포를 가지고 있는 것으로 가정한다. 최초의 k 비트의 검색으로 일치하는 확률은, 하기 (1)식에 의해 부여된다.

[0044] [수식 1]

$$p_{\text{matched}} = \left(\frac{1}{2}\right)^k \quad (1)$$

[0045]

[0046] 최초의 k 비트의 검색 후에, 대부분의 일치하지 않은 워드 블록(4)은 사용되지 않는다. 스루풋을 증대시키기 위해, 본 발명에서는 사용되지 않는 블록을 사용한다. 본 발명의 반도체 기억 장치(1)에서는, 검색하는 워드는, 전부의 워드 블록(4)의 긴 지연 시간(T_{slow})보다 제1 세그먼트의 짧은 지연 시간(T_{1st})에 기초한 속도로 처리한다. 즉, 최초의 k 비트의 검색이 끝나는 동시에, 다음에, k 비트의 서브 워드(4a)가 입력된다. 계속되는 k 비트의 서브 워드가 상이한 한, 검색 워드는, 짧은 지연 시간(T_{1st})에 기초한 속도에서 사용하고 있지 않으며 상이한 워드 블록(4)에 할당된다.

[0047] 계속되는 서브 워드가 같은 것으로 판명된 경우, 다음의 검색은, 양쪽의 세그먼트에 있어서 현재의 검색이 완료했을 때 실행된다.

[0048] 그러므로, 본 발명의 검색 방법에서는, 평균 검색 시간 T_{SA} 는, 하기 (2)식에 의해 부여된다.

[0049] [수식 2]

$$T_{\text{SA}} = T_{\text{1st}} \left(1 - m \left(\frac{1}{2} \right)^k \right) + T_{\text{slow}} \left(m \left(\frac{1}{2} \right)^k \right) \quad (2)$$

[0050]

[0051] 여기서, m은, 비교되는 후단의 서브 워드수이다.

[0052] 입력 데이터의 스케줄링은, 동기적(同期的)으로 동작하는 입력 제어부(3)에 의해 제어된다.

[0053] 도 2는, m=1로 했을 때 입력 제어부(3)의 구성을 나타낸 블록도이다.

[0054] 입력 제어부(3)는, 레지스터(12~14)와, k 비트의 비교기(16)와, 모드 제어부(18)를 포함하여 구성되어 있다. 비교기(16)는 비교 회로나 비교기라고도 한다. 모드 제어부(18)는, 고속 및 저속의 2개의 모드로 동작한다. 입력 제어부(3)는, 동기 회로 방식으로 설계되어 있다. 이 방법은, 검색 워드를 CAM 블록(2) 중에서 검색하기 전에 처리함으로써, 사전 계산법으로 분류된다(비특허 문헌 20, 21).

[0055] 검색 워드는, k 비트의 서브 워드(4a)와 n-k 비트의 서브 워드(4b)로 분할된다. 같은 제1 세그먼트에 일치하는 연속된 k 비트의 서브 워드를 조사하기 위해, 이들의 서브 워드는, 비교기(16)에 의해 비교된다. 이들 서브 워드가 같지 않은 경우에는, 입력 제어부(3)는, T_{1st} 라는 시간에 검색 워드를 CAM 블록(2)에 송출한다.

[0056] 도 3은, 고속 모드로 동작하는 입력 제어부(3)와 CAM 블록(2)의 타임 차트이다. 도 3에 나타낸 바와 같이, 입력 제어부(3)는, k 비트의 서브 워드(D1)[4a]와, n-k 비트의 서브 워드(D2)[4b]를, 각각 상이한 사이클에 SL1 라인과 SL2 라인에 송출한다.

[0057] 최초에, D1₁이 k 비트의 제1 세그먼트(ML1₀)에 일치하고, 일치한 결과는 세그먼트화 회로(5)에 기억(스토어)된다.

[0058] 2번째로, D2₁가 n-k 비트의 서브 워드(4b)가 k 비트 후의 세그먼트(ML2₀)에 일치한다. 동시에, D1₂가 다른 최초의 세그먼트(ML1₀) 중에서 처리된다. 연속된 서브 워드(D1)가 상이한 경우, 이 다른 최초의 세그먼트는, 1개 전의 일치 동작 시에 불일치로 판정되어 있으므로, 워드 회로의 내부 상태가 그대로 유지되어 있다. 일치 동작이

란, 검색하는 워드와 기억되어 있는 워드의 일치율을 판정하는 조작이다. 이 조작을 행하는 회로가 일치 회로이다. 그러므로, 상이한 입력에 대하여 연속하여 일치 동작을 계속하는 것이 가능해진다.

[0059] 도 4는, 저속 모드로 동작하는 입력 제어부(3)와 CAM 블록(2)의 타임 차트를 나타낸다. 각 워드 회로(4)는, 한번 일치라고 판정되면 ML이 방전되므로, 다음의 검색, 즉 일치 동작을 행하기 전에 ML을 사전 충전할 필요가 있다. 연속된 D1이 같은 경우, 같은 워드 회로(4)에 있어서 ML이 방전되는 것에 의해, 전단(前段)과 후단의 세그먼트에서의 일치 동작이 완료하고, ML의 사전 충전이 완료될 때까지, 대기할 필요가 있다. 이와 같이, 저속 모드에 있어서는, 입력 제어부(3)는 현재의 검색이 CAM 블록(2)에서 완료될 때까지는, 신규로 검색하는 워드의 송출을 정지한다. 저속 모드에서의 지연 시간은, 하기 (3)식에 의해 부여된다.

[0060] [수식 3]

$$T_{slow} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (3)$$

[0061]

[0062] 여기서, T_{reg} , T_{2nd} , T_{margin} 은, 각각 입력 제어부(3)로부터 CAM 블록(2)까지의 지연 시간, $n-k$ 비트 후의 세그먼트의 지연 시간, 저속으로부터 고속로의 모드 천이(遷移)의 지연 시간이다.

[0063] 저속 모드 후에, 입력 제어부(3)는 고속 모드로 동작한다. 실제로, 입력 제어부(3)의 SL로부터 입력된 검색 워드가 워드 블록(4) 중에서 일치했을 때, 워드 블록(4)은 T_{slow} 의 사이 사용할 수 없다. 그러므로, 상기 (2)식 중의 비교되는 후단의 서브 워드수인 m 은, 하기 (4)식에 의해 부여되는 조건을 만족시킬 필요가 있다.

[0064] [수식 4]

$$(m+1)T_{SA} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (4)$$

[0065]

[0066] $k=8$ 로 하고, 상기 (2)식에 의해 부여되는 평균 검색 시간 T_{SA} 가 대략 T_{1st} 로 정해지는 것으로 한다. 또한, 입력 제어부(3)의 비교기(16)는 작은 것으로 한다.

[0067] (종래의 CAM)

[0068] 한편, 종래의 동기형의 CAM에서는, 다음의 검색 워드는, 현재의 검색이 완료된 후에 할당된다. 따라서, 종래의 동기형의 CAM의 검색 시간(T_{SS})은, 하기 (5)식에 의해 부여된다.

[0069] [수식 5]

$$T_{SS} = T_{reg} + T_{1st} + T_{2nd} \quad (5)$$

[0070]

[0071] 여기서, T_{2nd} 는 $n-k$ 비트의 후단의 세그먼트의 지연 시간에 의해 정해진다. 예를 들면, 인터넷의 차세대 프로토콜(통신 수준)인 IPv6의 어드레스의 검색에 적용하는 경우에는, 워드의 비트 길이는 144비트이다. 즉, IPv6와 같이 n 이 144에서 k 가 8의 경우, $n-k$ 는 136이다.

[0072] 본 발명의 반도체 기억 장치(1)의 동작에 대하여 설명한다.

[0073] 예를 들면, 워드 검색을 2단계로 분할하고, 1단계의 검색에서는 선두의 수비트만의 워드 검색을 행한다. 반도체 기억 장치(1)에서는 선두의 수비트의 워드 검색으로 대부분의 워드 회로(4)를 불일치라고 판단할 수 있으므로, 대부분의 2단계의 긴 워드 회로(4)는 사용되지 않아, 내부 상태가 유지되고 있으므로, 계속하여 다음의 워드 검색을 실행할 수 있다. 이 사용되고 있지 않은 워드 회로(4)에 입력 데이터를 할당, 즉 실행하는 제어 회로를 반도체 기억 장치(1)의 입력 제어부(3)에 내장함으로써, 반도체 기억 장치(1)는 1단계의 검색 종료 후에 다음의 데이터의 워드 검색을 개시할 수 있다.

[0074] 이로써, 반도체 기억 장치(1)의 속도는 종래의 CAM과 같이 워드의 비트 길이에는 의존하지 않고, 1단계가 작은 워드의 비트 길이에 의한 부분 지연에 의존한 고속 동작이 가능해진다.

[0075] (위상 오버랩 처리)

[0076] 다음에, 반도체 기억 장치(1)의 워드 블록(4) 중의 자율 제어에 기초한 위상 오버랩 처리(Phase Overlapped

Processing, 이하, POP이라고 약칭함)에 대하여 설명한다.

- [0077] 도 5~ 도 8은, NAND형 셀의 워드 회로(20)의 블록도를 나타내고, 도 5는 프리차지의 블록도, 도 6은 일치의 경우의 블록도, 도 7은 일치하지 않은 경우의 블록도, 도 8은, NAND형의 BCAM 셀(BCAM 셀을 워드 회로라고도 함)(30)의 회로도이다.
- [0078] 도 8에 나타난 바와 같이, NAND형의 워드 회로(30)는, NAND형 셀 중에 직렬 접속된 패스 트랜지스터(33)를 사용하여 구성되어 있다. NAND형의 워드 회로(30)는, 다이내믹 논리에 의해 사전 충전상(充電相)(프리차지) 및 평가상(評價相)(evaluate)이라는 2개의 상으로 동작한다. 사전 충전상에서는, ML[매치 라인(match line)이라고도 함]은 P형 MOS 트랜지스터(33e)를 통하여 충전된다.
- [0079] 평가상에서는, 만일, 도 6에 나타난 바와 같이 검색 워드가 기억되어 있는 워드와 같은 경우, CAM 셀 중의 모든 패스 트랜지스터(21)는 온 상태이다. CAM 셀은, 후술하는 도 8에 나타난 메모리 셀이다. 따라서, ML 라인의 용량은 방전된다. 이 상태는, 「일치」라고 하고 있다. 그리고, 도 6에서는, 검색 워드를, 「101」과 3비트로 간략화하여 나타내고 있다.
- [0080] 반대로, 만일, 도 7에 나타난 바와 같이 검색 워드가 기억되어 있는 워드와 다른 경우, CAM 셀 중의 모든 패스 트랜지스터(21)는 온 상태가 아니다. 따라서, ML 라인의 전압은 하이레벨을 유지한다. 이 상태는, 「불일치」라고 하고 있다.
- [0081] ML의 용량은, 일치한 회로만으로 방전하므로, NAND형의 워드 회로(20)는, NOR형의 워드 회로와 비교하면 전력 소비가 감소한다.
- [0082] 도 8에 나타난 바와 같이, 2값의 NAND형의 BCAM 셀(30)은, 플립플롭(32)과 제1~제5 개의 전송용 트랜지스터(33)[33a~33e]로 구성되어 있다. 전송용 트랜지스터는, 전송용 트랜지스터라고도 하고 있다. BCAM 셀(30)에는, ML, SL, WL(Word Line의 약기, 워드선이라고도 함)이 설치되어 있다. ML에는, ML 신호가 인가된다. SL에는, SL 신호가 인가된다. WL에는, WL 신호가 인가된다.
- [0083] WL은, 셀에 워드를 기록할 때만 활성화되어 검색 동작에서는 로우 레벨로 유지되어 있다. 기록 동작에서는, 모든 워드의 입력은, 비트 라인에 인가되는 상보적(相補的)인 신호인 BL과, BL 바 신호에 의해 기억된다. 데이터 "0"과 "1"은, 각각 (0, 1)과 (1, 0)에 대응한다. 검색 조작, 즉 평가상에서는, 검색 워드는, SL에 인가되는 상보적인 신호인 SL과 SL 바 신호에 할당된다.
- [0084] 한 번 검색 워드가 기억되어 있는 워드와 동일하게 되면, ML에 접속되어 있는 패스 트랜지스터(33e)는 온 상태가 된다.
- [0085] 도 9는, 본 발명의 위상 오버랩 처리(POP)에 기초한 자율 제어에 의한 워드 회로(40)의 블록도이다. 워드 회로(40)는 3개만 나타내고 있다.
- [0086] 도 9에 나타난 바와 같이, 각 워드 회로(40)는, 비동기로 독립의 국소적 제어 신호(lctrl)에 의해 제어된다. 국소적 제어 신호(lctrl)는, 평가상(evaluate)에서는 하이레벨이며, 사전 충전상(프리차지)에서는 로우 레벨이다.
- [0087] 본 발명의 워드 회로(40)에서는, 일치한 워드 회로(40)의 ML 만이, 전의 평가상(evaluate)의 후에 있어서, 국소적 제어 신호(lctrl)에 의해 충전된다. 다른 국소적 제어 신호(lctrl)는 하이레벨이므로, 다른 워드 회로(40)는 아직 평가상의 상태에 머물고 있다.
- [0088] 또한, WOS(Word Overlapped Search의 약기) 방법을 이용하고 있으므로, 후의 검색 워드는, 사용하고 있지 않은 다른 워드 회로(40)에 할당된다. 상기 사용하고 있지 않은 다른 워드 회로(40)는, 이미 충전된 상태를 유지하고 있으므로, 입력되는 검색 워드는, 사전 충전하는 시간을 사용하지 않고 처리된다.
- [0089] 도 10은, 도 9의 자율 제어에 의한 워드 회로(40)의 동작을 설명하는 타임 차트이다.
- [0090] 도 10에 나타난 바와 같이, 일치 조작 후에, 일치한 워드의 ML은, 국소적 제어 신호(lctrl)에 의해 충전된다. 이 사전 충전상의 사이에 있어서, 다른 검색 워드는 사용하고 있지 않으며 평가상의 상태에 있는 다른 워드 회로(40)에 할당된다. 이들 상은 중복되어 행해지므로, 사전 충전상의 지연 시간 T_{PA} 는, 사이클 타임 TCA에 영향을 주지 않는다. 이와 같이, POP 동작에 기초한 자율 제어는, 사전 충전상의 지연 시간 T_{PA} 를 은폐하도록 작용한다. 통상, 평가상의 지연 시간 T_{SA} 는, 사전 충전상의 지연 시간 T_{PA} 보다 길다.

[0091] 따라서, 사이클 타임 T_{CA} 는, 하기 (6)식에 의해 부여된다.

[0092] [수식 6]

$$T_{CA} = T_{SA} \quad (6)$$

[0093]

[0094] 본 발명의 반도체 기억 장치(1)에서는, CAM 블록(2)의 워드 블록(4) 중의 자율 제어에 기초한 위상 오버랩 처리 (POP)를 종래의 동기형으로 해도 된다.

[0095] 도 11은, 동기형의 워드 회로(42)의 블록도이며, 도 12는, 도 11의 동작을 설명하는 타임 차트이다.

[0096] 도 11에 나타난 바와 같이, 워드 회로(42)를 동기형으로 한 경우에는, 각 충전용 트랜지스터(21)의 게이트에는 대국적(大局的) 제어 신호인 클록 신호가 인가된다. 구체적으로는, 평가상에서는 하이레벨의 클록 신호가 인가 되고, 사전 충전상에서는 로우 레벨의 클록 신호가 인가된다.

[0097] 그러므로, 워드 회로(42)를 동기형으로 한 CAM의 사이클 시간(TCS)은, 하기 (7)식에 의해 부여된다.

[0098] [수식 7]

$$T_{CS} = T_{SS} + T_{PS} \quad (7)$$

[0099]

[0100] 여기서, T_{SS} 는 (5)식에 의해 부여되는 검색 시간, 즉 평가상의 지연 시간이며, T_{PS} 는 사전 충전상의 지연 시간이다. 통상 T_{SS} 는 T_{PS} 보다 길고, 그리고, 이들 지연 시간은 동기형 CAM에서는 같으므로, (7)식은 하기 (8)식으로 표현된다.

[0101] [수식 8]

$$T_{CS} = 2T_{SS} \quad (8)$$

[0102]

[0103] 동기식 회로에서의 클록 신호의 듀티비는 50%이다. 즉, (7)식에 나타난 바와 같이, 클록 신호의 하이레벨 기간 (평가상 기간)과 로우 레벨 기간(사전 충전상 기간)이 각각 같으므로, (8)식에 나타난 바와 같이 클록 사이클은 평가상 기간의 2배로 된다.

[0104] 본 발명의 반도체 기억 장치(1)의 종래의 동기형 CAM에 대한 스루풋 비는, 하기 (9)식에 의해 부여된다.

[0105] [수식 9]

$$\text{Throughput ratio} = \frac{T_{CS}}{T_{CA}} \quad (9)$$

[0106]

[0107] 또한, 상기 (2)식, (5)식, (7)식을 대입하면, 상기 (9)식의 스루풋 비는, 하기 (10)식에 의해 부여된다.

[0108] [수식 10]

$$\text{Throughput ratio} \cong \frac{2(T_{reg} + T_{1st} + T_{2nd})}{T_{1st}} \quad (10)$$

[0109]

[0110] 여기서, 제1 서브 워드의 비트수 k 를 8로 했을 때는, 평가상의 지연 시간 T_{SA} 는, 대략 T_{1st} 와 같다. 본 발명의 워드 블록(4)을 자율 제어로 동작시키면, 반도체 기억 장치(1)의 사이클 시간은, 사전 충전의 지연 시간의 영향이 없어진다. 그러므로, 자율 제어로 동작시키는 워드 블록(4)을 종래의 동기형의 CAM과 비교하면, 지연 시간은 현저하게 감소하는, 즉 스루풋이 커진다.

[0111] 다음에, WOS와 POP를 포함한 반도체 기억 장치(1A)에 대하여 설명한다.

[0112] 도 13은, WOS와 POP를 포함한 워드 회로(50)를 나타내는 회로도이다.

[0113] 도 13에 나타난 바와 같이, 본 발명의 워드 회로(50)는, 8비트의 제1단 서브 워드 회로(54a)와, 세그먼트화 회

로(55)와, 자율 사전 충전 회로(56)와, 136비트의 제2단 서브 워드 회로(54b)를 포함하여 구성되어 있다.

[0114] 도 13의 (a)에 나타난 바와 같이, 8비트의 제1단 서브 워드 회로(54a)는, 8개의 NAND 셀(58)과, 자율 사전 충전용의 P형 MOS 트랜지스터(60)와, 약한 피드백용 P형 MOS 트랜지스터(62)로 구성되어 있다.

[0115] 입력 제어부(3)로부터의 8비트의 서브 워드가 이 8개의 NAND 셀(58)에 입력되면, 기억되어 있는 8비트의 서브 워드와 비교된다. 세그먼트화 회로(55)의 출력인 ML_{10} 은, 입력된 서브 워드가 일치했을 때는 하이레벨로 되고, 입력된 서브 워드가 일치하지 않을 때는, 로우 레벨로 된다.

[0116] ML은, 자율 사전 충전 회로(56)에 의해 제어되는 자율 사전 충전용의 P형 MOS 트랜지스터(60)로 충전된다. 약한 피드백용 P형 MOS 트랜지스터(62)는, NAND 셀(58)에 의한 ML의 전하 분배의 문제를 해소하기 위해 사용되고 있다(비특허 문헌 14, 15, 24 참조). ML_{10} 은, 자율 사전 충전 회로(56)에 접속되는 동시에, 136비트의 제2단 서브 워드 회로(54b)에 접속되어 있다.

[0117] 136비트의 제2단 서브 워드 회로(54b)는, 17개의 로컬 일치 회로(70)와 글로벌 일치 회로(72)를 포함하여 구성되어 있다. 일치 회로는, 검색하는 워드와 기억되어 있는 워드의 일치를 판정하는 회로이다. 이 조작을 행하는 회로가 일치 회로이다. 이와 같은 계층적(階層的)인 설계는, 워드 회로(50)를 로컬 일치 회로(70)와 글로벌 일치 회로(72)로 분할한다(비특허 문헌 25 참조).

[0118] 도 13의 (b)에 나타난 바와 같이, 각각의 로컬 일치 회로(70)는, 인버터(71)와, 자율 사전 충전용의 P형 MOS 트랜지스터(60)와, 약한 피드백용 P형 MOS 트랜지스터(62)와, 8개의 NAND 셀(서브-서브 워드 회로)(58)과, 게이트에 세그먼트화 회로(55)의 출력 ML_{10} 이 입력되는 N형 MOS 트랜지스터(74)로 구성되어 있다. 한 번 ML_{10} 가 어써트(assert), 즉 유효하게 되면, 17개의 로컬 일치 회로(70)가 동작한다. 그 이외의 경우에는, 8비트의 제1단 서브 워드 회로(54a)가 불일치하므로, 17개의 로컬 일치 회로(70)는 동작하지 않는다.

[0119] 나머지의 136비트의 서브 워드(54b)는, 입력 제어부(3)로부터 병렬로 송출되어 8비트씩 17개의 서브-서브 워드로 분할된다. 각 서브-서브 워드는, 로컬 일치 회로(70)에 의해 처리된다.

[0120] 로컬 일치 회로(70)의 출력[$LMLi_0(0 \leq i < 17)$]는, 입력된 서브-서브 워드가 일치했을 때는 하이레벨로 되고, 입력된 서브-서브 워드가 일치하지 않을 때는, 로우 레벨로 된다. ML_{10} 로부터 $LMLi_0$ 의 지연 시간은, T_{2ndL} 로 정의된다.

[0121] $LMLi_0$ 의 모든 출력은, 글로벌 일치 회로(72)에 접속되어 있다.

[0122] 도 13의 (d)에 나타난 바와 같이, 글로벌 일치 회로(72)는, 17개의 직렬 접속된 N형 MOS 트랜지스터(74)와, 자율 사전 충전용의 P형 MOS 트랜지스터(60)와, 약한 피드백용 P형 MOS 트랜지스터(62)와, 인버터(71)를 포함하여 구성되어 있다. $LMLi_0$ 의 각각의 출력은, 글로벌 일치 회로(72)의 17개의 직렬 접속된 N형 MOS 트랜지스터(74)의 각 게이트에 입력된다.

[0123] 모든 $LMLi_0$ 의 출력이 어써트, 즉 유효하게 되면, 글로벌 일치 회로(72)의 출력 ML_{20} 가 유효, 즉 하이레벨이 출력된다. 이 상태는, 검색 워드가 기억되어 있는 워드와 일치한 것을 의미하고 있다. 이 이외의 상태에서는, ML_{20} 은 로우 레벨이다.

[0124] $LMLi_0$ 로부터 ML_{20} 으로 천이할 때까지의 지연 시간은, T_{2ndG} 로 정의된다. 이로써, 2단계의 세그먼트(54b)에서의 지연 시간 T_{2nd} 는, 하기 (11)식에 의해 부여된다.

[0125] [수식 11]

$$T_{2nd} = T_{2ndL} + T_{2ndG} \quad (11)$$

[0126]

[0127] 2단계의 세그먼트가 동작하고 있는 동안에, 도 13의 (c)에 나타난 자율 사전 충전 회로(56)도 동작하고 있다. 도 13의 (c)에 나타난 바와 같이, 자율 사전 충전 회로(56)는, AND 게이트(78)가 직렬 접속된 회로이다. ML_{10} 가 어써트, 즉 유효하게 되면, 지연 시간 T_{delay} 가 정의된다.

[0128] 자율 사전 충전 회로(56)의 출력은, 지연 시간 T_{delay} 후에 무효로 된다. 그리고, 자율 사전 충전 회로(56)가 워드 회로(50)의 모든 ML을 충전한다.

[0129] 도 14는, 도 13의 워드 회로(50)의 동작을 나타낸 타임 차트이다.

[0130] 도 14에 나타낸 바와 같이, 검색 워드는 8비트의 서브 워드와 136비트의 서브 워드로 분할되고, 이들이, T_{CA} 라는 주기에 기초한 속도로 입력 제어부(3)로부터 송출된다. 8비트의 서브 워드(54a)가 제1 세그먼트 중에서 일치했을 때, 나머지의 136비트의 서브 워드(54b)가 후단에서 처리된다. 서치 워드는, T_{CA} 라는 주기에 기초하여 변화하므로, 136비트의 서브 워드는 T_{CA} 의 범위 내에서 로컬 일치 회로(70)에 할당, 즉 유효로 될 필요가 있다. 그러므로, 로컬 일치 회로(70)의 지연 시간은 하기 (12)식의 조건을 만족시킬 필요가 있다.

[0131] [수식 12]

$$T_{2ndL} < T_{CA} \quad (12)$$

[0132]

[0133] 각 서브-서브 워드가 로컬 일치 회로(70)에 일치했을 때, 글로벌 일치 회로(72)는 검색 워드가 일치하는지의 여부를 결정한다. 이와 동시에, 자율 사전 충전 회로(56)가 동작한다.

[0134] 글로벌 일치 회로(72)의 동작 후에 모든 ML을 충전할 필요가 있으므로, 지연 시간 T_{delay} 는, 하기 (13)식의 조건을 만족시킬 필요가 있다.

[0135] [수식 13]

$$T_{delay} > T_{2nd} \quad (13)$$

[0136]

[0137] 다음에, 검색을 하는 워드는, 일치한 워드 회로(70)에 있어서 T_{slow} 후에 유효하게 된다. 그러므로, T_{slow} 는, 하기 (14)식의 조건을 만족시킬 필요가 있다.

[0138] [수식 14]

$$T_{slow} > T_{reg} + T_{lst} + T_{delay} + T_{prec} \quad (14)$$

[0139]

[0140] 여기서, T_{prec} 는, 모든 ML의 사전 충전의 지연 시간이다.

[0141] 상기 (3)식, (4)식, (14)식으로부터, 비교되는 후단의 서브 워드(54b)의 수 m 는 하기 (15)식에 의해 결정된다.

[0142] [수식 15]

$$m = \frac{(T_{reg} + T_{delay} + T_{prec})}{T_{lst}} \quad (15)$$

[0143]

[0144] 여기서, 도 10 및 14에 나타나 있는 동안클 타임 T_{CA} 는, 대략 T_{lst} 이다.

[0145] (256×144비트의 반도체 기억 장치)

[0146] 본 발명의 256×144비트의 반도체 기억 장치(1, 1A)에 대하여 설명한다.

[0147] 본 발명의 256×144비트의 반도체 기억 장치(1, 1A)를, 세그먼트법을 이용한 종래의 동기형 CAM과 비교한다. 비교예의 종래의 동기형 CAM은, 1단계의 서브 워드의 비트수는 $k=8$ 이며, 2단계의 서브 워드의 비트수 $(n-k)$ 는 136비트이다. 본 발명의 반도체 기억 장치(1, 1A)도 같은 워드 구성이다. 본 발명의 반도체 기억 장치(1, 1A)에서의 2단계의 서브 워드의 구성은, 계층형(階層型)이다(계층형의 서브 워드는 비특히 문헌 25 참조).

[0148] 본 발명과 비교예의 반도체 기억 장치(1, 1A)는, 90nm의 CMOS 기술에 기초하여 평가 되어 있다. 기억시키는 워드는, 균등 난수 분포를 가지고 있다. 90nm는, 사용한 CMOS 제조 단계의 최소 가공 치수이다.

[0149] (지연 시간의 평가)

[0150] 표 1은, 본 발명의 반도체 기억 장치(1)의 각각의 회로의 지연 시간을 나타내는 표이다. 구체적으로는, 본 발명

의 반도체 기억 장치(1)를, 소프트웨어로서 HSPICE[시놉시스사 제조의 SPICE(Simulation Program with Integrated Circuit Emphasis)]를 사용하여 평가했다. MOS 트랜지스터의 드레인 전압은, $V_{DD}=1V$ 로 하고, 온도는 실온으로 하였다.

[0151] 자율 사전 충전 회로(56)는, (13)식을 만족시키도록 설계했다. (15)식을 이용하여, m 을 3으로 설정하였다. 이로써, (2)식 및 (8)식으로부터 T_{CA} 가 261 ps($1 \text{ ps}=10^{-12} \text{ s}$)로 되었다. 제조 단계의 변동에 의해, T_{2nd} 는 T_{delay} 보다 커질 가능성이 있어, 이 경우에는 (13)식을 만족시키지 않게 된다. 그러나, (15)식을 만족시키기 위해, m 을 3보다 크게 함으로써 대처가 가능하다. 이로써, 입력 제어부(3)의 면적에 영향을 주지만, 사이클 시간 T_{CA} 에는 직접 영향을 주지 않는다.

[0152] 표 1에 나타낸 바와 같이, T_{reg} 는 51ps, T_{1st} 는 259ps, T_{2ndL} 은 225ps, T_{2ndG} 는 243ps, T_{delay} 는 500ps, T_{prec} 는 81ps이다.

[0153] [표 1]

	T_{reg}	T_{1st}	T_{2ndL}	T_{2ndG}	T_{delay}	T_{prec}
지연시간 (ps)	51	259	225	243	500	81

[0154]

[0155] 도 15는, 본 발명의 90nm의 CMOS 프로세스에서의 반도체 기억 장치(1, 1A)에 대하여, 시뮬레이션의 결과를 나타낸 타이밍 차트이다. 도 15에 나타낸 바와 같이, 후에 계속되는 검색 위드가, 사용하지 않으므로, 상이한 위드 회로에 할당되므로, 본 발명의 반도체 기억 장치(1, 1A)는, 짧은 주기 지연에 기초한 T_{CA} 로 동작한다.

[0156] (사이클 시간)

[0157] 도 16은, 본 발명의 자율 제어를 한 반도체 기억 장치(1, 1A)와 비교예의 CAM의 사이클 시간을 비교한 도면이다.

[0158] 도 16에 나타낸 바와 같이, 비교예의 CAM의 사이클 시간은, (7)식에 의해 정해지고, 1454ps이다. 본 발명의 WOS를 사용한 반도체 기억 장치(1)의 사이클 시간은, 1단계의 서브 위드 회로의 지연 시간에 동작한다. 그러므로, 본 발명의 WOS를 사용한 반도체 기억 장치(1)의 사이클 시간은, 종래의 CAM과 비교하여 64.1% 감소하고, 555ps이다.

[0159] 또한, 본 발명의 WOS와 POP를 사용한 반도체 기억 장치(1A)의 사이클 시간은, 사전 충전의 지연 시간의 영향이 없어지므로, 종래의 CAM과 비교하여 82% 감소하고, 약 261ps의 지연 시간에 동작한다.

[0160] (소비 전력)

[0161] 다음에, 반도체 기억 장치(1, 1A)의 소비 전력에 대하여 설명한다.

[0162] 반도체 기억 장치(1, 1A)의 소비 전력은 하기 (16)식에 의해 부여된다.

[0163] [수식 16]

$$E_{total} = E_{match} + E_{search} + E_{ctrl} \quad (16)$$

[0164]

[0165] 여기서, E_{match} , E_{search} , E_{ctrl} 은, 각각 ML, SL, 제어 신호의 소비 전력이다.

[0166] 입력의 제1의 8비트의 서브 위드(54a)가, 제1단의 서브 위드 회로에 있어서, 일치하지 않은 경우에는, 로컬 일치 회로(70)는 동작하지 않는다. 또한, 글로벌 일치 회로(72)는, 각 서브-서브 위드가 로컬 일치 회로(70)로 일치했을 때만 동작한다. 그러므로, ML의 소비 전력은, 하기 (17)식에 의해 부여된다.

[0167] [수식 17]

$$E_{match} = E_{1st} \left(\frac{1}{2} \right)^k + 17 E_{2ndL} \left(\frac{1}{2} \right)^{16} + E_{2ndG} \left(\frac{1}{2} \right)^{144} \quad (17)$$

[0168]

[0169] 여기서, E_{1st} , E_{2ndL} , E_{2ndG} 는, 각각 1단계의 서브 워드 회로(54a), 로컬 일치 회로(70), 글로벌 일치 회로(72)의 소비 전력이다.

[0170] ML의 스위칭 확률은 매우 낮은 동시에, SL은 새로운 검색 워드가 할당되었을 때 변화한다.

[0171] (종래형의 CAM의 소비 전력)

[0172] 제어 신호의 소비 전력인 E_{ctrl} 은, 종래의 동기식의 CAM에 있어서는, 대국적 제어 신호인 클록 신호에 관계하고 있다.

[0173] 클록 신호는, 모든 자율 사전 충전용의 P형 MOS 트랜지스터(60)를 온으로 한다(도 10 참조). 그러므로, 종래의 동기식의 CAM의 제어 신호의 소비 전력인 $E_{ctrl(sync)}$ 는, 하기 (18)식에 의해 부여된다.

[0174] [수식 18]

$$E_{ctrl(sync)} = E_{clk_buffer} + E_{prec} \quad (18)$$

[0175]

[0176] 여기서, $E_{clk(buffer)}$ 는 클록 버퍼의 소비 전력이며, E_{prec} 는 모든 자율 사전 충전용의 P형 MOS 트랜지스터(60)의 소비 전력이다.

[0177] (본 발명의 반도체 기억 장치의 소비 전력)

[0178] 종래의 동기형 CAM에 대하여, 본 발명의 반도체 기억 장치(1A)의 입력 신호의 소비 전력 $E_{ctrl(self)}$ 는, 자율 제어에 의한 반도체 기억 장치(1A)의 국소적 제어 신호($lctrl$)에 관계하고 있다. 일치한 워드 회로에서의 사전 충전용 트랜지스터만이 $prec$ 신호(사전 충전 신호)에 의해 온하므로, 사전 충전용의 P형 MOSFET(60)를 충전하는 소비 전력이 저감된다. 또한, 사전 충전 회로(56)는 1단계의 세그먼트가 일치했을 때만 동작한다. 그러므로, 본 발명의 반도체 기억 장치(1A)의 제어 신호의 소비 전력인 $E_{ctrl(self)}$ 는, 하기 (19)식에 의해 부여된다.

[0179] [수식 19]

$$E_{ctrl(self)} = (E_{prec} + E_{self_precharge}) \left(\frac{1}{2} \right)^8 \quad (19)$$

[0180]

[0181] 여기서, $E_{self_precharge}$ 는, 사전 충전 회로의 소비 전력이다.

[0182] (본 발명의 반도체 기억 장치의 소비 전력)

[0183] 표 2는, 본 발명의 반도체 기억 장치(1A)와 비교예의 CAM의 소비 전력을 비교한 표이다. 평균 사이클 시간 및 사용 트랜지스터의 수도 함께 나타내고 있다.

[0184] 본 발명의 반도체 기억 장치(1A)의 평균 사이클 시간은 261ps이며, 비교예의 동기형 CAM의 평균 사이클 시간은 1454ps이다. 이로써, 본 발명의 반도체 기억 장치(1A)의 스루풋은, 비교예의 CAM의 5.57배인 것을 알 수 있다.

[0185] [표 2]

		본발명의 CAM	종래의 동기형 CAM
평균사이클시간 (ps)		261	1454
소비에너지/검색 (fJ/bit/search)	일치	0.0006	0.0003
	검색	0.160	0.160
	Ctrl	0.001	0.103
	합계	0.162	0.263
트랜지스터수		408k	372k

[0186]

[0187] 본 발명의 반도체 기억 장치(1A)는, 국소적 제어 신호(lctrl)를 사용하고 있어 제어 신호의 소비 전력이 감소하므로, 전체 소비 전력은, 비교예의 동기형 CAM의 61.6%로 감소하였다.

[0188] 본 발명의 반도체 기억 장치(1A)에서는, 위드 회로를 국소적으로 제어하므로, 자율 사전 충전 제어 회로가 필요로 한다. 그러므로, 본 발명의 CAM의 면적은 매우 적지만, 8% 증가한다. 본 발명의 반도체 기억 장치(1A)의 트랜지스터수는 408k개(40.8만개)이며, 비교예의 동기형 CAM의 트랜지스터수는 372k 개(37.2만개)이다.

[0189] 표 3은, 본 발명의 반도체 기억 장치(1A)를 종래예와 대비한 표이다.

[0190] 하이브리드형의 장점은, 저소비 전력과 고속 동작이며, 각각 NAND형의 셀과 NOR형의 셀에 의한다.

[0191] 본 발명의 반도체 기억 장치(1A)는, 최소 가공 치수가 0.1 μ m의 하이브리드형 CAM과 비교하면, 사이클 타임은 8%로 단축되고, 1검색당의 소비 에너지/비트는 23%로 감소하였다. 또한, 본 발명의 반도체 기억 장치(1A)는, 최소 가공 치수가 65nm의 NAND형 CAM과 비교하면, 약 3배의 속도로 동작한다.

[0192] [표 3]

비특허문헌	본발명	PF-CDPD (14)	전류세이브 (17)	파이프라인 (18)	하이브리드 (21)	Ipv6 매크로 (23)
구조	256 × 144	256 × 128	256 × 144	1024 × 144	1024 × 144	256 × 144
CAM	BCAM	BCAM	TCAM	TCAM	TCAM	TCAM
셀	NAND	NAND	NOR	NOR	NAND+NOR	NAND
제조기술	90nm	0.18 μ m	0.13 μ m	0.18 μ m	0.10 μ m	65nm
사이클시간 (ns)	0.26	5	4	7	3.3	>0.76
소비에너지/검색 (fJ/bit/search)	0.162	2.33	1.3	2.89	0.7	0.113

[0193]

[0194] (변형예)

[0195] 다음에, 본 발명의 반도체 기억 장치(1, 1A)의 메모리 셀을, 3값을 기억시키는 TCAM으로 한 경우에 대하여 설명한다.

[0196] TCAM에서는, 「0」, 「1」, 「X」라고 하도록 3가지의 상태를 취급한다. 「X」는, 「돈트 케어(Don't care)」라고도 하고 있다.

[0197] 도 17은, TCAM(80)의 회로도이다.

[0198] 도 17에 나타난 바와 같이, TCAM(80)은, 도 8에 나타난 BCAM의 메모리 셀(30)을 매치 라인(ML)에 대하여 2개 병

렬로 한 구성을 가지고 있다. 즉, TCAM(80)은, 상단의 「0」, 「1」을 기억시키는 NAND형의 제1 메모리 셀(81)과, 하단의 「X」를 기억시키는 NAND형의 제2 메모리 셀(82)과, 복수의 전송용 트랜지스터(84)와, ML용 전송용 트랜지스터(85)를 포함하여 구성되어 있다. NAND형의 제1 메모리 셀(81)에는, WL과, BL/SL과, BL 바/SL 바가 접속된다. NAND형의 제2 메모리 셀(82)에는, WL과 DCL(돈트 케어 라인)과 DCL 바가 접속된다. ML은, ML용 전송용 트랜지스터(85)를 통하여, NAND형의 제1 메모리 셀(81)과 NAND형의 제2 메모리 셀(82)에 접속된다.

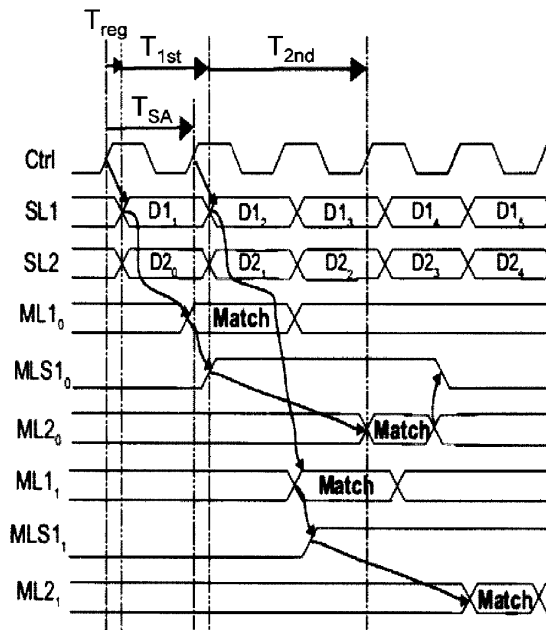
[0199] 도 1에 나타난 반도체 기억 장치(1, 1A)의 CAM 블록(2)을, 도 17에서 그 일례를 나타낸 TCAM(80)으로 하고, 입력 제어부(3) 등을 2진수로부터 3값의 데이터로 함으로써, 반도체 기억 장치(1, 1A)는 3값의 데이터의 연상 메모리로서 동작한다.

[0200] 본 발명은, 상기 실시형태에 한정되지 않고, 특허 청구의 범위에 기재한 발명의 범위 내에서 각종 변형이 가능하며, 이들도 본 발명의 범위 내에 포함되는 것은 물론이다.

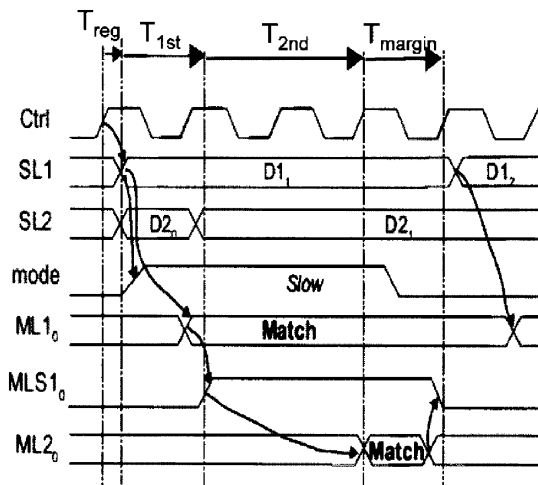
부호의 설명

[0201] 1, 1A: 반도체 기억 장치
2: CAM 블록
3: 입력 제어부
4: 워드 블록
4a: k 비트의 서브 워드
4b: (n-k) 비트의 서브 워드
5, 55: 세그먼트화 회로
12, 13, 14: 레지스터
16: 비교기
18: 모드 제어부
20: 워드 회로
21: 패스 트랜지스터
30: BCAM 셀
32: 플립플롭
33, 84: 전송용 트랜지스터
40: 자율 제어에 의한 워드 회로
42: 동기형의 워드 회로
50: WOS와 POP를 포함한 워드 회로
54a: 8비트의 제1단 서브 워드 회로
54b: 136비트의 제2단 서브 워드 회로
56: 자율 사전 충전 회로
58: NAND 셀(서브-서브 워드 회로)
60, 76: 자율 사전 충전용의 P형 MOS 트랜지스터
62: 약한 피드백용 P형 MOS 트랜지스터
70: 로컬 일치 회로
71: 인버터

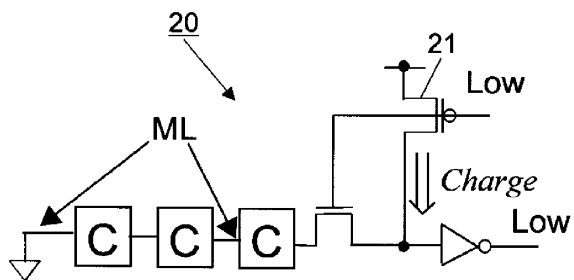
도면3



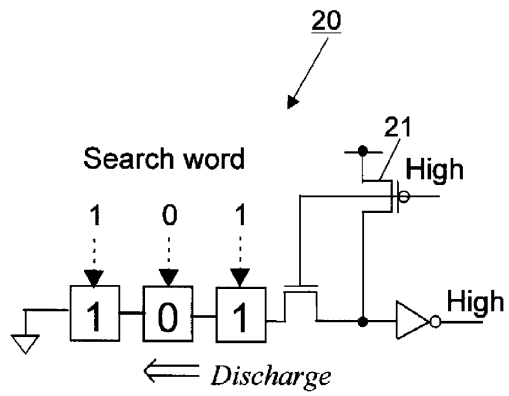
도면4



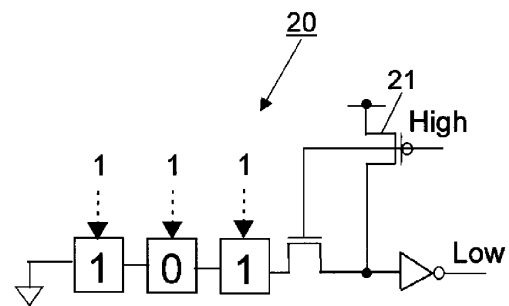
도면5



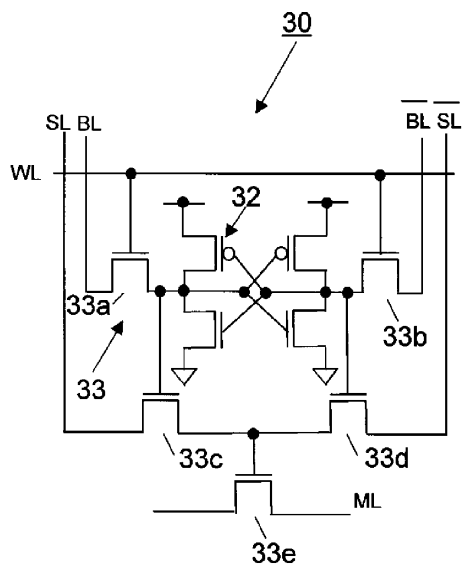
도면6



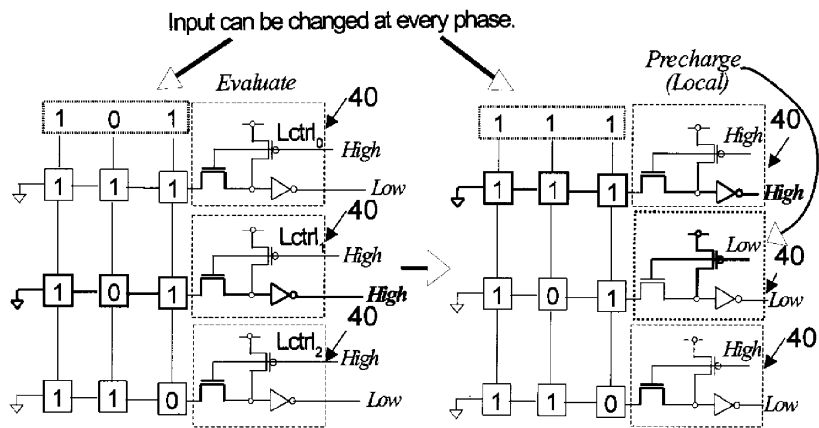
도면7



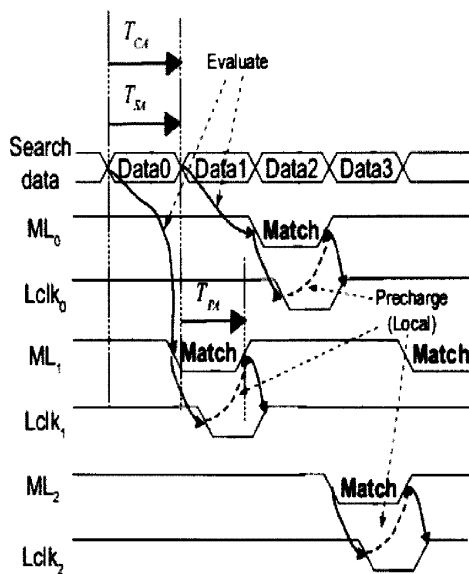
도면8



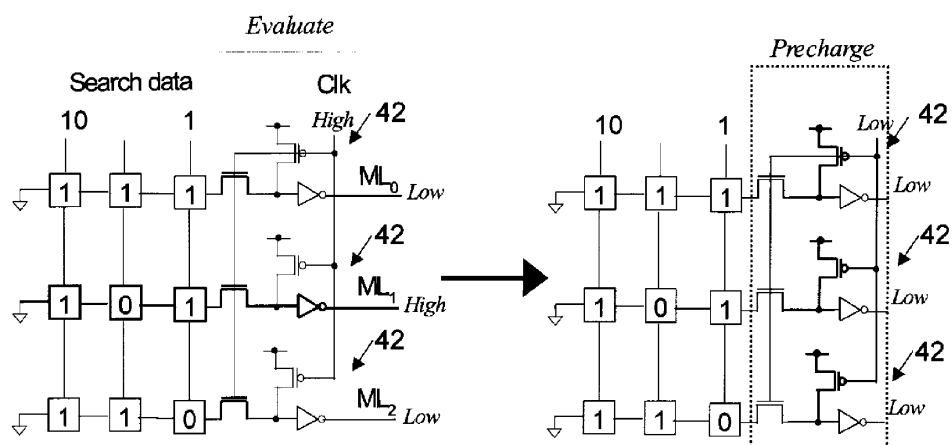
도면9



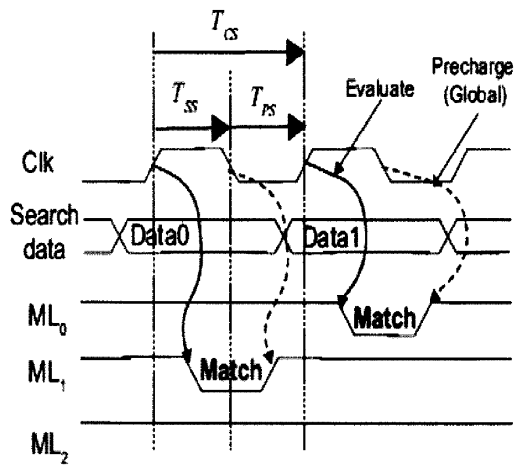
도면10



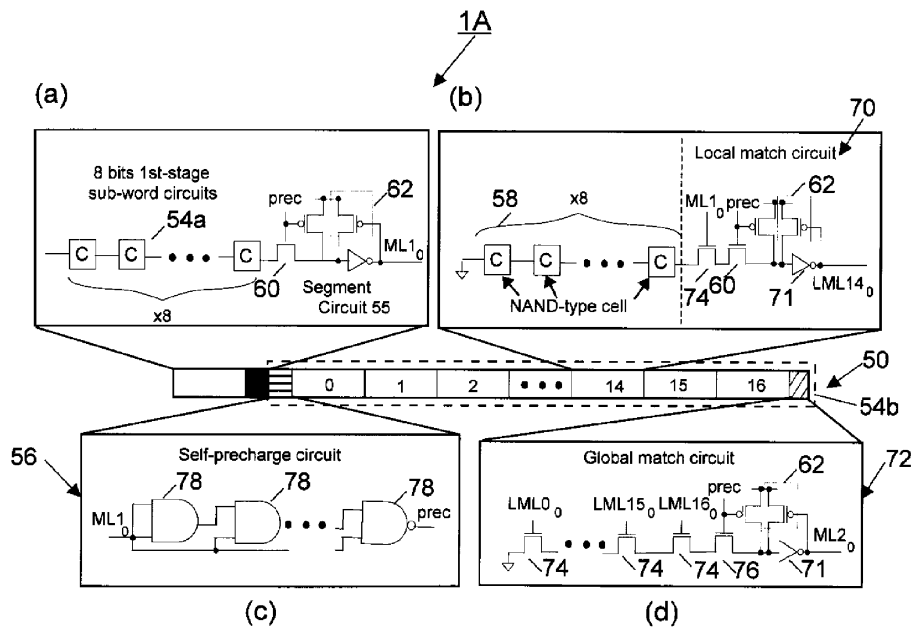
도면11



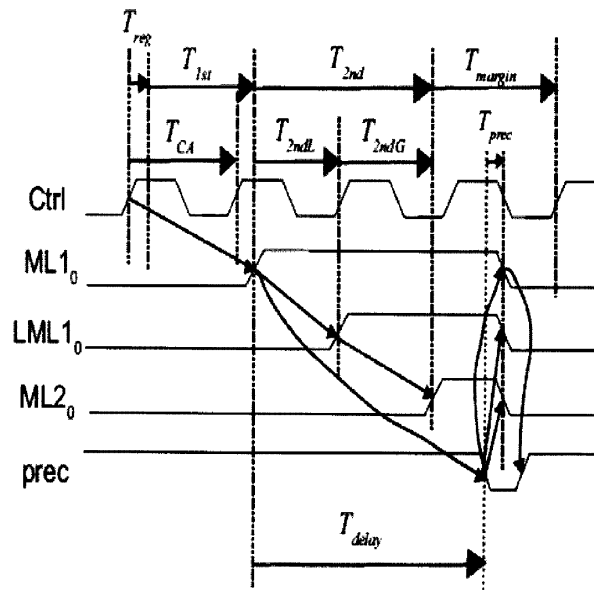
도면12



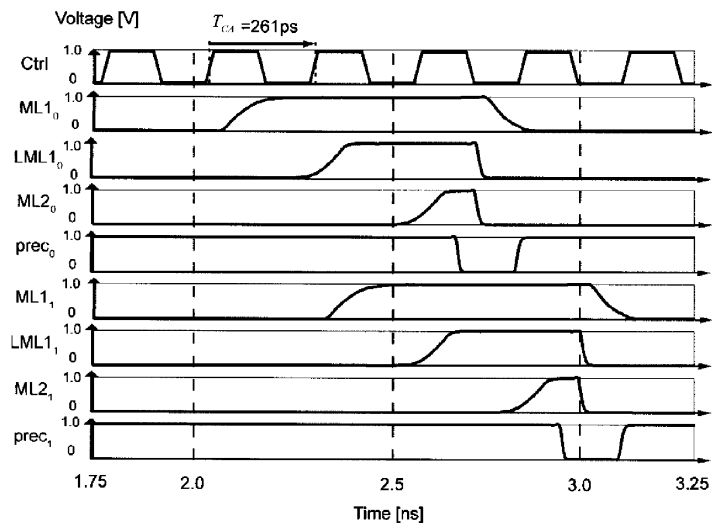
도면13



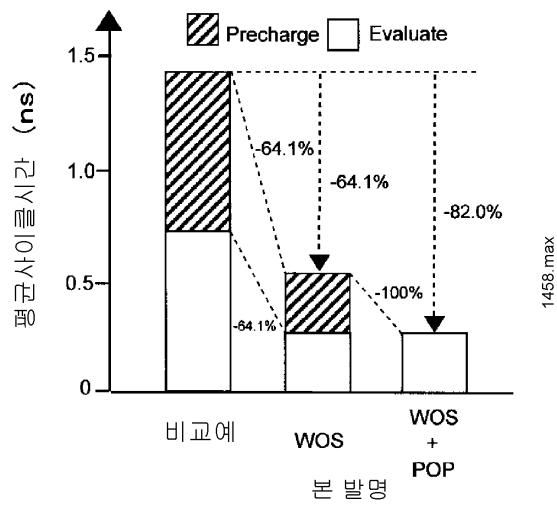
도면14



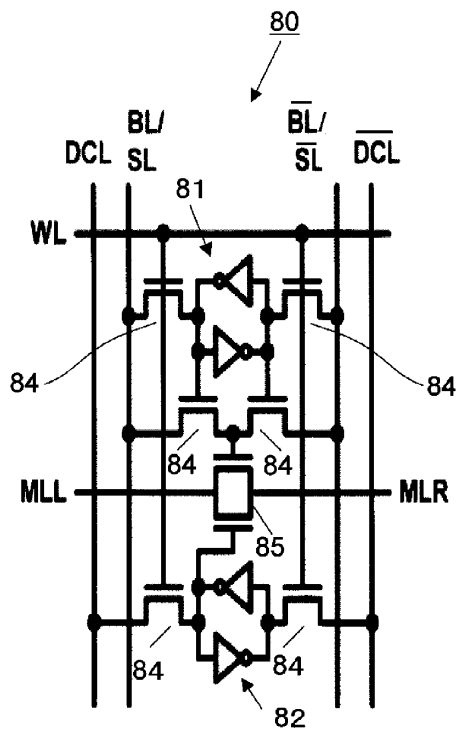
도면15



도면16



도면17



도면18

