

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: ソース領域(8)を、ベース領域(6)側に形成されたエピタキシャル成長層によって構成されている第1ソース領域(8a)と、ソース電極に接すると共に第1ソース領域よりも第1導電型不純物濃度が高くされたイオン注入層によって構成されている第2ソース領域(8b)と、を有した構成とする。

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

関連出願への相互参照

[0001] 本出願は、2019年2月27日に出願された日本特許出願番号2019-34380号と、2020年1月22日に出願された日本特許出願番号2020-8376号とに基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、炭化珪素（以下、SiCという）にて構成されるMOS構造の半導体素子を有したSiC半導体装置およびその製造方法に関する。

背景技術

[0003] 従来より、大電流が流せるようにチャネル密度を高くした構造として、トレンチゲート構造を有するSiC半導体装置がある。このSiC半導体装置は、n型ドリフト層の上にp型ベース領域とn⁺型ソース領域とが順に形成され、n⁺型ソース領域の表面からp型ベース領域を貫通してn⁺型ドリフト層に達するようにトレンチゲートが形成された構造とされる。具体的には、n型ドリフト層の上にp型ベース領域をエピタキシャル成長させたのち、p型ベース領域に対してn型不純物をイオン注入で打ち返すことでp型ベース領域の一部をn型に反転させ、n⁺型ソース領域を形成している（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2016/063644号パンフレット

発明の概要

[0005] しかしながら、n⁺型ソース領域の全域を高濃度のn型不純物層によって形成しているため、負荷短絡時の飽和電流値が大きくなり、SiC半導体装置の短絡耐量を得ることができない。

[0006] また、エピタキシャル成長させるときの膜厚バラツキは、成長させる膜厚が厚いほど大きくなるが、イオン注入の飛程のバラツキはあまり大きくないため、イオン注入後のp型ベース領域の膜厚バラツキは、エピタキシャル成長させた膜厚に対応するバラツキとなる。このため、p型ベース領域に対してn⁺型ソース領域をイオン注入で形成した場合、n⁺型ソース領域の厚みのバラツキは少なく、p型ベース領域の厚みのバラツキが大きくなる。したがって、閾値 V_t のバラツキを生じさせるという課題がある。

[0007] また、n⁺型ソース領域をイオン注入によって形成すると、イオン注入時のダメージの影響により、トレンチゲートを形成したときに、トレンチゲートの側面が傾斜した状態となる。このため、チャネル移動度を低下させると共に、トレンチ入口側においてトレンチゲートが幅広になり、素子の微細化が困難になるという課題がある。

[0008] そこで、本発明者らは、p型ベース領域だけでなく、n⁺型ソース領域についてもエピタキシャル成長によって形成することについて検討を行った。このようにすれば、p型ベース領域とn⁺型ソース領域それぞれに厚みのバラツキが分配されることから、p型ベース領域の厚みのバラツキを小さくすることが可能となる。ところが、n⁺型ソース領域をエピタキシャル成長させるには、エピタキシャル成長装置内にn型ドーパントガスを高濃度に導入する必要があり、n⁺型ソース領域の形成後にもエピタキシャル成長装置内にn型ドーパントが残り、成長炉が汚染される。これにより、その後にp型層やn型層を形成しようとしたときにドーパントコンタミネーションが生じ、不純物濃度の管理が不安定になるという課題を発生させる。

本開示は、短絡耐量の向上、閾値 V_t のバラツキやトレンチゲートの側面の傾斜の抑制が図れると共に、不純物濃度の管理を容易に行える構造のSiC半導体装置およびその製造方法を提供することを目的とする。

[0009] 本開示の1つの観点におけるSiC半導体装置は、SiCからなる第1または第2導電型の基板と、基板の上に形成され、基板よりも低不純物濃度とされた第1導電型のSiCからなるドリフト層と、ドリフト層の上に形成さ

れた第2導電型のS i Cからなるベース領域と、ベース領域の上に形成され、ドリフト層よりも第1導電型不純物濃度が高くされた第1導電型のS i Cからなるソース領域と、ソース領域の表面からベース領域よりも深く形成されたゲートトレンチ内に、該ゲートトレンチの内壁面を覆うゲート絶縁膜と該ゲート絶縁膜の上に配置されたゲート電極とを備えて構成され、一方向を長手方向として複数本がストライプ状に並べられたトレンチゲート構造と、ゲート電極およびゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜と、コンタクトホールを通じて、ソース領域にオーミック接触させられたソース電極と、基板の裏面側に形成されたドレイン電極と、を含む半導体素子を備えている。そして、ソース領域は、ベース領域側に形成されたエピタキシャル成長層によって構成されている第1ソース領域と、ソース電極に接すると共に第1ソース領域よりも第1導電型不純物濃度が高くされたイオン注入層によって構成されている第2ソース領域と、を有している。

[0010] このように、ソース領域を比較的低濃度とされた第1ソース領域とそれよりも高濃度とされた第2ソース領域とによって構成している。そして、第1ソース領域についてはエピタキシャル成長により形成し、第2ソース領域についてはイオン注入によって形成している。このため、短絡耐量の向上、閾値 V_t のバラツキやトレンチゲートの側面の傾斜の抑制が図れると共に、不純物濃度の管理を容易に行える構造のS i C半導体装置とすることが可能となる。

[0011] 本開示のもう1つの観点は、上記した本開示の1つの観点におけるS i C半導体装置の製造方法に関するものである。

[0012] 具体的には、S i Cからなる第1または第2導電型の基板を用意することと、基板の上に、基板よりも低不純物濃度の第1導電型のS i Cからなるドリフト層を形成することと、ドリフト層の上に、第2導電型のS i Cからなるベース領域を形成することと、ベース領域の上に、ドリフト層よりも第1導電型不純物濃度が高くされた第1導電型のS i Cからなり、ベース領域側に配置される第1ソース領域と該第1ソース領域の上に該第1ソース領域よ

りも高不純物濃度とされた第2ソース領域とを有するソース領域を形成することと、ソース領域の表面からベース領域よりも深いゲートトレンチを、一方向を長手方向としてストライプ状に複数本形成したのち、ゲートトレンチの内壁面にゲート絶縁膜を形成すると共に、ゲート絶縁膜の上にゲート電極を形成することでトレンチゲート構造を形成することと、ソース領域に電氣的に接続されるソース電極を形成することと、基板の裏面側にドレイン電極を形成することと、を含み、ベース領域を形成することでは、ベース領域をエピタキシャル成長によって形成し、ソース領域を形成することでは、第1ソース領域をエピタキシャル成長によって形成したのち、第1ソース領域に対して第1導電型不純物をイオン注入することで第2ソース領域を形成する。

[0013] このようにして、第1ソース領域についてはエピタキシャル成長により形成し、第2ソース領域についてはイオン注入によって形成している。これにより、短絡耐量の向上、閾値 V_t のバラツキやトレンチゲートの側面の傾斜の抑制が図れると共に、不純物濃度の管理を容易に行える構造のSiC半導体装置を製造できる。

[0014] 本開示のさらにもう1つの観点におけるSiC半導体装置の製造方法は、測定対象層となるn型のSiC層をエピタキシャル成長させることと、SiC層をエピタキシャル成長させたのちに、SiC層の表面電子を安定化させることと、表面電子の安定化後に、電荷を塗布してSiC層の表面を帯電させたのち、SiC層の表面電位を測定することによって該SiC層のn型不純物濃度を測定することと、を含んでいる。

[0015] このように、SiC層の表面電子の安定化を行ってから、SiC層の表面電位の測定を行うようにしている。これにより、SiC層のn型不純物濃度を精度良く測定することが可能となる。

[0016] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0017] [図1]第1実施形態にかかるS i C半導体装置の断面図である。

[図2]図1に示すS i C半導体装置の斜視断面図である。

[図3]n型ソース領域の全域を高濃度とした場合の電子電流密度をシミュレーションにより調べた結果を示す図である。

[図4]n型ソース領域を第1ソース領域および第2ソース領域で構成した場合の電子電流密度をシミュレーションにより調べた結果を示す図である。

[図5]第1ソース領域の不純物濃度を变化させて、ドレイン電流の変化をシミュレーションにより調べた結果を示す図である。

[図6]第1ソース領域のn型不純物濃度とオン抵抗との関係についてシミュレーションにより調べた結果を示す図である。

[図7A]図1に示すS i C半導体装置の製造工程を示した斜視断面図である。

[図7B]図7Aに続くS i C半導体装置の製造工程を示した斜視断面図である。

。

[図7C]図7Bに続くS i C半導体装置の製造工程を示した斜視断面図である。

。

[図7D]図7Cに続くS i C半導体装置の製造工程を示した斜視断面図である。

。

[図7E]図7Dに続くS i C半導体装置の製造工程を示した斜視断面図である。

。

[図7F]図7Eに続くS i C半導体装置の製造工程を示した斜視断面図である。

。

[図7G]図7Fに続くS i C半導体装置の製造工程を示した斜視断面図である。

。

[図8]第2実施形態にかかるS i C半導体装置の断面図である。

[図9]n型ソース領域の全域を高不純物濃度とした場合について、逆導通時の電圧分布を調べた結果を示した図である。

[図10]第1ソース領域をp型ベース領域に接するように形成した場合につい

て、逆導通時の電圧分布を調べた結果を示した図である。

[図11]ノンドープ層を備えた場合について、逆導通時の電圧分布を調べた結果を示した図である。

[図12]第3実施形態で説明するn型不純物濃度の測定フローを示した図である。

[図13]第3実施形態で説明するn型不純物濃度の測定の様子を示した斜視図である。

[図14]n型層をエピタキシャル成長させた後に、大気雰囲気中に曝した時間と、n型濃度の測定結果との関係を示した図である。

[図15]HF処理前後の濃度評価値の関係を示した図である。

[図16]第3実施形態の他の例として説明するn型不純物濃度の測定フローを示した図である。

[図17]第4実施形態で説明するn型不純物濃度の測定フローを示した図である。

発明を実施するための形態

[0018] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0019] (第1実施形態)

第1実施形態について説明する。本実施形態にかかるSiC半導体装置は、半導体素子として、図1および図2に示すトレンチゲート構造の反転型の縦型MOSFETが形成されたものである。これらの図に示す縦型MOSFETは、SiC半導体装置のうちのセル領域に形成されており、そのセル領域を囲むように外周耐压構造が形成されることでSiC半導体装置が構成されているが、ここでは縦型MOSFETのみ図示してある。なお、以下では、図1および図2に示すように、縦型MOSFETの幅方向をX方向、X方向に対して交差する縦型MOSFETの奥行方向をY方向、縦型MOSFETの厚み方向もしくは深さ方向、つまりXY平面に対する法線方向をZ方向

として説明する。

- [0020] 図1および図2に示されるように、SiC半導体装置には、SiCからなる n^+ 型基板1が半導体基板として用いられている。 n^+ 型基板1の主表面上にSiCからなる n^- 型層2が形成されている。 n^+ 型基板1は、表面が(0001)Si面とされ、例えば n 型不純物濃度が $5.9 \times 10^{18} / \text{cm}^3$ とされ、厚さが $100 \mu\text{m}$ とされている。 n^- 型層2は、例えば n 型不純物濃度が $7.0 \times 10^{15} \sim 2.0 \times 10^{16} / \text{cm}^3$ とされ、厚さが $8.0 \mu\text{m}$ とされている。
- [0021] n^- 型層2の上には、SiCからなるJFET部3と電界ブロック層4が形成されており、 n^- 型層2は、 n^+ 型基板1から離れた位置においてJFET部3と連結されている。
- [0022] JFET部3と電界ブロック層4は、飽和電流抑制層を構成するものであり、共に、X方向に延設され、Y方向において交互に繰り返し並べられて配置されている。つまり、 n^+ 型基板1の主表面に対する法線方向から見て、JFET部3の少なくとも一部と電界ブロック層4は、それぞれ複数の短冊状、つまりストライプ状とされ、それぞれが交互に並べられたレイアウトとされている。
- [0023] なお、本実施形態の場合、JFET部3が電界ブロック層4よりも下方まで形成されたものとされている。このため、JFET部3のうちストライプ状とされている部分は電界ブロック層4の下方において連結した状態になっているが、ストライプ状とされている各部はそれぞれ複数の電界ブロック層4の間に配置された状態となっている。
- [0024] JFET部3のうちストライプ状とされている部分の各部、つまり各短冊状の部分は、幅が例えば $0.25 \mu\text{m}$ 、形成間隔となるピッチが例えば $0.6 \sim 2.0 \mu\text{m}$ とされている。また、JFET部3の厚みは、例えば $1.5 \mu\text{m}$ とされており、 n 型不純物濃度は、 n^- 型層2よりも高くされていて、例えば $5.0 \times 10^{16} \sim 2.0 \times 10^{18} / \text{cm}^3$ とされている。
- [0025] 電界ブロック層4は、 p 型不純物層によって構成されている。上記したよ

うに、電界ブロック層4は、ストライプ状とされており、ストライプ状とされた電界ブロック層4の各短冊状の部分は、幅が例えば $0.15\mu\text{m}$ 、厚みが例えば $1.4\mu\text{m}$ とされている。また、電界ブロック層4は、例えばp型不純物濃度が $3.0\times 10^{17}\sim 1.0\times 10^{18}/\text{cm}^3$ とされている。本実施形態の場合、電界ブロック層4は、深さ方向においてp型不純物濃度が一定とされている。また、電界ブロック層4は、n⁻型層2と反対側の表面がJ F E T部3の表面と同一平面とされている。

[0026] さらに、J F E T部3および電界ブロック層4の上には、S i Cからなるn型電流分散層5が形成されている。n型電流分散層5は、後述するようにチャンネルを通じて流れる電流がX方向に拡散できるようにする層であり、例えば、n⁻型層2よりもn型不純物濃度が高くされている。本実施形態では、n型電流分散層5は、Y方向に向けて延設されており、n型不純物濃度がJ F E T部3と同じかそれよりも高くされ、例えば厚みが $0.5\mu\text{m}$ とされている。

[0027] なお、ここでは、ドリフト層を、便宜的にn⁻型層2、J F E T部3およびn型電流分散層5に分けて説明しているが、これらは共にドリフト層を構成する部分であり、互いに連結されている。

[0028] n型電流分散層5の上にはS i Cからなるp型ベース領域6が形成されている。また、p型ベース領域6の上にはn型ソース領域8が形成されている。n型ソース領域8は、p型ベース領域6のうちn型電流分散層5と対応する部分の上に形成されている。

[0029] p型ベース領域6は、電界ブロック層4よりも厚みが薄く、かつ、p型不純物濃度が低くされており、例えばp型不純物濃度が $3\times 10^{17}/\text{cm}^3$ とされ、厚さが $0.4\sim 0.6\mu\text{m}$ とされている。

[0030] n型ソース領域8は、p型ベース領域6側とその反対側、つまり素子表面側とでn型不純物濃度が異なった構造とされている。具体的には、n型ソース領域8は、p型ベース領域6側に配置された第1ソース領域8aと、素子表面側に配置された第2ソース領域8bとを有した構成とされている。

[0031] 第1ソース領域8aは、第2ソース領域8bよりもn型不純物濃度が低くされており、エピタキシャル成長層にて構成されたもので、本実施形態の場合はp型ベース領域6と接している。第1ソース領域8aは、例えばn型不純物濃度が $2.0 \times 10^{16} \sim 1.0 \times 10^{17} / \text{cm}^3$ 以下とされ、厚みが $0.2 \sim 0.5 \mu\text{m}$ 、好ましくは $0.3 \mu\text{m}$ 以上とされている。

[0032] 第2ソース領域8bは、後述するソース電極15とのコンタクトを取るための領域であり、イオン注入層によって構成されたもので、n型不純物が高濃度とされている。第2ソース領域8bは、例えばn型不純物濃度が $1.0 \times 10^{18} \sim 5.0 \times 10^{19} / \text{cm}^3$ とされ、厚みが $0.1 \sim 0.2 \mu\text{m}$ とされている。

[0033] また、p型ベース領域6から下方に向けて、具体的にはJFET部3と電界ブロック層4の表面からp型ベース領域6の間であって、n型電流分散層5が形成されていない部分に、p型ディープ層9が形成されている。本実施形態では、p型ディープ層9は、JFET部3のうちのストライプ状の部分や電界ブロック層4の長手方向に対して交差する方向、ここではY方向を長手方向とした短冊状とされ、X方向に複数本並べられることでストライプ状にレイアウトされている。このp型ディープ層9を通じて、p型ベース領域6や電界ブロック層4が電氣的に接続されている。p型ディープ層9の形成ピッチは、後述するトレンチゲート構造の形成間隔となるセルピッチと合わせてあり、隣り合うトレンチゲート構造の間にp型ディープ層9が配置されるようにしてある。

[0034] さらに、p型ベース領域6上のうちp型ディープ層9と対応する位置、換言すればn型ソース領域8と異なる位置であってn型ソース領域8を挟んでトレンチゲート構造と反対側の位置に、p型連結層10が形成されている。p型連結層10は、p型ベース領域6と後述するソース電極15とを連結することで電氣的に接続するための層である。本実施形態では、p型連結層10は、p型ベース領域6側とその反対側、つまり素子表面側とでp型不純物濃度が異なった構造とされている。具体的には、p型連結層10は、p型ベ

ース領域6側に配置された第1領域10aと、素子表面側に配置された第2領域10bとを有した構成とされている。

[0035] 第1領域10aは、第1ソース領域8aと同程度もしくは、より深く構成され、第2領域10bよりもp型不純物濃度が低くされていて、p型ベース領域6と接した構造とされている。第1領域10aは、例えばp型不純物濃度が $2.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ とされ、厚みが $0.2 \sim 0.5 \mu\text{m}$ 、好ましくは $0.3 \mu\text{m}$ 以上とされている。ただし、本実施形態の場合、第1領域10aを第1ソース領域8aへのイオン注入によって形成していることから、キャリア濃度、つまりキャリアとして機能する分のp型不純物濃度が $2.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ となるようにしている。

[0036] 第2領域10bは、第2ソース領域8bと同程度の深さで構成され、後述するソース電極15とのコンタクトを取るための領域であり、p型不純物が高濃度とされている。第2領域10bは、例えばp型不純物濃度が $2.0 \times 10^{18} \sim 1.0 \times 10^{20} / \text{cm}^3$ とされ、厚みが $0.2 \sim 0.3 \mu\text{m}$ とされている。ただし、本実施形態の場合、第2領域10bを第2ソース領域8bへのイオン注入によって形成していることから、キャリア濃度、つまりキャリアとして機能する分のp型不純物濃度が $2.0 \times 10^{18} \sim 1.0 \times 10^{20} / \text{cm}^3$ となるようにしている。

[0037] なお、後述するように、本実施形態では、n型ソース領域8へのp型不純物のイオン注入によってp型連結層10を形成している。その場合、第1領域10aや第2領域10bのp型不純物濃度は、p型不純物のうちキャリアとして機能する分の濃度のことを意味する。p型不純物のうちの一部は、打ち込み前の第1ソース領域8aに含まれているn型不純物とキャンセルされて、キャリアとしては機能しない。このため、イオン注入によってp型連結層10を形成する場合、活性化率を加味して、例えば第1ソース領域8aや第2ソース領域8bのn型不純物濃度の2～10倍のドーズ量でp型不純物を注入すれば、上記したp型不純物濃度が得られる。

[0038] さらに、n型ソース領域8およびp型ベース領域6を貫通してn型電流分

散層 5 に達するように、例えば幅が $0.4 \mu\text{m}$ 、深さが p 型ベース領域 6 と n 型ソース領域 8 の合計膜厚よりも $0.2 \sim 0.4 \mu\text{m}$ 深くされたゲートトレンチ 11 が形成されている。このゲートトレンチ 11 の側面と接するように上述した p 型ベース領域 6 や n 型ソース領域 8 が配置されている。ゲートトレンチ 11 は、図 2 の X 方向を幅方向、J F E T 部 3 や電界ブロック層 4 の長手方向と交差する方向、ここでは Y 方向を長手方向、Z 方向を深さ方向とする短冊状のレイアウトで形成されている。そして、図 1 および図 2 には示していないが、ゲートトレンチ 11 は、複数本が X 方向に等間隔に配置されたストライプ状とされており、それぞれの間に p 型ベース領域 6 や n 型ソース領域 8 が配置されている。また、各ゲートトレンチ 11 の中間位置に、p 型ディープ層 9 や p 型連結層 10 が配置されている。

[0039] このゲートトレンチ 11 の側面の位置において、p 型ベース領域 6 は、縦型 M O S F E T の作動時に n 型ソース領域 8 と n 型電流分散層 5 との間を繋ぐチャネル領域を形成する。このチャネル領域を含むゲートトレンチ 11 の内壁面は、ゲート絶縁膜 12 で覆われている。ゲート絶縁膜 12 の表面にはドーパド P o l y - S i にて構成されたゲート電極 13 が形成されており、これらゲート絶縁膜 12 およびゲート電極 13 によってゲートトレンチ 11 内が埋め尽くされ、トレンチゲート構造が構成されている。

[0040] このトレンチゲート構造は、ゲートトレンチ 11 の側壁がほぼ Z 方向と平行とされ、開口部の入口側において丸みを帯びて傾斜させられて、開口幅が底部よりも若干広くなった構造となっている。より詳しくは、ゲートトレンチ 11 の側壁のうち第 1 ソース領域 8 a や p 型ベース領域 6 および n 型電流分散層 5 と接する部分についてはほぼ Z 方向と平行とされ、第 2 ソース領域 8 b と接する部分については丸みを帯びて傾斜した状態となっている。

[0041] また、n 型ソース領域 8 の表面やゲート電極 13 の表面には、層間絶縁膜 14 を介してソース電極 15 や図示しないゲート配線層などが形成されている。ソース電極 15 やゲート配線層は、複数の金属、例えば N i / A l 等にて構成されている。そして、複数の金属のうち少なくとも n 型 S i C、具体

的にはn型ソース領域8と接触する部分は、n型SiCとオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくともp型SiC、具体的には第2領域10bと接触する部分は、p型SiCとオーミック接触可能な金属で構成されている。なお、ソース電極15は、層間絶縁膜14上に形成されることでSiC部分と電氣的に絶縁されているが、層間絶縁膜14に形成されたコンタクトホールを通じて、n型ソース領域8およびp型ディープ層9と電氣的に接触させられている。

[0042] 一方、n⁺型基板1の裏面側にはn⁺型基板1と電氣的に接続されたドレイン電極16が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造の縦型MOSFETが構成されている。このような縦型MOSFETが複数セル配置されることでセル領域が構成されている。そして、このような縦型MOSFETが形成されたセル領域を囲むように図示しないガードリングなどによる外周耐压構造が構成されることでSiC半導体装置が構成されている。

[0043] このように構成される縦型MOSFETを有するSiC半導体装置は、例えば、ソース電圧V_sを0V、ドレイン電圧V_dを1～1.5Vとした状態で、ゲート電極13に対して20Vのゲート電圧V_gを印加することで動作させられる。すなわち、縦型MOSFETは、ゲート電圧V_gが印加されることにより、ゲートトレンチ11に接する部分のp型ベース領域6にチャネル領域を形成する。これにより、n型ソース領域8とn型電流分散層5との間が導通する。したがって、縦型MOSFETは、n⁺型基板1より、n⁻型層2とJFET部3およびn型電流分散層5にて構成されるドリフト層を通じ、さらにチャネル領域からn型ソース領域8を通じて、ドレインーソース間に電流を流すという動作を行う。

[0044] また、このような半導体装置における縦型MOSFETを上アームと下アームが備えられたインバータ回路等に適用すると、縦型MOSFETに内蔵される寄生ダイオードが還流ダイオードとして働く。具体的には、n⁻型層2などドリフト層を構成するn型層と電界ブロック層4やp型ベース領域6も

しくはp型ディープ層9を含むp型層とによるPN接合によって寄生ダイオードが構成され、これが還流ダイオードとして働く。

[0045] インバータ回路等は、直流電源を用いつつ交流モータ等の負荷に対して交流電流を供給する際に用いられる。例えば、インバータ回路等は、直流電源に対して上アームと下アームを直列接続したブリッジ回路を複数個並列接続し、各ブリッジ回路の上アームと下アームを交互に繰り返しオンオフさせることで、負荷に対して交流電流を供給する。

[0046] 具体的には、インバータ回路等の各ブリッジ回路では、上アームの縦型MOSFETをオン、下アームの縦型MOSFETをオフすることで負荷に対して電流供給を行う。その後、上アームの縦型MOSFETをオフ、下アームの縦型MOSFETをオンして電流供給を停止する。また、各アームの縦型MOSFETのオンオフの切り替えの際には、オフされる側の縦型MOSFETに備えられる寄生ダイオードが還流ダイオードとして働き、還流電流をソースドレイン間に流すという逆導通時の動作を行う。このようにして、インバータ回路等による負荷の交流駆動が行われる。

[0047] このような動作を行うに当たり、負荷短絡が発生すると、例えば600～1200Vもしくはそれ以上の電圧がドレインソース間電圧 V_{ds} としてドレインに印加されることになる。このとき、n型ソース領域8の全域が高濃度のn型不純物層によって構成されていると、負荷短絡時の飽和電流値が大きくなり、SiC半導体装置の短絡耐量を得ることができなくなる。これは、n型ソース領域8が高濃度とされていることから、殆ど空乏化する領域が発生せず、n型ソース領域8の全域において電流が流れているためと考えられる。

[0048] しかしながら、本実施形態のSiC半導体装置では、n型ソース領域8を比較的低濃度とされた第1ソース領域8aとそれよりも高濃度とされた第2ソース領域8bとによって構成していることから、負荷短絡時の飽和電流値を小さくすることが可能となる。これは、第1ソース領域8aが低濃度とされていることから、第1ソース領域8aの広範囲に入り込むように空乏化が

生じ、空乏化した部分において電流が流れなくなるためと考えられる。このように、本実施形態のSiC半導体装置によれば、短絡耐量を向上させることが可能となる。

[0049] ここで、シミュレーションにより、n型ソース領域8の全域を高濃度とした場合と、本実施形態のように第1ソース領域8aおよび第2ソース領域8bで構成した場合、それぞれについて、電子電流密度を調べた。図3および図4は、それぞれの結果を示した図である。図中ハッチングの間隔が狭い部分ほど、電子電流密度が高いことを示している。また、第1ソース領域8aの不純物濃度を変化させて、ドレイン電流の変化を調べた。図5は、その結果を示している。

[0050] なお、図3～図5のシミュレーションでは、ソース電圧 V_s を0V、ゲート電圧 V_g を20V、ドレイン電圧 V_d を750Vとしている。また、図3のシミュレーションでは、n型ソース領域8の全域のn型不純物濃度を $1.0 \times 10^{19} / \text{cm}^3$ としている。同様に、図4のシミュレーションでは、n型ソース領域8を第1ソース領域8aと第2ソース領域8bで構成しつつ、第1ソース領域8aのn型不純物濃度を $1.0 \times 10^{16} / \text{cm}^3$ とし、第2ソース領域8bのn型不純物濃度を $1.0 \times 10^{19} / \text{cm}^3$ としている。図5のシミュレーションでは、n型ソース領域8を第1ソース領域8aと第2ソース領域8bで構成しつつ、第2ソース領域8bのn型不純物濃度を $1.0 \times 10^{19} / \text{cm}^3$ とし、第1ソース領域8aのn型不純物濃度を変化させている。

[0051] 図3に示すように、n型ソース領域8の全域のn型不純物濃度を高濃度とした場合、n型ソース領域8の全域において電子電流密度が高くなっていることが判る。これは、n型ソース領域8が高濃度とされていることから、殆ど空乏化する領域が発生せず、n型ソース領域8の全域において電流が流れているためと考えられる。

[0052] 一方、図4に示すように、n型ソース領域8を第1ソース領域8aおよび第2ソース領域8bで構成した場合、第1ソース領域8aにおいて、電子電流密度が小さくなっていることが判る。これは、第1ソース領域8aが低濃

度とされていることから、第1ソース領域8aの広範囲に入り込むように空乏化が生じ、空乏化した部分において電流が流れなくなるためと考えられる。

[0053] このシミュレーション結果からも、n型ソース領域8を第1ソース領域8aおよび第2ソース領域8bによって構成することで、負荷短絡時における飽和電流値を低減できると言える。したがって、本実施形態の構造とすることで、SiC半導体装置の短絡耐量を向上させることが可能になることが判る。

[0054] また、第1ソース領域8aについては、第2ソース領域8bよりもn型不純物濃度が低ければ良いものの、ある程度の濃度でないと飽和電流値を所望値まで低下させることができない。具体的には、負荷短絡時のドレイン電流が 14000 A/cm^2 以下となるようにすれば、所望の短絡耐量を得ることができる。そして、図5に示されるように、負荷短絡時のドレイン電流が 14000 A/cm^2 以下となるのは、第1ソース領域8aのn型不純物濃度が $1.0 \times 10^{17}/\text{cm}^3$ 以下となる場合である。したがって、本実施形態のSiC半導体装置のように、第1ソース領域8aのn型不純物濃度を $1.0 \times 10^{17}/\text{cm}^3$ 以下とすることで、短絡耐量を向上させることが可能となる。

[0055] ただし、第1ソース領域8aのn型不純物濃度が低すぎると、第1ソース領域8aの抵抗値が大きくなり過ぎ、オン抵抗 R_{on} を増大させることになる。第1ソース領域8aのn型不純物濃度とオン抵抗 R_{on} との関係について調べたところ、図6に示す結果となった。SiC半導体装置の高速スイッチング動作を鑑みると、オン抵抗 R_{on} については $1.2\text{ m}\Omega\text{cm}^2$ 以下であることが好ましい。図6の結果によれば、第1ソース領域8aのn型不純物濃度が $2.0 \times 10^{16}/\text{cm}^3$ 未満になると急激にオン抵抗 R_{on} が上昇するが、n型不純物濃度がそれ以上であれば、オン抵抗 R_{on} を $1.2\text{ m}\Omega\text{cm}^2$ 以下にできていた。したがって、本実施形態のSiC半導体装置のように、第1ソース領域8aのn型不純物濃度を $2.0 \times 10^{16}/\text{cm}^3$ 以上とすることで、オン抵抗 R_{on} の劣化を抑制することが可能となる。

- [0056] このように、第1ソース領域8aのn型不純物濃度を $2.0 \times 10^{16} \sim 1.0 \times 10^{17} / \text{cm}^3$ とすることで、短絡耐量を向上させつつ、オン抵抗 R_{on} の劣化を抑制することが可能となる。
- [0057] また、本実施形態のSiC半導体装置には、JFET部3および電界ブロック層4を備えてある。このため、縦型MOSFETの動作時には、JFET部3および電界ブロック層4が飽和電流抑制層として機能し、飽和電流抑制効果を発揮することで低オン抵抗を図りつつ、低飽和電流を維持できる構造とすることが可能となる。具体的には、JFET部3のうちストライプ状とされた部分と電界ブロック層4とが交互に繰り返し形成された構造とされていることから、次に示すような作動を行う。
- [0058] まず、ドレイン電圧 V_d が例えば $1 \sim 1.5 \text{ V}$ のように通常作動時に印加される電圧である場合には、電界ブロック層4側からJFET部3へ伸びる空乏層は、JFET部3のうちストライプ状とされた部分の幅よりも小さい幅しか伸びない。このため、JFET部3内へ空乏層が伸びても電流経路が確保される。そして、JFET部3のn型不純物濃度がn型層2よりも高くされていて、電流経路を低抵抗に構成できるため、低オン抵抗を図ることが可能となる。
- [0059] また、負荷短絡などによってドレイン電圧 V_d が通常作動時の電圧よりも高くなると、電界ブロック層4側からJFET部3へ伸びる空乏層がJFET部3のうちストライプ状とされた部分の幅よりも伸びる。そして、n型電流分散層5よりも先にJFET部3が即座にピンチオフされる。このとき、JFET部3のうちストライプ状とされた部分の幅およびn型不純物濃度に基づいてドレイン電圧 V_d と空乏層の幅との関係が決まる。このため、通常作動時のドレイン電圧 V_d よりも少し高い電圧となったときにJFET部3がピンチオフされるように、JFET部3のうちストライプ状とされた部分の幅およびn型不純物濃度を設定する。これにより、低いドレイン電圧 V_d でもJFET部3をピンチオフすることが可能となる。このように、ドレイン電圧 V_d が通常作動時の電圧よりも高くなったときにJFET部3が即座

にピンチオフされるようにすることで、低飽和電流を維持することができ、更に負荷短絡等によるS i C半導体装置の耐量を向上することが可能となる。

[0060] このように、J F E T部3および電界ブロック層4が飽和電流抑制層として機能し、飽和電流抑制効果を発揮することで、更に低オン抵抗と低飽和電流を両立することができるS i C半導体装置とすることが可能となる。

[0061] さらに、J F E T部3を挟み込むように電界ブロック層4を備えることで、J F E T部3のうちストライプ状とされた部分と電界ブロック層4とが交互に繰り返して形成された構造とされている。このため、ドレイン電圧V dが高電圧になったとしても、下方からn⁻型層2に伸びてくる空乏層の伸びが電界ブロック層4によって抑えられ、トレンチゲート構造に延伸することを防ぐことができる。したがって、ゲート絶縁膜12に掛かる電界を低下させる電界抑制効果を発揮させられ、ゲート絶縁膜12が破壊されることを抑制できるため、高耐圧化で信頼性の高い素子とすることが可能となる。そして、このようにトレンチゲート構造への空乏層の延伸を防げるため、ドリフト層の一部を構成するn⁻型層2やJ F E T部3のn型不純物濃度を比較的濃くすることができ、低オン抵抗化を図ることが可能となる。

[0062] よって、低オン抵抗かつ高信頼性の縦型M O S F E Tを有するS i C半導体装置とすることが可能となる。

[0063] 次に、本実施形態にかかるnチャネルタイプの反転型のトレンチゲート構造の縦型M O S F E Tを備えたS i C半導体装置の製造方法について、図7 A～図7 Hに示す製造工程中の断面図を参照して説明する。

[0064] [図7 Aに示す工程]

まず、半導体基板として、n⁺型基板1を用意する。そして、図示しないC V D (chemical vapor deposition) 装置を用いたエピタキシャル成長により、n⁺型基板1の主表面上にS i Cからなるn⁻型層2を形成する。このとき、n⁺型基板1の主表面上に予めn⁻型層2を成長させてある所謂エピ基板を用いても良い。そして、n⁻型層2の上にS i CからなるJ F E T部3をエピ

タキシャル成長させる。

[0065] なお、エピタキシャル成長については、S i Cの原料ガスとなるシランやプロパンに加えて、n型ドーパントとなるガス、例えば窒素ガスを導入することで行っている。

[0066] [図7Bに示す工程]

J F E T部3の表面に、マスク17を配置したのち、マスク17をパターニングして電界ブロック層4の形成予定領域を開口させる。そして、p型不純物をイオン注入することで、電界ブロック層4を形成する。その後、マスク17を除去する。

[0067] なお、ここでは、電界ブロック層4をイオン注入によって形成しているが、イオン注入以外の方法によって電界ブロック層4を形成しても良い。例えば、J F E T部3を選択的に異方性エッチングして電界ブロック層4と対応する位置に凹部を形成し、この上にp型不純物層をエピタキシャル成長させたのち、J F E T部3の上に位置する部分においてp型不純物層を平坦化して電界ブロック層4を形成する。このように、電界ブロック層4をエピタキシャル成長によって形成することもできる。p型S i Cをエピタキシャル成長させる場合、S i Cの原料ガスに加えて、p型ドーパントとなるガス、例えばトリメチルアルミニウム（以下、TMAという）を導入すれば良い。

[0068] [図7Cに示す工程]

引き続き、J F E T部3および電界ブロック層4の上にn型S i Cをエピタキシャル成長させることで、n型電流分散層5を形成する。そして、n型電流分散層5の上に、p型ディープ層9の形成予定領域が開口する図示しないマスクを配置する。その後、マスクの上からp型不純物をイオン注入することでp型ディープ層9を形成する。なお、p型ディープ層9についてもイオン注入によって形成する例を示したが、イオン注入以外の方法によって形成することもできる。例えば、電界ブロック層4と同様に、n型電流分散層5に対して凹部を形成したのち、p型不純物層をエピタキシャル成長させ、さらにp型不純物層の平坦化を行うことで、p型ディープ層9を形成するよ

うにしても良い。

[0069] [図7Dに示す工程]

図示しないCVD装置を用いて、n型電流分散層5およびp型ディープ層9の上にp型ベース領域6およびn型ソース領域8のうちの第1ソース領域8aを順にエピタキシャル成長させる。例えば、同じCVD装置内において、昇温過程を経て成長炉内を所定温度に高温化したのち、まずはキャリアガスやSiC原料ガスと共にp型ドーパントとなるガスを導入したエピタキシャル成長によってp型ベース領域6を形成する。続いて、p型ドーパントの導入を停止してn型ドーパントを導入することで、第1ソース領域8aを形成する。ただし、このときには第1ソース領域8aを第2ソース領域8bの厚み分加算した厚みとしている。このとき、降温過程を行うことなく、p型ベース領域6の形成後に温度を維持したまま第1ソース領域8aのエピタキシャル成長させるようにすることで、プロセス時間の短縮化を図っている。

[0070] そして、イオン注入装置を用いて、n型ソース領域8のうちの表層部にn型不純物をイオン注入する。これにより、n型不純物濃度を高くした第2ソース領域8bを形成すると共に、n型ソース領域8のうち第2ソース領域8bの下方に位置する部分により第1ソース領域8aを構成する。このようにすることで、第1ソース領域8aについてはエピタキシャル成長層によって構成でき、第2ソース領域8bについてはイオン注入層によって構成ができる。

[0071] このようにして、p型ベース領域6およびn型ソース領域8を上記した不純物濃度および膜厚で形成することができる。ここで、各部の膜厚や不純物濃度については次のように決めている。

[0072] まず、p型ベース領域6については、チャネル領域が設定される部分となることから、ゲート電圧 V_g の印加時に反転型チャネルを構成する不純物濃度に設定しつつ、チャネル長を規定する膜厚となるようにしている。このため、p型ベース領域6については、例えばp型不純物濃度を $3 \times 10^{17} / \text{cm}^3$ 、厚さを $0.4 \sim 0.6 \mu\text{m}$ としている。

- [0073] n型ソース領域8のうちの第1ソース領域8aについては、負荷短絡時に高いドレイン電圧 V_d が印加された場合でも飽和電流値を小さくしつつ、オン抵抗 R_{on} が高くなることを抑制できるように膜厚およびn型不純物濃度を設定している。このため、第1ソース領域8aについては、例えばn型不純物濃度を $2.0 \times 10^{16} \sim 1.0 \times 10^{17} / \text{cm}^3$ とし、厚みを $0.2 \mu\text{m}$ 以上としている。
- [0074] 第2ソース領域8bについては、ソース電極15とオーミック接触させられる不純物濃度となるようにしつつ、ソース電極15との化学反応によって全域が消失してしまわない程度の膜厚に設定してある。第2ソース領域8bのn型不純物濃度については高いほどオーミック接触させ易くなる。しかしながら、本実施形態のようにn型ソース領域8をエピタキシャル成長させたのちp型不純物をイオン注入してp型連結層10を形成することもあり、その場合には、n型ソース領域8のn型不純物濃度が高すぎると、p型連結層10を所望の濃度にできない。このため、本実施形態の場合は、第2ソース領域8bのn型不純物濃度を例えば $1.0 \times 10^{18} \sim 5.0 \times 10^{19} / \text{cm}^3$ としてある。
- [0075] また、上記したように、ソース電極15は、複数の金属によって構成されており、第2ソース領域8bとオーミック接触させられる部分は、例えばNiによって構成される。その場合、第2ソース領域8bのうちNiと接触させられる部分はNiシリサイドとなることでオーミック接触となるが、シリサイド化される分、第2ソース領域8bが消失することになる。そして、シリサイド化反応によってNiシリサイドとなるのが $0.1 \mu\text{m}$ 程度の厚さであることから、シリサイド化反応によって第2ソース領域8bが全域消失しないように、第2ソース領域8bの厚みを $0.1 \mu\text{m}$ 以上としている。
- [0076] また、n型ソース領域8を構成する第1ソース領域8aや第2ソース領域8bを厚くすると、ゲートトレンチ11内をPoly-Siで埋め込んだ後にエッチバックしてゲート電極13を形成する際のエッチバック加工のバラツキを許容することができる。このため、第1ソース領域8aおよび第2ソ

ース領域 8 b の合計厚さを大きい値にすると良いことから、第 1 ソース領域 8 a の膜厚や第 2 ソース領域 8 b の膜厚を上記範囲としている。

[0077] また、p 型ベース領域 6 および第 1 ソース領域 8 a をエピタキシャル成長によって形成する場合、各部の膜厚のバラツキを小さくできる。そして、チャンネル領域の形成に用いられる p 型ベース領域 6 については、膜厚バラツキを小さくできることにより、チャンネル長を精度良く作りこむことが可能となる。これにより、縦型 MOSFET の閾値 V_{th} のバラツキを低減することが可能となる。

[0078] 例えば、p 型ベース領域 6 をエピタキシャル成長させたのち、p 型ベース領域 6 に対して n 型不純物を打ち返すことで第 1 ソース領域 8 a および第 2 ソース領域 8 b を両方共に形成することも可能である。しかしながら、この場合、エピタキシャル成長させるときの p 型ベース領域 6 の膜厚について、イオン注入によって形成する第 1 ソース領域 8 a および第 2 ソース領域 8 b の分の厚みを見込んで厚くする必要がある。エピタキシャル成長させるときの膜厚バラツキは、成長させる膜厚が厚いほど大きくなるが、イオン注入の飛程のバラツキはあまり大きくないため、イオン注入後の p 型ベース領域 6 の膜厚バラツキは、エピタキシャル成長させた膜厚に対応するバラツキとなる。このため、例えば p 型ベース領域 6 を $1.4 \mu\text{m}$ の厚みとした場合の膜厚バラツキが $\pm 0.21 \mu\text{m}$ であったとすると、イオン注入によって第 1 ソース領域 8 a および第 2 ソース領域 8 b を形成した後でも、p 型ベース領域 6 の膜厚バラツキは $\pm 0.21 \mu\text{m}$ となる。

[0079] これに対して、本実施形態のように、各部をエピタキシャル成長で形成する場合、p 型ベース領域 6 の膜厚バラツキは、第 1 ソース領域 8 a および第 2 ソース領域 8 b の膜厚分を含んだバラツキにはならず、p 型ベース領域 6 のみの厚みに対応したバラツキとなる。例えば、p 型ベース領域 6 の膜厚を $0.4 \sim 0.6 \mu\text{m}$ とする場合、膜厚バラツキが $\pm 0.06 \sim 0.09 \mu\text{m}$ となる。このため、各部をエピタキシャル成長によって形成することで、p 型ベース領域 6 の膜厚バラツキを抑制でき、チャンネル長を精度良く作りこむ

ことができる。

[0080] また、エピタキシャル成長によって各部を連続的に形成する場合、格子定数に不純物濃度依存性があることから、不純物濃度が急激に変化しないことが好ましい。これに対して、本実施形態のように、p型ベース領域6の上にn型ソース領域8を形成する場合、第1ソース領域8aが存在することから、不純物濃度が急激に変化しないようにできる。

[0081] したがって、不純物濃度が急激に変化する場合に生じる結晶欠陥を抑制することが可能となる。

[0082] さらに、高濃度となる第2ソース領域8bについては、エピタキシャル成長ではなくイオン注入によって形成している。このため、高濃度な第2ソース領域8bをエピタキシャル成長させる場合のように、エピタキシャル成長装置内にn型ドーパントが残って成長炉を汚染し、その後にp型層やn型層を形成したときにドーパントコンタミネーションが生じることを抑制できる。したがって、エピタキシャル成長装置で形成するp型ベース領域6や第1ソース領域8aの不純物濃度の管理を安定して行うことが可能となる。

[0083] [図7Eに示す工程]

n型ソース領域8の上にp型連結層10の形成予定位置を開口させた図示しないマスクを配置する。そして、マスクの上からp型不純物をイオン注入したのち、活性化のために1500℃以上の熱処理を行う。イオン注入する元素としては、ボロン(B)とアルミニウム(Al)のいずれか一方もしくは両方を用いている。これにより、n型ソース領域8をp型不純物のイオン注入によって打ち返してp型連結層10を形成することができる。

[0084] このとき、p型連結層10のうちの第2領域10bについては、ソース電極15とオーミック接触が取れるようにする必要がある。このため、第2ソース領域8bのn型不純物濃度の2～10倍のドーズ量でイオン注入を行っている。ドーズ量については、第2ソース領域8bのn型不純物濃度の2倍あれば、ソース電極15とオーミック接触させられる程度のキャリア濃度にと考えると考えられるが、活性化率を考慮して、2～10倍とするのが好まし

い。

[0085] これにより、第2領域10bのキャリア濃度、つまり第2ソース領域8bとの間でキャンセルされる分や活性化していない分を除いたキャリアとして機能する分のp型不純物濃度が例えば $2.0 \times 10^{18} \sim 1.0 \times 10^{20} / \text{cm}^3$ となるようにできる。第2領域10bの不純物濃度が高いほどソース電極15とのオーミック接触が取り易くなるが、第2領域10bを形成する前の第2ソース領域8bについても、ソース電極15とオーミック接触させなければならない。また、ドーズ量が多いとイオン注入による結晶欠陥の生成の原因となることから、ある程度の量に抑える必要がある。これらを加味して、第2ソース領域8bのn型不純物濃度と第2領域10bのp型不純物濃度を設定する必要がある。このため、第2ソース領域8bのn型不純物濃度や第2領域10bのうちp型不純物濃度を例えば $1.0 \times 10^{18} \sim 5.0 \times 10^{19} / \text{cm}^3$ としている。

[0086] 一方、第1領域10aについては、ソース電極15とオーミック接触させられる部分ではないため、第2領域10bよりもp型不純物濃度が低くて良い。ただし、ここでは、活性化率を考慮して、第1ソース領域8aの2～10倍のドーズ量のp型不純物をイオン注入するようにしている。

[0087] なお、p型連結層10をイオン注入によって形成する場合、イオン注入装置の出力の観点より、p型不純物が注入されるn型ソース領域8の合計膜厚が $0.8 \mu\text{m}$ 以下となるようにすると好ましい。このようにすれば、汎用されているイオン注入装置の出力でもp型連結層10をp型ベース領域6に達するように形成することができ、量産性を担保することが可能となる。

[0088] [図7Fに示す工程]

n型ソース領域8などの上に図示しないマスクを形成したのち、マスクのうちのゲートトレンチ11の形成予定領域を開口させる。そして、マスクを用いてRIE (Reactive Ion Etching) 等の異方性エッチングを行うことで、ゲートトレンチ11を形成する。

[0089] [図7Gに示す工程]

その後、マスクを除去してから例えば熱酸化を行うことによって、ゲート絶縁膜 12 を形成し、ゲート絶縁膜 12 によってゲートトレンチ 11 の内壁上および n 型ソース領域 8 の表面上を覆う。そして、p 型不純物もしくは n 型不純物がドーピングされた P o l y - S i をデポジションした後、これをエッチバックし、少なくともゲートトレンチ 11 内に P o l y - S i を残すことでゲート電極 13 を形成する。これにより、トレンチゲート構造が完成する。

[0090] このようなトレンチゲート構造を形成する際に、n 型ソース領域 8 を全域イオン注入によって形成すると、イオン注入時のダメージの影響により、トレンチゲート構造を形成したときにゲートトレンチ 11 の側面が傾斜した状態となる。このため、チャネル移動度を低下させると共に、ゲートトレンチ 11 が入口側において幅広になり、素子の微細化が困難になる。

[0091] しかしながら、本実施形態では、第 1 ソース領域 8 a をエピタキシャル成長によって形成しており、イオン注入によって形成しているのは第 2 ソース領域 8 b のみである。このため、イオン注入のダメージによるゲートトレンチ 11 の側面の傾斜が抑制され、概ね第 2 ソース領域 8 b と接する部分だけで丸みを帯びて傾斜した状態となる。よって、ゲートトレンチ 11 が入口側において幅広になることが抑制され、素子の微細化も促進できる。

[0092] この後の工程については図示しないが、以下のような工程を行う。すなわち、ゲート電極 13 およびゲート絶縁膜 12 の表面を覆うように、例えば酸化膜などによって構成される層間絶縁膜 14 を形成する。また、図示しないマスクを用いて層間絶縁膜 14 に n 型ソース領域 8 および p 型ディープ層 9 を露出させるコンタクトホールを形成する。そして、層間絶縁膜 14 の表面上に例えば複数の金属の積層構造により構成される電極材料を形成したのち、電極材料をパターニングすることでソース電極 15 やゲート配線層を形成する。さらに、n⁺型基板 1 の裏面側にドレイン電極 16 を形成する。このようにして、本実施形態にかかる S i C 半導体装置が完成する。

[0093] 以上説明したように、本実施形態の S i C 半導体装置では、n 型ソース領

域 8 を比較的 low 濃度とされた第 1 ソース領域 8 a とそれよりも高濃度とされた第 2 ソース領域 8 b とによって構成している。そして、第 1 ソース領域 8 a についてはエピタキシャル成長により形成し、第 2 ソース領域 8 b についてはイオン注入によって形成している。このため、短絡耐量の向上、閾値 V_t のバラツキやトレンチゲートの側面の傾斜の抑制が図れると共に、不純物濃度の管理を容易に行える構造の SiC 半導体装置とすることが可能となる。

[0094] (第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対してノンドープ層を備えるようにしたものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

[0095] 図 8 に示すように、本実施形態にかかる SiC 半導体装置では、p 型ベース領域 6 の上に、SiC からなるノンドープ層 7 が形成されており、その上には n 型ソース領域 8 が形成された構造とされている。

[0096] ノンドープ層 7 は、不純物をドーピングしていない層、もしくは、n 型不純物および p 型不純物を共にドーピングすることでキャリア濃度を低くした層である。ノンドープ層 7 の厚みは、 $0.05 \sim 0.2 \mu\text{m}$ とされている。ノンドープ層 7 は、n 型不純物および p 型不純物が共にドーピングされていないのが好ましいが、ドーピングされていたとしても、キャリア濃度が $1.0 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1.0 \times 10^{15} / \text{cm}^3$ 以下とされていれば良い。例えば、ノンドープ層 7 は、窒素 (N) などの n 型不純物が $1.0 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1.0 \times 10^{15} / \text{cm}^3$ 以下とされている。またノンドープ層 7 は、アルミニウムなどの p 型不純物が $1.0 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1.0 \times 10^{15} / \text{cm}^3$ 以下とされている。そして、p 型不純物と n 型不純物の一方のみがドーピングされている場合には、不純物濃度が $1.0 \times 10^{16} / \text{cm}^3$ 以下とされ、両方がドーピングされている場合には、互いに打ち消しあうことでキャリア濃度が $1.0 \times 10^{16} / \text{cm}^3$ 以下となっている。

[0097] このように、本実施形態の SiC 半導体装置では、p 型ベース領域 6 と第

1ソース領域8aとの間にノンドープ層7を備えるようにしている。このため、ゲート絶縁膜12へのダメージを抑制できるという効果が得られる。この効果について、図9～図11を参照して説明する。なお、図9～図11は、それぞれ、n型ソース領域8の全域を高不純物濃度とした場合、第1ソース領域8aをp型ベース領域6に接するように形成した場合、ノンドープ層7を備えた本実施形態の構造の場合について、逆導通時の電圧分布を調べた結果を示している。逆導通時の条件としては、ゲート電圧 V_g を20V、ドレインソース間電圧 V_{ds} を-5Vとしている。

[0098] 逆導通時には、基本的には、縦型MOSFETに形成される寄生ダイオードが還流ダイオードとして働き、寄生ダイオードを通じて還流電流が流れる。そして、寄生ダイオードを構成するPN接合のp型層側からn型層側に拡散した正孔とn型層中の電子が再結合する。このとき、再結合エネルギーが大きいために、エピタキシャル膜で構成されたn型層中の基底面転位（以下、BPDという）が拡張してシングルショックレースタッキングフォルト（以下、SSSFという）という積層欠陥になる。BPDは線状欠陥であるために、SiC半導体装置のセル領域内における占有面積が狭く、素子動作に及ぼす影響が殆ど無いが、SSSFになると、積層欠陥となるためにセル領域内における占有面積が広くなり、素子動作に及ぼす影響が大きくなる。このため、逆導通時にも積極的にゲート電圧 V_g を印加してチャネル領域を形成し、チャネル領域を通じても還流電流が流れるようにすれば、還流電流を分散して再結合エネルギーを低減できるため、SSSFの発生を抑制することが可能となる。ただし、チャネル領域を通じての還流電流の流れが発生することから、p型ベース領域6とn型ソース領域8の間において、高い電界が掛かることになり、ホットエレクトロンを生じさせ、ゲート絶縁膜12にダメージを与えるという現象が発生する。

[0099] 具体的には、図9に示すように、p型ベース領域6に接するように全域高濃度としたn型ソース領域8を形成する場合、逆導通時に、PN接合箇所において電位分布が生じ、n型ソース領域8に高い電界が掛かる状態となる。

p型ベース領域6に接するようにn型ソース領域8を形成する場合、n型ソース領域8に掛けられる電界によって、n型ソース領域8のうちp型ベース領域6と接する部分に存在するキャリアが電界によって加速され、ホットエレクトロンとなる。これがゲート絶縁膜12に衝突し、ゲート絶縁膜12にダメージを与えるという課題を発生させる。特に、n型ソース領域8の全域においてn型不純物濃度を高くすると、この課題が顕著になる。

[0100] 一方、ノンドープ層7を備えていなくても、n型ソース領域8に第1ソース領域8aを備える場合、p型ベース領域6と第1ソース領域8aとによってPN接合が構成されることになる。このように、第1ソース領域8aを備える場合、ノンドープ層7を備えていなくても、第1ソース領域8aのn型不純物濃度が比較的低くされていることから、PN接合部に掛かる電界をある程度抑制できる。すなわち、図10に示されるように、図9の場合よりもPN接合部での等電位線の間隔が広くなり、第1ソース領域8aを備えた構造の方が電界をある程度抑制できる。

[0101] しかしながら、ノンドープ層7を形成しない場合には、p型ベース領域6と第1ソース領域8aとによるPN接合部が構成されることから、図9の場合よりも軽減されるものの、ホットエレクトロンが生成されることで、上記課題を発生させ得る。

[0102] これに対して、本実施形態のように、p型ベース領域6と第1ソース領域8aとの間にノンドープ層7を備えると、図11に示すように、ノンドープ層7によって等電位線を受けることができ、n型ソース領域8中の電界を弱めることが可能となる。そして、ノンドープ層7中に電界が発生するものの、ノンドープ層7中に殆どキャリアが存在しない。したがって、ノンドープ層7を備えることにより、逆導通時のホットエレクトロンによるゲート絶縁膜12のダメージを抑制することができる。

[0103] よって、逆導通時に、寄生ダイオードだけでなく積極的にチャネル領域を通じても還流電流が流れるようにすることでSSSFの発生を抑制しつつ、ホットエレクトロンの生成も抑制でき、ゲート絶縁膜12にダメージを与え

ることを抑制できる。

[0104] 次に、本実施形態のS i C半導体装置の製造方法について説明する。本実施形態のS i C半導体装置は、第1実施形態で説明した製造方法に加えて、p型ベース領域6の形成後、n型ソース領域8の形成前に、ノンドープ層7の形成工程を行うことで製造される。

[0105] ノンドープ層7については、p型ベース領域6や第1ソース領域8aの形成に用いるエピタキシャル成長装置を用いて形成される。具体的には、p型ベース領域6を形成したのち、エピタキシャル成長装置内へのp型ドーパントとn型ドーパントの両方のドーパントガスの導入を停止した状態でエピタキシャル成長を連続して行うことでノンドープ層7を形成することができる。このとき、降温過程を行うことなく、p型ベース領域6の形成後に温度を維持したままノンドープ層7の形成を行うようにすると、プロセス時間の短縮化が図れる。さらに、その後の第1ソース領域8aのエピタキシャル成長についても、ノンドープ層7の形成後に降温過程を行うことなく温度を維持したままにすると、よりプロセス時間の短縮化が図れる。

[0106] ノンドープ層7については、任意に膜厚を設定できるが、厚すぎるとオン抵抗 R_{on} が高くなる。このため、 $0.05 \sim 0.2 \mu m$ の厚みとしている。また、ノンドープ層7については、基本的には不純物が存在しないようにするのが好ましいが、キャリア濃度が低くなっていれば良い。特に、p型ベース領域6の形成後に連続してノンドープ層7を形成しようとする、雰囲気中に残留しているp型不純物が導入されたり、大気中に存在している窒素がn型不純物として導入されることもあり得る。このような場合であっても不純物濃度が低ければ良い。また、一方の導電型の不純物が導入され得ることが想定される場合、他方の導電型の不純物を意図的に導入して、両方がドーパされるようにすることで互いに打ち消しあってキャリア濃度が低くなるようにすればよい。例えば、p型不純物とn型不純物の一方のみがドーパされている場合には、不純物濃度が $1.0 \times 10^{16} / cm^3$ 以下とされ、両方がドーパされている場合には、互いに打ち消しあうことでキャリア濃度が1.

$0 \times 10^{16} / \text{cm}^3$ 以下となるようにしている。

[0107] なお、ノンドープ層 7 を形成する場合、p 型連結層 10 の形成の際に、p 型連結層 10 が p 型ベース領域 6 に接続されるようにする必要があるため、ノンドープ層 7 にも p 型不純物が打ち込まれるようにし、この部分も p 型連結層 10 となるようにしている。

[0108] 以上説明したように、本実施形態の SiC 半導体装置では、p 型ベース領域 6 と第 1 ソース領域 8 a との間にノンドープ層 7 を備えるようにしている。このため、ホットエレクトロンの生成を抑制でき、ゲート絶縁膜 12 へのダメージを抑制できるという効果が得られる。

[0109] (第 3 実施形態)

第 3 実施形態について説明する。本実施形態では、第 1、第 2 実施形態における n 型層の膜状態の測定方法について説明する。

[0110] 上記第 1、第 2 実施形態の SiC 半導体装置では、n 型層として、n 型電流分散層 5 や第 1 ソース領域 8 a をエピタキシャル成長させている。これらの n 型層の形成後に、n 型層の膜状態として n 型不純物濃度の測定を行っている。

[0111] しかしながら、n 型層の表面電子状態は、n 型層をエピタキシャル成長させて直ぐには安定化せず、ある程度時間が経過してから安定化するため、n 型不純物濃度の測定の精度を良くするためには、エピタキシャル成長後に所定時間経過するまで待つ必要がある。具体的には、図 12 に示す n 型不純物濃度の測定フローに基づいて、n 型不純物濃度の測定を行うことができる。

[0112] まず、図 12 のステップ S100 に示すように、MOSFET の作成工程を行う。ここでいう MOSFET の作成工程とは、第 1、第 2 実施形態で説明した SiC 半導体装置における縦型 MOSFET の製造工程中の n 型不純物濃度の測定対象となる n 型層（以下、測定対象層という）の形成工程の前までの工程を行うことを意味している。第 1 実施形態を例に挙げると、測定対象層が n 型電流分散層 5 であれば、図 7 B に示す電界ブロック層 4 を形成するまでの工程を行うことである。また、測定対象層が第 1 ソース領域 8 a

であれば、図 7 D の p 型ベース領域 6 を形成するまでの工程を行うことである。

[0113] その後、ステップ S 1 1 0 に示すように、測定対象層のエピタキシャル成長工程を行う。これにより、例えば測定対象となる n 型電流分散層 5 もしくは第 1 ソース領域 8 a がエピタキシャル成長させられる。そして、エピタキシャル成長後に、ステップ S 1 2 0 に示すように、電子安定化工程として、大気雰囲気下において 1 0 時間以上保持する保持工程を行う。その後、ステップ S 1 3 0 に進み、測定対象層の n 型不純物濃度の測定を行う。

[0114] n 型層における n 型不純物濃度の測定については、非接触 C V 濃度評価という手法を用いて行うことができる。これは、図 1 3 のように、n 型層を形成したウェハ 2 0 にコロナ放電で電荷を連続的に塗布して n 型層の表面を帯電させた後、ウェハ 2 0 の上に配置した電位プローブ 2 1 で表面電位を測定することを繰り返し、Q V カーブから n 型不純物濃度を測定する手法である。この手法を用いて、エピタキシャル成長後の測定対象層の n 型不純物濃度を測定することができる。

[0115] ただし、エピタキシャル成長の直後には、測定対象層となる n 型層の表面電子状態が安定しておらず、精度良く n 型不純物濃度を測定できないことが確認された。具体的に、非接触 C V 濃度評価の手法を用いて、n 型層のエピタキシャル成長後の経過時間と n 型不純物濃度との関係について調べた。図 1 4 は、その結果を示している。

[0116] 図 1 4 に示すように、n 型層のエピタキシャル成長後に、大気雰囲気に曝しただけの状態の場合、経過時間に伴って徐々に n 型不純物濃度が低下していく。そして、経過時間が 1 0 時間以上、好ましくは 1 8 時間以上、例えば 2 4 時間程度に達すると、ほぼ n 型不純物濃度が一定に安定した。なお、時間経過に対する n 型不純物濃度の変化について複数回調べているが、その度に非接触 C V 濃度評価を行うことになることから、その影響が懸念される。このため、非接触 C V 濃度評価による測定を、n 型層を形成してから 2 4 時間経過後に 1 回目として実施した場合や 3 0 時間経過後に 2 回目として実施

した場合のn型不純物濃度についても確認したが、複数回行った場合と同程度の値になっていた。したがって、n型不純物濃度の変化の仕方は、非接触C V濃度評価の実施の影響は受けないと言える。

[0117] このように、エピタキシャル成長の直後には、測定対象層となるn型層の表面電子状態が安定しておらず、n型不純物濃度が高く出てしまうため、精度良くn型不純物濃度を測定することができない。これに対して、大気雰囲気下において10時間以上保持すれば、測定対象層となるn型層の表面電子状態が安定し、精度良くn型不純物濃度を測定できる。

[0118] 以上のように、非接触C V濃度評価によって測定対象層のn型不純物濃度を測定しつつ、エピタキシャル成長させた直後に測定を行うのではなく、電子安定化工程として、大気雰囲気下において10時間以上保持する保持工程を行ってから測定を行うようにしている。これにより、精度良くn型不純物濃度を測定することが可能となる。

[0119] ただし、保持工程を行ってから測定対象層のn型不純物濃度を測定する場合、製造プロセスの長時間化を招くことになり、ひいては製造コストを増大させることになる。

[0120] そこで、本発明者らは、n型層の膜状態の測定に要する時間の短時間化することについて鋭意検討を行った。その結果、n型層のエピタキシャル成長後に表面を酸洗浄することで、n型不純物濃度の状態がエピタキシャル成長後に10時間以上大気雰囲気下に曝した場合と同様に安定化することを見出した。図14中に、エピタキシャル成長後に保持工程を行うことなく酸洗浄を行って非接触C V濃度評価を行った場合の結果についても示した。

[0121] n型層のエピタキシャル成長後に、直ぐに酸洗浄を行った場合のn型不純物濃度について確認してみると、図13の白抜き四角形で示すように、大気雰囲気下に24時間以上曝していた場合と同等の値になっていることが判る。酸洗浄としては、SC-2（塩酸過酸化水素水溶液）、SPM（硫酸過酸化水素水溶液）、オゾン洗浄などを適用することができる。酸洗浄を行った場合、SiC表面に酸化膜が形成されることもあるが、酸化膜の有無について

は任意である。具体的に、酸化膜の有無の影響を調べるべく、 n 型層のエピタキシャル成長後に酸洗浄を行って n 型不純物濃度を調べた場合と、さらにその後に HF 処理を行ってから再度 n 型不純物濃度を調べた場合とで、 n 型不純物濃度の変化を調べた。その結果、図15に示すように、1回目に調べた n 型不純物濃度と2回目に調べた n 型不純物濃度とで変化は無かった。このことから、 SiC での非接触 CV 濃度評価において、酸化膜の有無は任意であり、酸化膜の有無に影響されずに n 型不純物濃度を測定することができることが判る。なお、 HF 処理については、仮に酸化膜が形成されていた場合でも、それを除去できるように実施したが、はじめから酸化膜が形成されていなくても、非接触 CV 濃度評価に基づいて n 型不純物濃度を測定することは可能である。

[0122] このように、 n 型層のエピタキシャル成長後に酸洗浄を行うことで、経過時間が短かったとしても、 n 型不純物濃度の変化が安定化した後の値を測定することが可能となる。したがって、 n 型電流分散層5や第1ソース領域8aをエピタキシャル成長させた後、直ぐであっても、酸洗浄を行ってから n 型不純物濃度を測定することで、精度良い測定が可能となる。なお、このような酸洗浄を行う場合には、上記した図12に代えて、図16に示す測定フローに基づいて n 型不純物濃度の測定を行うことになる。すなわち、ステップS200、S210において、図12のステップS100、S110と同様の工程を行ったのち、ステップS220において、電子安定化工程として酸洗浄工程を行う。その後、ステップS230において、図12のステップS130と同様の手法によって測定対象層の n 型不純物濃度を測定する。このときの n 型不純物濃度の測定を開始する時間、つまり酸洗浄工程を完了してから経過時間については任意であるため、経過時間が短かったとしても構わない。

[0123] (第4実施形態)

第4実施形態について説明する。上記第3実施形態では、 n 型層として、 n 型電流分散層5や第1ソース領域8aを例に挙げて説明したが、エピタキ

シャル成長後に n 型不純物濃度を測定する場合について、どのような n 型層に対しても適用できる。ここでは、 n^+ 型基板1の主表面上に n^- 型層2をエピタキシャル成長させたのちに、 n^- 型層2の n 型不純物濃度を測定する場合について説明する。

[0124] n^- 型層2の n 型不純物濃度を測定する場合には、図17に示す n 型不純物濃度の測定フローに基づいて、 n 型不純物濃度の測定を行うことができる。

[0125] まず、図17のステップS300に示すように、SiCバルク基板、すなわち n^+ 型基板1を用意する。続いて、ステップS310に示すように、 n^+ 型基板1の主表面上に n^- 型層2をエピタキシャル成長させる。そして、ステップS320、S330において、図16のステップS220、S230と同様に酸洗浄工程を経ってから n 型不純物濃度を測定する工程を行う。

[0126] このようにすれば、 n^+ 型基板1の主表面上に n^- 型層2をエピタキシャル成長させたのちに、 n^- 型層2の n 型不純物濃度を測定したい場合にも、酸洗浄を行うことで、エピタキシャル成長後の経過時間にかかわらず精度良く n 型不純物濃度を測定できる。

[0127] (他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0128] (1) 例えば、上記実施形態において、JFET部3および電界ブロック層4を備えると共に n 型電流分散層5を備え、JFET部3や n 型電流分散層5がドリフト層の一部を構成する構造としている。しかしながら、これは縦型MOSFETの構成の一例を挙げたに過ぎず、JFET部3および電界ブロック層4を備えない構造、 n 型電流分散層5を備えない構造、もしくは、これら両方を備えない構造としても良い。

[0129] (2) また、上記実施形態で示したSiC半導体装置を構成する各部の不

純物濃度や厚み、幅等の各種寸法については一例を示したに過ぎない。例えば、第1領域10aが第1ソース領域8aよりも深い位置まで形成されていたり、第2領域10bが第2ソース領域8bよりも深い位置まで形成されていたりしても良い。

[0130] (3) また、上記実施形態では、p型ディープ層9とp型連結層10を別々に構成したが、これらを同じp型層によって構成しても良い。例えば、n型ソース領域8の表面からノンドープ層7やp型ベース領域6およびn型電流分散層5を貫通して電界ブロック層4に達するディープトレンチを形成し、このディープトレンチ内に埋め込まれるようにp型層を形成する。または、n型ソース領域8の表面からp型不純物をイオン注入し、ノンドープ層7やp型ベース領域6およびn型電流分散層5から電界ブロック層4に達するp型層を形成する。これらのようにすれば、p型層によってp型ディープ層9とp型連結層10を構成することが可能となる。

[0131] (4) また、上記実施形態では、n型ソース領域8を不純物濃度が異なる2つの領域、つまり第1ソース領域8aと第2ソース領域8bとに区画する構造について説明したが、これらが明確に区画された構造でなくても良い。すなわち、n型ソース領域8のうちのp型ベース領域6側がソース電極15に接触させられる表面側よりも低不純物濃度で、かつ、表面側がソース電極15に対してオーミック接触させられる高不純物濃度とされていれば良い。換言すれば、第1ソース領域8aや第2ソース領域8bがソース電極15側に向かって徐々に不純物濃度が高くなるように濃度勾配があっても良い。

[0132] (5) また、上記第3、第4実施形態では、エピタキシャル成長後にn型不純物濃度を測定するものとして、n型電流分散層5や第1ソース領域8a、さらにはn型層2を例に挙げて説明した。

[0133] 具体的には、第3実施形態では、前にSiCバルク基板の上にエピタキシャル成長層を形成した後にイオン注入工程を行い、その後に、測定対象層となるn型電流分散層5や第1ソース領域8aなどのn型層を形成するようにする場合を示している。このように、下層に形成したエピタキシャル成長層

に対してイオン注入を行ったから測定対象層となるS i C層のエピタキシャル成長を行うような場合に、上記した非接触C V濃度評価によるn型不純物濃度の測定を行うことができる。

[0134] また、第4実施形態では、S i Cバルク基板の上に測定対象層のS i C層となるn⁻型層2をエピタキシャル成長層を形成した場合を示している。このように、S i Cバルク基板に対して直接測定対象層のエピタキシャル成長を行うような場合にも、上記した非接触C V濃度評価によるn型不純物濃度の測定を行うことができる。

[0135] (6) また、上記実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプの縦型MOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプの縦型MOSFETとしても良い。また、上記説明では、半導体素子として縦型MOSFETを例に挙げて説明したが、同様の構造のIGBTに対しても本開示を適用することができる。nチャネルタイプのIGBTの場合、上記各実施形態に対してn⁺型基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

請求の範囲

[請求項1]

反転型の半導体素子を備えている炭化珪素半導体装置であって、
炭化珪素からなる第1または第2導電型の基板（1）と、
前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層（2、3、5）と、
前記ドリフト層の上に形成された第2導電型の炭化珪素からなるベース領域（6）と、
前記ベース領域の上に形成され、前記ドリフト層よりも第1導電型不純物濃度が高くされた第1導電型の炭化珪素からなるソース領域（8）と、
前記ソース領域の表面から前記ベース領域よりも深く形成されたゲートトレンチ（11）内に、該ゲートトレンチの内壁面を覆うゲート絶縁膜（12）と該ゲート絶縁膜の上に配置されたゲート電極（13）とを備えて構成され、一方向を長手方向として複数本がストライプ状に並べられたトレンチゲート構造と、
前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜（14）と、
前記コンタクトホールを通じて、前記ソース領域にオーミック接触させられたソース電極（15）と、
前記基板の裏面側に形成されたドレイン電極（16）と、を含む前記半導体素子を備え、
前記ソース領域は、前記ベース領域側に形成されたエピタキシャル成長層によって構成されている第1ソース領域（8a）と、前記ソース電極に接すると共に前記第1ソース領域よりも第1導電型不純物濃度が高くされたイオン注入層によって構成されている第2ソース領域（8b）と、を有している炭化珪素半導体装置。

[請求項2]

前記第1ソース領域は、厚さが $0.2 \sim 0.5 \mu\text{m}$ とされ、不純物濃度が $2.0 \times 10^{16} \sim 1.0 \times 10^{17} / \text{cm}^3$ とされ、

前記第2ソース領域は、厚さが $0.1\ \mu\text{m}$ 以上とされていると共に、第2導電型不純物濃度が $1.0 \times 10^{18} \sim 5.0 \times 10^{19} / \text{cm}^3$ とされている請求項1に記載の炭化珪素半導体装置。

[請求項3] 前記ベース領域と前記ソース領域との間には、厚さが $0.05 \sim 0.2\ \mu\text{m}$ とされ、キャリア濃度が $1.0 \times 10^{16} / \text{cm}^3$ 以下とされたノンドープ層(7)が備えられている請求項1または2に記載の炭化珪素半導体装置。

[請求項4] 前記ゲートトレンチは、前記第2ソース領域と対応する部分において丸みを有して傾斜している請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

[請求項5] 反転型の半導体素子を備えた炭化珪素半導体装置の製造方法であって、

炭化珪素からなる第1または第2導電型の基板(1)を用意することと、

前記基板の上に、前記基板よりも低不純物濃度の第1導電型の炭化珪素からなるドリフト層(2、3、5)を形成することと、

前記ドリフト層の上に、第2導電型の炭化珪素からなるベース領域(6)を形成することと、

前記ベース領域の上に、前記ドリフト層よりも第1導電型不純物濃度が高くされた第1導電型の炭化珪素からなり、前記ベース領域側に配置される第1ソース領域(8a)と該第1ソース領域の上に該第1ソース領域よりも高不純物濃度とされた第2ソース領域(8b)とを有するソース領域(8)を形成することと、

前記ソース領域の表面から前記ベース領域よりも深いゲートトレンチ(11)を、一方向を長手方向としてストライプ状に複数本形成したのち、前記ゲートトレンチの内壁面にゲート絶縁膜(12)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(13)を形成することでトレンチゲート構造を形成することと、

前記ソース領域に電氣的に接続されるソース電極（１５）を形成することと、

前記基板の裏面側にドレイン電極（１６）を形成することと、を含み、

前記ベース領域を形成することでは、前記ベース領域をエピタキシャル成長によって形成し、

前記ソース領域を形成することでは、前記第１ソース領域をエピタキシャル成長によって形成したのち、前記第１ソース領域に対して第１導電型不純物をイオン注入することで前記第２ソース領域を形成する炭化珪素半導体装置の製造方法。

[請求項6] 前記ベース領域を形成すること、および、前記ソース領域を形成することの間に、炭化珪素で構成されるノンドープ層（７）を形成することを含んでいる請求項５に記載の炭化珪素半導体装置の製造方法。

[請求項7] 前記ベース領域を形成することと前記ノンドープ層を形成することとは、同じエピタキシャル成長装置内において、温度を維持したまま連続的に行われる請求項６に記載の炭化珪素半導体装置の製造方法。

[請求項8] 前記ベース領域を形成することから前記第１ソース領域を形成することまでは、同じエピタキシャル成長装置内において、温度を維持したまま連続的に行われる請求項６または７に記載の炭化珪素半導体装置の製造方法。

[請求項9] 測定対象層となるｎ型の炭化珪素層（２、５、８a）をエピタキシャル成長させることと、

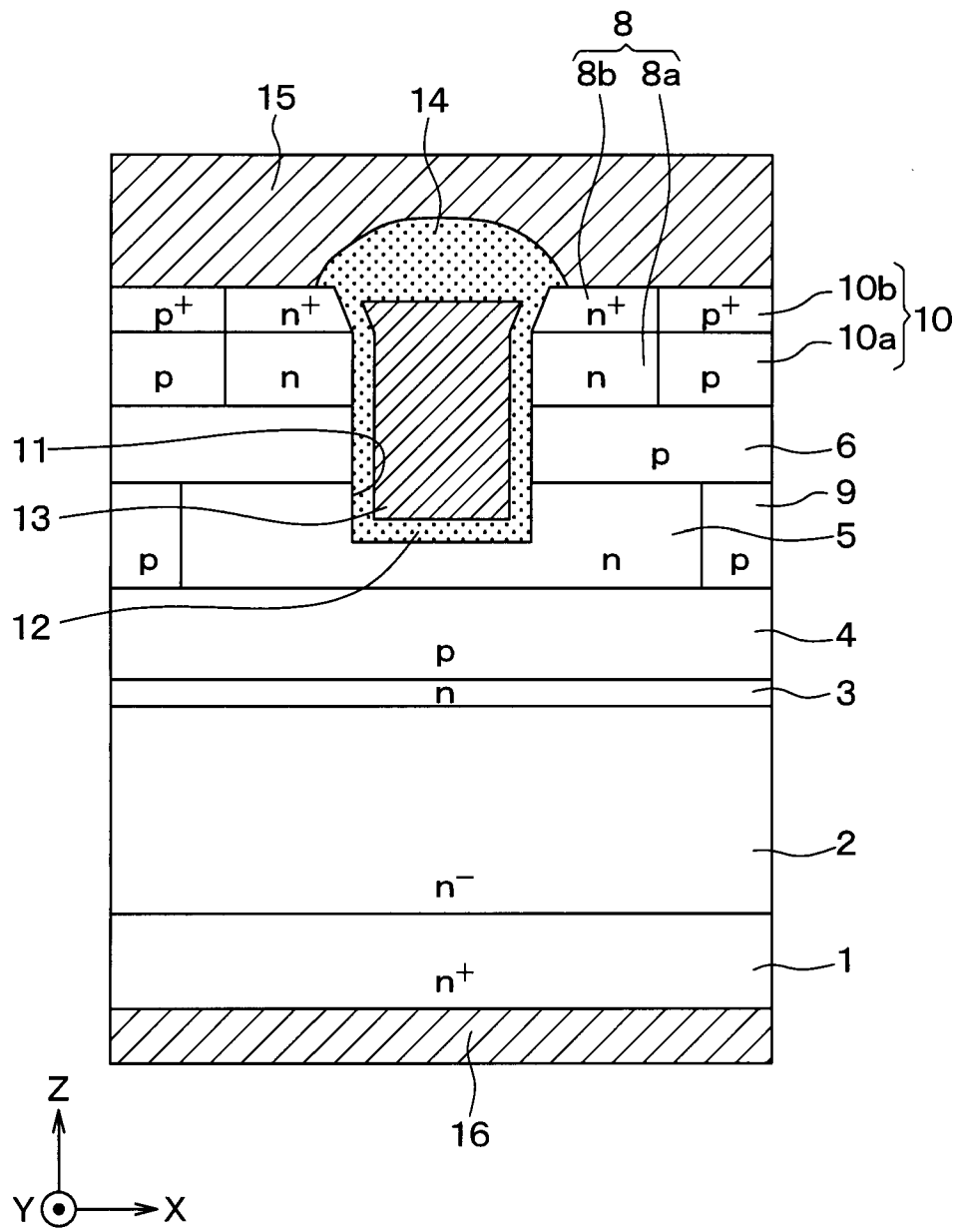
前記炭化珪素層をエピタキシャル成長させたのちに、前記炭化珪素層の表面電子を安定化させることと、

前記表面電子の安定化後に、電荷を塗布して前記炭化珪素層の表面を帯電させたのち、前記炭化珪素層の表面電位を測定することによって該炭化珪素層のｎ型不純物濃度を測定することと、を含む炭化珪素半導体装置の製造方法。

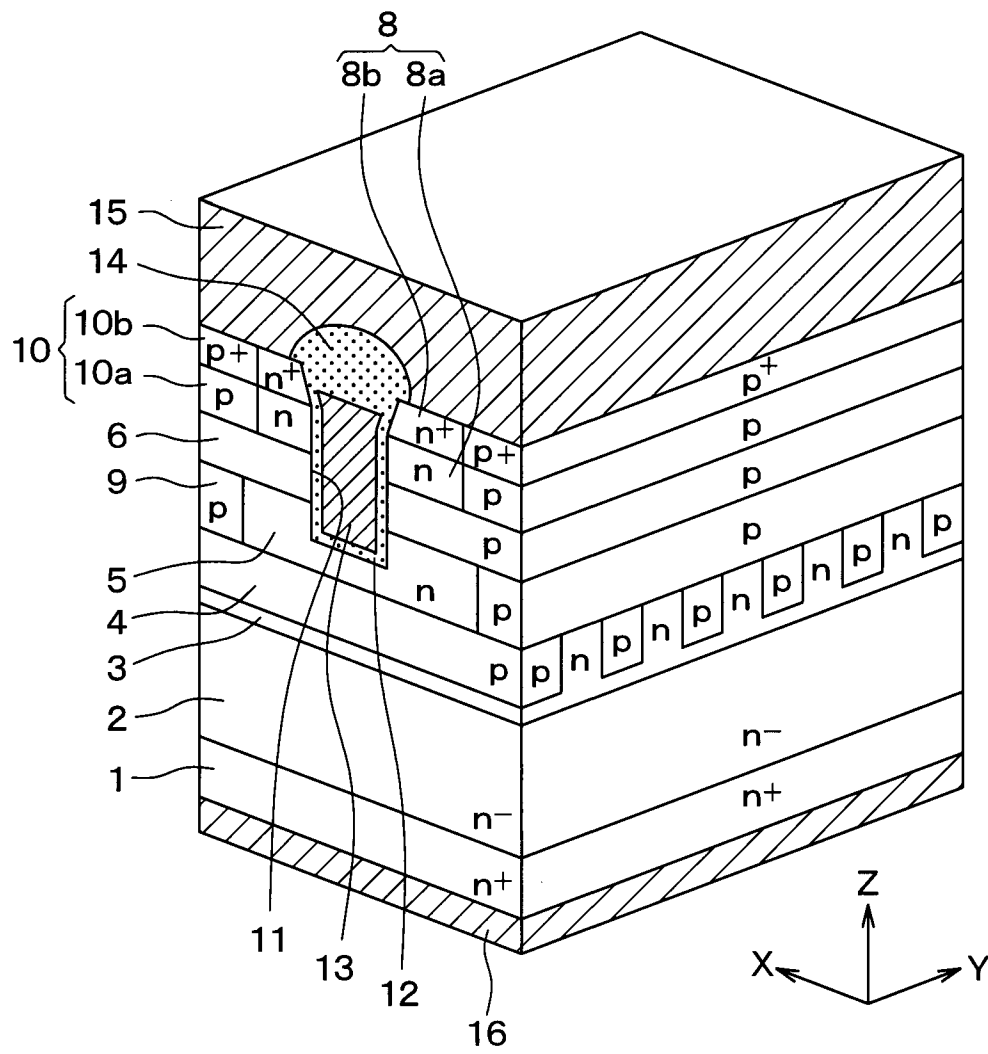
- [請求項10] 前記炭化珪素層の表面電子を安定化させることは、前記炭化珪素層を形成したのち、大気雰囲気下において10時間以上保持することである、請求項9に記載の炭化珪素半導体装置の製造方法。
- [請求項11] 前記炭化珪素層の表面電子を安定化させることは、前記炭化珪素層を形成したのち、該炭化珪素層の表面を酸洗浄することである、請求項9に記載の炭化珪素半導体装置の製造方法。
- [請求項12] 前記酸洗浄することは、塩酸過酸化水素水溶液、硫酸過酸化水素水溶液、オゾン洗浄のいずれか1つを用いた洗浄である、請求項11に記載の炭化珪素半導体装置の製造方法。
- [請求項13] 炭化珪素バルク基板（1）の上に、n型層（2）をエピタキシャル成長させることを含み、
前記炭化珪素層の表面電子を安定化させることは、前記n型層を前記炭化珪素層として、該n型層の表面電子を安定化させることであり、
前記n型不純物濃度を測定することは、前記n型層のn型不純物濃度を測定することである、請求項9ないし12のいずれか1つに記載の炭化珪素半導体装置の製造方法。
- [請求項14] 炭化珪素バルク基板（1）の上に、エピタキシャル成長層（3）を形成することと、
前記エピタキシャル成長層に対して不純物のイオン注入を行って不純物層（4）を形成することと、
前記エピタキシャル成長層および前記不純物層の上に、n型層（8a）をエピタキシャル成長させることを含み、
前記炭化珪素層の表面電子を安定化させることは、前記n型層を前記炭化珪素層として、該n型層の表面電子を安定化させることであり、
前記n型不純物濃度を測定することは、前記n型層のn型不純物濃度を測定することである、請求項9ないし12のいずれか1つに記載

の炭化珪素半導体装置の製造方法。

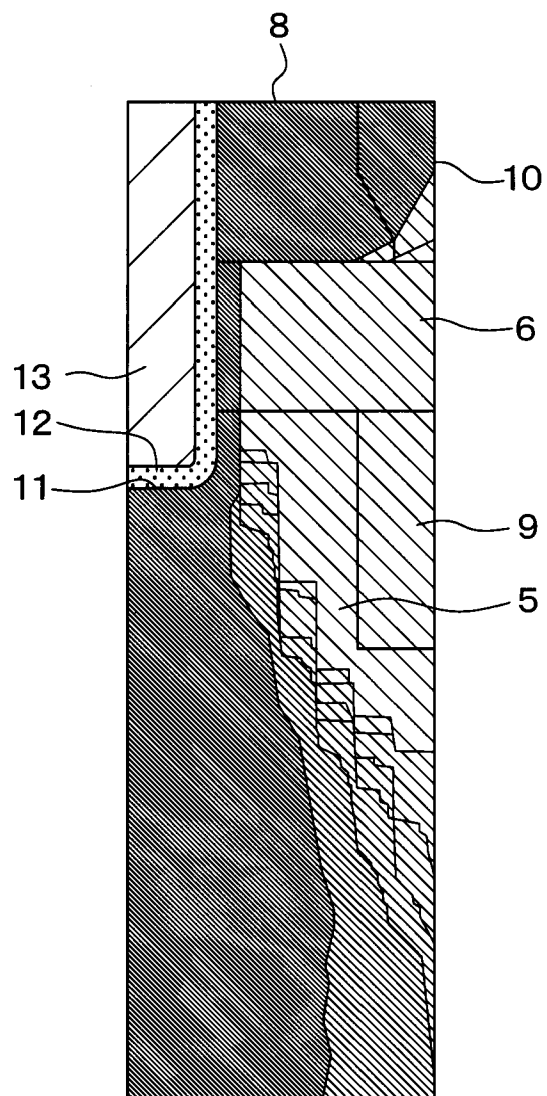
[図1]



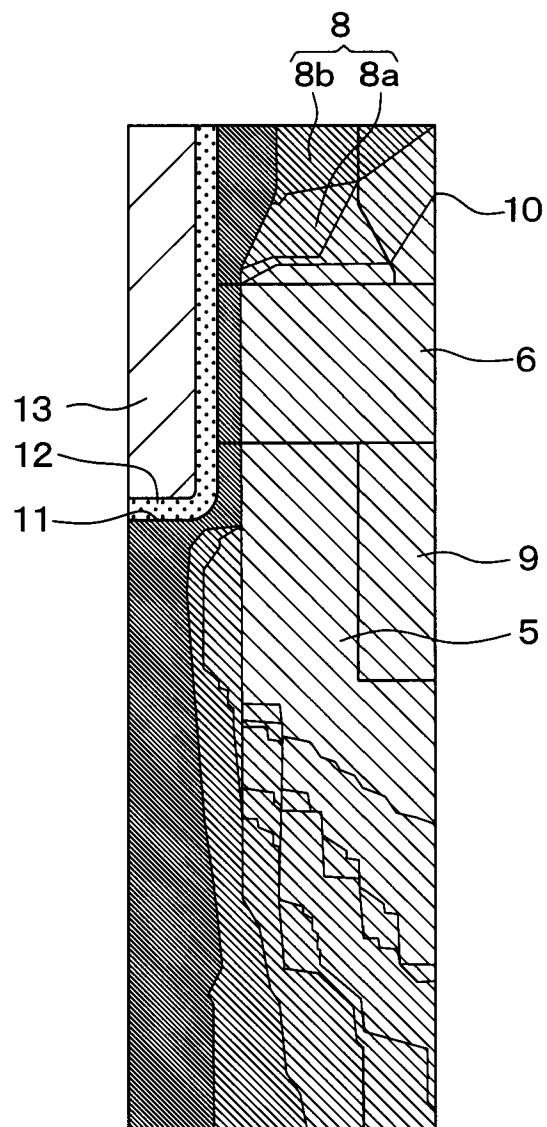
[図2]



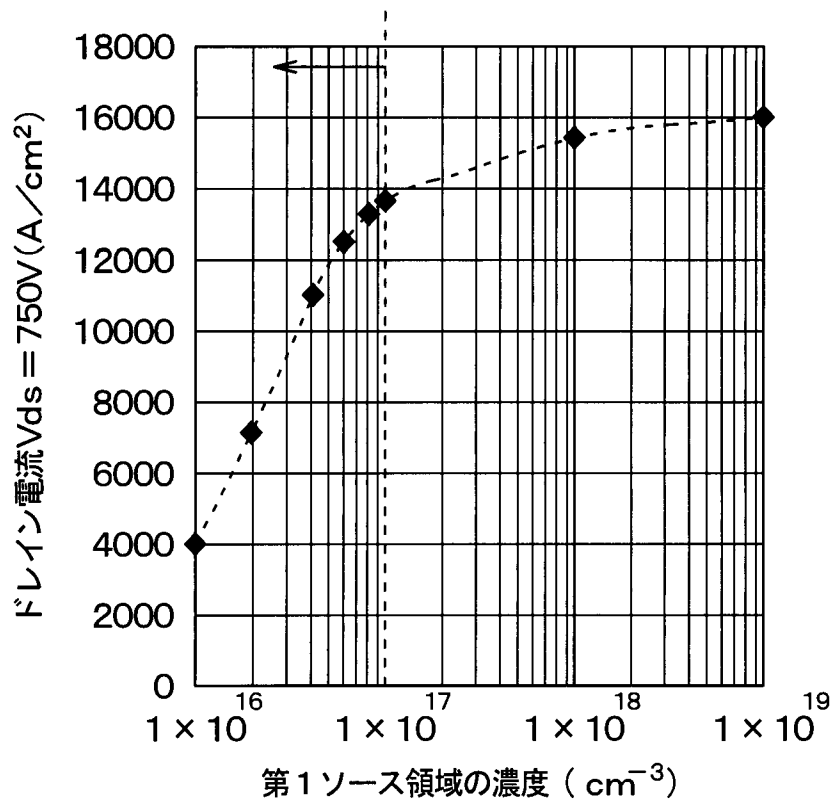
[図3]



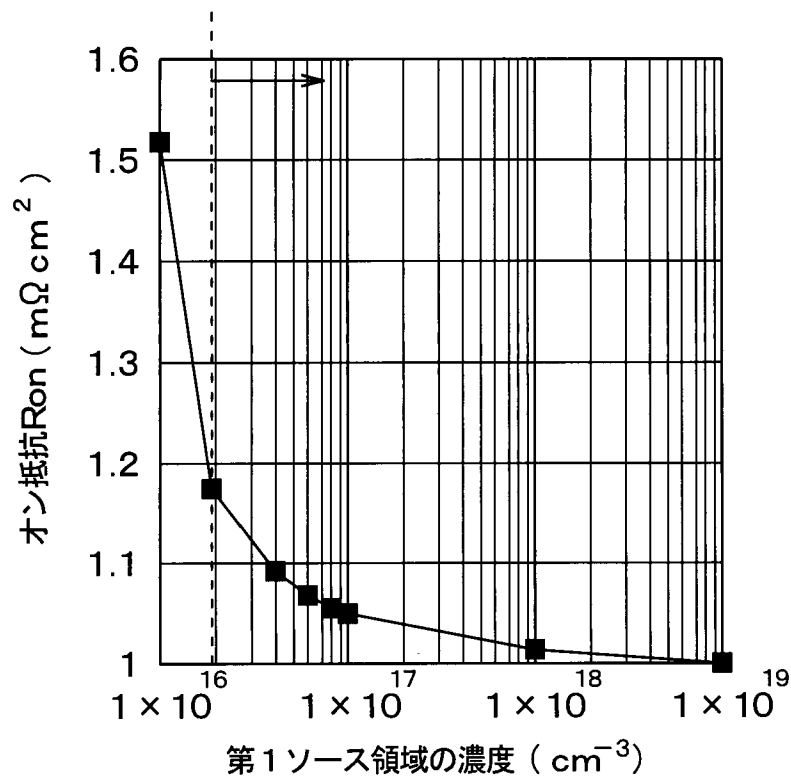
[図4]



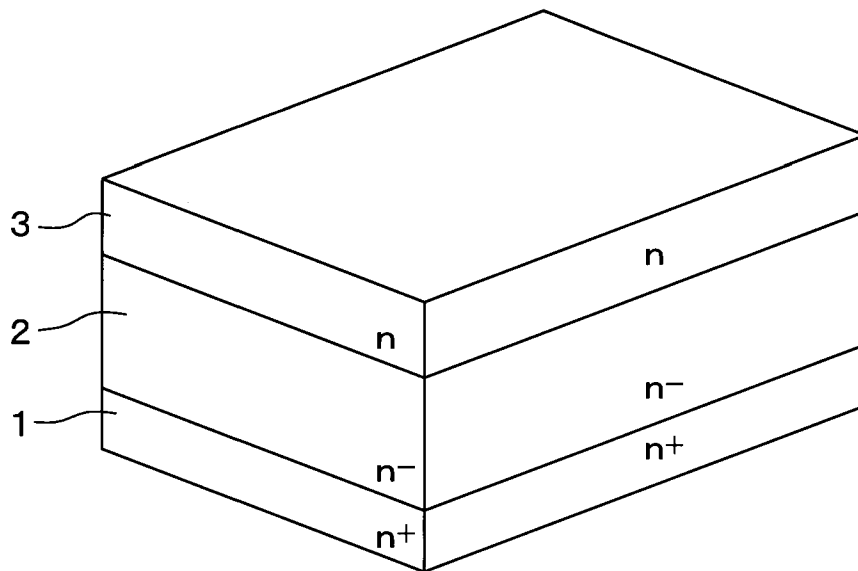
[図5]



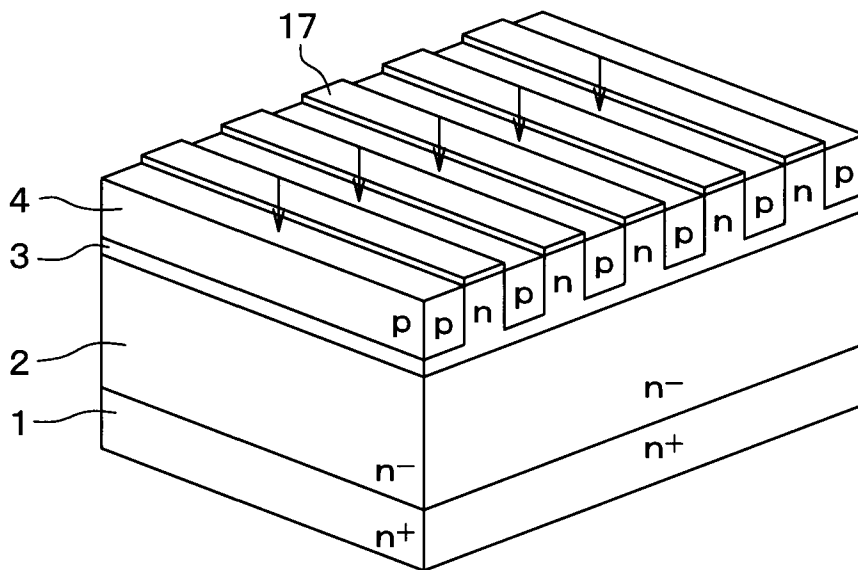
[図6]



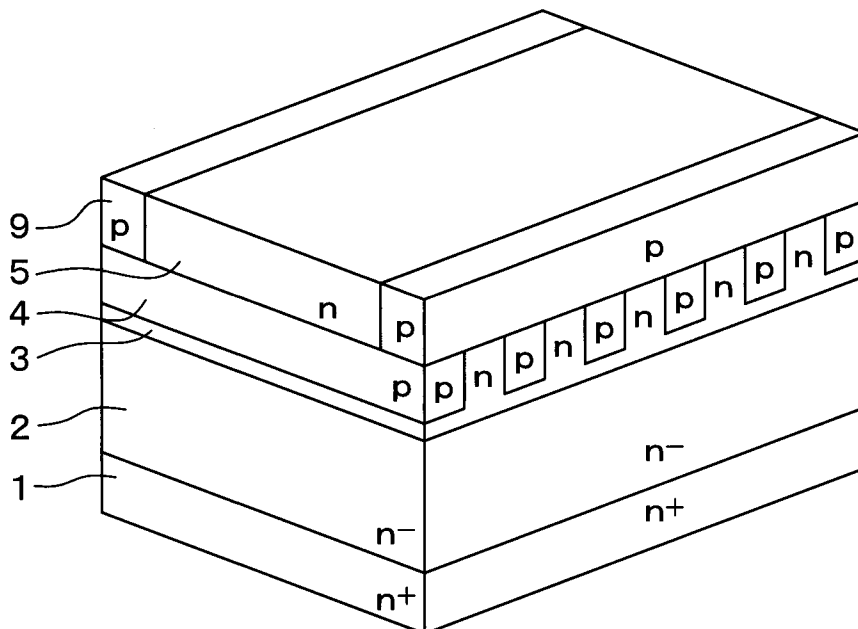
[図7A]



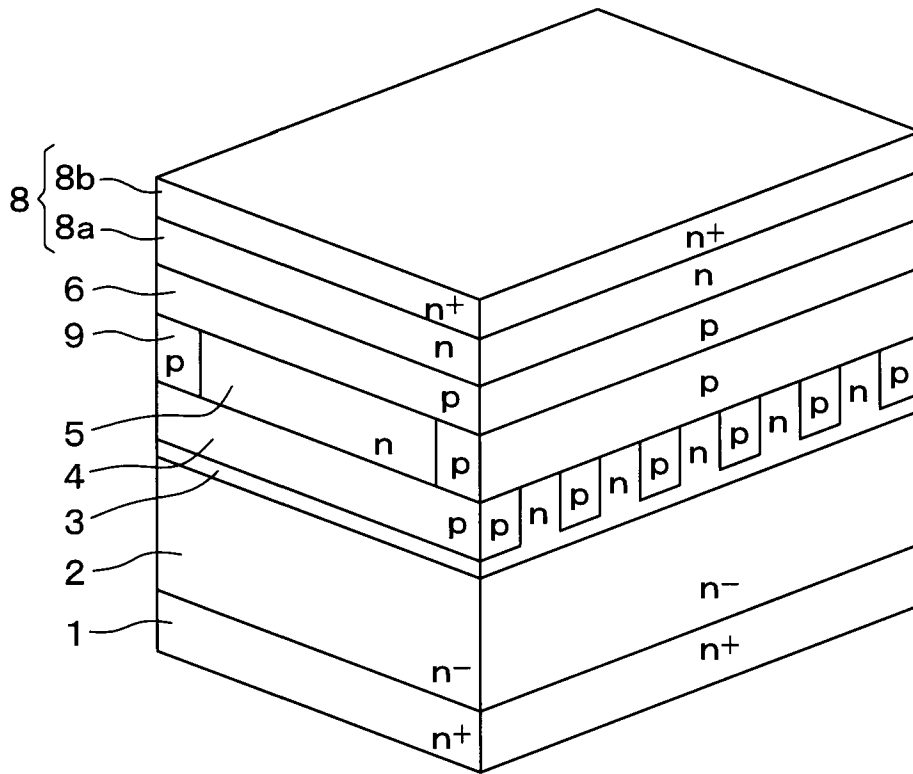
[図7B]



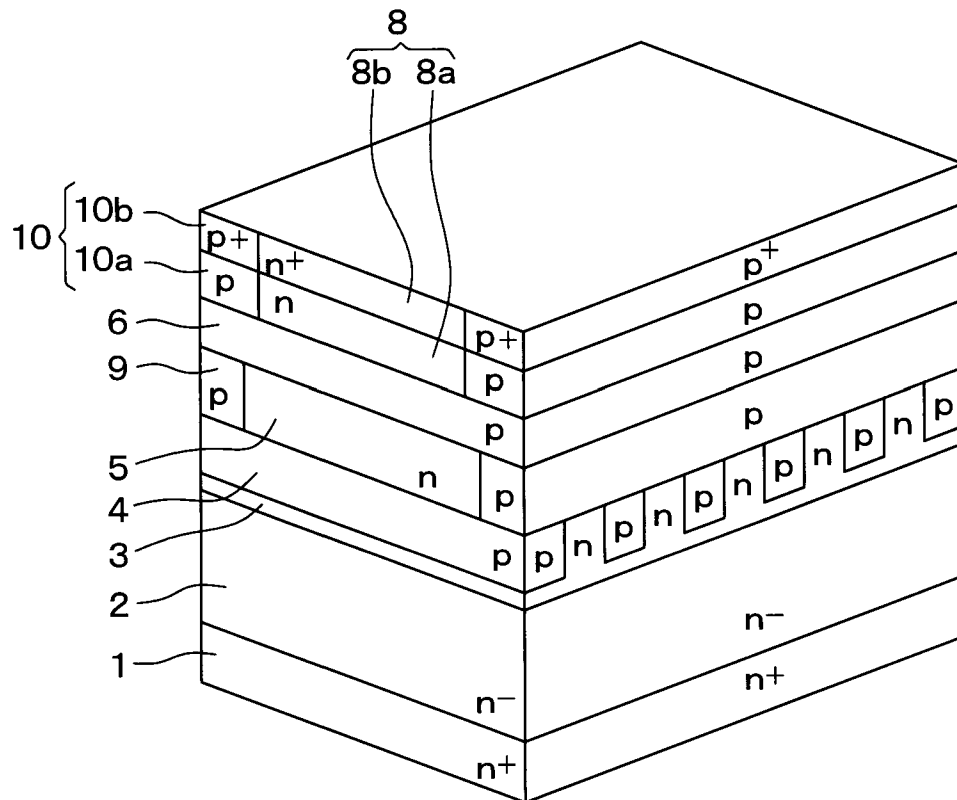
[図7C]



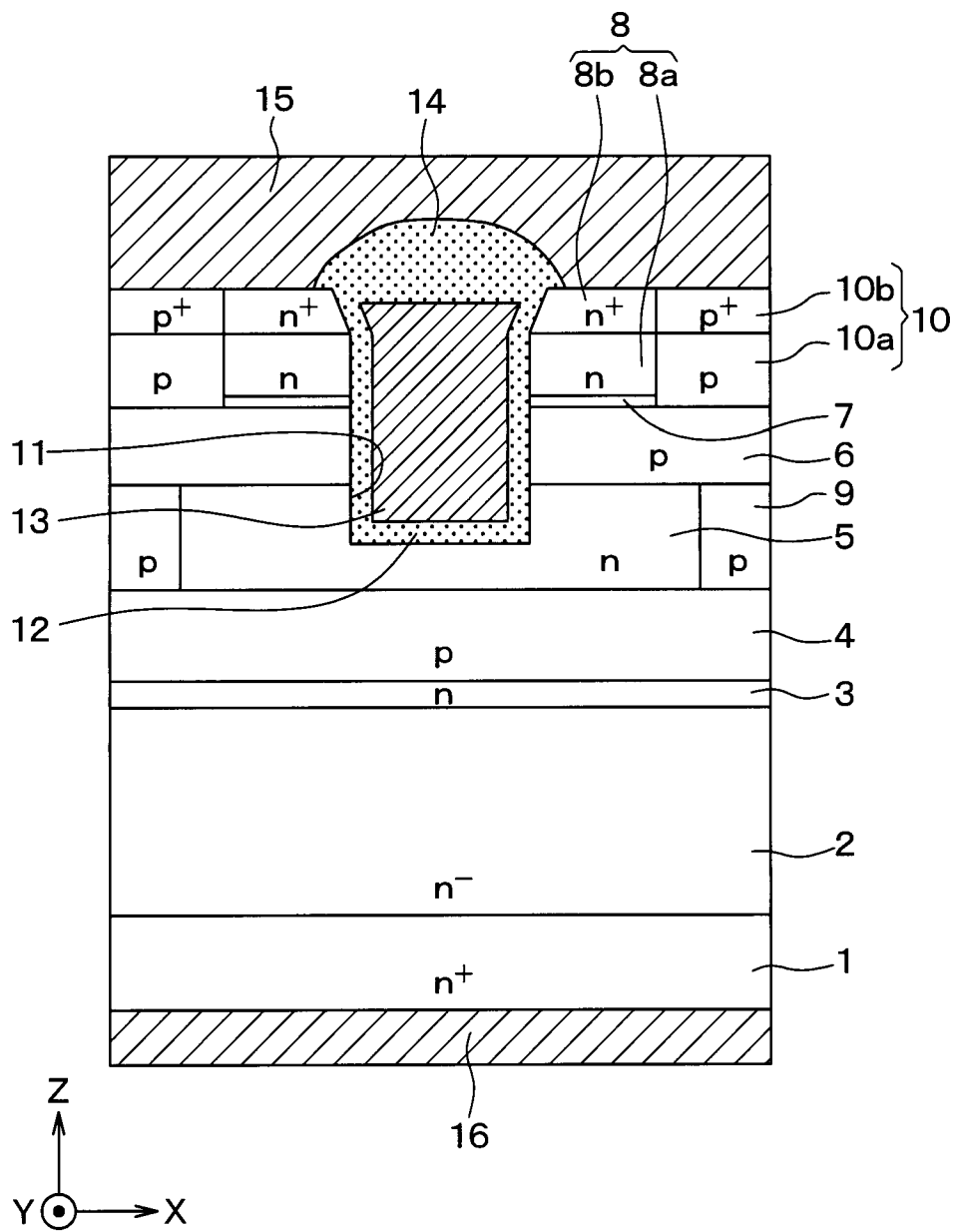
[図7D]



[図7E]

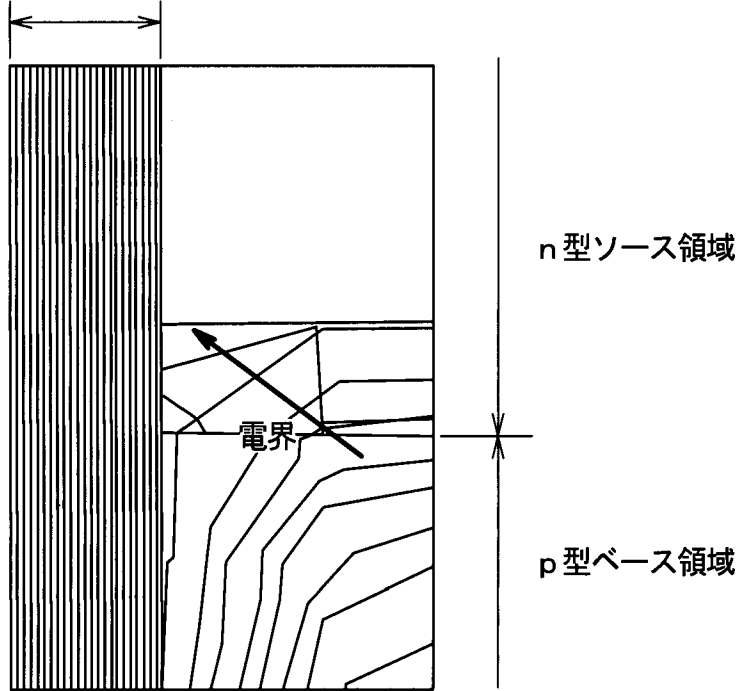


[図8]



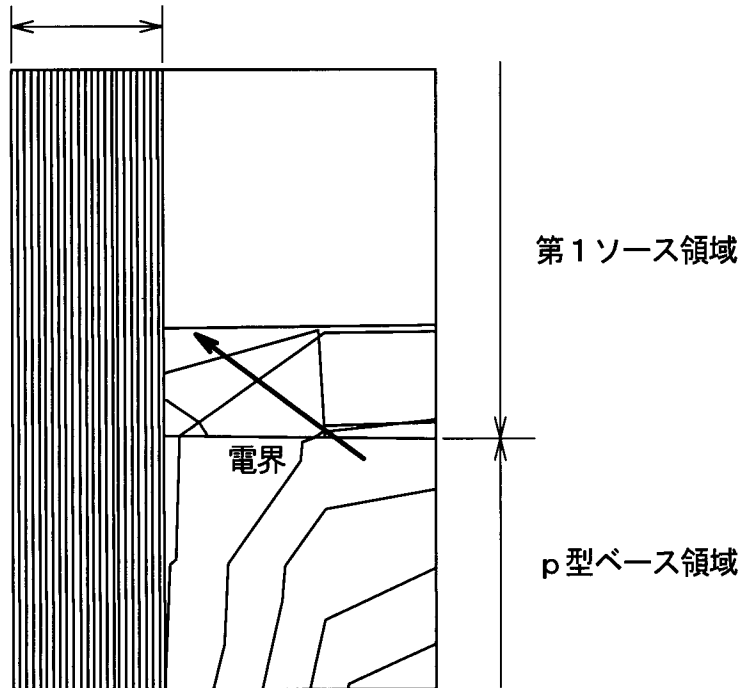
[図9]

ゲート絶縁膜

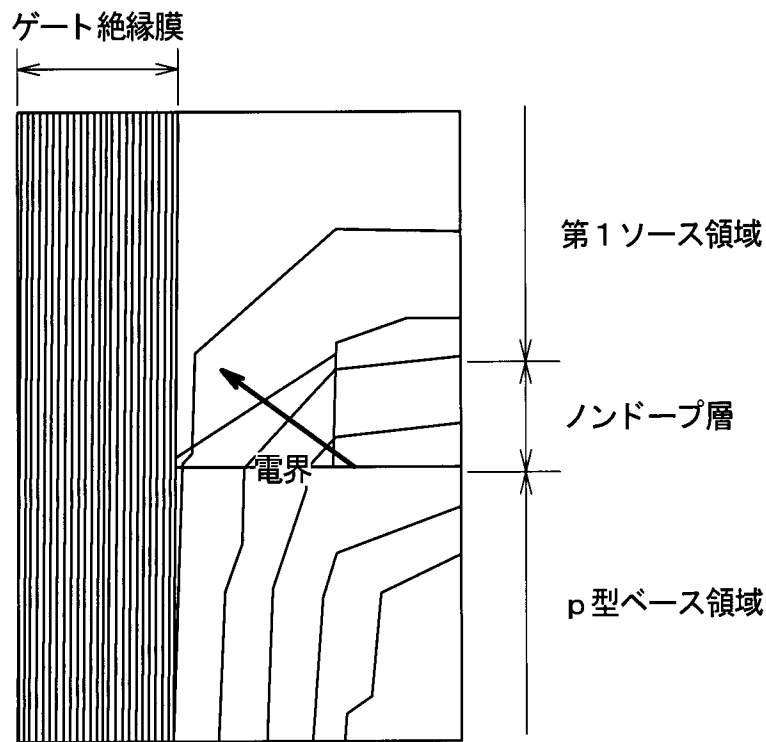


[図10]

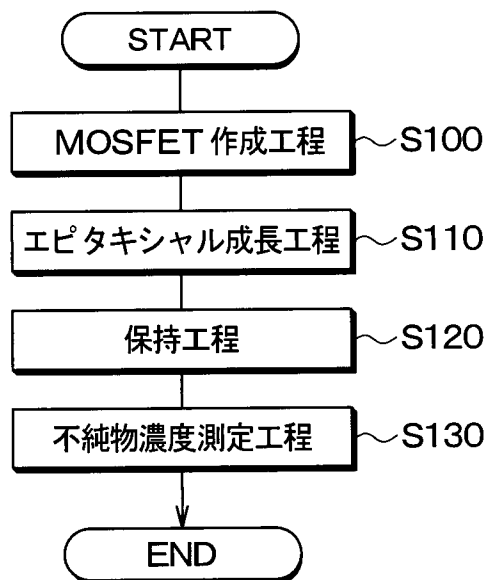
ゲート絶縁膜



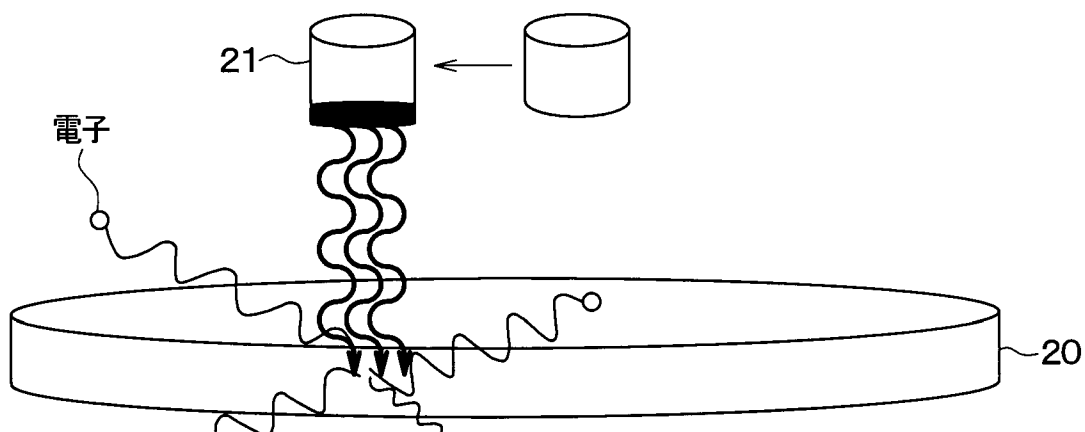
[図11]



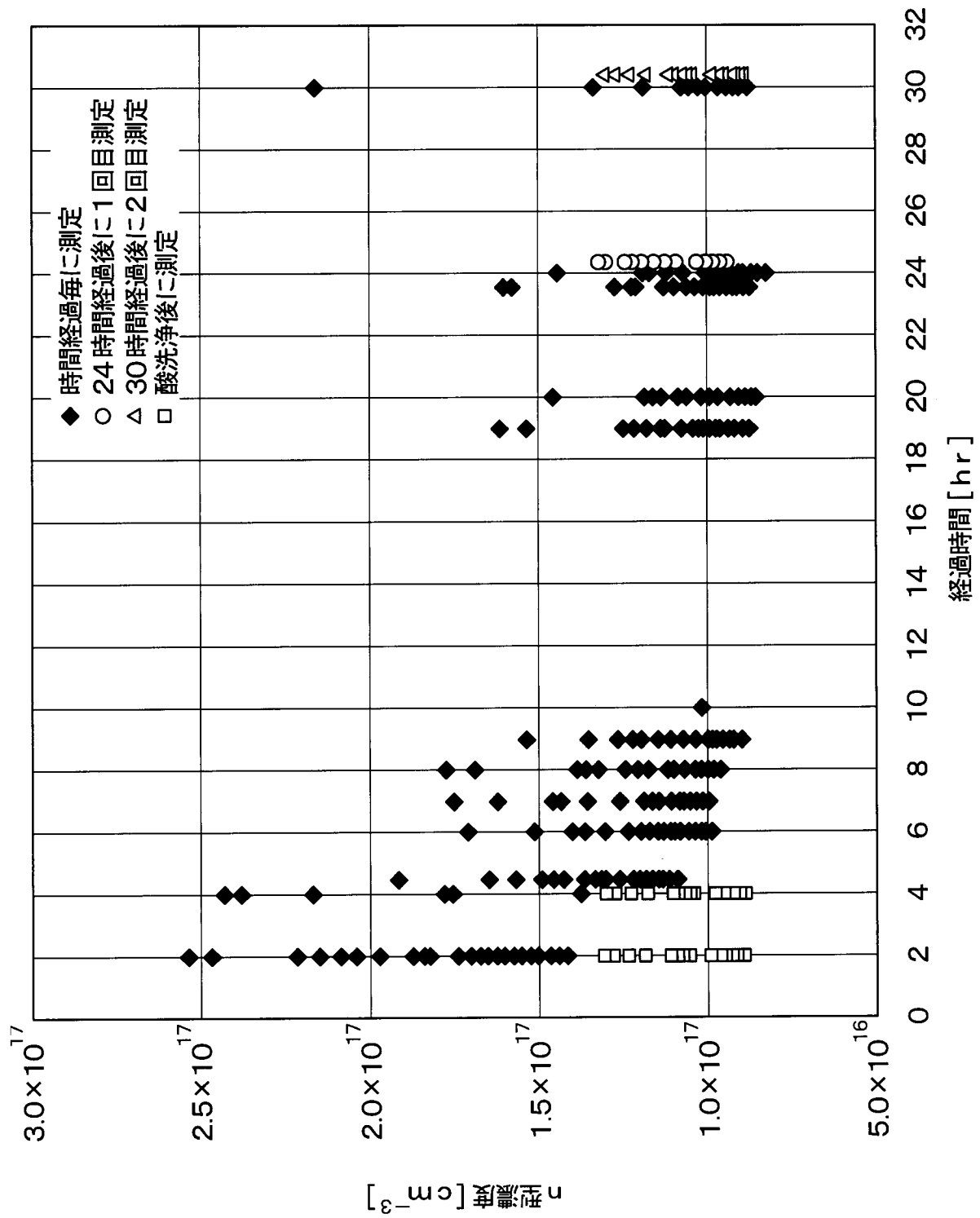
[図12]



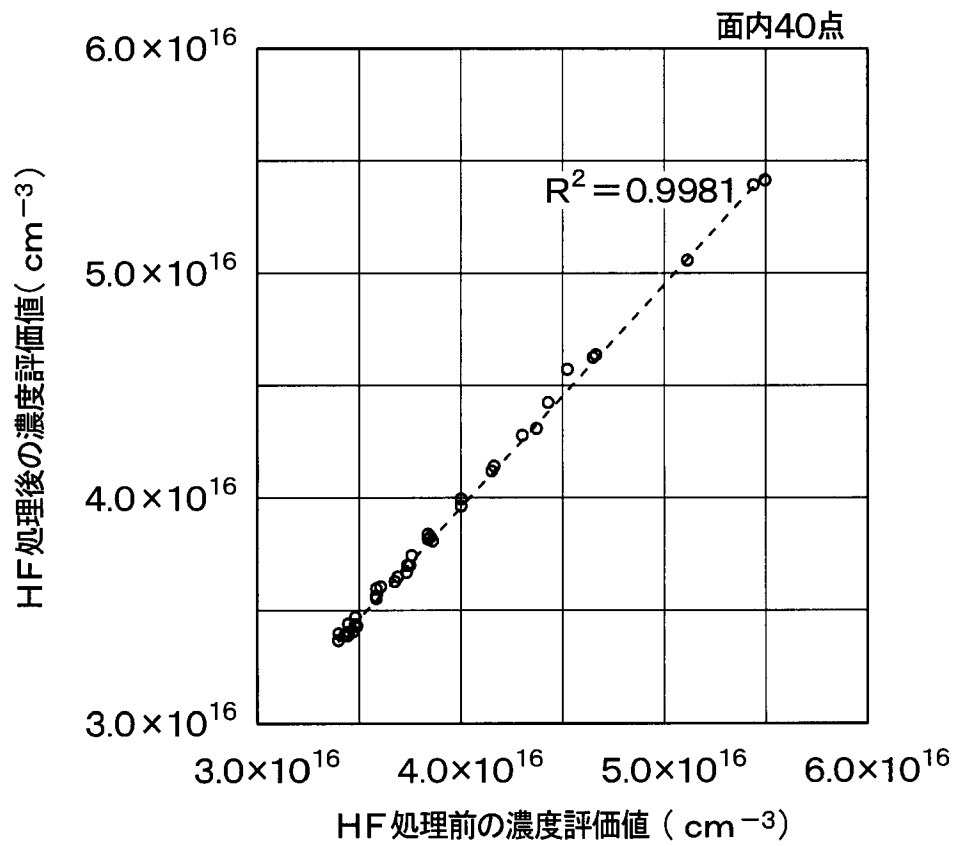
[図13]



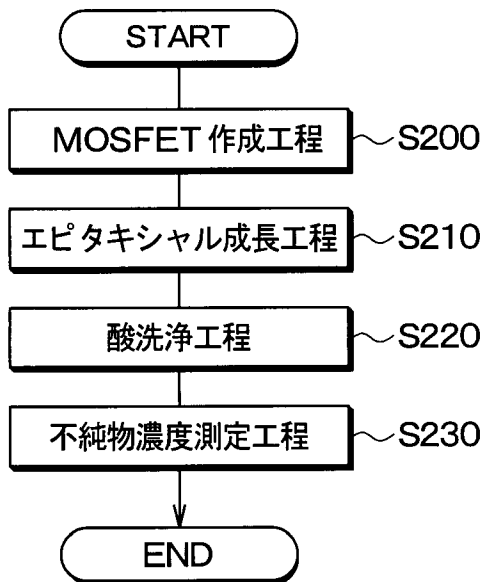
[図14]



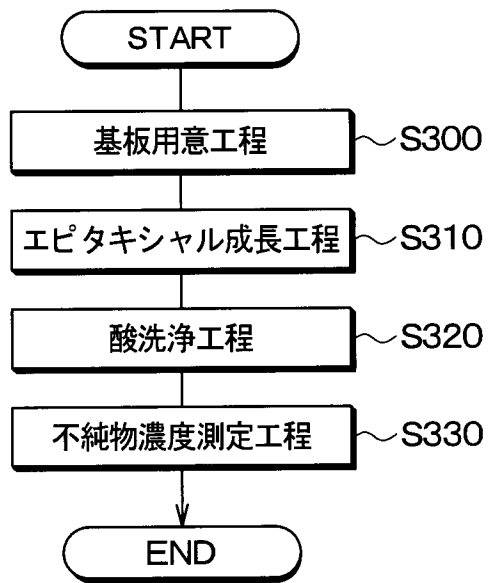
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005592

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i

FI: H01L29/78 652T; H01L29/78 653C; H01L29/78 652B; H01L29/78 652H;
H01L29/78 658E; H01L29/78 658A; H01L29/78 652C; H01L29/78 652K;
H01L21/28 301B; H01L21/28 301S

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28; H01L29/78; H01L29/12; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/172079 A1 (MITSUBISHI ELECTRIC CORP.) 21.11.2013 (2013-11-21) paragraphs [0132]-[0151], fig. 40-46	1, 4-8
A	paragraphs [0132]-[0151], fig. 40-46	2-3, 9-14
Y	JP 2019-16775 A (DENSO CORP.) 31.01.2019 (2019-01-31) paragraph [0025], fig. 3	1, 4-8
Y	JP 2018-82114 A (RENESAS ELECTRONICS CORP.) 24.05.2018 (2018-05-24) paragraph [0033]	4
Y	WO 2014/196164 A1 (DENSO CORP.) 11.12.2014 (2014-12-11) paragraphs [0021], [0037]-[0040], [0057], fig. 3-4	6-8

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April 2020 (28.04.2020)

Date of mailing of the international search report
19 May 2020 (19.05.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005592

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-518063 A (SEMILAB SEMICONDUCTOR PHYSIX LABORATORY COMPANY LIMITED) 05.07.2018 (2018-07-05) entire text, all drawings	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/005592

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2013/172079 A1	21 Nov. 2013	(Family: none)	
JP 2019-16775 A	31 Jan. 2019	(Family: none)	
JP 2018-82114 A	24 May 2018	US 2018/0145137 A1 paragraph [0047]	
WO 2014/196164 A1	11 Dec. 2014	US 2016/0104794 A1 paragraphs [0028], [0046]-[0048], [0064], fig. 3-4	
JP 2018-518063 A	05 Jul. 2018	US 2016/0356750 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/28(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 652T; H01L29/78 653C; H01L29/78 652B; H01L29/78 652H; H01L29/78 658E; H01L29/78 658A; H01L29/78 652C; H01L29/78 652K; H01L21/28 301B; H01L21/28 301S																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/28; H01L29/78; H01L29/12; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2020年																						
日本国実用新案登録公報	1996-2020年																						
日本国登録実用新案公報	1994-2020年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>WO 2013/172079 A1（三菱電機株式会社）21.11.2013（2013-11-21） 段落0132-0151, 図40-46</td> <td>1, 4-8</td> </tr> <tr> <td>A</td> <td>段落0132-0151, 図40-46</td> <td>2-3, 9-14</td> </tr> <tr> <td>Y</td> <td>JP 2019-16775 A（株式会社デンソー）31.01.2019（2019-01-31） 段落0025, 図3</td> <td>1, 4-8</td> </tr> <tr> <td>Y</td> <td>JP 2018-82114 A（ルネサスエレクトロニクス株式会社）24.05.2018（2018-05-24） 段落0033</td> <td>4</td> </tr> <tr> <td>Y</td> <td>WO 2014/196164 A1（株式会社デンソー）11.12.2014（2014-12-11） 段落0021, 段落0037-0040, 段落0057, 図3-4</td> <td>6-8</td> </tr> <tr> <td>A</td> <td>JP 2018-518063 A（セミラボ セミコンダクター フィジックス ラボラトリー カンパニー リミテッド）05.07.2018（2018-07-05） 全文, 全図</td> <td>1-14</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	WO 2013/172079 A1（三菱電機株式会社）21.11.2013（2013-11-21） 段落0132-0151, 図40-46	1, 4-8	A	段落0132-0151, 図40-46	2-3, 9-14	Y	JP 2019-16775 A（株式会社デンソー）31.01.2019（2019-01-31） 段落0025, 図3	1, 4-8	Y	JP 2018-82114 A（ルネサスエレクトロニクス株式会社）24.05.2018（2018-05-24） 段落0033	4	Y	WO 2014/196164 A1（株式会社デンソー）11.12.2014（2014-12-11） 段落0021, 段落0037-0040, 段落0057, 図3-4	6-8	A	JP 2018-518063 A（セミラボ セミコンダクター フィジックス ラボラトリー カンパニー リミテッド）05.07.2018（2018-07-05） 全文, 全図	1-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
Y	WO 2013/172079 A1（三菱電機株式会社）21.11.2013（2013-11-21） 段落0132-0151, 図40-46	1, 4-8																					
A	段落0132-0151, 図40-46	2-3, 9-14																					
Y	JP 2019-16775 A（株式会社デンソー）31.01.2019（2019-01-31） 段落0025, 図3	1, 4-8																					
Y	JP 2018-82114 A（ルネサスエレクトロニクス株式会社）24.05.2018（2018-05-24） 段落0033	4																					
Y	WO 2014/196164 A1（株式会社デンソー）11.12.2014（2014-12-11） 段落0021, 段落0037-0040, 段落0057, 図3-4	6-8																					
A	JP 2018-518063 A（セミラボ セミコンダクター フィジックス ラボラトリー カンパニー リミテッド）05.07.2018（2018-07-05） 全文, 全図	1-14																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 28.04.2020		国際調査報告の発送日 19.05.2020																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴垣 宙央 5F 7895 電話番号 03-3581-1101 内線 3516																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/005592

引用文献			公表日	パテントファミリー文献	公表日
WO	2013/172079	A1	21.11.2013	(ファミリーなし)	
JP	2019-16775	A	31.01.2019	(ファミリーなし)	
JP	2018-82114	A	24.05.2018	US 2018/0145137 A1	
				段落0047	
WO	2014/196164	A1	11.12.2014	US 2016/0104794 A1	
				段落0028, 段落0046-0048, 段落0064, 図3-4	
JP	2018-518063	A	05.07.2018	US 2016/0356750 A1	
				全文, 全図	