

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4108643号
(P4108643)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl. F I
 H O 1 L 23/14 (2006.01) H O 1 L 23/14 R
 H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 B

請求項の数 11 (全 25 頁)

(21) 出願番号	特願2004-142133 (P2004-142133)	(73) 特許権者	000004237
(22) 出願日	平成16年5月12日(2004.5.12)		日本電気株式会社
(65) 公開番号	特開2005-327780 (P2005-327780A)		東京都港区芝五丁目7番1号
(43) 公開日	平成17年11月24日(2005.11.24)	(73) 特許権者	302062931
審査請求日	平成17年3月22日(2005.3.22)		NECエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100090158
			弁理士 藤巻 正憲
		(74) 代理人	100095407
			弁理士 木村 満
		(72) 発明者	下戸 直典
			東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

(54) 【発明の名称】 配線基板及びそれを用いた半導体パッケージ

(57) 【特許請求の範囲】

【請求項1】

ビアホールが形成され膜厚が20乃至100 μ mの基体絶縁膜と、この基体絶縁膜の下面に形成され前記ビアホールに接続された下層配線と、前記基体絶縁膜上に形成され前記ビアホールを介して前記下層配線に接続された上層配線と、を有し、前記基体絶縁膜の下面には凹部が形成されていて、前記下層配線は前記凹部に埋め込まれており、前記下層配線の少なくとも一部は半導体デバイス搭載用の接続電極であり、前記基体絶縁膜はガラス又はアラミドからなる補強繊維をガラス転移温度150以上の耐熱性樹脂に含有させたものであり、さらに下記(1)~(6)の物性を有するものであることを特徴とする配線基板。

(1) 厚み方向の熱膨張率が90ppm/K以下

温度がT₁のときの弾性率をD_{T₁}、温度がT₂のときの破断強度をH_{T₂}としたとき

(2) D₂₃ 5GPa

(3) D₁₅₀ 2.5GPa

(4) (D₆₅/D₁₅₀) 3.0

(5) H₂₃ 140MPa

(6) (H₆₅/H₁₅₀) 2.3

【請求項2】

前記補強繊維の直径が10 μ m以下であることを特徴とする請求項1に記載の配線基板。

【請求項3】

前記基体絶縁膜と前記上層配線との間に配置され、前記ビアホールを介して前記下層配線に接続された中間配線と、この中間配線を覆うように形成されこの中間配線と前記上層配線とを相互に接続する他のビアホールが形成された中間絶縁膜とよりなる配線構造層を1又は複数層有することを特徴とする請求項1又は2に記載の配線基板。

【請求項4】

前記下層配線の下面は、前記基体絶縁膜の下面よりも0.5乃至10 μ m上方に位置していることを特徴とする請求項1に記載の配線基板。

【請求項5】

前記基体絶縁膜の下面と前記下層配線の下面とが、同一平面をなしていることを特徴とする請求項1乃至3のいずれか1項に記載の配線基板。

10

【請求項6】

前記基体絶縁膜の下方に形成され、前記下層配線の一部を覆うと共に残部を露出させる保護膜を有することを特徴とする請求項5に記載の配線基板。

【請求項7】

前記上層配線の一部を覆い、残部を露出させるソルダーレジスト層を有することを特徴とする請求項1乃至6のいずれか1項に記載の配線基板。

【請求項8】

請求項1乃至7のいずれか1項に記載の配線基板と、この配線基板に搭載された半導体デバイスと、を有することを特徴とする半導体パッケージ。

【請求項9】

前記半導体デバイスは、前記下層配線に接続されていることを特徴とする請求項8に記載の半導体パッケージ。

20

【請求項10】

第2の半導体デバイスが、前記上層配線に接続されていることを特徴とする請求項9に記載の半導体パッケージ。

【請求項11】

前記上層配線又は前記下層配線に接続された、外部素子との接続用端子をさらに有することを特徴とする請求項8乃至10のいずれか1項に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体パッケージ及びモジュールに好適に使用される配線基板、この配線基板を使用した半導体パッケージに関し、特に、半導体デバイス等の各種デバイスを高密度に搭載でき、これらのデバイスを高速で駆動でき、更に信頼性の向上を図った配線基板、半導体パッケージに関する。

【背景技術】

【0002】

近時、半導体デバイスの高性能化及び多機能化による端子の増加及び狭ピッチ化並びに処理速度の向上に伴い、半導体デバイスを搭載する実装用配線基板には、これまで以上に高密度微細配線化及び高速化が要求されている。従来、広く使用されている実装用配線基板の例として、多層配線基板の1種であるビルトアッププリント基板が挙げられる。

40

【0003】

図12は従来のビルトアッププリント基板を示す断面図である。図12に示すように、この従来のビルトアップ基板においては、ガラスエポキシからなるベースコア基板73が設けられており、このベースコア基板73にはドリルにより直径が約300 μ mの貫通スルーホール71が形成されている。そして、ベースコア基板73の両面には導体配線72が形成されており、この導体配線72を覆うように層間絶縁膜75が設けられている。層間絶縁膜75には、導体配線72に接続するようにビアホール74が形成されており、層間絶縁膜75の表面には、ビアホール74を介して導体配線72に接続するように導体配線76が設けられている。なお、必要に応じて、導体配線76上に更にビアホール

50

が形成された層間絶縁膜及び導体配線を繰返し設けることにより、基板を多層配線化することもある。

【0004】

しかしながら、このビルトアッププリント基板は、ベースコア基板73にガラスエポキシプリント基板を使用しているため耐熱性が不十分であり、層間絶縁膜75を形成するための熱処理により、ベースコア基板73に収縮、反り及びうねり等の変形が発生するという問題点がある。この結果、導体層(図示せず)をパターンングして導体配線76を形成する際のレジストの露光工程において、露光の位置精度が著しく低下し、層間絶縁膜75上に、高密度且つ微細な配線パターンを形成することが困難になる。また、貫通スルーホール71と導体配線72とを確実に接続するために、導体配線72における貫通スルーホール71との接続部分にはランド部を設ける必要がある。層間絶縁膜75及び導体配線76からなるビルトアップ層において高速化に対応した配線設計を行っても、このランド部が存在することにより、インピーダンスの制御が困難になると共に、ループインダクタンスが大きくなる。このため、ビルトアッププリント基板全体の動作速度が低下し、高速化への対応が困難であるという問題点がある。

10

【0005】

このようなビルトアッププリント基板の貫通スルーホールに起因する問題点を解決することを目的として、ガラスエポキシ基板にドリルにより貫通スルーホールを形成する方法に代わるプリント基板形成方法が考案されている(例えば特許文献1及び非特許文献1参照)。

20

【0006】

図13(a)乃至(c)は、この従来のプリント基板の形成方法をその工程順に示す断面図である。まず、図13(a)に示すように、表面に所定の導体配線81が形成されたプリプレグ82を用意する。次に、プリプレグ82にレーザ加工により直径が150乃至200 μm のスルーホール83を形成する。次に、図13(b)に示すように、スルーホール83内に導体ペースト84を埋め込む。そして、図13(c)に示すように、このようなプリプレグ82、即ち、スルーホール83が形成され、スルーホール83内に導体ペースト84が埋め込まれたプリプレグ82を複数個作製し、相互に積層する。このとき、導体配線81におけるランドパターン86が、隣接するプリプレグのスルーホール83に接続されるようにする。これにより、貫通スルーホールがないプリント基板85を作製することができる。

30

【0007】

しかしながら、この従来の技術においては、プリプレグ82を積層する際の位置精度が低く、ランドパターン86の小径化が困難であるという問題点がある。このため、配線の高密度化が困難であり、また、インピーダンスの制御性を向上させる効果及びループインダクタンスを低減させる効果が不十分である。更に、積層後のスルーホールの接続信頼性が劣るという問題点もある。

【0008】

上述した多くの問題点を解決するために、本発明者等は、金属板等の支持体上に配線層を形成し、その後支持体を除去して配線基板を作製する方法を開発した(特許文献2参照)。()。図14(a)及び(b)は、この従来の配線基板の製造方法をその工程順に示す断面図である。まず、図14(a)に示すように、金属板等からなる支持板91を用意する。そして、この支持板91上に導体配線92を形成し、この導体配線92を覆うように、層間絶縁膜93を形成し、この層間絶縁膜93に導体配線92に接続されるようにビアホール94を形成する。その後、層間絶縁膜93上に導体配線95を形成する。導体配線95は、ビアホール94を介して導体配線92に接続されるように形成する。なお、必要に応じて、層間絶縁膜93、ビアホール94、導体配線95の形成工程を繰り返すことにより、多層配線化することもある。次に、図14(b)に示すように、エッチングにより支持板91の一部を除去して、導体配線92を露出させると共に、支持体96を形成する。これにより、配線基板97を製造する。

40

50

【 0 0 0 9 】

このとき、層間絶縁膜 9 3 には、膜強度が 7 0 M P a 以上、破断伸率が 5 % 以上、ガラス転移温度が 1 5 0 以上、熱膨張率が 6 0 p p m 以下の絶縁材料からなる単層膜、又は、弾性率が 1 0 G P a 以上、熱膨張率が 3 0 p p m 以下、ガラス転移温度が 1 5 0 以上の絶縁材料からなる単層膜を使用する。

【 0 0 1 0 】

この技術によれば、配線基板 9 7 には貫通スルーホールが全く存在していないため、前述の貫通スルーホールに起因する問題点を解消することができ、高速配線設計を行うことができる。また、支持板 9 1 として耐熱性が優れた金属板等を使用しているため、ガラスエポキシ基板を使用する場合のような収縮、反り、うねり等の変形が発生することがなく、高密度微細配線化が可能となる。更に、層間絶縁膜 9 3 の機械的特性を上述のように規定することにより、強度が高い配線基板を得ることができる。

10

【 0 0 1 1 】

【特許文献 1】特開 2 0 0 0 - 2 6 9 6 4 7 号公報

【非特許文献 1】第 1 1 回マイクロエレクトロニクスシンポジウム予稿集、p . 1 3 1 - 1 3 4

【特許文献 2】特開 2 0 0 2 - 1 9 8 4 6 2 号公報（第 8、1 1 頁、図 1 7）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

しかしながら、上述の従来技術には以下に示すような問題点がある。図 1 4 (b) に示す配線基板 9 7 は、ベースコア基板が存在しないため、厚さが極めて薄いものとなるが、層間絶縁膜 9 3 の機械的特性を上述のように規定することにより、作製当初の配線基板 9 7 においては十分な強度を得ることができる。しかしながら、通常この配線基板 9 7 は、大面積の半導体デバイスを搭載して半導体パッケージを形成し、更にこの半導体パッケージをプリント基板等の実装用ボードに搭載して使用される。半導体デバイスは動作時には発熱して温度が上昇し、休止時には発熱が停止するため温度が低下する。このため、半導体デバイスの動作時には半導体デバイスと実装用ボードとの間の熱膨張率の違いにより、配線基板 9 7 に熱応力が印加される。従って、前述のように配線基板 9 7 に半導体デバイスが実装された状態で、この半導体デバイスを繰返し動作させると、配線基板 9 7 に熱応力が繰返し印加され、配線基板 9 7 の層間絶縁膜 9 3 等にクラックが発生してしまうことがある。このため、配線基板及び半導体パッケージにおいて必要な信頼性を確保できないという問題点がある。

20

30

【 0 0 1 3 】

本発明はかかる問題点に鑑みてなされたものであって、半導体デバイス等の各種デバイスを高密度に搭載することができ、高速配線化及び高密度微細配線化が容易で、信頼性が優れた配線基板、この配線基板を使用する半導体パッケージを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

本発明に係る配線基板は、ビアホールが形成され膜厚が 2 0 乃至 1 0 0 μ m の基体絶縁膜と、この基体絶縁膜の下面に形成され前記ビアホールに接続された下層配線と、前記基体絶縁膜上に形成され前記ビアホールを介して前記下層配線に接続された上層配線と、を有し、前記基体絶縁膜の下面には凹部が形成されていて、前記下層配線は前記凹部に埋め込まれており、前記下層配線の少なくとも一部は半導体デバイス搭載用の接続電極であり、前記基体絶縁膜はガラス又はアラミドからなる補強繊維をガラス転移温度 1 5 0 以上の耐熱性樹脂に含有させたものであり、さらに下記 (1) ~ (6) の物性を有するものであることを特徴とする。

40

(1) 厚み方向の熱膨張率が 9 0 p p m / K 以下

温度が T のときの弾性率を D_T 、温度が T のときの破断強度を H_T としたとき

50

- (2) $D_{23} \quad 5 \text{ GPa}$
 (3) $D_{150} \quad 2.5 \text{ GPa}$
 (4) $(D_{-65} / D_{150}) \quad 3.0$
 (5) $H_{23} \quad 140 \text{ MPa}$
 (6) $(H_{-65} / H_{150}) \quad 2.3$

【0015】

発明者らは金属板等の支持体上に配線層を形成し、その後支持体を除去して配線基板を作製する方法において、半導体デバイスの作動により熱負荷が繰返し印加されても基体絶縁膜にクラックが生じないためには破断強度と弾性率が重要であることに着眼し、既に出願を行っている（特願2003-382418号）。しかしながら更なる検討を進めるにあたり、破断強度、弾性率が満たすべき条件、すなわち、温度が23のときの破断強度が80MPa以上であり、温度が-65のときの破断強度をa、温度が150のときの破断強度をbとすると、比(a/b)の値が4.5以下であるという条件、ならびに温度が-65のときの弾性率をcとし、温度が150のときの弾性率をdとすると、比(c/d)の値が4.7以下であるという条件を満たしている材料であっても、構造によっては得られる半導体装置の信頼性に差異が見られることがわかった。この知見を受けて更なる検討を行った結果、破断強度及び弾性率のみならず、厚み方向の熱膨張率が90ppm/K以下であるガラス又はアラミドからなる補強繊維をガラス転移温度150以上の耐熱性樹脂に含有した基体絶縁膜材料を新たに開発し、配線基板として適用することでさらなる高信頼性を得られることを見出した。また、破断強度、弾性率についても最適な条件を見出した。

【0016】

このように、厚み方向の熱膨張率に関して既知のガラス又はアラミドからなる補強繊維をガラス転移温度150以上の耐熱性樹脂に含有した材料、例えば前述の特願2003-382418号に開示されているような材料（味の素ファインテクノ製ABF-GX-1031（商品名）、又は新神戸電機製EA-541（商品名）等）について検証を行ったところ、いずれも厚み方向の熱膨張率が90ppm/Kより大きいことを確認した。これらは、半導体デバイスを搭載した電極パッドの真下にビアホールを形成し、さらにこのビアホールの真下にボード搭載用の半田ボールを設置した場合、ビアホール接続部でオープン不良に至ってしまうことがわかり、いずれも本発明の物性を有する基体絶縁膜材料よりも信頼性に劣ることが確認された。

【0017】

これに対して、本願発明のような物性を有する絶縁膜を用いることで、厚み方向における歪み応力を低減することができる。このため、半導体デバイスを搭載した電極パッドの真下にビアホールを形成し、さらにこのビアホールの真下にボード搭載用の半田ボールを設置した場合で半導体デバイスの作動により熱負荷が繰返し印加されても、ビアホール接続部でオープン不良に至ってしまうことを防止することができ、より信頼性に優れた半導体パッケージを得ることができる。

【0018】

また、そのほかの物性に関してもさらに最適な値について検証した。つまり、温度がTのときの弾性率を D_T 、温度がTのときの破断強度を H_T としたとき、 $D_{23} \quad 5 \text{ GPa}$ ：これより小さいものでは、20 μm 厚配線基板の半導体パッケージ組立時における搬送性などに劣り、実用に供せない。

$D_{150} \quad 2.5 \text{ GPa}$ ：これより小さいものでは、ワイヤーボンディング性が不十分なため、実用に供せない。なお、これを満たすためには、少なくともガラス転移温度150以上の耐熱性樹脂を補強繊維に含浸する必要がある。

$(D_{-65} / D_{150}) \quad 3.0$ ：この値が大きいということは、低温と高温における弾性率の変化量が大きいことを意味する。これより大きいものでは、半導体パッケージ組立時における加熱、冷却工程の繰返しにより、配線基板に歪み応力が加わり、半導体パッケージ自体が沿ってしまうトラブルが発生し、実用に供せない。

$H_{23} / H_{150} = 1.40$ MPa : これより小さいものでは、 $20 \mu\text{m}$ 厚配線基板の半導体パッケージ組立時における取り扱い性に劣り、実用に供せない。

(H_{65} / H_{150}) 2.3 : この値が大きいうことは、低温と高温における破断強度の変化量が大きいことを意味する。これより大きいものでは、特に高温時における機械的強度に劣ることになり、ワイヤーボンディングなどの半導体パッケージ組立工程で基体絶縁膜に微少なながらもクラックが発生してしまい、実用に供せない。

であり、これらのうちいずれかの要素がかけても信頼性の高い配線基板がえられないことを見出した。

【0019】

なお、厚み方向の熱膨張率 100 ppm/K 程度であるガラス又はアラミドからなる補強繊維を樹脂、特に厚み方向の熱膨張率が 60 ppm/K 程度であるガラス転移温度 150 以上の耐熱性樹脂に含有させると、最適な弾性率、破断強度を保ちながら厚み方向の熱膨張率を最適な値に調整することが可能である。

【0020】

ここで、補強繊維の直径が $10 \mu\text{m}$ 以下であることで、炭酸ガスレーザのみならず、波長の短いUV-YAGレーザを用いても良好な形状からなるビアホールを基体絶縁膜内に形成することができ、より微細なビアホールを形成することができる。

【0021】

これら配線基板は、前記基体絶縁膜と前記上層配線との間に配置され、前記ビアホールを介して前記下層配線に接続された中間配線と、この中間配線を覆うように形成されこの中間配線と前記上層配線とを相互に接続する他のビアホールが形成された中間絶縁膜とよりなる配線構造層を1又は複数層有することもできる。このような構造とすることで所望の高密度配線基板が実現できる。

【0022】

また、これら配線基板において、前記基体絶縁膜の下面には凹部が形成されており、前記下層配線は前記凹部に埋め込まれていること、またその際前記下層配線の下面は、前記基体絶縁膜の下面よりも 0.5 乃至 $10 \mu\text{m}$ 上方に位置していることが、半田を適用して狭ピッチなパッドを有する半導体デバイスを搭載するときの位置精度向上のうえでより好ましい。

【0023】

また、前記基体絶縁膜の下面と前記下層配線の下面とが、同一平面をなしていること、金バンプなどを適用して狭ピッチなパッドを有する半導体デバイスを搭載するとき、位置ずれに対してマージンを得ることができ、接続信頼性向上の観点でより好ましい。

【0024】

なお、前記基体絶縁膜の下方に形成され、前記下層配線の一部を覆うと共に残部を露出させる保護膜を有すること構成とすることもできる。前記上層配線の一部を覆い、残部を露出させるソルダーレジスト層を有すること構成とすることもできる。このような構成とすることで、配線基板上に半田を印刷法などで容易に形成することができ、非常に狭ピッチなパッドを有する半導体デバイスを搭載するときに、半導体デバイス上に形成した半田や金などの金属バンプと配線基板上に設けた半田とを半導体デバイス搭載時に融着して接続させることができるので、バンプ部の接続信頼性に非常に優れた半導体パッケージを得ることができる。

【0025】

前述のような配線基板を用いた半導体パッケージは、半導体デバイスを下層配線もしくは上層配線に接続することで実現できる。さらに、回路基板等の外部素子に接続するための接続用端子をさらに有することもできる。

【発明の効果】

【0026】

本発明によれば、基体絶縁膜として機械的特性の温度依存性が小さい絶縁膜を使用することにより、高速配線化及び高密度微細配線化が可能で、搭載した半導体デバイスの駆動

10

20

30

40

50

により熱負荷が繰返し印加されても、基体絶縁膜又は半田ボール等にクラックが生じることがなく、さらにビアホールの接続信頼性に優れた配線基板を得ることができる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。図1は本実施形態に係る配線基板を示す断面図であり、図2は本実施形態に係る半導体パッケージを示す断面図である。

【0028】

図1に示すように、本実施形態に係る配線基板13においては、基体絶縁膜7が設けられている。基体絶縁膜7は、ガラス又はアラミドからなる補強繊維をガラス転移温度150以上の耐熱性樹脂に含有したものであり、この膜厚は20乃至100 μm であり、さらに下記(1)~(6)の物性を有するものであることを特徴とする。

(1) 厚み方向の熱膨張率が90ppm/K以下

温度が T_1 のときの弾性率を D_{T_1} 、温度が T_2 のときの破断強度を H_{T_2} としたとき

(2) $D_{23} \geq 5 \text{ GPa}$

(3) $D_{150} \geq 2.5 \text{ GPa}$

(4) $(D_{65} / D_{150}) \geq 3.0$

(5) $H_{23} \geq 140 \text{ MPa}$

(6) $(H_{65} / H_{150}) \geq 2.3$

【0029】

ガラス転移温度150以上の耐熱性樹脂としては、補強繊維への含浸性を考えれば好ましくはエポキシ樹脂であるが、ポリイミド樹脂、シアネート樹脂、液晶ポリマーなども適用することができる。

【0030】

基体絶縁膜7の下面には凹部7aが形成されており、凹部7a内には、配線本体6が形成されており、配線本体6の下方にはエッチングバリア層5が形成されている。このエッチングバリア層5及び配線本体6により下層配線が形成されており、この下層配線は凹部7a内に埋め込まれている。エッチングバリア層5の下面は露出しており、配線基板13の下面の一部を構成している。配線本体6は例えばCu、Ni、Au、Al又はPdにより形成されており、その膜厚は例えば2乃至20 μm である。エッチングバリア層5は例えばNi、Au又はPdからなり、その膜厚は例えば0.1乃至7.0 μm である。エッチングバリア層5の下面は、基体絶縁膜7の下面よりも例えば0.5乃至10 μm 上方の位置、即ち、凹部7aにおける奥まった位置にある。

【0031】

また、基体絶縁膜7における凹部7aの直上域の一部には、ビアホール10が形成されている。配線基板13がCSP(チップサイズパッケージ)の半導体パッケージに使用される場合は、ビアホール10の直径は例えば75 μm であり、配線基板13がFCBGA(フリップチップボールグリッドアレイ)の半導体パッケージに使用される場合は、ビアホール10の直径は例えば40 μm である。更に、ビアホール10内には導電材料が埋め込まれており、基体絶縁膜7上には上層配線11が形成されている。ビアホール10内の導電材料及び上層配線11は一体的に形成されている。上層配線11は膜厚が例えば2乃至20 μm であり、ビアホール10を介して下層配線に接続されている。更にまた、基体絶縁膜7上には、上層配線11の一部を露出させ残部を覆うように、ソルダーレジスト12が形成されている。ソルダーレジスト12の膜厚は例えば5乃至40 μm である。上層配線11の露出部はパッド電極となる。

【0032】

次に、本実施形態に係る半導体パッケージの構成について説明する。図2に示すように、本実施形態に係る半導体パッケージ19においては、前述の配線基板13におけるエッチングバリア層5に複数のパンプ14が接続されている。そして、配線基板13の下方には半導体デバイス15が設けられており、半導体デバイス15の電極(図示せず)はバン

10

20

30

40

50

ブ 1 4 に接続されている。半導体デバイス 1 5 は例えば L S I (Large Scale Integrated circuit : 大規模集積回路) である。また、配線基板 1 3 と半導体デバイス 1 5 との間における bumps 1 4 の周囲には、アンダーフィル 1 6 が充填されている。一方、配線基板 1 3 の上層配線 1 1 の露出部、即ちパッド電極の一部には、半田ボール 1 8 が搭載されている。半田ボール 1 8 は上層配線 1 1、ビアホール 1 0 (図 1 参照)、配線本体 6 及びエッチングバリア層 5 からなる下層配線、bumps 1 4 を介して、半導体デバイス 1 5 の電極に接続されている。そして、この半導体パッケージ 1 9 は、半田ボール 1 8 を介して実装用ボード (図示せず) に実装される。

【 0 0 3 3 】

以下、本発明の各構成要件における数値限定理由について説明する。

10

【 0 0 3 4 】

基体絶縁膜の膜厚 : 2 0 乃至 1 0 0 μ m

基体絶縁膜の膜厚が 2 0 μ m 未満であると、耐熱性樹脂にガラス又はアラミドからなる補強繊維を効果的に含有することができなかつた。一方、基体絶縁膜の膜厚が 1 0 0 μ m を超えると、レーザ加工によるビアホールの加工性が著しく低下し、微細なビアホールを形成できなくなる。従って、基体絶縁膜の膜厚は 2 0 乃至 1 0 0 μ m とする。

【 0 0 3 5 】

基体絶縁膜の厚み方向の熱膨張率 : 9 0 p p m / K 以下

基体絶縁膜の厚み方向の熱膨張率が 9 0 p p m / K を超えると、半導体デバイスを搭載した電極パッドの真下にビアホールを形成し、さらにこのビアホールの真下にボード搭載用の半田ボールを設置した場合、半導体デバイスの作動により熱負荷が繰返し印加されることを想定したヒートサイクル試験を行うと、図 2 のビアホール 1 0 a の接続部でオープン不良が発生した。従って、基体絶縁膜の厚み方向の熱膨張率は 9 0 p p m / K 以下とする。

20

【 0 0 3 6 】

【表 3】

No.	機械的特性の温度依存性		熱応力耐久性(不良発生サイクル数)					
	H ₋₆₅ /H ₁₅₀	D ₋₆₅ /D ₁₅₀	半導体パッケージ単体			実装用ボードに搭載		
			A部ワイヤオープン	B部ワイヤオープン	ワイヤオープン	A部ワイヤオープン	B部ワイヤオープン	ワイヤオープン
1 実施例	1.5	1.4	1500超	1500超	1500超	1000超	1000超	1000超
2 実施例	1.8	2.4	1500超	1500超	1500超	1000超	1000超	1000超
3 実施例	2.0	2.5	1500超	1500超	1500超	1000超	1000超	1000超
4 実施例	2.1	2.8	1500超	1500超	1500超	1000超	1000超	1000超
5 実施例	2.3	3.0	1500超	1500超	1500超	1000超	1000超	1000超
6 比較例	1.5	1.4	1100	1500超	1500超	750	1000超	1000超
7 比較例	1.5	2.2	1000	1500超	1500超	800	1000超	1000超
8 比較例	1.6	2.2	1250	1500超	1500超	700	1000超	1000超
9 比較例	2.5	3.2	1500超	1500超	950	1000超	1000超	750

10

20

30

40

【0037】

基体絶縁膜の150における弾性率：2.5GPa以上

単一の材料からなる基体絶縁膜では、150における弾性率が1.0GPa以上あれば良好なワイヤーボンディング性が得られることが多い。しかしながら、ガラス又はアラミド補強繊維を樹脂に含有した基体絶縁膜の場合、補強繊維のみの150における弾性率は10GPa以上と高いため、この基体絶縁膜の150における弾性率が1.0GPaであったとしても、樹脂のみの150における弾性率は0.1GPa以下になっている。このため、ワイヤーボンディングを行うと、配線本体6が沈み込んでしまい、良好な

50

強度を有するワイヤー接続を行うことができない。そこで、基体絶縁膜の150における弾性率とワイヤーボンディング強度との関係を実験で確認した結果、150における弾性率が2.5GPa以上であれば、良好なワイヤーボンディング性が得られることがわかった。従って、基体絶縁膜の150における弾性率は2.5GPa以上とする。なお、150における弾性率が2.5GPa以上を満たすためには、補強繊維に含浸する耐熱性樹脂は、ガラス転移温度150以上でなければならないことがわかった。なお、ガラス転移温度は、JIS6481に準拠し、DMA (Dynamic Mechanical analysis) 法で測定した。

【0038】

基体絶縁膜において、温度がT₁のときの弾性率をD_Tとすると、 $(D_{65} / D_{150}) \geq 3.0$

10

(D_{65} / D_{150})値が大きいということは、低温と高温における弾性率の変化量が大きいことを意味する。特願2003-382418には、この値が大きくなると配線基板に取り付けられた半田ボールが破損してしまうので、(D_{65} / D_{150})値は4.7以下にしなければならないと記載されている。しかしながら、(D_{65} / D_{150})値が3.0より大きくなると、半導体パッケージ組立時における加熱、冷却工程の繰り返しにより、配線基板に歪み応力が加わり、半導体パッケージ自体が反ってしまうトラブルが発生することがわかった。従って、(D_{65} / D_{150})値は3.0以下とする。

【0039】

基体絶縁膜の23における破断強度：140MPa以上

20

基体絶縁膜の23における破断強度が140MPaより小さいと、基体絶縁膜の膜厚が20μmである配線基板の場合、半導体パッケージ組立時における搬送時に、基体絶縁膜に亀裂が入ってしまう。従って、基体絶縁膜の23における破断強度は140MPa以上とする。

【0040】

基体絶縁膜において、温度がT₁のときの破断強度をH_Tとすると、 $(H_{65} / H_{150}) \geq 2.3$

(H_{65} / H_{150})値が大きいということは、低温と高温における破断強度の変化量が大きいことを意味する。特願2003-382418には、この値が大きくなると基体絶縁膜にクラックが発生してしまうので、(H_{65} / H_{150})値は4.5以下にしなければならないと記載されている。しかしながら、(H_{65} / H_{150})値が2.3より大きいものでは、高温時における機械的強度が極端に低下するので、ワイヤーボンディングなどの高温時における半導体パッケージ組立工程で基体絶縁膜に微少なクラックが発生してしまうことがわかった。従って、(H_{65} / H_{150})値は2.3以下とする。

30

【0041】

下層配線の下面と基体絶縁膜の下面との間の距離：0.5乃至10μm

下層配線の下面と基体絶縁膜の下面との間の距離が0.5μm未満であると、パンプの位置ずれを防止する効果が十分に得られない。一方、前記距離が10μmを超えると、配線基板に半導体デバイスを搭載する際に、基体絶縁膜と半導体デバイスとの間のギャップが小さくなる。このため、半導体デバイスを搭載した後にこのギャップにアンダーフィル樹脂を充填してアンダーフィルを設ける場合には、このギャップにアンダーフィル樹脂を流し込むことが困難になる。従って、前記距離は0.5乃至10μmであることが好ましい。

40

【0042】

本実施形態の半導体パッケージ19においては、半田ボール18、上層配線11、ビアホール10、配線本体6及びエッチングバリア層5からなる下層配線、パンプ14を介して、実装用ボード(図示せず)から半導体デバイス15に電力が供給されると共に信号が入出力され、半導体デバイス15が駆動する。このとき、半導体デバイス15が発熱し、この熱が配線基板13を介して実装用ボードに伝達する。このとき、半導体デバイス1

50

5と実装用ボードとの間の熱膨張係数の違いにより、バンプ14、配線基板13及び半田ボール18に熱応力が印加される。そして、半導体デバイス15が動作と休止とを繰り返すことにより、バンプ14、配線基板13及び半田ボール18には熱応力が繰り返し印加される。

【0043】

本実施形態においては、基体絶縁膜の膜厚が20乃至100 μm であり、23における弾性率が5GPa以上、23における破断強度が140MPa以上、150における弾性率が2.5GPa以上、温度がT₀のときの弾性率をD_Tとすると、 (D_{65}/D_{150}) が3.0以下、温度がT₀のときの破断強度をH_Tとすると、 (H_{65}/H_{150}) が2.3以下であるため、半導体パッケージ19の組立工程で搬送性やワイヤボンディング性が良好であって、反りのない品質に優れた半導体パッケージ19とすることができる。さらに、基体絶縁膜の厚み方向の熱膨張率が90ppm/K以下であるので、半導体デバイスの作動により熱負荷が繰り返し印加されることを想定したヒートサイクル試験を行っても図2のビアホール10aの接続部でオープン不良が発生することはない。

10

【0044】

また、エッチングバリア層5及び配線本体6からなる下層配線が凹部7a内にあり、下層配線の下面が基体絶縁膜7の下面よりも0.5乃至10 μm 上方にあるため、バンプ14を接合する際に、バンプ14の位置ずれ及び流動を防止することができる。このため、バンプ14の接続信頼性が優れると共に、バンプ14を微細なピッチで配設することができるため、集積度が高い半導体デバイス15を搭載することができる。

20

【0045】

更に、配線基板13には貫通スルーホールを設けないため、貫通スルーホールに起因する問題、即ち、インピーダンスの制御が困難になり、ループインダクタンスが増大する問題が発生せず、高速配線設計及び高集積微細配線設計を行うことができる。

【0046】

なお、本実施形態においては、アンダーフィル16を省略してもよい。また、通常、フリップチップタイプの半導体パッケージにおいてモールドリングは不要であり、本実施形態においてもモールドリングを設けていないが、半導体パッケージにより高度な耐湿信頼性が要求され、半導体デバイスの封止性(気密性)を高めたい場合、及び配線基板の薄さを補って半導体パッケージの機械的強度をより高めたい場合には、配線基板13の下面に、アンダーフィル16及び半導体デバイス15を覆うように、モールドリングを設けてもよい。

30

【0047】

さらに、本実施形態では、半導体デバイス15をバンプ14フリップチップ方式で搭載した例を示したが、半導体デバイス15の搭載方式には制限がなく、ワイヤボンディング法やテープオートメットボンディング法などを適用することもできる。

【0048】

次に、本実施形態の変形例について説明する。図3は本変形例に係る半導体パッケージを示す断面図である。図3に示すように、本変形例に係る半導体パッケージにおいては、配線基板13の両面に半導体デバイスが搭載されている。即ち、バンプ14を介して下層配線に接続された半導体デバイス15の他に、バンプ14aを介して上層配線11に接続された半導体デバイス15aが設けられている。そして、半導体デバイス15の電極の一部は、バンプ14、エッチングバリア層5及び配線本体6からなる下層配線、ビアホール10、上層配線11、バンプ14aを介して、半導体デバイス15aの電極(図示せず)に接続されている。本変形例における上記以外の構成は、前述の第1の実施形態と同様である。本変形例においては、これにより、1枚の配線基板13に2個の半導体デバイスを搭載することができる。

40

【0049】

次に、本発明の第2の実施形態について説明する。図4は本実施形態に係る配線基板を

50

示す断面図であり、図5は本実施形態に係る半導体パッケージを示す断面図である。

【0050】

図4に示すように、本実施形態に係る配線基板21においては、基体絶縁膜7が設けられている。基体絶縁膜7の膜厚及び機械的特性は前述の第1の実施形態における基体絶縁膜7と同じである。基体絶縁膜7の下面には凹部7aが形成されており、凹部7a内には、配線本体6が形成されており、配線本体6の下方にはエッチングバリア層5が形成されている。このエッチングバリア層5及び配線本体6により下層配線が形成されており、この下層配線は凹部7a内に埋め込まれている。エッチングバリア層5及び配線本体6の構成は、前述の第1の実施形態と同様である。

【0051】

また、基体絶縁膜7における凹部7aの直上域の一部には、ビアホール10が形成されている。更に、ビアホール10内には導電材料が埋め込まれており、基体絶縁膜7上には中間配線22が形成されている。ビアホール10内の導電材料及び中間配線22は一体的に形成されており、中間配線22はビアホール10を介して下層配線に接続されている。更にまた、基体絶縁膜7上には、中間配線22を覆うように、中間絶縁膜23が形成されており、中間絶縁膜23における中間配線22の直上域の一部には、ビアホール24が形成されている。そして、ビアホール24内には導電材料が埋め込まれており、中間絶縁膜23上には、上層配線11が形成されている。ビアホール24内の導電材料及び上層配線11は一体的に形成されており、上層配線11はビアホール24を介して中間配線22に接続されている。更にまた、中間絶縁膜23上には、上層配線11の一部を露出させ残部を覆うように、ソルダーレジスト12が形成されている。上層配線11の露出部はパッド電極となる。なお、中間絶縁膜23の膜厚及び機械的特性は、基体絶縁膜7の膜厚及び機械的特性と同様とすることが望ましいが、必要に応じて基体絶縁膜7の膜厚及び機械的特性と異なるものを用いてもよい。

【0052】

更にまた、前述の第2の実施形態においては、絶縁膜が2層設けられている配線基板を示したが、本発明はこれに限定されず、3層以上の絶縁膜が設けられている配線基板であってもよい。

【0053】

次に、本実施形態に係る半導体パッケージの構成について説明する。図5に示すように、本実施形態に係る半導体パッケージ25においては、前述の配線基板21におけるエッチングバリア層5に複数の bumps 14 が接続されている。そして、配線基板21の下方には半導体デバイス15が設けられており、半導体デバイス15の電極(図示せず)は bumps 14 に接続されている。また、配線基板21と半導体デバイス15との間における bumps 14 の周囲には、アンダーフィル16が充填されている。一方、配線基板21の上層配線11の露出部、即ちパッド電極の一部には、半田ボール18が搭載されている。半田ボール18は上層配線11、ビアホール24、中間配線22、ビアホール10、配線本体6及びエッチングバリア層5からなる下層配線、 bumps 14 を介して、半導体デバイス15の電極に接続されている。本実施形態に係る配線基板及び半導体パッケージにおける上記以外の構成及び動作は、前述の第1の実施形態と同様である。

【0054】

本実施形態においては、配線基板21が、基体絶縁膜7及び中間絶縁膜23からなる2層構造となっており、前述の第1の実施形態と比較して中間配線22を設けることができるので、半導体デバイス15に入出力する信号数を増加させることができる。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

【0055】

次に、本発明の第3の実施形態について説明する。図6(a)乃至(c)は、本実施形態に係る配線基板の製造方法及び構成をその工程順に示す断面図である。本実施形態に係る配線基板においては、基体絶縁膜7の下面と、エッチングバリア層5及び配線本体6からなる下層配線の下面とが、同一平面を構成している。そして、基体絶縁膜7の下には保

10

20

30

40

50

護膜 4 1 が形成されている。保護膜 4 1 は例えばエポキシ樹脂又はポリイミドからなり、その膜厚は例えば 1 乃至 50 μm である。保護膜 4 1 には開口部であるエッチング部 4 2 が形成されており、このエッチング部 4 2 において下層配線の一部が露出している。即ち、保護膜 4 1 は、エッチング部 4 2 において下層配線の一部を露出させ、エッチング部 4 2 以外の部分により下層配線の残部を覆うものである。なお、エッチング部 4 2 はこの配線基板に半導体デバイスを搭載する際に、バンプ 1 4 (図 1 参照) が接続される部分である。本実施形態に係る配線基板及び半導体パッケージの上記以外の構成及び動作は、前述の第 1 の実施形態と同様である。

【 0 0 5 6 】

本実施形態においては、保護膜 4 1 を設けることにより、配線基板とアンダーフィル等の樹脂層との密着性を向上させることができる。本実施形態における上記以外の効果は、前述の第 1 の実施形態と同様である。

【 0 0 5 7 】

次に、本発明の第 4 の実施形態について説明する。図 7 は本実施形態に係る配線基板を示す断面図である。図 7 に示すように、本実施形態に係る配線基板は、前述の第 3 の実施形態に係る配線基板と比較して、保護膜 4 1 (図 6 参照) が省略されている。これにより、下層配線の下面は配線基板 4 3 の下面から凹んでおらず、同一平面を構成している。本実施形態の配線基板における上記以外の構成は、前述の第 3 の実施形態と同様である。

【 0 0 5 8 】

本実施形態においては、前述の第 3 の実施形態と比較して、保護膜を省略しているため、コストを低減することができる。また、前述の第 1 の実施形態と比較しても、エッチング容易層 4 (図 8 (a) 参照) の形成を省略できるため、コストを低減することができる。半導体デバイス 1 5 の電極の配設ピッチがそれほど微細ではなく、バンプ 1 4 (図 1 参照) の配設密度が低く、バンプの位置決め精度がそれほど要求されない場合であって、モールドイングを設けない場合、又はモールドイングを設けても、モールドイングと配線基板との密着性がそれほど要求されない場合には、コストの観点から、本実施形態に係る配線基板が適している。本実施形態に係る上記以外の効果は、前述の第 1 の実施形態と同様である。

【 0 0 5 9 】

次に、前述の各実施形態に係る配線基板及び半導体パッケージの製造方法について説明する。先ず、第 1 の実施形態に係る配線基板及び半導体パッケージの製造方法について説明する。図 8 (a) 乃至 (e) は本実施形態に係る配線基板の製造方法とその工程順に示す断面図であり、図 9 (a) 及び (b) は本実施形態に係る半導体パッケージの製造方法とその工程順に示す断面図であり、(c) はモールドイングを設けた場合の半導体パッケージを示す断面図である。先ず、図 8 (a) に示すように、金属又は合金、例えば Cu からなる支持基板 1 を用意し、この支持基板 1 上にレジスト 2 を形成し、パターンニングする。次に、例えばめっき法により、エッチング容易層 4、エッチングバリア層 5、配線本体 6 をこの順に形成する。このとき、支持基板 1 上におけるレジスト 2 が除去された領域には、エッチング容易層 4、エッチングバリア層 5、配線本体 6 からなる導体配線層 3 が形成されるが、レジスト 2 が残存している領域には、導体配線層 3 は形成されない。エッチング容易層 4 は例えば Cu 単層のめっき層、Cu 層及び Ni 層からなる 2 層めっき層又は Ni 単層のめっき層により形成し、厚さは例えば 0.5 乃至 10 μm とする。なお、前記 2 層めっき層における Ni 層は、高温下においてエッチング容易層 4 の Cu 層とエッチングバリア層 5 との拡散を防止するために設けるものであり、この Ni 層の厚さは例えば 0.1 μm 以上である。エッチングバリア層 5 は例えば Ni、Au 又は Pd めっき層であり、厚さは例えば 0.1 乃至 7.0 μm とする。配線本体 6 は例えば Cu、Ni、Au、Al 又は Pd 等の導体めっき層により形成し、厚さは例えば 2 乃至 20 μm とする。なお、エッチングバリア層 5 を Au により形成する場合においても、配線本体 6 を形成する Cu との間の拡散を防止するために、エッチングバリア層 5 と配線本体 6 との間に Ni 層を設けてもよい。

10

20

30

40

50

【 0 0 6 0 】

次に、図 8 (b) に示すように、レジスト 2 を除去する。次に、図 8 (c) に示すように、導体配線層 3 を覆うように基体絶縁膜 7 を形成する。基体絶縁膜 7 は、例えば、シート状の絶縁フィルムを支持基板 1 にラミネートするか、プレス法により支持基板 1 に貼付し、例えば 1 0 0 乃至 4 0 0 の温度に 1 0 分乃至 2 時間保持する加熱処理を行い、絶縁フィルムを硬化させて形成する。加熱処理の温度及び時間は絶縁フィルムの種類に応じて適宜調整する。そして、この基体絶縁膜 7 における導体配線層 3 の直上域の一部に、レーザ加工法によりビアホール 1 0 を形成する。

【 0 0 6 1 】

次に、図 8 (d) に示すように、ビアホール 1 0 内に導電材料を埋め込むと共に、基体絶縁膜 7 上に上層配線 1 1 を形成する。このとき、上層配線 1 1 はビアホール 1 0 を介して配線本体 6 に接続される。配線基板 1 3 が C S P (チップサイズパッケージ) の半導体パッケージに使用される場合は、ビアホール 1 0 の直径は例えば 7 5 μm とし、配線基板 1 3 が F C B G A (フリップチップボールグリッドアレイ) の半導体パッケージに使用される場合は、ビアホール 1 0 の直径は例えば 4 0 μm とする。ビアホール 1 0 内に埋め込む導電材料及び上層配線 1 1 は、例えば C u、N i、A u、A l 又は P d 等の導体めっき層からなり、上層配線 1 1 の厚さは例えば 2 乃至 2 0 μm とする。次に、上層配線 1 1 の一部を覆い、残部を露出させるように、ソルダーレジスト 1 2 を形成する。ソルダーレジスト 1 2 の厚さは例えば 5 乃至 4 0 μm とする。なお、このソルダーレジスト 1 2 の形成は省略することができる。

【 0 0 6 2 】

次に、図 8 (e) に示すように、化学的エッチング又は研磨により、支持基板 1 を除去する。次に、図 1 に示すように、エッチング容易層 4 をエッチングして除去する。これにより、図 1 に示す本実施形態に係る配線基板 1 3 が形成される。このとき、支持基板 1 を形成する材料がエッチング容易層 4 を形成する材料と異なる場合、上述の如くエッチング工程が 2 回必要になるが、支持基板 1 とエッチング容易層 4 とが同じ材料により形成されている場合は、エッチング工程は 1 回でもよい。

【 0 0 6 3 】

次に、図 9 (a) に示すように、エッチングバリア層 5 の露出部に複数のバンプ 1 4 を接合する。そして、このバンプ 1 4 を介して、配線基板 1 3 にフリップチップ法により半導体デバイス 1 5 を搭載する。このとき、半導体デバイス 1 5 の電極 (図示せず) が、バンプ 1 4 に接続されるようにする。

【 0 0 6 4 】

次に、図 9 (b) に示すように、配線基板 1 3 と半導体デバイス 1 5 との間にアンダーフィル 1 6 を流し込み、固体化させる。これにより、バンプ 1 4 がアンダーフィル 1 6 に埋め込まれる。なお、アンダーフィル 1 6 の形成は省略してもよい。また、図 9 (c) に示すように、配線基板 1 3 の下面において、アンダーフィル 1 6 及び半導体デバイス 1 5 を覆うように、適宜モールドディング 1 7 を形成してもよい。

【 0 0 6 5 】

次に、図 2 に示すように、配線基板 1 3 の上層配線 1 1 の露出部に、半田ボール 1 8 を搭載する。これにより、図 2 に示す本実施形態に係る半導体パッケージ 1 9 が形成される。

【 0 0 6 6 】

本実施形態においては、例えば C u からなる硬質な支持基板 1 上に、導体配線層 3、基体絶縁膜 7、上層配線 1 1 等を形成するため、配線基板 1 3 の平坦度を高めることができる。

【 0 0 6 7 】

なお、本実施形態においては、支持基板 1 として金属又は合金からなる基板を使用する例を示したが、支持基板 1 としてシリコンウエハ、ガラス、セラミック、樹脂等の絶縁体からなる基板を使用してもよい。絶縁体からなる基板を使用する場合には、レジスト 2 を

10

20

30

40

50

形成した後に無電解めっき法により導体配線層 3 を形成するか、又は、レジスト 2 を形成した後に、無電解めっき法、スパッタリング法、蒸着法等の方法により給電導体層を形成し、その後、電解めっき法により導体配線層 3 を形成すればよい。

【 0 0 6 8 】

また、本実施形態においては、半導体デバイス 1 5 を配線基板 1 3 にブリップチップ法により搭載する例を示したが、半導体デバイス 1 5 はワイヤーボンディング法、テープオートメッドボンディング法等の他の方法により配線基板 1 3 に搭載してもよい。

【 0 0 6 9 】

次に、第 2 の実施形態に係る配線基板及び半導体パッケージの製造方法について説明する。図 1 0 (a) 乃至 (d) は本実施形態に係る配線基板の製造方法をその工程順に示す断面図である。先ず、図 8 (a) 乃至 (c) に示す方法により、支持基板 1 上にエッチング容易層 4、エッチングバリア層 5 及び配線本体 6 からなる導体配線層 3 を形成し、この導体配線層 3 を覆うように基体絶縁膜 7 を形成し、この基体絶縁膜 7 にビアホール 1 0 を形成する。

10

【 0 0 7 0 】

次に、図 1 0 (a) に示すように、ビアホール 1 0 内に導電材料を埋め込むと共に、基体絶縁膜 7 上に中間配線 2 2 を形成する。このとき、中間配線 2 2 はビアホール 1 0 を介して配線本体 6 に接続される。次に、図 1 0 (b) に示すように、中間配線 2 2 を覆うように、中間絶縁膜 2 3 を形成する。中間絶縁膜 2 3 の形成方法は、例えば、基体絶縁膜 7 の形成方法と同様である。そして、中間絶縁膜 2 3 における中間配線 2 2 の直上域の一部に、ビアホール 2 4 を形成する。

20

【 0 0 7 1 】

次に、図 1 0 (c) に示すように、ビアホール 2 4 内に導電材料を埋め込むと共に、中間絶縁膜 2 3 上に、上層配線 1 1 を形成する。このとき、上層配線 1 1 はビアホール 2 4 を介して中間配線 2 2 に接続されるようにする。次に、上層配線 1 1 の一部を覆い、残部を露出させるように、ソルダーレジスト 1 2 を形成する。次に、図 1 0 (d) に示すように、化学的エッチング又は研磨により、支持基板 1 を除去する。

【 0 0 7 2 】

次に、図 4 に示すように、エッチング容易層 4 をエッチングして除去する。これにより、図 4 に示す本実施形態に係る配線基板 2 1 が形成される。

30

【 0 0 7 3 】

次に、図 5 に示すように、エッチングバリア層 5 の露出部に複数のバンプ 1 4 を接合する。そして、このバンプ 1 4 を介して、配線基板 2 1 にブリップチップ法により半導体デバイス 1 5 を搭載する。このとき、半導体デバイス 1 5 の電極 (図示せず) が、バンプ 1 4 に接続されるようにする。次に、配線基板 2 1 と半導体デバイス 1 5 との間にアンダーフィル 1 6 を流し込み、固体化させる。これにより、バンプ 1 4 がアンダーフィル 1 6 に埋め込まれる。次に、配線基板 2 1 の上層配線 1 1 の露出部に、半田ボール 1 8 を搭載する。これにより、図 8 に示す本実施形態に係る半導体パッケージ 2 5 が形成される。なお、前述の第 1 及び第 2 の実施形態と同様に、アンダーフィル 1 6 の形成は省略してもよい。又は、配線基板 2 1 の下面において、アンダーフィル 1 6 及び半導体デバイス 1 5 を覆うように、モルディングを形成してもよい。

40

【 0 0 7 4 】

次に、第 3 の実施形態に係る配線基板の製造方法について説明する。先ず、図 6 (a) に示すように、保護膜 4 1 を支持基板 1 上の全面に、例えば、ラミネート又はプレス法により貼り付ける。次に、例えば 1 0 0 乃至 4 0 0 の温度に 1 0 分乃至 2 時間保持する加熱処理を行い、保護膜 4 1 を硬化させる。この加熱処理の温度及び時間は、保護膜 4 1 を形成する材料により適宜調節する。保護膜 4 1 の膜厚は例えば 1 乃至 5 0 μm である。

【 0 0 7 5 】

次に、保護膜 4 1 上にレジスト (図示せず) を形成してパターンニングし、このレジストが除去された領域に、エッチングバリア層 5 及び配線本体 6 からなる下層配線を形成する

50

。そして、この下層配線を覆うように基体絶縁膜 7 を形成し、この基体絶縁膜 7 にビアホール 10 を形成し、ビアホール 10 内に導電材料を埋め込むと共に基体絶縁膜 7 上に上層配線 11 を形成する。次に、上層配線 11 の一部を覆うようにソルダーレジスト 12 を形成する。

【 0 0 7 6 】

次に、図 6 (b) に示すように、支持基板 1 を除去する。次に、図 6 (c) に示すように、保護膜 4 1 をエッチングして選択的に除去し、保護膜 4 1 を除去したエッチング部 4 2 において、下層配線を露出させる。これにより、本実施形態に係る配線基板が形成される。そして、エッチング部 4 2 に bumps 14 (図 1 参照) を取り付けて半導体デバイス 15 (図 1 参照) を搭載し、配線基板と半導体デバイス 15 との間にアンダーフィル 16 (図 1 参照) を充填する。また、半田ボール 18 (図 1 参照) を上層配線 11 に接続する。これにより、本実施形態に係る半導体パッケージが形成される。本実施形態の配線基板及び半導体パッケージにおける上記以外の製造方法は、前述の第 1 の実施形態と同様である。

10

【 0 0 7 7 】

なお、前述の各実施形態においては、最終的に支持基板 1 を除去する例を示したが、本発明はこれに限定されない。例えば、支持基板 1 の一部のみを除去して残部を残してもよく、この支持基板 1 の残部を例えばスティフナとして使用してもよい。また、支持基板 1 を一旦全て除去した後、改めてスティフナを配線基板に取り付けてもよい。

【 0 0 7 8 】

以上、本発明の配線基板、その製造方法、基体絶縁膜及び半導体パッケージの各実施形態について、図面を参照して説明したが、本発明の具体的な構成は前述の第 1 乃至第 4 の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で設計の変更が可能である。

20

【実施例】

【 0 0 7 9 】

以下、本発明の効果について、その特許請求の範囲から外れる比較例と比較して具体的に説明する。図 1 1 は、評価試験用の半導体パッケージの形状を示す断面図である。

【 0 0 8 0 】

図 1 1 に示すように、前述の第 2 の実施形態に示す方法により、絶縁膜が 2 層である配線基板 2 1 を作製した。次に、この配線基板 2 1 に半導体デバイス 15 a をフリップチップ方式で搭載してアンダーフィル 16 を形成し、さらに半導体デバイス 15 b をマウント材 2 6 を介して半導体デバイス 15 a 上に設けて、ワイヤーボンディング方式でワイヤー 2 7 を形成し、配線基板 2 1 に電氣的に接続した。次いで、半導体デバイス 15 a、15 b を覆うようにモルディング 17 を形成し、さらに半田ボール 18 を搭載して評価試験用の半導体パッケージを作製した。この半導体パッケージの構成を表 1 に示す。

30

【 0 0 8 1 】

【表 1】

半導体デバイス 15a サイズ	6mm□
半導体デバイス 15b サイズ	10mm□
パッケージサイズ	12mm□
BGAボール数	384
BGAボールピッチ	0.5mm
絶縁膜層数	2

40

【 0 0 8 2 】

図 1 1 に示すように、評価試験用の半導体パッケージは、A 部に示すように、半導体デバイス 15 a を搭載するための bumps 14、ビアホール 10 および 2 4、半田ボール 18 すべてが垂直方向に一直線に配置されている部分を有している。さらに、B 部に示すよう

50

に、バンプ14、ビアホール10および24、半田ボール18のいずれもが垂直方向に
一列に配置されていない部分も有している。

【0083】

次に、表1に示すサンプルにおける絶縁膜の機械的特性、即ち、破断強度、弾性率及び
破断伸率を測定した。測定は、絶縁膜のフィルムを幅が1cmの短冊状に切り出し、「J
PCA規格 ビルトアップ配線板 JPCA-BU014.2節」に準拠して引張試験
を行い、測定した。測定温度は-65、23、150の3水準とした。この測定結
果を表2に示す。

【0084】

【表2】

No.	補強繊維	-65°C			23°C			150°C			厚み方向 熱膨張率 ppm/K
		破断強度 MPa	弾性率 GPa	破断伸ひ率 %	破断強度 MPa	弾性率 GPa	破断伸ひ率 %	破断強度 MPa	弾性率 GPa	破断伸ひ率 %	
実施例 1	ガラス	240	11.8	1.3	185	10.5	1.6	160	8.4	1.6	72
実施例 2	アラミド	207	9.4	3.3	182	6.4	3.9	122	3.9	4.0	90
実施例 3	アラミド	188	9.0	3.0	170	5.7	3.8	94	3.6	3.9	87
実施例 4	アラミド	181	8.4	2.8	155	5.3	3.6	86	3.0	3.7	80
実施例 5	アラミド	179	7.5	2.8	140	5.0	3.3	78	2.5	3.6	76
比較例 6	ガラス	282	12.2	1.8	260	11.5	2.1	188	8.7	2.1	96
比較例 7	アラミド	276	10.4	3.6	255	8.7	4.3	180	4.8	4.3	102
比較例 8	アラミド	228	9.7	3.4	218	8.0	4.0	140	4.4	4.1	95
比較例 9	アラミド	165	6.4	2.7	132	4.2	3.1	66	2.0	3.5	71

【0085】

10

20

30

40

50

また、表 2 に示す機械的特性値に基づいて、その温度依存性を算出した。即ち、温度が T のときの弾性率を D_T 、温度が T のときの破断強度を H_T としたとき、比 (D_{65} / D_{150}) の値、および比 (H_{65} / H_{150}) の値を算出した。この算出結果を表 3 に示す。

【 0 0 8 6 】

【 表 3 】

No.	機械的特性の温度依存性		熱応力耐久性(不良発生サイクル数)					
	D_{65} / D_{150}	H_{65} / H_{150}	半導体パッケージ単体			実装用ボードに搭載		
			A部ワイアオープン	B部ワイアオープン	ワイアオープン	A部ワイアオープン	B部ワイアオープン	ワイアオープン
実施例 1	1.5	1.4	1500超	1500超	1500超	1000超	1000超	1000超
実施例 2	1.8	2.4	1500超	1500超	1500超	1000超	1000超	1000超
実施例 3	2.0	2.5	1500超	1500超	1500超	1000超	1000超	1000超
実施例 4	2.1	2.8	1500超	1500超	1500超	1000超	1000超	1000超
実施例 5	2.3	3.0	1500超	1500超	1500超	1000超	1000超	1000超
比較例 6	1.5	1.4	1100	1500超	1500超	750	1000超	1000超
比較例 7	1.5	2.2	1000	1500超	1500超	800	1000超	1000超
比較例 8	1.6	2.2	1250	1500超	1500超	700	1000超	1000超
比較例 9	2.5	3.2	1500超	1500超	950	1000超	1000超	750

10

20

30

40

50

【 0 0 8 7 】

更に、表 2 に示すサンプルの熱応力耐久性を評価した。熱応力耐久性の評価は、半導体パッケージ単体、および半導体パッケージを実装用ボードに搭載したサンプルで行った。半導体パッケージ単体については、 -65 の温度に 30 分間保持した後、 $+150$ の温度に 30 分間保持する基本サイクルを所定の回数繰り返すヒートサイクルを印加した。また、半導体パッケージを実装用ボードに搭載したサンプルについては、 -45 の温度に 30 分間保持した後、 $+125$ の温度に 30 分間保持する基本サイクルを所定の回数繰り返すヒートサイクルを印加した。そして、各サンプルにおいて電氣的接続オープン、即ち断線が発生するサイクル数を評価した。低温 (-65 または -40) から高温 ($+150$ または $+125$) へ移行する移行時間及び高温から低温へ移行する移行時間は、ヒートサイクル試験機的能力及びサンプルの熱容量により異なるため、適宜調整した。

10

【 0 0 8 8 】

なお、半導体デバイスの熱応力耐久性を評価する際に、実使用条件 ($25 \sim 70$) でヒートサイクル試験を行うと、試験に長時間を要してしまう。このため、サンプルに ($-65 \sim 150$)、または ($-40 \sim 125$) のヒートサイクルを印加し、加速試験を行う。温度サイクル試験加速性に関する E I A J - E T - 7 4 0 4 (1999 年 4 月制定) に示されている C o f f i n - M a n s o n の式により求められた値を参照すると、例えば ($-40 \sim 125$) のヒートサイクルは、実使用条件 ($25 \sim 70$ 、1 サイクル/日) に対して 5.7 倍の加速性がある。このため、($-40 \sim 125$) における 600 サイクルは、実使用条件で約 10 年間に相当する。

20

【 0 0 8 9 】

熱応力耐久性試験の評価結果を表 3 に示す。なお、表 3 において、「A 部ビアオープン」「B 部ビアオープン」とは、それぞれ図 11 に示す A 部、および B 部を構成するビアホール接合部におけるオープンが発生したことを示し、「ワイヤーオープン」とは図 11 に示す半導体デバイス 15 b を電氣的に接続するためのワイヤー 30 と配線基板 21 に設けられているエッチングバリア層 5 との接合部におけるオープンが発生したことを示す。また、「1500 超」および「1000 超」とは、夫々 1500 サイクルおよび 1000 サイクルのヒートサイクル後においても、オープン状態とならなかったことを示す。

30

【 0 0 9 0 】

表 2 及び表 3 に示す No. 1 乃至 5 は本発明の実施例である。本実施例においては、厚み方向の熱膨張率が 90 ppm/K 以下であるため、バンプ 14、ビアホール 10 および 24、半田ボール 24 が垂直方向に一系列に配列された A 部においてもビアホール接合部におけるオープンは発生せず、熱応力耐久性が優れていた。さらに、本実施例においては、絶縁膜の 23 における弾性率が 5 GPa 以上であり、150 における弾性率が 2.5 GPa 以上であり、23 における破断強度が 140 MPa 以上であり、比 (D_{65} / D_{150}) の値が 3.0 以下であり、比 (H_{65} / H_{150}) の値が 2.3 以下であるため、ワイヤーボンディング接合部でのオープンも発生せず、パッケージ全体での熱応力耐久性も優れていた。

40

【 0 0 9 1 】

これに対して、表 2 及び表 3 に示す No. 6 乃至 9 は比較例である。ここで、比較例 No. 6 乃至 8 は、厚み方向の熱膨張率が 90 ppm/K より大きいため、B 部を構成するビアホール接合部ではオープンが発生しなかったが、バンプ 14、ビアホール 10 および 24、半田ボール 24 が垂直方向に一系列に配列された A 部においては、ビアホール接合部におけるオープンが発生し、熱応力耐久性が劣っていた。また、比較例 9 は、厚み方向の熱膨張率が 90 ppm/K 以下であるため、A 部、および B 部を構成するビアホール接合部におけるオープンは発生しなかった。しかしながら、絶縁膜の 23 における弾性率が 5 GPa 以上、150 における弾性率が 2.5 GPa 以上、23 における破断強度が 140 MPa 以上、比 (D_{65} / D_{150}) の値が 3.0 以下、比 (H_{65} / H_{150}) の値が 2.3 以下を満たしていないため、半導体パッケージ組立時における

50

ワイヤーボンディング性や取り扱い性に劣っており、このためワイヤーボンディング接合部でのオープンが発生し、パッケージ全体での熱応力耐久性に劣っていた。

【図面の簡単な説明】

【0092】

【図1】本発明の第1の実施形態に係る配線基板を示す断面図である。

【図2】本実施形態に係る半導体パッケージを示す断面図である。

【図3】本実施形態の変形例に係る半導体パッケージを示す断面図である。

【図4】本発明の第2の実施形態に係る配線基板を示す断面図である。

【図5】本実施形態に係る半導体パッケージを示す断面図である。

【図6】(a)乃至(c)は、本発明の第3の実施形態に係る配線基板の製造方法及びその構成をその工程順に示す断面図である。 10

【図7】本発明の第4の実施形態に係る配線基板を示す断面図である。

【図8】(a)乃至(e)は、本発明の第1の実施形態に係る配線基板の製造方法をその工程順に示す断面図である。

【図9】(a)及び(b)は、本実施形態に係る半導体パッケージの製造方法をその工程順に示す断面図である。

【図10】(a)乃至(d)は、本発明の第2の実施形態に係る配線基板及び半導体パッケージの製造方法をその工程順に示す断面図である。

【図11】評価試験用の半導体パッケージを示す断面図である。

【図12】従来のビルドアップ基板を示す断面図である。 20

【図13】(a)乃至(c)は、従来プリント基板の形成方法をその工程順に示す断面図である。

【図14】(a)及び(b)は、他の従来の配線基板の製造方法をその工程順に示す断面図である。

【符号の説明】

【0093】

1 ; 支持基板

2 ; レジスト

3 ; 導体配線層

4 ; エッチング容易層

5 ; エッチングバリア層

6 ; 配線本体

7 ; 基体絶縁膜

7 a ; 凹部

8 ; 絶縁層

10 ; ヴィアホール

11 ; 上層配線

12 ; ソルダーレジスト

13 ; 配線基板

14、14 a ; パンプ

15、15 a、15 b ; 半導体デバイス

16 ; アンダーフィル

17 ; モールドディング

18 ; 半田ボール

19 ; 半導体パッケージ

21 ; 配線基板

22 ; 中間配線

23 ; 中間絶縁膜

24 ; ヴィアホール

25 ; 半導体パッケージ

30

40

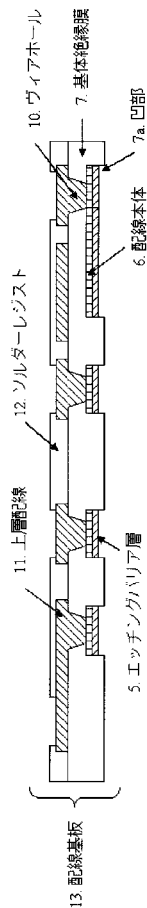
50

- 2 6 ; マウント材
- 2 7 ; ワイヤー
- 4 1 ; 保護膜
- 4 2 ; エッチング部
- 4 3 ; 配線基板
- 7 1 ; 貫通スルーホール
- 7 2 ; 導体配線
- 7 3 ; ベースコア基板
- 7 4 ; ヴィアホール
- 7 5 ; 層間絶縁膜
- 7 6 ; 導体配線
- 8 1 ; 導体配線
- 8 2 ; プリプレグ
- 8 3 ; スルーホール
- 8 4 ; 導体ペースト
- 8 5 ; プリント基板
- 8 6 ; ランドパターン
- 9 1 ; 支持板
- 9 2 ; 導体配線
- 9 3 ; 層間絶縁膜
- 9 4 ; ヴィアホール
- 9 5 ; 導体配線
- 9 6 ; 支持体
- 9 7 ; 配線基板

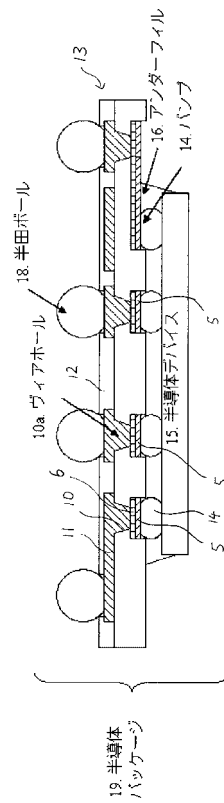
10

20

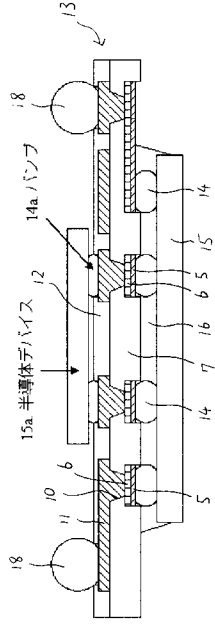
【 図 1 】



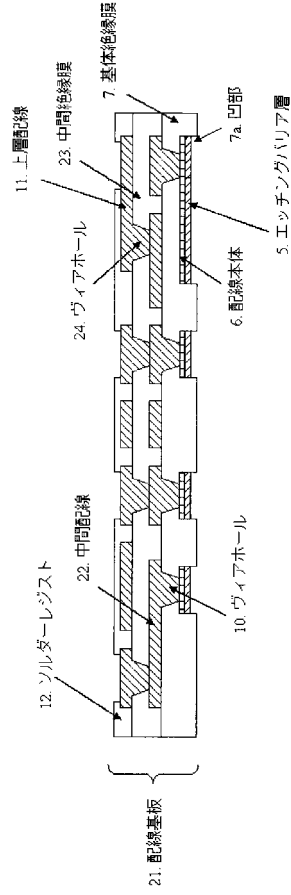
【 図 2 】



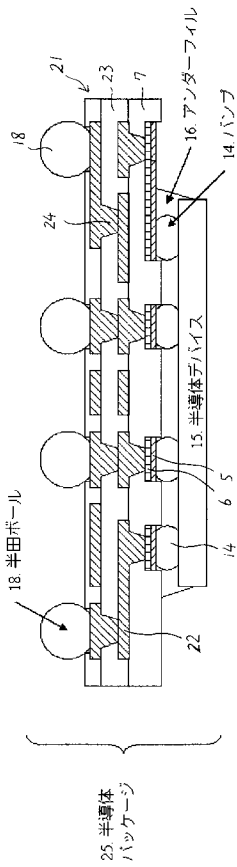
【図3】



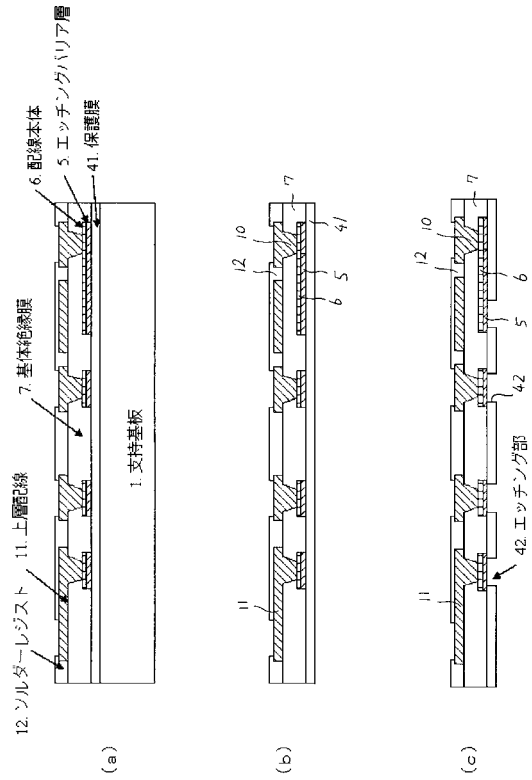
【図4】



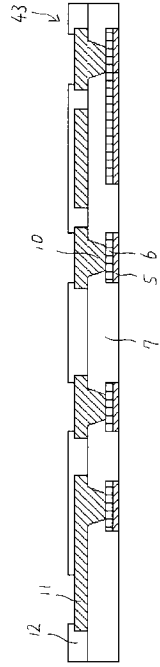
【図5】



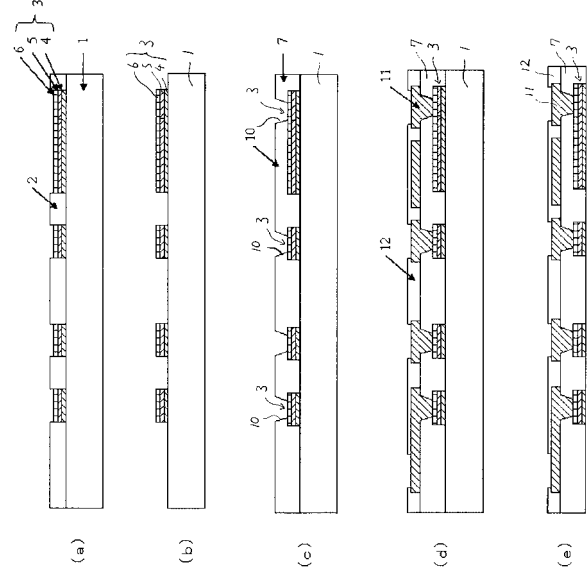
【図6】



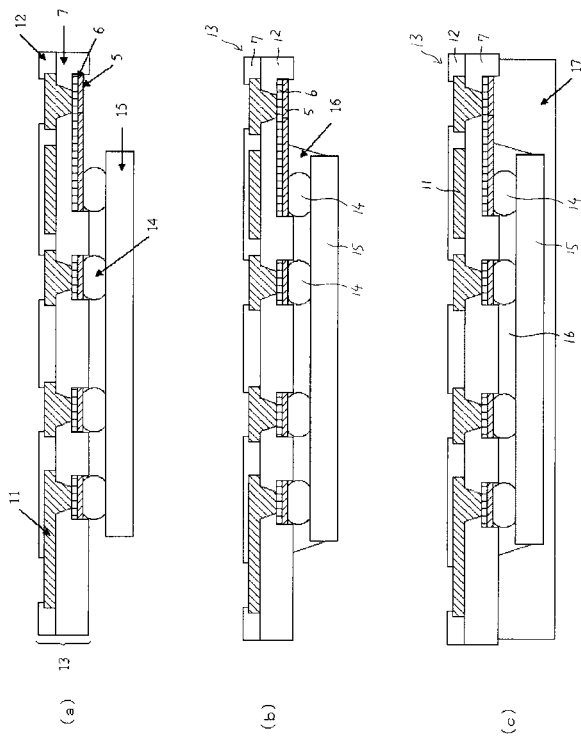
【 図 7 】



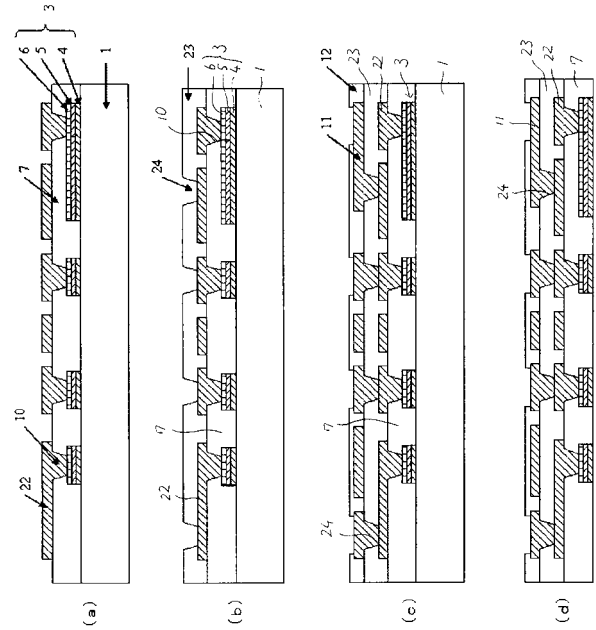
【 図 8 】



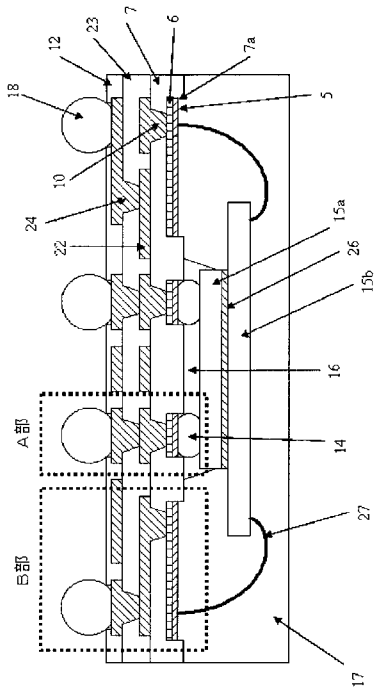
【 図 9 】



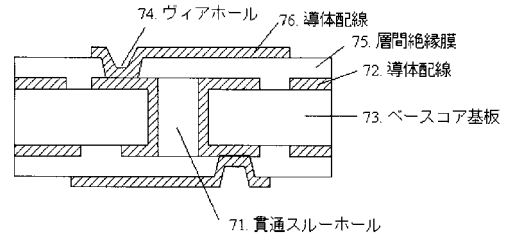
【 図 10 】



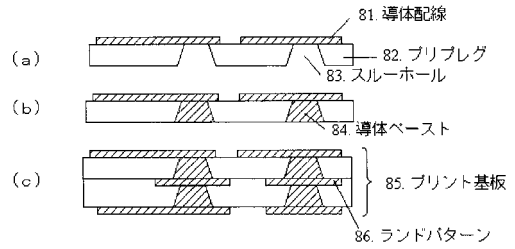
【図11】



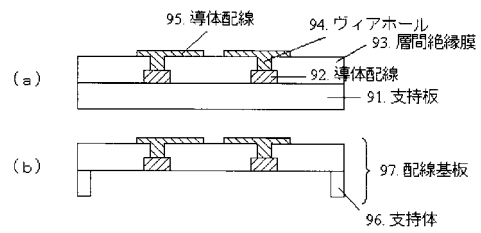
【図12】



【図13】



【図14】



フロントページの続き

- (72)発明者 菊池 克
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 村井 秀哉
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 馬場 和宏
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 本多 広一
神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
- (72)発明者 方 慶一郎
神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

審査官 宮崎 園子

- (56)参考文献 特開2002-198462(JP,A)
特開2002-185097(JP,A)
特開平11-163524(JP,A)
特開2004-119734(JP,A)
特開2003-347737(JP,A)
特開2003-347459(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H05K 3/00
H05K 3/46