



[12] 发明专利说明书

专利号 ZL 02106050.9

[45] 授权公告日 2005 年 8 月 3 日

[11] 授权公告号 CN 1213538C

[22] 申请日 2002.4.10 [21] 申请号 02106050.9

[30] 优先权

[32] 2001.4.10 [33] JP [31] 111297/2001

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 平井良能

审查员 王 莉

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

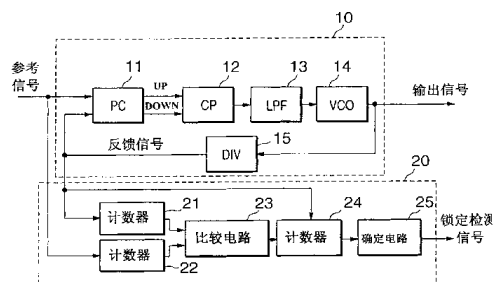
代理人 穆德骏 方 挺

权利要求书 4 页 说明书 20 页 附图 7 页

[54] 发明名称 锁相检测电路

[57] 摘要

本发明提供一种用于对 PLL 电路的锁定检测时间和非锁定检测时间进行优化的锁相检测电路。该电路包括：计数器(21)和(22)，用于对输入至 PLL 电路(10)的鉴相器(11)的反馈信号和参考信号进行输入和计数；比较电路(23)，用于输入并比较计数器(21)和(22)的计数值，并且在当计数器(21)的计数值为第一数值且计数器(22)的计数值也为第一数值时输出处于有效状态的控制信号；计数器(24)，用于在当从比较电路(23)输出的控制信号有效时对反馈信号计数；以及确定电路(25)，用于在当计数器(24)的计数值达到第二数值时输出含有表示锁定状态的数值的输出信号。当计数器(21)的计数值为第一数值且计数器(22)的计数值不是第一数值时，比较电路(23)将计数器(24)复位。



1. 一种用于锁相环电路的锁相检测电路，所述锁相环电路生成相位锁定于输入信号的输出信号，所述锁相检测电路包括：

5 第一计数器，用于对所述输出信号进行计数；

 第二计数器，用于对所述输入信号进行计数；和

 通过多次检测第一事件而生成锁相检测信号的装置，在所述第一事件中，当所述第一计数器的计数值达到预定的第一值时，所述第二计数器的计数值为预定的第二值，

10 其中，所述第一和第二计数器响应于所述第一计数器的计数值变为所述预定的第一值而被复位。

2. 如权利要求 1 所述的锁相检测电路，其中所述装置包括：

 比较电路，用于响应所述第一事件而输出第三信号；

15 第三计数器，用于响应所述第三信号而改变其计数值；

 确定电路，用于当所述第三计数器的所述计数值达到预定的第三值时生成所述锁相检测信号，

 所述第三计数器响应于第二事件而被复位，在所述第二事件中，当所述第一计数器的所述计数值达到所述预定的第一值时，所述第二计数器的所述计数值不为所述预定的第二值。

20

3. 如权利要求 1 所述的锁相检测电路，其中，所述装置包括：

 第一比较电路，用于响应所述第一计数器的所述计数值，并且在此计数值与所述预定的第一值一致时，生成表示一致的状态的输出信号；

25

 第二比较电路，用于响应所述第二计数器的所述计数值，并且在此计数值与所述预定的第二值一致时，生成表示一致的状态的输出信号；

30

 第一复位电路，用于产生复位信号以复位所述第一和第二计数器；

第一逻辑电路，用于响应分别从所述第一和第二比较电路生成的输出信号，并且当这些输出信号都处于表示所述一致的状态时，生成处于第一逻辑状态的输出信号；

5 第二逻辑电路，用于响应所述锁相检测信号和所述第一逻辑电路的所述输出信号，并且在所述锁相检测信号不表示锁定状态且所述第一逻辑电路的所述输出信号处于所述第一逻辑状态时，生成处于所述第一逻辑状态的输出信号；

10 第三计数器，用于响应所述第二逻辑电路的所述输出信号，并且在所述第二逻辑电路的所述输出信号处于所述第一逻辑状态时被允许处于计数使能状态；

第二复位电路，用于在所述第一比较电路的所述输出信号处于表示一致的状态，并且所述第二比较电路的所述输出信号不处于表示一致的状态时，生成作为所述第二事件的信号以对所述第三计数器进行复位；

15 确定电路，用于响应所述第三计数器的计数值并在该计数值与所述预定的第三值一致时输出表示锁定状态的所述锁相检测信号，
所述预定的第一值与所述预定的第二值相同。

4. 如权利要求 1 所述的锁相检测电路，其中，所述装置包括：

20 第一复位电路，用于产生信号以复位所述第一和第二计数器；

第一逻辑电路，用于响应所述第一和第二计数器的输出信号，并且在所述第一计数器的所述计数值与所述预定的第一值一致且所述第二计数器的所述计数值与所述预定的第二值一致时，生成处于第一逻辑状态的信号；

25 第三计数器，用于响应所述第三计数器的计数值达到预定的第三值而生成表示一致的输出信号；

30 第二复位电路，用于响应所述第一和第二计数器的所述输出信号，并且在所述第一计数器的所述计数值与所述预定的第一值一致而所述第二计数器的所述计数值与所述预定的第二值不一致时生成信号以复位所述第三计数器；和

确定电路，用于响应所述第一、第二和第三计数器的输出信号，
在所述第一、第二和第三计数器的所述输出信号都处于表示所述一致
的状态时，生成表示锁定状态的所述锁相检测信号，并且在所述第一
计数器的所述输出信号处于表示所述一致的状态，且所述第二计数器
的所述输出信号未处于所述一致的状态时，生成表示非锁定状态的所
述锁相检测信号，

当所述第一信号的值达到所述预定的第一值时，所述第一计数器
生成表示一致的输出信号，

当所述第二信号的值达到所述预定的第二值时，所述第二计数器
生成表示一致的输出信号，以及

所述预定的第一值与所述预定的第二值相同。

5. 如权利要求 4 所述的锁相检测电路，其中，所述确定电路响
应所述第一计数器的未显示一致状态的所述输出信号而保持所述锁相
检测信号的状态，并且在所述第三计数器的所述输出信号显示所述一
致状态，或每次所述第一计数器的所述输出信号被允许显示所述一致
状态而所述第二计数器的所述输出信号不显示所述一致状态时，所述
确定电路具有更新所述锁相检测信号的值的装置。

6. 一种用于锁相环电路的锁相检测电路，所述锁相环电路生成
相位锁定于输入信号的输出信号，所述锁相检测电路包括：

第一计数器，用于对所述输出信号进行计数；

第二计数器，用于对所述输入信号进行计数；和

通过多次检测第一事件而生成锁相检测信号的装置，在所述第一
事件中，当所述第一计数器的计数值达到预定的第一值时，所述第二
计数器的计数值为预定的第二值，

其中，所述装置包括：

第三计数器，用于响应所述第一事件而改变其计数值；

确定电路，用于当所述第三计数器的所述计数值达到预定
的第三值时生成所述锁相检测信号；

计数器复位电路，用于对所述第一计数器、所述第二计数器和所述第三计数器进行复位，所述第一和第二计数器响应于所述第一计数器的所述计数值变为所述预定的第一值而被所述计数器复位电路复位，所述第三计数器响应于第二事件而被所述计数器复位电路复位，在所述第二事件中，当所述第一计数器的所述计数值达到所述预定的第一值时，所述第二计数器的所述计数值不为所述预定的第二值。

锁相检测电路

5 技术领域

本发明涉及一种锁相检测电路，更具体地说，本发明涉及一种带有计数器的锁相检测电路。

背景技术

10 近年来，人们已将注意力转移到一种利用计数器来检测锁相环（PLL）电路的锁相状态的锁相检测电路。例如，如图 8 所示，在日文出版的未决专利申请 No.10-322200 中揭示了一种锁相检测电路，该电路中含有：一计数周期发生电路，它可从一个输入参考信号中产生一个计数周期；一计数器，它可在计数周期内对 PLL 电路的输出信号
15 进行计数；以及一个比较电路，它用于对计数值进行比较。

如图 9 所示，在现有技术的 PLL 电路 130 中，来自外部的一个输入参考信号 RCLK（频率 f_R ）137 被分频器 136 分频，从而使其频率变成输入参考信号的 $1/M$ （频率 f_M ）。M 分频信号 MCLK 就作为鉴相器（或称相位比较器：phase comparator）131 的两个输入信号之一的参考信号。鉴相器 131 的另一个输入信号是 N 分频信号 NCLK（频率 f_N ），该信号是通过利用分频器 135 对来自 PLL 电路 130 的输出信号 OCLK（频率 f_{OUT} ）进行分频以产生 $1/N$ 频率而获得的。鉴相器 131 输入作为参考信号和比较信号的与输入至 PLL 电路 130 的参考信号相对应的
20 M 分频信号以及与 PLL 电路 130 的输出信号相对应的 N 分频信号，检测两个信号之间的相位差，并且输出与相位差相对应的相位比较结果信号 UP/DOWN。电荷泵 132 在鉴相器 131 的 UP 信号有效时对一电容（图中未示出；它可以是环路滤波器中的一个电容）进行充电，并且在 DOWN 信号有效时对该电容进行放电。当 UP 脉冲和 DOWN 脉冲
25 都无效时，电荷泵 132 被关闭。环路滤波器 133 可将电荷泵 132 的输
30

出信号修整平滑。其输出电压被提供作为压控振荡器 (VCO) 134 的控制电压。VCO 134 输出的信号改变了与环路滤波器 133 输出的直流电压相对应的振荡频率。该信号变成了从 PLL 电路 130 输出的信号 OCLK。输出信号 OCLK 被输入至 N 分频器 135。N 分频信号 NCLK (其中, 输出信号 OCLK 的频率被分频为 $1/N$) 作为一个反馈信号被输入回鉴相器 131。当 $M=1$ 和 $N=1$ 时, 就不再需要 M 分频器和 N 分频器。可以存在一个不含有 M 分频器 136 或 N 分频器 135 的 PLL 电路。

计数周期发生电路 142 将输入参考信号 137 输入至 PLL 电路 130, 从而产生一个合成有其周期的预定倍数的脉宽的计数周期信号脉冲。输出信号计数器 144 利用此计数周期信号脉冲作为一个使能信号, 并在此脉冲周期内对 PLL 电路 130 输出的输出信号 138 的信号波数 (周期数) 进行计数。计数值比较电路 148 中设定了一个基于计数周期信号脉冲的时长的设计值以及 PLL 电路 130 中的频率转换比的预定参考计数值。锁相确定电路 146 可通过输出信号计数器 144 中所测得的参考计数值与输出计数值之差而确定出集成 PLL 电路 130 的输入信号与输出信号之间的相位锁定状态。

在预定计数周期内利用一计数器对 PLL 电路的输出信号进行计数然后将其与一参考计数值进行比较以检测锁定/非锁定的锁相检测电路具有这样一个问题: 检测锁定状态或非锁定状态的时间可能长于所需的时间。其原因如下。

在图 8 所示的现有技术的锁相检测电路内, 在计数周期发生电路 142 中所生成的计数周期结束之前, 计数值比较电路 148 不能对输出信号 OCLK 的波数的计数值与参考计数值进行比较, 它只能在计数周期发生电路 142 中所生成的各个计数周期内确定锁定或非锁定状态。换句话说, 用于确定锁定状态的计数器的比较操作只在各个计数周期内被执行。当锁定状态被改变成非锁定状态时, 与锁定状态检测的情形相似, 非锁定状态在计数周期之后被检测。按照这种方式, 在现有

技术的锁相检测电路中，一个计数器在同一计数周期上对输出信号进行计数以检测锁定或非锁定状态，这样，锁定检测时间和非锁定检测时间就不能被设定成一个最优值。

5 发明内容

本发明的一个目的是提供一种锁相检测电路，它能够优化 PLL 电路的锁定检测时间和非锁定检测时间。

10 为了实现本发明的上述目的，提供了一种用于锁相环电路的锁相检测电路，所述锁相环电路生成相位锁定于输入信号的输出信号，所述锁相检测电路包括：第一计数器，用于对所述输出信号进行计数；第二计数器，用于对所述输入信号进行计数；和通过多次检测第一事件而生成锁相检测信号的装置，在所述第一事件中，当所述第一计数器的计数值达到预定的第一值时，所述第二计数器的计数值为预定的
15 第二值，其中，所述第一和第二计数器响应于所述第一计数器的计数值变为所述预定的第一值而被复位。

20 为了实现本发明的上述目的，还提供了一种用于锁相环电路的锁相检测电路，所述锁相环电路生成相位锁定于输入信号的输出信号，所述锁相检测电路包括：第一计数器，用于对所述输出信号进行计数；第二计数器，用于对所述输入信号进行计数；和通过多次检测第一事件而生成锁相检测信号的装置，在所述第一事件中，当所述第一计数器的计数值达到预定的第一值时，所述第二计数器的计数值为预定的
25 第二值，其中，所述装置包括：第三计数器，用于响应所述第一事件而改变其计数值；确定电路，用于当所述第三计数器的所述计数值达到预定的第三值时生成所述锁相检测信号；计数器复位电路，用于对所述第一计数器、所述第二计数器和所述第三计数器进行复位，所述第一和第二计数器响应于所述第一计数器的所述计数值变为所述预定的第一值而被所述计数器复位电路复位，所述第三计数器响应于第二
30 事件而被所述计数器复位电路复位，在所述第二事件中，当所述第一

计数器的所述计数值达到所述预定的第一值时，所述第二计数器的所述计数值不为所述预定的第二值。

附图说明

图 1 为图示本发明的一个实施例的结构方框图；

5 图 2 为图示本发明的一个实施例的操作时序的时序图；

图 3 为图示本发明一个实施例的一种锁相检测电路的一个例子的方框图；

图 4 为图示本发明另一个实施例的一种锁相检测电路的一个例子的方框图；

10 图 5 为图示图 4 所示确定电路的结构的一个例子的方框图；

图 6 是一个真值表，它用于帮助解释图 4 所示确定电路的操作；

图 7 为图示图 3 所示比较电路的结构的一个例子的方框图；

图 8 为图示现有技术的锁相确定电路的结构方框图；

图 9 为图示现有技术的 PLL 电路的结构的一个例子的方框图；

15

具体实施方式

以下将对本发明的优选实施例进行说明。在本发明的优选实施例中，如图 1 所示，一种含有 PLL 电路（PLL 电路输出具有与输入的参考信号相同的频率或者具有通过将该频率乘以 N 所获得的频率相同的频率的输出信号）的锁相检测电路包括：第一计数器 21，它用于对通过将输出信号除以 1 或 N 的分频值而获得的信号（第一信号）进行计数；第二计数器 22，它用于对参考信号（第二信号）进行计数；以及第三计数器 24，它用于在第一计数器对第一信号计数至一预定第一数值且第二计数器对第二信号计数至一由第一数值和分频值所定义的第二数值时进行上升计数。当第三计数器 24 的计数值变成一个预定的第三数值时，一个确定电路 25 将确定出一个锁定状态。该状态在每个由第一计数器对第一信号进行计数至一预定第一数值的周期内得到更新。当第一计数器 21 对第一信号进行计数至第一数值并且第二计数器 22 对第二信号进行计数至一个不同于第二数值的数值时，非锁定状态被确定。在这种结构中，当第一信号和第二信号的频率相同时，

20

25

30

第一和第二计数器中的第一数值和第二数值相等。

作为对本发明实施例的一个修改，当被用作输入至第一计数器 21 的第一信号时，PLL 电路 10 的输出信号具有通过将参考信号（分频器 15 将 PLL 电路的信号除以 N）的频率乘以 N 而获得的频率，用于对参考信号进行计数的第二计数器 22 的第二数值被设定成作为第一计数器的设定值的第一数值的 $1/N$ （假定 N 是分频值）。当第一计数器 21 数出 K 个第一信号（通过将参考信号的频率乘以 N 而获得）时，第二计数器 22 将数出 K/N 个参考信号。

10

以下将参考附图对本发明的一个实施例进行说明。参考图 1，PLL 电路 10 含有：一压控振荡器 14，能够根据一个控制电压来改变和输出振荡频率；分频器 15，用于对压控振荡器 14 的输出信号进行分频；鉴相器 11，用于输入参考信号和经由分频器 15 分频的信号（反馈信号），并且对这两个信号的相位进行比较；电荷泵 12，它可根据鉴相器 11 的相位比较结果对一电容进行充电和放电，以产生一个与参考信号和反馈信号之间的相位差相对应的电压；以及滤波器 13，它用于将与相差相对应的被提供作为压控振荡器 14 的控制电压的电压修整平滑。当分频器 15 的分频值为 1 时，可以不需要分频器 15，并且压控振荡器 14 的输出被作为一个反馈信号输入至鉴相器 11。

15

20

锁相检测电路 20 含有：一个第一输入端和一个第二输入端以及一个输出端，并且配备有一个第一计数器 21 和一个第二计数器 22，它们用于将作为第一和第二信号的反馈信号和参考信号输入至鉴相器 11 的两个输入端，以便通过第一和第二输入端进行相位比较并且对第一和第二信号进行计数；比较电路 23，它能够在当第一计数器 21 的计数值为一个预定的第一数值并且第二计数器 22 的计数值为此第一数值时，输出一个处于第一种逻辑状态下的信号；第三计数器 24，当从比较电路 23 输出的信号处于第一种逻辑状态时，第三计数器被允许进行计数（计数操作允许）以对反馈信号进行计数；以及确定电路

25

30

25, 它能够在当第三计数器 24 的计数值与一预定的第二数值一致时输出一个表示锁定状态的信号。

5 当第一计数器 21 的计数值为一预定的第一数值 (=NA) 并且第二计数器 22 的计数值也为此第一数值 (=NA) 时 (见图 2), 用于对反馈信号进行计数的第三计数器 24 开始向上计数。当第三计数器 24 的计数值到达一个预定的第二数值时, 确定电路 25 将输出一个表示锁定状态的信号。

10 当第一计数器 21 的计数值到达一个预定的第一数值并且第二计数器 22 的计数值与上述第一数值不同时, 确定电路 25 将输出一个表示非锁定状态的信号。作为一个实现这种控制的逻辑的例子, 当第一计数器 21 的计数值到达一个预定的第一数值并且第二计数器 22 的计数值不是此第一数值时, 比较电路 23 将执行控制以使第三计数器 24
15 复位。当第三计数器 24 的计数值被复位至 0 时, 确定电路 25 可以输出一个含有表示非锁定状态的数值的确定信号。

在本发明的一个实施例中, 非锁定状态在第一计数器 21 对输入的反馈信号计数至一个第一数值的周期内被检测出来, 而锁定状态则
20 在通过将第一数值与第二数值相乘而获得的数值的多个周期中的一周期内 (多个反馈信号的周期) 被检测出来。

为了对本发明的实施例进行更加详细的说明, 以下将对一个应用了本发明思想的实施例进行说明。图 1 为图示本发明一个实施例的结构
25 的方框图。图 1 中, PLL 电路 10 含有: 鉴相器 (PC) 11; 电荷泵 12, 它能够根据从鉴相器 11 输出的 UP 信号和 DOWN 信号, 对提供给一电容 (图中未示出) 的充电和放电电流进行控制; 环路滤波器 13, 它含有一个低通滤波器, 用于将上述电容的端电压修整平滑; 压控振荡器 (VCO) 14, 它用于输入作为控制电压的环路滤波器 13 的输出
30 电压以根据控制电压值来改变振荡频率; 以及分频器 (DIV) 15, 它

用于对压控振荡器 14 的输出频率进行分频。鉴相器 11 对输入参考信号（以下称为“参考信号”）与来自分频器 15 的分频输出信号（以下称为“反馈信号”）之间的相位进行比较。当分频值为 1 时，可以不需要分频器 15。如参考图 9 所述的那样，在 PLL 电路中，可利用分频器将输入参考信号除以 M 以对所述输入信号进行分频，然后，分频信号被提供给鉴相器（M=1 和 N=1 是允许的）。压控振荡器也可以是电流控制振荡器。

在本发明的一个实施例中，锁相检测电路 20 将从两个输入端输入的参考信号和反馈信号输入到鉴相器 11，该鉴相器用于锁相确定以从输出端输出锁相检测信号，而且该电路还含有第一、第二和第三计数器 21、22 和 24，比较电路 23，以及确定电路 25。

第一计数器 21 在输入反馈信号的上升沿上开始向上计数。第二计数器 22 在输入参考信号的上升沿上开始向上计数。

比较电路 23 用于输入和比较第一计数器 21 的计数值与第二计数器 22 的计数值，它允许一个输出信号在当第一计数器 21 的计数值为一个预设值“NA”并且当第二计数器 22 的计数值也为此设定值“NA”时处于有效状态。

比较电路 23 允许一个输出至第三计数器 24 的输出信号在当第一计数器 21 的计数值与预设值“NA”不一致或者当第二计数器 22 的计数值与此设定值“NA”不一致时处于无效状态。

当第一计数器 21 的计数值达到设定值“NA”时，比较电路 23 使第一计数器 21 和第二计数器 22 复位。第一计数器 21 和第二计数器 22 允许各个计数值为零。

当比较电路 23 的输出信号处于有效状态时，第三计数器 24 被允

许计数（允许计数）并且在输入反馈信号的上升沿上开始计数。当比较电路 23 的输出信号处于无效状态时，第三计数器 24 不被允许计数（不允许计数）并且不能对反馈信号执行计数操作。

5 确定电路 25 对第三计数器 24 的计数值与一个预设值“C”进行比较，并且当两者相互一致时，允许锁相检测信号处于有效状态。

 当从确定电路 25 输出的输出信号含有一个表示锁定状态的数值时，第三计数器 24 停止对输入反馈信号的计数操作并且保持数值“C”
10 以作为输出的计数值。

 当第一计数器 21 的计数值达到设定值“NA”并且第二计数器 22 的计数值不是“NA”时，比较电路 23 使第三计数器 24 复位。第三计数器 24 的计数值为 0。第三计数器 24 的计数值和数值“C”相互不一致。
15 确定电路 25 输出含有一个表示非锁定状态的数值的输出信号。

 计数器 21 和计数器 22 的计数值被改变为 1、2、3、…、NA-1。它们所用的各个时间都是“NA”，第三计数器 24 按照 1、2、3、…、C-1 的顺序向上计数。第一计数器 21 和第二计数器 22 对反馈信号连续计数 NA×C 个周期（当反馈信号的周期为 tCK 时，它对应于 tCK ×NA×C）。确定电路 25 允许锁相检测信号处于有效状态（即，锁定状态）。对数值 NA 和 C 来说，可以采用 16 和 256、256 和 8 等的优化组合，而且可以根据 PLL 电路和应用系统的频带来适当地设定它们。
20

25

 在锁相检测之前，第一至第三计数器 21、22 和 24 的计数值的变化如下。

 计数器 21 22 计数器 24
30 1、2、…、 NA 1

1、2、…、 NA 2
 …、…、…、 NA …
 1、2、…、 NA C

5 第一计数器 21 和第三计数器 24 总共对反馈信号计数 $NA \times C$ 个周期。当确定电路 25 输出一个处于有效状态的锁相检测信号时，第一计数器 21 从计数值=0 开始对反馈信号计数。当此计数值达到“NA”并且第二计数器 22 的计数值为“NA”时，确定电路 25 继续保持这个处于有效状态的锁相检测信号。

10

确定电路 25 含有一个逻辑与（AND）电路，它含有多个并行排列的逻辑与检测电路以用于对第三计数器 24 的计数值与数值“C”（二进制显示数据）的各个数位进行一致性检测并且输出逻辑与检测电路的输出的逻辑积以作为一个锁相检测信号。

15

作为对图 1 所示实施例的修改，当 PLL 电路的输出信号频率为参考信号频率的 N 倍（乘以 N）并且分频器 15 的分频值为“N”时，PLL 电路的输出信号被作为第一信号输入至第一计数器 21 并且参考信号被输入至第二计数器 22。当第一计数器 21 对第一信号计数“ $NA \times N$ ”次并且第二计数器 22 对参考信号计数“N”次时，比较电路 23 允许输出信号为有效状态。第三计数器 24 被允许处于可计数状态。第三计数器 24 对第一信号进行计数。当第三计数器 24 的计数值达到“C”时，确定电路 25 输出一个表示锁定状态的信号。

20

25

图 3 为图示图 1 所示锁相检测电路 20 的结构的一个具体例子的方框图。在图 3 中，与图 1 相同的单元由相同的参考标记表示。

30

用于在反馈输入至 PLL 电路（图 1 中的标记 10）的鉴相器（图 1 中的标记 11）的一个输入端之中的反馈信号的上升沿上执行计数操作的第一计数器 21 的计数值和保存有一个预设值 NA 的寄存器 233 的

数值被输入至一个第一比较电路 231 进行比较。

5 用于在输入至 PLL 电路的鉴相器（图 1 中的标记 11）的另一个输入端之中的参考信号的上升沿上执行计数操作的第二计数器 22 的计数值和寄存器 233 的数值被输入至一个第二比较电路 232 进行比较。

10 第一比较器 231 和第二比较器 232 由图 7 所示的电路构成。它们含有： n 个并行排列的一致性检测电路（异或电路）311 至 31 n ，这些电路用于对图 7 所示寄存器 33（对应于图 3 中的寄存器 233）的 n 个数位与计数器的计数值的 n 个数位进行比较；以及一个 AND 电路 32，它用于输出逻辑与检测电路（异或电路）31 至 31 n 的逻辑积以作为比较结果信号。当计数器的计数值与寄存器中的数值一致时，AND 电路 32 将输出一个高电平信号。

15

20 第一比较电路 231 的输出信号被输入至起到计数器复位电路作用的第一 AND 电路 26 的第一输入端。输出信号与输入至第一 AND 电路 26 的第二输入端的反馈信号（反相）的逻辑与输出信号被输入到第一计数器 21 的复位端 R 和第二计数器 22 的复位端 R。处于低电平的第一 AND 电路 26 的第二输入端被允许处于有效状态。当第一 AND 电路 26 的输出端输出一个高电平输出信号的情况下，当输入至其第二输入端的反馈信号为低电平时，则输入至其第一输入端的第一比较电路 231 的输出为高电平。在接收到来自第一 AND 电路 26 的高电平输出信号后，第一计数器 21 和第二计数器 22 被复位。

25

30 第一和第二比较电路 231 和 232 的输出信号（比较结果信号）被输入至第二 AND 电路 27 的第一和第二输入端。第二 AND 电路 27 的输出端与第三 AND 电路 28 的第二输入端相连。第三 AND 电路 28 的输出端与第三计数器 24 的计数使能端相连。处于低电平的第三 AND 电路 28 的第一输入端被允许处于有效状态。确定电路 25 的输出信号

被输入至第一输入端。当输入至确定电路 25 第一输入端的输出信号为低电平（非锁定状态）并且输入至其第二输入端的信号为高电平时，第三 AND 电路 28 将输出高电平输出信号。相对于第三 AND 电路 28 的负逻辑输入端（如第一输入端）来说，通过利用一反相器对输入信号进行反相而获得的信号可被提供给正逻辑输入端，

当计数使能端处于高电平（有效状态）时，第三计数器 24 被允许处于计数操作允许状态，并且可在输入反馈信号的下降沿上执行向上计数操作。

确定电路 25 对输入的第三计数器的计数值与常数“C”进行比较，并且在当它们相互一致时从其输出端输出一个高电平的输出信号（图 1 中的锁相检测信号）。确定电路 25 的结构类似于图 7 所示的结构。图 7 中的寄存器 33 保存有常数 C 的二进制显示数据。图 7 中的逻辑与检测电路 31 被按照与计数器的位数相对应的位数并行排列。

图 3 中的第四 AND 电路 29 将从第一比较电路 231 输出的比较结果信号输入至其第一输入端，并且将从第二比较电路 232 输出的比较结果信号（反相信号）输入至其第二输入端。其输出端与第三计数器 24 的复位端相连。当输入至其第一输入端的第一比较电路 231 的比较结果信号为高电平且输入其第二输入端的第二比较电路 232 的比较结果信号为低电平时，第四 AND 电路 29 将为第三计数器 24 的复位端 R 提供一个高电平输出信号，并且使第三计数器 24 复位。

以下将对本发明一个实施例中所述的锁相检测电路的操作进行说明。图 2 的时序图用于帮助说明本发明一个实施例的操作。图 2 显示了两个周期的操作时序，在这两个周期中，第一计数器的计数值（计数值 1）为用于复位的“NA”，并且第一计数器的计数值（计数值 1）在下一个反馈信号周期内为“1”。

当反馈信号从低电平向高电平上升跃变时，第一计数器 21 执行向上计数操作。当参考信号从低电平向高电平上升跃变时，第二计数器 22 执行向上计数操作。

5 第一计数器的计数值（计数值 1）在反馈信号的上升沿（图 2 中的时序 tNA）上为“NA”。第一比较电路 231 的输出信号为高电平。当反馈信号处于图 2 所示时序中的低电平时，第一 AND 电路 26 允许将输出端处于高电平。用于将第一 AND 电路 26 的输出信号输入至复位端 R 的第一计数器 21 和第二计数器 22 被复位（在图 2 中的时序 a
10 之后并且在时序 tNA+1 之前）。各个计数值都为“0”（图 2 中未示出）。

 在时序为 tNA+1 的反馈信号的上升沿上，第一计数器 21 向上计数并且其计数值为“1”。在参考信号的上升沿上，第二计数器 22 向上计数并且其计数值为“1”。
15

 当第一和第二比较电路 231 和 232 的比较结果信号都为高电平时（第一和第二计数器 21 和 22 的计数值都为 NA），第二 AND 电路 27 的输出信号也处于高电平。当从确定电路 25 的输出端输出的信号（锁相检测信号）为低电平时，第三 AND 电路 28 的输出信号处于高电平。
20 第三计数器 24 被允许处于计数使能状态，以在反馈信号下降跃变时进行向上计数。利用图 2 所示的时序（从反馈信号的高电平到低电平的下降时序），第一和第二计数器 21 和 22 尚未被复位（即，慢于第一和第二计数器 21 和 22 被复位且各计数值均为零的时序 ta）。第一
25 和第二比较电路 231 和 232 的比较结果信号都处于高电平。第三计数器 24 被允许进入计数使能状态。在反馈信号的高电平到低电平的下降沿上，第三计数器 24 进行向上计数。

 当第一比较电路 231 的比较结果信号为高电平（第一计数器 21
30 的计数值与“NA”一致）且第二比较电路 232 的比较结果信号为低电

平（第二计数器 22 的计数值与“NA”不一致）时，第四 AND 电路 29 的输出信号处于高电平以对第三计数器 24 复位。第三计数器 24 的计数值为“0”。

5 在第三计数器 24 中，其中第一比较电路 231 的比较结果信号和第二比较结果信号都为高电平（第一计数器 21 的计数值与“NA”一致并且第二比较器 22 的计数值也与“NA”一致）的情况被连续重复预定的次数（C 次）。当反馈信号从高电平向低电平下降跃变时，第三计数器 24 的计数值按照 1、2、3、…、C-1 的顺序向上计数。当
10 第三计数器 24 的计数值为“C”时，确定电路 25 输出一个处于锁定状态的信号。在本实施例中，第一计数器 21 和第二计数器 22 是在反馈信号和参考信号的上升沿上执行计数操作的。第三计数器 24 则是在反馈信号的下降沿上执行计数操作的。第一计数器 21、第二计数器 22 和第三计数器 24 的计数操作时序被相互错开。时序边缘得到保持，
15 从而允许执行一个逻辑积不发生变化的稳定的操作，并且可以实现精确的锁定/非锁定检测。

 在第三计数器 24 的计数值到达“C”之前，当第一计数器 21 对反馈信号计数至“NA”（第一比较电路 231 的输出为高电平）且作为
20 参考信号的第二计数器 22 的计数值不是“NA”时，第三计数器 24 将被复位以从计数值“0”开始重新启动对反馈信号的计数操作。换句话说，当第一计数器 21 的计数值为“NA”、第二计数器 22 的计数值也为“NA”的情况被连续重复 K 次（ $K < C$ ）（第三计数器 24 的计数值按照 1、…、K 的顺序变化）。之后，当第一计数器 21 的计数值为
25 “NA”并且第二计数器 22 的计数值不为“NA”时，第三计数器 24 被复位以使其计数值为“0”。在这种情况下，第三计数器 24 的计数值不等于“C”，并且确定电路 25 的输出信号处于低电平（非锁定状态）。非锁定状态可在反馈信号的各个 NA 周期内被检测到。

30 当确定电路 25 的输出信号处于高电平（锁定状态）时，第三 AND

电路 28 的输出信号处于低电平并且第三计数器 24 的计数使能端 E 也处于低电平（计数关闭状态），此时，第三计数器 24 在反馈信号的下降沿上不执行向上计数操作。第一和第二计数器 21 和 22 以及第三计数器 24 被复位以初始化成开机状态。

5

以下将对本发明的第二实施例进行说明。图 4 为图示本发明第二实施例所述的一种锁相检测电路的结构方框图。在本发明的第二实施例中，第一计数器 21A、第二计数器 22A 和第三计数器 24A 先计数至预设值，然后输出一个处于表示一致的状态（例如，高电平）的输出信号（1 位信号）。在这种结构中，不需要包括图 3 所示的第一比较电路 231、第二比较电路 232 以及寄存器 233 在内的结构。作为第一计数器 21A、第二计数器 22A 和第三计数器 24A 的输出信号，可以采用当到达计数值的上限值（设定值）时输出一个溢出信号的举措。

10 像在上述实施例中一样，第一 AND 电路 26 起到了计数器复位电路的作用。当第一计数器 21A 对反馈信号计数至数值“NA”时，第一计数器 21A 输出信号为高电平并且反馈信号为低电平，则输出信号被允许处于高电平。

15 用于将第一 AND 电路 26 的输出信号输入至复位端 R 的第一计数器 21A 和第二计数器 22A 接收到来自第一 AND 电路 26 的高电平输出信号并且被复位。各个计数值都为零。第一计数器 21A 和第二计数器 22A 的输出信号被允许处于低电平。当第一计数器 21A 和第二计数器 22A 的输出信号处于低电平时，第一 AND 电路 26 的输出为低电平。第一计数器 21A 和第二计数器 22A 以及第三计数器 24A 被复位以初始化成开机状态。

20 用于将第一和第二计数器 21A 和 22A 的输出信号输入至其第一和第二输入端的第二 AND 电路 27 的输出端上的信号被作为一个计数使能信号而与第三计数器 24A 的计数使能端 E 相连接。当第一和第二

30

计数器 21A 和 22A 的输出信号处于高电平时，第二 AND 电路 27 将输出高电平以允许第三计数器 24A 进入计数使能状态。处于计数使能状态的第三计数器 24A 在输入反馈信号的下降沿上开始向上计数。当第三计数器 24A 计数至预定值“C”时，第三计数器 24A 输出一个高电平输出信号。第三计数器 24A 的计数使能状态即使在其中第一计数器 21A 对反馈信号计数至“NA”的最短周期内也有一次。此周期包括从反馈信号的高电平到低电平的下降时序。

在用于输入第一计数器 21A 的输出信号和第二计数器 22A 的输出信号（反相信号）的第三 AND 电路 30 中，当第一计数器 21A 的输出信号和第二计数器 22A 的输出信号分别处于高电平和低电平时，高电平的输出信号被从输出端输出，然后被提供给第三计数器 24A 的复位端 R。复位端 R 处于高电平的第三计数器 24A 被复位，从而使其计数值为“0”，并且输出信号处于低电平。

确定电路 25A 从其输入端输入一个反馈信号（反相信号）、第三计数器 24A 的输出信号、第一计数器 21A 的输出信号以及第二计数器 22A 的输出信号以作为信号 1、2、4 和 3，并且从其输出端输出一个表示锁定状态和非锁定状态的信号（图 1 中的锁相检测信号）。

以下将介绍实现确定电路 25A 功能的一个例子。确定电路 25A 在反馈信号（反相信号）1 的上升沿（反馈信号的下降沿）上锁存输出一个具有一表示锁定状态的数值（高电平）的信号，当第一计数器 21A 的输出信号 4 为高电平时，第二计数器 22A 的输出信号 3 也处于高电平，并且第三计数器 24A 的输出信号 2 也处于高电平。

当第一计数器 21A 的输出信号 4 为高电平且第二计数器 22A 的输出信号 3 处于低电平时，确定电路 25A 在反馈信号（反相信号）1 的上升沿（反馈信号的下降沿）上锁存输出一个具有一表示非锁定状态的数值（低电平）的信号。

当第一计数器 21A 的输出信号 4 为低电平时(即,第一计数器 21A 的计数值不是数值“NA”),确定电路 25A 将保持状态(输出信号不改变)。

5

当第一计数器 21A 的输出信号 4 为高电平时(即,第一计数器 21A 的计数值是“NA”时),确定电路 25A 将根据锁定/非锁定状态而更新其输出逻辑值,第三计数器 24A 的输出信号 2 为高电平、或者第二计数器 22A 的输出信号 3 处于低电平。例如,当第三计数器 24A 的输出信号 2 处于高电平并且第二计数器 22A 的输出信号 3 也处于高电平时,非锁定状态被转换成锁定状态。当第二计数器 22A 的输出信号 3 处于低电平时,它将变成非锁定状态。在本实施例中,当它在检测到锁定状态之后变成非锁定状态时,处于非锁定状态的信号将在反馈信号的“NA”周期的时间内被输出。

10

15

图 5 为图示图 4 中所示确定电路 25A 的结构的一个例子的方框图。参考图 5,确定电路 25A 包括:AND 电路 251,它用于输入信号 2 和 3;NOR 电路 252,它用于输入 AND 电路 251 的输出信号和信号 4(反相信号);选择器 253,它用于从 A 和 B 输入端输入信号 3 和 D 型触发器 254 的反相输出 Q、从选择信号端 S 输入 NOR 电路 252 的输出信号,根据选择信号端 S 的数值从输入至 A 和 B 输入端的信号当中选择一个信号,并且对该信号进行反相和输出;D 型触发器 254,它用于在反馈信号(反相)1 的上升沿(反馈信号的下降沿)上对选择器 253 的输出的反相信号进行采样,并将其从输出端 Q 输出。

20

25

选择器 253 根据选择信号端 S 的数值而选取两个输入之一,并且(例如)含有一个第一 3 态反相器以及一个第二 3 态反相器,上述第一 3 态反相器的输入端与 A 端相连接,上述第二 3 态反相器的输入端则通过一个反相器而与 B 端相连接。第一和第二 3 态反相器的输出被连接在一起。一选择信号被输入至第二 3 态反相器的输出使能端上。

30

通过用一反相器对选择信号进行反相而获得的一个信号被输入至第一
3 态反相器的输出使能端。当选择信号为低电平时，第一 3 态反相器
被允许进入输入使能状态，而第二 3 态反相器则被允许进入高阻状态。
当选择信号为高电平时，第二 3 态反相器被允许进入输入使能状态，
5 而第一 3 态反相器则被允许进入高阻状态。

当第三计数器 24A 的输出信号 2 为低电平（当第三计数器 24A
的计数值与设定值“C”不一致时）并且第二计数器 22A 的输出信号
3 为高电平时，AND 电路 251 将输出一个高电平信号。当第三计数器
10 24A 的输出信号 2 为高电平或者第二计数器 22A 的输出信号 3 为低电
平时，AND 电路 251 也将输出一个低电平信号。

当第一计数器 21A 的输出信号 4 为高电平（第一计数器 21A 对
反馈信号计数至“NA”时）、并且 AND 电路 251 的输出信号为低电
15 平时，NOR 电路 252 将输出一个高电平信号，并将其提供给选择器 253
的选择信号端 S。此时，选择器 253 选择并输出（反相输出）输入至
B 端的第二计数器 22A 的输出信号 3（反相）。输入至选择器 253 的
B 端的信号被反相输入和反相输出。处于这种状态（同相状态）之下
的输入信号被提供给 D 型触发器 254 的数据输入端 D。

20 当第一计数器 21A 的输出信号 4 为低电平时（当第一计数器 21A
对反馈信号计数至 NA 时），NOR 电路 252 将输出一个低电平信号，
并且将其提供给选择器 253 的选择信号端 S。此时，选择器 253 选择
A 端来输出反相信号。通过对 D 型触发器 254 的反相输出 QB 进行反
25 相而获得的信号被输入至 D 型触发器 254 的数据输入端 D 上。D 型触
发器 254 在反馈信号（反相）1 的上升沿（反馈信号的下降沿）上对
其数据输入端 D 上的信号进行采样，然后将采样信号从其非反相输出
端 Q 上输出。因此，D 型触发器 254 的输出端 Q 上的输出信号的逻辑
值（确定电路 25A 的输出信号）不会被改变（在其被保持之前的状态）。

30

在 AND 电路 251 的输出信号为高电平时，即，第三计数器 24A 的输出信号 2 为低电平（当第三计数器 24A 的计数值变成“C”时），并且当第二计数器 22A 的输出信号 3 为高电平时（当第二计数器 22A 的计数值为 NA 时），NOR 电路 252 输出一个低电平信号，并且该信号被提供给选择器 253 的选择信号端 S。此时，选择器 253 选择 A 端来将通过对 D 型触发器 254 的反相输出 QB 进行反相而获得的信号输入至 D 型触发器 254 的数据输入端 D。在这种情况下，D 型触发器 254 的输出信号也不会被改变。

图 6 总结了确定电路 25A 的操作并给出了它的真值表。为了便于对图 5 所示的电路操作进行说明，在图 6 中，包含在第一行之内的一个信号组合被显示在以下的各行之中。图 6 将图 5 中的信号的高电平表示为逻辑“1”并且将图 5 中的信号的低电平表示为逻辑“0”。以下将参考图 5 和图 6 对本发明第二实施例的操作进行说明。

(1) 当第一计数器 21A 的输出信号 4 为低电平 (0) 时，NOR 电路 252 输出低电平 (0)，并且选择器 253 选择 A 端进行输出。选择器 253 选择 D 型触发器 254 的反相输出 QB 输入至 A 端，并将其反相输出，然后将该反相输出的信号提供给 D 型触发器 254 的数据输入端 D。D 型触发器 254 在反馈信号 (反相) 1 的上升沿上采样输出选择器 253 的输出信号。输出的 Q 值不被改变。D 型触发器 254 保持住这种状态。

(2) 当第二计数器 22A 的输出信号 3 处于低电平 (0) 时，AND 电路 251 的输出信号为低电平。当第一计数器 21A 的输出信号 4 为高电平 (1) 并且第二计数器 22A 的输出信号 3 为低电平 (0) 时，图 4 中的 AND 电路 30 将为第三计数器 24A 的复位端 R 提供一个高电平信号，从而使第三计数器 24A 复位。

当第一计数器 21A 的输出信号 4 为高电平 (1) 时，第二计数器

22A 的输出信号 3 为低电平 (0)，并且 AND 电路 251 的输出信号为低电平，NOR 电路 252 将高电平 (1) 输出至选择器 263 的选择信号端 S。其选择信号端 S 处于高电平的选择器 253 选择高电平作为输入至 B 端的第二计数器 22A 的输出信号 3 (反相)，并且将低电平 (0) 作为通过对同一信号进行反相所获得的信号而输出给 D 型触发器 254 的数据输入端 D。D 型触发器 254 在反馈信号 (反相) 1 的上升沿上对数据输入端 D 上的信号进行采样，以从输出端 Q 输出低电平 (非锁定状态)。

10 (3) 当第二计数器 22A 的输出信号 3 为高电平 (1) 且第三计数器 24A 的输出信号 2 为低电平 (0) 时，AND 电路 251 将输出高电平以作为其输出信号。此时，NOR 电路 252 不是通过第一计数器 21A 的输出信号 4 的数值而输出低电平。选择器 253 选择并输出 A 端的信号。因此，用于在反馈信号 (反相) 1 的上升时序上对数据输入端 D 15 上的信号进行锁存的 D 型触发器 254 不会改变状态。

(4) 当第一计数器 21A 的输出信号 4 为低电平 (0) 时，第二计数器 22A 的输出信号 3 为高电平 (1)，并且第三计数器 24A 的输出信号 2 为高电平 (1)，用于输入第一计数器 21A 的输出信号 4 的 NOR 电路 252 输出低电平。选择器 253 选择并输出 A 端的信号。用于在反馈信号 (反相) 1 的下降时序上对数据输入端 D 上的信号进行锁存的 D 型触发器 254 不会改变状态 (保持状态)。

25 (5) 当第一计数器 21A 的输出信号 4 为高电平 (1) 时，第二计数器 22A 的输出信号 3 为高电平 (1)，并且第三计数器 24A 的输出信号 2 也为高电平 (1)，AND 电路 251 的输出信号被允许处于低电平，并且 NOR 电路 252 输出高电平。选择器 253 选择输入至 B 端的第二计数器 22A 的高电平输出信号，并且将其输出至 D 型触发器 254 的数据输入端 D。D 型触发器 254 在反馈信号 (反相) 的上升沿上对数据输入端 D 上的信号进行采样输出，从而输出一个高电平 (锁定) 30

的输出信号。

5 作为对图 3 和图 4 所示结构的一个修改, PLL 电路的输出信号(通过将参考信号乘以 N 而获得的一个频率)被用作输入的反馈信号。反馈信号的频率为参考信号的“ N ”倍。当用于输入反馈信号的第一计数器 21A 对反馈信号计数至“ $NA \times N$ ”时, 输出信号被允许处于高电平。当第二计数器 22A 对参考信号计数至“ NA ”时, 输出信号被允许处于高电平。第三计数器 24A 被允许进入计数使能状态, 并且第三计数器 24A 在反馈信号的下降沿上向上计数。当第三计数器 24A 计数至设定值“ C ”时, 输出信号被允许处于高电平。

10 以上通过多个实施例对本发明进行了说明。但本发明并不仅限于这些实施例的结构, 它可以包括各种可由熟练技术人员执行的处于本发明权利要求范围内的更改和修正。

15

如上所述, 本发明含有至少一个用于对反馈信号和参考信号进行计数的第一和第二计数器以及一个用于对第一和第二计数器中的设定值的符合次数进行计数的第三计数器。用于执行锁定确定的比较确定的次数不只是一次, 而是按照第三计数器的设定值的倍数。当第一计数器的计数值是一个设定值并且第二计数器的计数值与此设定值不一致时, 非锁定状态被快速检测出来。这样就可以缩短非锁定检测的时间。锁定状态和非锁定状态的各个检测周期也可得到优化设定。

20

图1

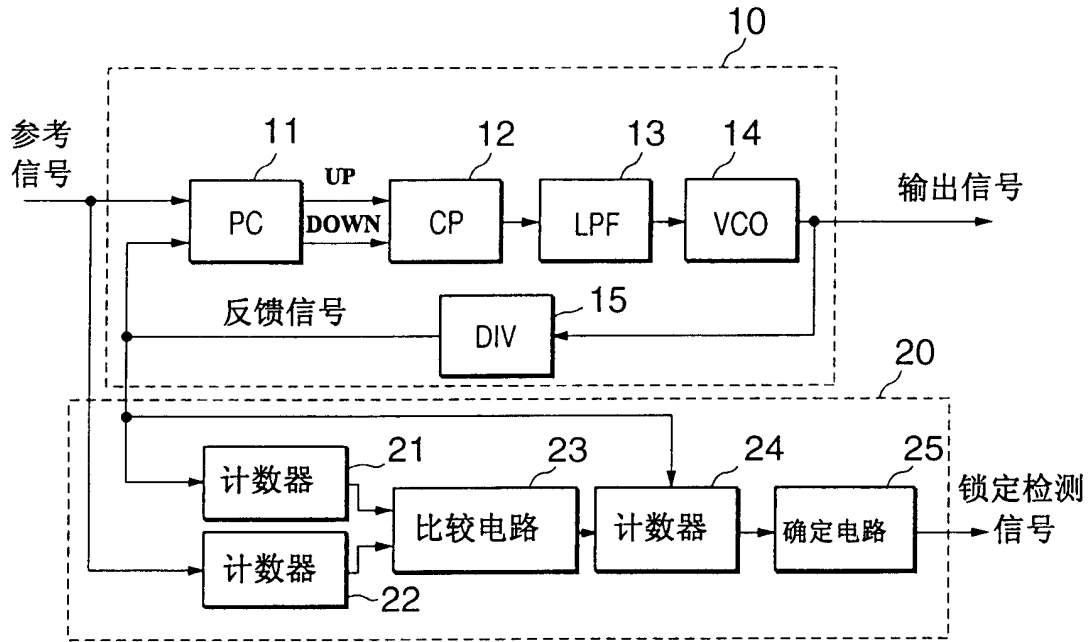


图2

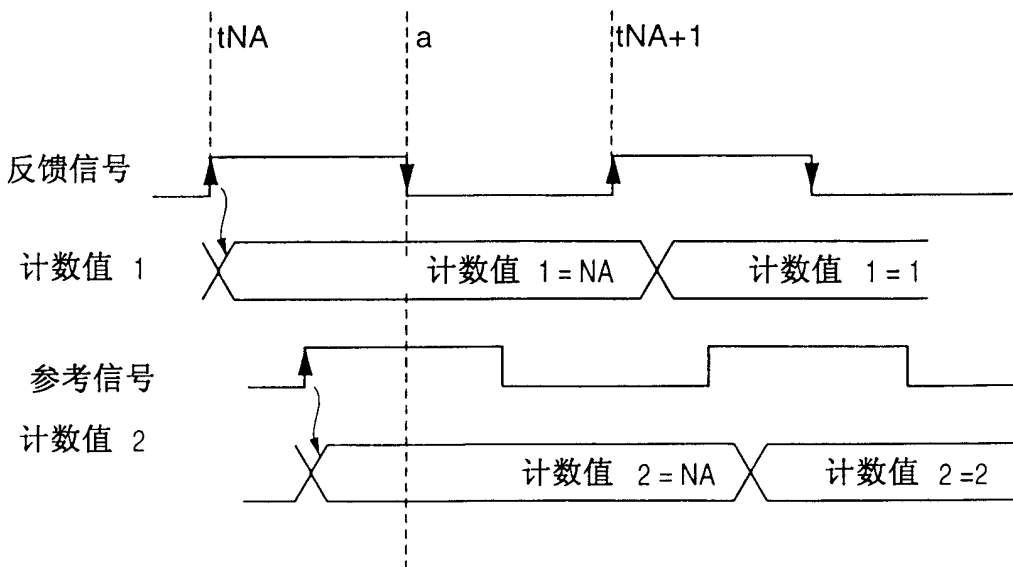


图3

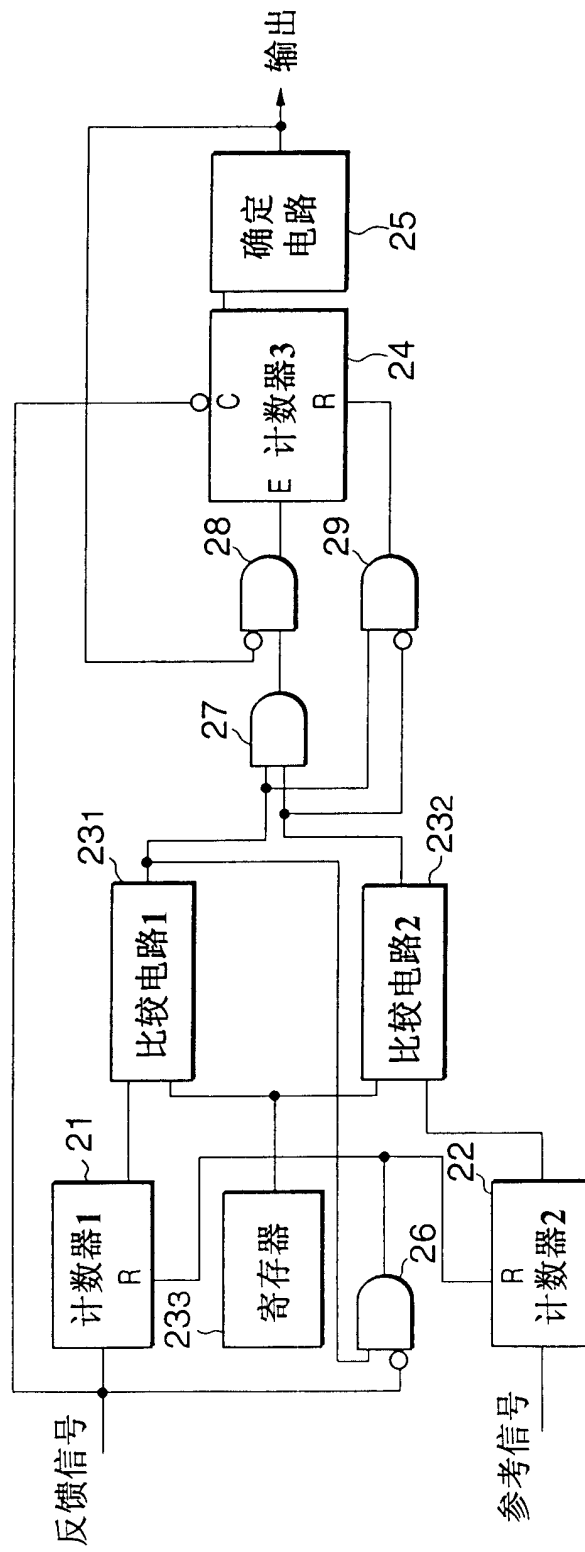


图4

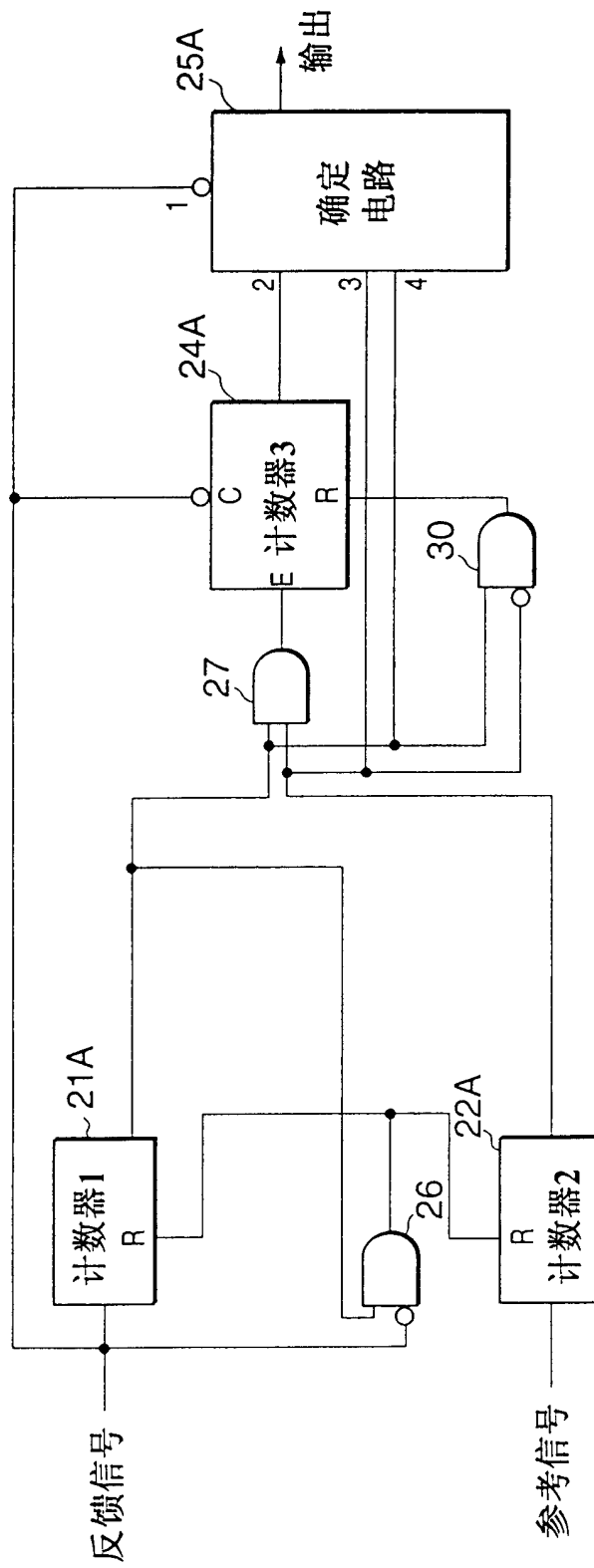


图5

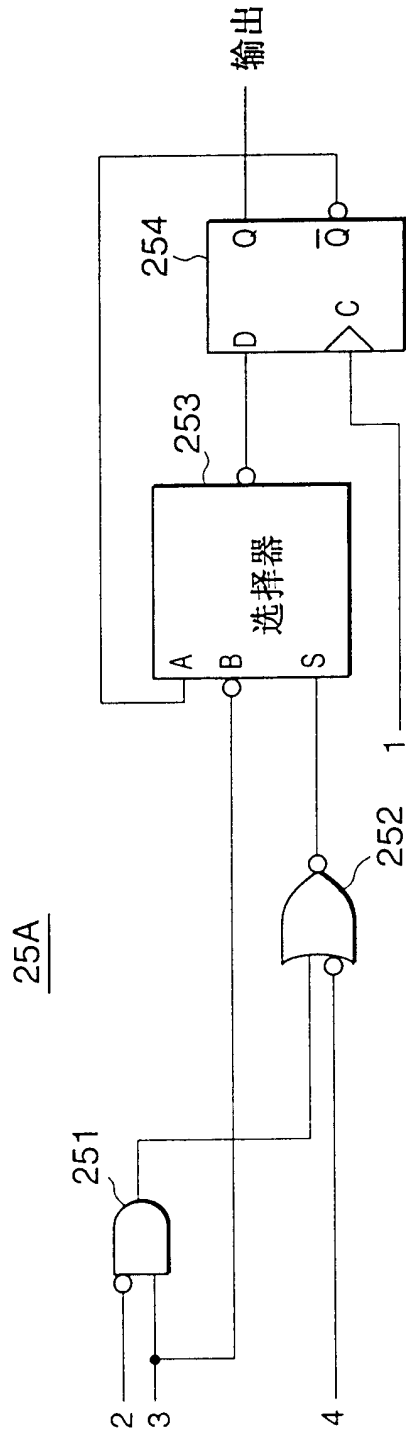


图6

1 反馈信号 (反相)	4 计数器1 输出	3 计数器2 输出	2 计数器3 输出	输出
	0	×	×	保持
	1	0	×	0(非锁定)
	×	1	0	保持
	0	1	1	保持
	1	1	1	1(锁定)

计数器1,2和3当计数满时输出1
选择器:当S=0时,输出A;当S=1时,输出B

图7

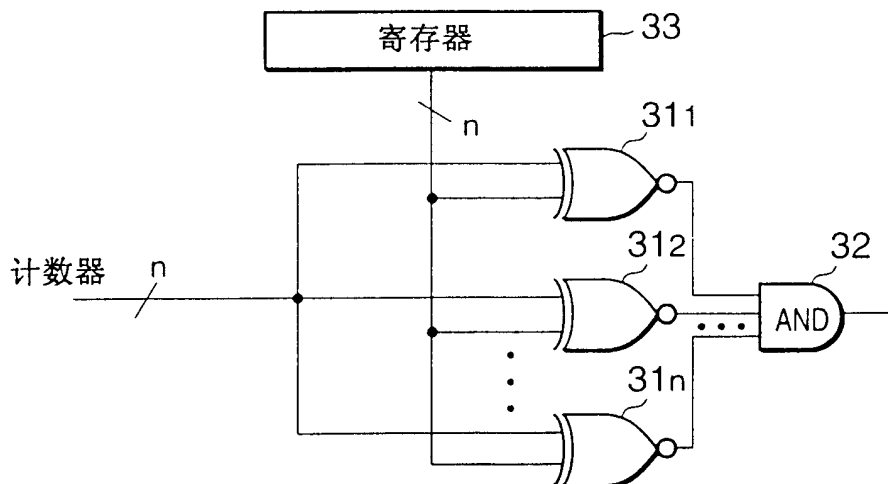


图8

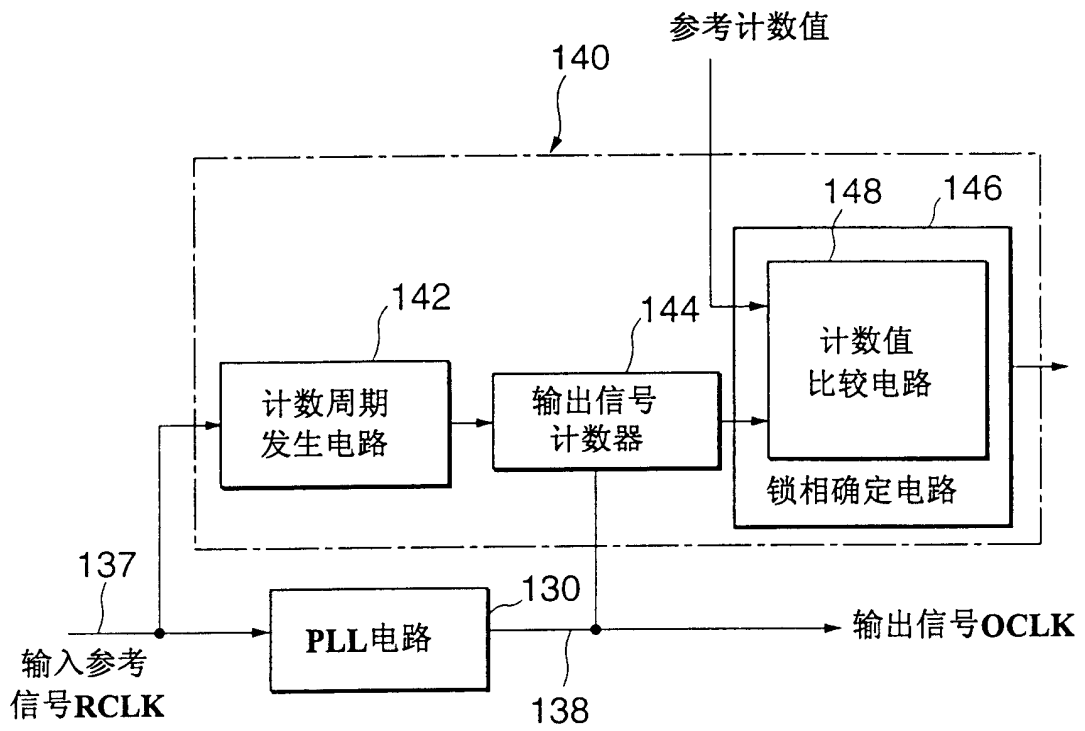


图9

