

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成23年10月27日 (2011.10.27)

【公開番号】特開2009-124122(P2009-124122A)

【公開日】平成21年6月4日 (2009.6.4)

【年通号数】公開・登録公報2009-022

【出願番号】特願2008-269014(P2008-269014)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 21/3213 (2006.01)

H 0 1 L 21/3205 (2006.01)

【F I】

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 2 D

H 0 1 L 21/28 E

H 0 1 L 29/50 M

H 0 1 L 29/58 G

H 0 1 L 21/88 C

H 0 1 L 21/88 G

【手続補正書】

【提出日】平成23年9月7日 (2011.9.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

透光性を有する基板上にゲート電極を形成し、  
 前記基板及び前記ゲート電極上にゲート絶縁膜を成膜し、  
 前記ゲート絶縁膜上に第 1 の半導体膜を成膜し、  
 前記第 1 の半導体膜上に一導電型の不純物元素を含有する第 2 の半導体膜を成膜し、  
 前記第 2 の半導体膜上に、多階調フォトリソマスクを用いて第 1 のフォトリソパターンを形成し、  
 前記第 1 のフォトリソパターンをマスクとして前記第 1 の半導体膜及び前記第 2 の半導体膜のエッチングを行い、  
 前記第 1 のフォトリソパターンを加工して第 2 のフォトリソパターンを形成し、  
 、  
 前記ゲート絶縁膜、前記エッチングが行われた前記第 2 の半導体膜、及び前記第 2 のフォトリソパターン上に導電膜を成膜し、  
 前記第 2 のフォトリソパターン上に成膜された前記導電膜を前記第 2 のフォトリソパターンと同時に除去することによってソース電極及びドレイン電極を形成することを特徴とする半導体装置の作製方法。

## 【請求項 2】

透光性を有する基板上に画素部のゲート電極及び端子部に延在するゲート配線を同一の材料で形成し、

前記基板、前記ゲート電極、及び前記ゲート配線上にゲート絶縁膜を成膜し、

前記ゲート絶縁膜上に第 1 の半導体膜を成膜し、

前記第 1 の半導体膜上に一導電型の不純物元素を含有する第 2 の半導体膜を成膜し、

前記第 2 の半導体膜上に、多階調フォトリソマスクを用いて第 1 のフォトリソパターンを形成し、

前記第 1 のフォトリソパターンをマスクとして前記第 1 の半導体膜及び前記第 2 の半導体膜のエッチングを行い、

前記第 1 のフォトリソパターンを加工して第 2 のフォトリソパターンを形成し、

前記ゲート絶縁膜、前記エッチングが行われた前記第 2 の半導体膜、及び前記第 2 のフォトリソパターン上に導電膜を成膜し、

前記第 2 のフォトリソパターン上に成膜された前記導電膜を前記第 2 のフォトリソパターンと同時に除去することによって前記画素部のソース電極及びドレイン電極と、前記端子部に延在するソース配線と、を形成することを特徴とする半導体装置の作製方法。

## 【請求項 3】

透光性を有する基板上に第 1 の導電膜を成膜し、

前記第 1 の導電膜上に、第 1 のフォトリソマスクを用いて第 1 のフォトリソパターンを形成し、

前記第 1 のフォトリソパターンをマスクとして前記第 1 の導電膜のエッチングを行い、画素部のゲート電極及び端子部に延在するゲート配線を形成し、

前記基板、前記ゲート電極、及び前記ゲート配線上にゲート絶縁膜を成膜し、

前記ゲート絶縁膜上に第 1 の半導体膜を成膜し、

前記第 1 の半導体膜上に一導電型の不純物元素を含有する第 2 の半導体膜を成膜し、

前記第 2 の半導体膜上に、多階調フォトリソマスクである第 2 のフォトリソマスクを用いて第 2 のフォトリソパターンを形成し、

前記第 2 のフォトリソパターンをマスクとして前記第 1 の半導体膜及び前記第 2 の半導体膜に第 1のエッチングを行い、

前記第 2 のフォトリソパターンを加工して第 3 のフォトリソパターンを形成し、

前記ゲート絶縁膜、前記第 1 のエッチングが行われた前記第 2 の半導体膜、及び前記第 3 のフォトリソパターン上に第 2 の導電膜を成膜し、

前記第 3 のフォトリソパターン上に成膜された前記第 2 の導電膜を前記第 3 のフォトリソパターンと同時に除去することによって前記画素部のソース電極及びドレイン電極と、前記端子部に延在するソース配線と、を形成し、

前記ソース電極、前記ドレイン電極、及び前記ソース配線をマスクとして前記第 1 の半導体膜及び前記第 2 の半導体膜に第 2のエッチングを行い、

前記ゲート電極、前記ゲート配線、前記ソース電極、前記ドレイン電極、及び前記ソース配線をフォトリソマスクとした裏面露光により、第 4 のフォトリソパターンを形成し、

前記第 4 のフォトリソパターンをマスクとして前記第 1 の半導体膜に第 3のエッチングを行い、

前記ゲート絶縁膜、前記第 3 のエッチングが行われた前記第 1 の半導体膜、前記ソース電極、前記ドレイン電極、及び前記ソース配線上に絶縁膜を成膜し、

前記絶縁膜上に、第 3 のフォトリソマスクを用いて第 5 のフォトリソパターンを形成し、

前記第 5 のフォトリソパターンをマスクとして前記絶縁膜に第 4のエッチングを行い、前記絶縁膜に開口部を形成し、

前記ゲート配線、前記ソース電極、前記ドレイン電極、前記ソース配線、及び前記第4のエッチングが行われた前記絶縁膜上に透明導電膜を成膜し、

前記透明導電膜上に、第4のフォトマスクを用いて第6のフォトレジストパターンを形成し、

前記第6のフォトレジストパターンをマスクとして前記透明導電膜に第5のエッチングを行うことを特徴とする半導体装置の作製方法。

【請求項4】

請求項1において、前記ソース電極及び前記ドレイン電極は複数の導電膜を有する積層構造であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項2又は3において、前記ソース電極、前記ドレイン電極、及び前記ソース配線は複数の導電膜を有する積層構造であることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1、2又は4において、

前記第2のフォトレジストパターンは逆テーパー形状であることを特徴とする半導体装置の作製方法。

【請求項7】

請求項3において、

前記第3のフォトレジストパターンは逆テーパー形状であることを特徴とする半導体装置の作製方法。

【請求項8】

請求項1乃至7のいずれかーにおいて、前記第1の半導体膜及び前記第2の半導体膜は非晶質半導体膜であることを特徴とする半導体装置の作製方法。

【請求項9】

請求項1乃至7のいずれかーにおいて、前記第1の半導体膜は微結晶半導体膜及び非晶質半導体膜を有する積層構造であることを特徴とする半導体装置の作製方法。

【請求項10】

請求項1乃至9のいずれかーにおいて、前記加工はプラズマアッシングであることを特徴とする半導体装置の作製方法。

【請求項11】

請求項1乃至10のいずれかーにおいて、前記多階調フォトマスクはハーフトーンフォトマスク又はグレートーンフォトマスクであることを特徴とする半導体装置の作製方法。