



(72) 발명자

**전상호**

경기도 수원시 영통구 영통동 황골마을1단지아파트  
146동 402호

**조진희**

경기도 용인시 기흥읍 공세리 428-5

**안상혁**

경기도 수원시 영통구 영통동 황골마을주공1단지아  
파트 125동1803호

**홍수봉**

부산광역시 영도구 봉래동5가 137-10 (5/4)

**제병길**

경기도 용인시 기흥읍 공세리 428-5

## 특허청구의 범위

### 청구항 1

기관과;

상기 기관 위에 형성되는 캐소드 전극들과;

상기 캐소드 전극들과 절연되어 위치하는 게이트 전극들; 및

상기 캐소드 전극에 전기적으로 연결되는 전자 방출부들을 포함하며,

상기 각각의 캐소드 전극이,

상기 기관 위에 스트라이프 패턴으로 형성되는 보조 전극과;

상기 보조 전극 위에서 보조 전극보다 작은 폭으로 형성되는 보조 절연층과;

상기 보조 전극의 길이 방향을 따라 보조 전극과 보조 절연층 위에 형성되며 상기 기관 상의 단위 화소마다 보조 절연층 위에 개구부를 형성하는 주 전극과;

상기 개구부 내측에서 상기 주 전극과 이격되어 위치하는 격리 전극들; 및

상기 주 전극과 격리 전극들을 전기적으로 연결하는 저항층을 포함하는 전자 방출 디바이스.

### 청구항 2

제1항에 있어서,

상기 보조 절연층이 상기 기관 상의 단위 화소마다 개별적으로 위치하는 전자 방출 디바이스.

### 청구항 3

제1항에 있어서,

상기 격리 전극들이 상기 주 전극의 길이 방향을 따라 일렬로 위치하고,

상기 저항층이 상기 격리 전극들의 양측에서 주 전극과 격리 전극들 사이에 형성되는 전자 방출 디바이스.

### 청구항 4

제1항에 있어서,

상기 캐소드 전극들 및 게이트 전극들과 절연을 유지하며 캐소드 전극들 및 게이트 전극들 상부에 위치하는 집속 전극을 더욱 포함하는 전자 방출 디바이스.

### 청구항 5

제1항에 있어서,

상기 전자 방출부가 탄소 나노튜브, 흑연, 흑연 나노파이버, 다이아몬드, 다이아몬드상 탄소, C<sub>60</sub> 및 실리콘 나노와이어로 이루어진 군으로부터 선택된 적어도 하나의 물질을 포함하는 전자 방출 디바이스.

### 청구항 6

제1항 내지 제5항 중 어느 한 항에 기재된 전자 방출 디바이스와;

상기 기관에 대향 배치되는 타측 기관과;

상기 타측 기관의 일면에 형성되는 형광층들; 및

상기 형광층들의 일면에 형성되는 애노드 전극

을 포함하는 전자 방출 표시 디바이스.

## 명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <3> 본 발명은 전자 방출 디바이스에 관한 것으로서, 보다 상세하게는 전자 방출부들의 에미션 특성을 균일하게 제어하는 저항층을 구비한 전자 방출 디바이스 및 이를 이용한 전자 방출 표시 디바이스에 관한 것이다.
- <4> 일반적으로 전자 방출 소자(electron emission element)는 전자원의 종류에 따라 열음극(hot cathode)을 이용하는 방식과 냉음극(cold cathode)을 이용하는 방식으로 분류할 수 있다.
- <5> 여기서, 냉음극을 이용하는 방식의 전자 방출 소자로는 전계 방출 어레이(Field Emitter Array; FEA)형, 표면 전도 에미션(Surface-Conduction Emission; SCE)형, 금속-절연층-금속(Metal-Insulator-Metal; MIM)형 및 금속-절연층-반도체(Metal-Insulator-Semiconductor; MIS)형 등이 알려져 있다.
- <6> 이 중 전계 방출 어레이(FEA)형 전자 방출 소자는 전자 방출부와 전자 방출부의 전자 방출을 제어하는 구동 전극으로서 하나의 캐소드 전극과 하나의 게이트 전극을 구비하며, 전자 방출부의 구성 물질로 일 함수가 낮거나 중형비가 큰 물질, 일례로 탄소 나노튜브와 흑연 및 다이아몬드상 카본과 같은 탄소계 물질을 사용하여 진공 중에서 전계에 의해 쉽게 전자가 방출되는 원리를 이용한다.
- <7> 전자 방출 소자는 일 기판에 어레이를 이루며 배치되어 전자 방출 디바이스(electron emission device)를 구성하고, 전자 방출 디바이스는 형광층과 애노드 전극 등으로 이루어진 발광 유닛이 구비된 다른 기판과 결합하여 전자 방출 표시 디바이스(electron emission display device)를 구성한다.

**발명이 이루고자 하는 기술적 과제**

- <8> 전자 방출 디바이스는 그 작용시 전자 방출부와 전기적으로 연결되어 전자 방출에 필요한 전류를 공급하는 전극(이하, '제1 전극'이라 한다)에 불안정한 구동 전압이 인가되거나, 제1 전극의 전압 강하로 인해 전자 방출부들에 인가되는 전압에 차이가 발생할 수 있다. 이 경우 전자 방출부들의 에미션 특성이 불균일하게 되어 단위 화소별 발광 균일도 저하로 이어진다.
- <9> 상기 문제점을 해소하기 위하여, 제1 전극 내부에 각 단위 화소마다 개구부를 형성하고, 개구부 내에 격리 전극들을 배치하고, 각각의 격리 전극 위로 전자 방출부를 형성하고, 격리 전극들의 양 측면에서 제1 전극과 격리 전극들 사이에 저항층을 형성하여 저항층에 의해 전자 방출부들의 에미션 특성을 균일화하는 기술이 제안되어 사용되고 있다.
- <10> 그런데 전술한 구조에서 제1 전극은 제1 전극 자체의 내부 저항 뿐만 아니라 개구부들로 인한 유효 폭(단위 화소에서 실질적으로 전류 흐름에 기여하는 전극 폭) 감소로 인해 개구부가 없는 제1 전극과 비교하여 더욱 큰 라인 저항을 갖게 된다.
- <11> 이러한 제1 전극의 라인 저항은 저항층으로도 보상이 어려워 저항층에 의한 에미션 균일화 효과가 저하되며, 그 결과 종래의 전자 방출 표시 디바이스는 제1 전극의 전압 강하로 인해 제1 전극의 길이 방향을 따라 단위 화소들의 발광 균일도가 저하되는 문제가 있다.
- <12> 따라서 본 발명은 상기한 문제점을 해소하기 위한 것으로서, 본 발명의 목적은 제1 전극에 저항층을 제공하여 전자 방출부들의 에미션 특성을 균일하게 제어하는 동시에 제1 전극의 유효 폭을 넓혀 제1 전극의 라인 저항을 최소화할 수 있는 전자 방출 디바이스 및 이를 이용한 전자 방출 표시 디바이스를 제공하는데 있다.

**발명의 구성 및 작용**

- <13> 상기의 목적을 달성하기 위하여 본 발명은,
- <14> 기판과, 기판 위에 형성되는 캐소드 전극들과, 캐소드 전극들과 절연되어 위치하는 게이트 전극들 및 캐소드 전극에 전기적으로 연결되는 전자 방출부들을 포함하며, 각각의 캐소드 전극이 기판 위에 스트라이프 패턴으로 형성되는 보조 전극과, 보조 전극 위에서 보조 전극보다 작은 폭으로 형성되는 보조 절연층과, 보조 전극의 길이 방향을 따라 보조 전극과 보조 절연층 위에 형성되며 기판 상의 단위 화소마다 보조 절연층 위에 개구부를 형성하는 주 전극과, 개구부 내측에서 주 전극과 이격되어 위치하는 격리 전극들 및 주 전극과 격리 전극들을 전기

적으로 연결하는 저항층을 포함하는 전자 방출 디바이스를 제공한다.

- <15> 상기 보조 절연층은 기판 상의 단위 화소마다 개별적으로 위치할 수 있다.
- <16> 그리고 격리 전극들이 주 전극의 길이 방향을 따라 일렬로 위치할 수 있고, 이때 저항층이 격리 전극들의 양측에서 주 전극과 격리 전극들 사이에 형성될 수 있다.
- <17> 상기 전자 방출 디바이스는 캐소드 전극들 및 게이트 전극들과 절연을 유지하며 캐소드 전극들 및 게이트 전극들 상부에 위치하는 집속 전극을 더욱 포함할 수 있다.
- <18> 또한, 상기의 목적을 달성하기 위하여 본 발명은,
- <19> 서로 대향 배치되는 제1 기판 및 제2 기판과, 제1 기판 위에 형성되는 캐소드 전극들과, 캐소드 전극들과 절연되어 위치하는 게이트 전극들과, 캐소드 전극에 전기적으로 연결되는 전자 방출부들과, 제2 기판의 일면에 형성되는 형광층들과, 형광층들의 일면에 형성되는 애노드 전극을 포함하며, 각각의 캐소드 전극이 제1 기판 위에 스트라이프 패턴으로 형성되는 보조 전극과, 보조 전극 위에서 보조 전극보다 작은 폭으로 형성되는 보조 절연층과, 보조 전극의 길이 방향을 따라 보조 전극과 보조 절연층 위에 형성되며 제1 기판 상의 단위 화소마다 보조 절연층 위에 개구부를 형성하는 주 전극과, 개구부 내측에서 주 전극과 이격되어 위치하는 격리 전극들 및 주 전극과 격리 전극들을 전기적으로 연결하는 저항층을 포함하는 전자 방출 표시 디바이스를 제공한다.
- <20> 이하, 첨부된 도면을 참고하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하면 다음과 같다.
- <21> 도 1과 도 2는 각각 본 발명의 실시예에 따른 전자 방출 표시 디바이스의 부분 분해 사시도와 부분 단면도다.
- <22> 도면을 참고하면, 전자 방출 표시 디바이스는 소정의 간격을 두고 서로 평행하게 대향 배치되는 제1 기판(2)과 제2 기판(4)을 포함한다. 제1 기판(2)과 제2 기판(4)의 가장자리에는 밀봉 부재(도시하지 않음)가 배치되어 두 기판을 접합시키며, 내부 공간이 대략  $10^{-6}$  torr의 진공도로 배기되어 제1 기판(2)과 제2 기판(4) 및 밀봉 부재가 진공 용기를 구성한다.
- <23> 상기 제1 기판(2) 중 제2 기판(4)과의 대향면에는 전자 방출 소자들이 어레이를 이루며 배치되어 제1 기판(2)과 함께 전자 방출 디바이스(100)를 구성하고, 전자 방출 디바이스(100)가 제2 기판(4) 및 제2 기판(4)에 제공된 발광 유닛(110)과 결합되어 전자 방출 표시 디바이스를 구성한다.
- <24> 먼저, 제1 기판(2) 위에는 제1 전극인 캐소드 전극들(6)이 제1 기판(2)의 일방향(도면의 y축 방향)을 따라 스트라이프 패턴으로 형성되고, 캐소드 전극들(6)을 덮으면서 제1 기판(2) 전체에 제1 절연층(8)이 형성된다. 제1 절연층(8) 위에는 제2 전극인 게이트 전극들(10)이 캐소드 전극(6)과 직교하는 방향(도면의 x축 방향)을 따라 스트라이프 패턴으로 형성된다. 이때 캐소드 전극(6)과 게이트 전극(10)의 교차 영역이 하나의 단위 화소(sub-pixel)를 구성한다.
- <25> 본 실시예에서 각각의 캐소드 전극(6)은 제1 기판(2) 위에 스트라이프 패턴으로 형성되는 보조 전극(61)과, 보조 전극(61) 위에서 보조 전극(61)보다 작은 폭을 가지며 형성되는 보조 절연층(62)과, 보조 전극(61)의 길이 방향을 따라 보조 전극(61)과 보조 절연층(62) 위에 형성되며 각 단위 화소에 대응하여 보조 절연층(62) 위에 개구부(12)를 형성하는 주 전극(63)과, 개구부(12) 내측에서 주 전극(63)과 이격되어 위치하는 격리 전극들(64)과, 격리 전극들(64)이 양측에서 주 전극(63)과 격리 전극들(64)을 전기적으로 연결하는 저항층(65)을 포함한다.
- <26> 보조 전극(61)은 그 내부에 어떠한 개구부도 없이 일정한 폭을 갖는 스트라이프 형상으로 이루어지며, 캐소드 전극(6) 중 가장 작은 라인 저항을 가져 주 전극(63)의 라인 저항을 줄이는 역할을 한다. 이러한 보조 전극(61)은 전도성이 우수한 금속막으로 이루어질 수 있다.
- <27> 보조 절연층(62)은 보조 전극(61)보다 작은 폭을 갖도록 형성되어 보조 전극(61)의 표면 일부를 노출시키고, 주 전극(63)이 보조 전극(61)의 윗면과 접촉하여 이와 전기적으로 연결된다. 보조 절연층(62)은 보조 전극(61)의 길이 방향을 따라 스트라이프 패턴으로 형성되거나 단위 화소마다 부분적으로 형성될 수 있으며, 두 번째 경우가 주 전극(63)과 보조 전극(61)의 접촉 면적을 늘려 주 전극(63)의 라인 저항을 줄이는데 보다 효과적이다. 도 1에서는 두 번째 경우를 도시하였다.
- <28> 주 전극(63)은 보조 전극(61)과 접촉하여 이와 전기적으로 연결되며, 단위 화소마다 개구부(12)를 형성하여 실제 전류 흐름에 기여하는 유효 폭은 감소하지만 보조 전극(61)에 의해 라인 저항이 감소하여 전압 강하가 억제

된다.

- <29> 격리 전극들(64)은 개구부(12) 내측의 보조 절연층(62) 위에서 제1 기판(2)의 어느 일 방향, 일례로 주 전극(63)의 길이 방향을 따라 일렬로 위치하고, 각각의 격리 전극(64) 위로 전자 방출부(14)가 형성된다. 그리고 주 전극(63)의 폭 방향에 따른 격리 전극들(64)의 좌우 양측에 저항층(65)이 위치한다.
- <30> 저항층(65)은 대략 10,000 내지 100,000Ωcm의 비저항값을 갖는 물질로서 주 전극(63)과 격리 전극들(64)을 구성하는 도전 물질보다 큰 저항을 가지며, 일례로 p형 또는 n형 도핑된 비정질 실리콘으로 이루어질 수 있다.
- <31> 저항층(65)은 일정한 폭을 가지면서 주 전극(63)의 길이 방향을 따라 스트라이프 패턴으로 형성될 수 있으며, 주 전극(63)과 격리 전극들(64)의 윗면 일부를 덮도록 형성되어 주 전극(63) 및 격리 전극들(64)과의 접촉 저항을 줄인다. 저항층(65)은 대략 2,000Å 두께로 형성될 수 있다.
- <32> 전술한 구성에서 주 전극(63)은 외부의 구동 회로부(도시하지 않음)로부터 구동 전압을 인가받으며, 이 전압은 저항층(65)을 통해 전자 방출부(14)가 위치하는 격리 전극들(64)에 전달된다. 주 전극(63)과 격리 전극(64) 사이의 저항값은 주 전극(63)과 격리 전극들(64)간 거리로 제어한다.
- <33> 도면에서는 주 전극(63)의 개구부(12)와 격리 전극들(64)이 직사각형인 경우를 도시하였으나, 이들의 평면 형상은 도시한 예에 한정되지 않고 다양하게 변형 가능하다.
- <34> 그리고 격리 전극(64) 위에 형성되는 전자 방출부(14)는 진공 중에서 전계가 가해지면 전자를 방출하는 물질들, 가령 탄소계 물질 또는 나노미터 사이즈 물질로 이루어질 수 있다. 전자 방출부(14)는 일례로 탄소 나노튜브, 흑연, 흑연 나노파이버, 다이아몬드, 다이아몬드상 탄소, 풀러렌(C<sub>60</sub>), 실리콘 나노와이어 및 이들의 조합 물질을 포함할 수 있다.
- <35> 다른 한편으로 전자 방출부는 몰리브덴(Mo) 또는 실리콘(Si) 등을 주 재질로 하는 선단이 뾰족한 팁 구조물로 이루어질 수 있다.
- <36> 상기 제1 절연층(8)과 게이트 전극들(10)에는 각 전자 방출부(14)에 대응하는 개구부(81,101)가 형성되어 제1 기판(2) 상에 전자 방출부(14)가 노출되도록 한다.
- <37> 그리고 게이트 전극들(10)과 제1 절연층(8) 위로 제3 전극인 집속 전극(16)이 형성된다. 집속 전극(16) 하부에는 제2 절연층(18)이 위치하여 게이트 전극(10)과 집속 전극(16)을 절연시키며, 제2 절연층(18)과 집속 전극(16)에도 전자빔 통과를 위한 개구부(181,161)가 마련된다.
- <38> 집속 전극(16)은 전자 방출부(14)마다 이에 대응하는 하나의 개구부를 형성하여 각 전자 방출부(14)에서 방출되는 전자들을 개별적으로 집속하거나, 단위 화소 마다 하나의 개구부를 형성하여 하나의 단위 화소에서 방출되는 전자들을 포괄적으로 집속할 수 있다. 도 1에서는 두 번째 경우를 도시하였다.
- <39> 다음으로, 제1 기판(2)에 대향하는 제2 기판(4)의 일면에는 형광층(20), 일례로 적색과 녹색 및 청색의 형광층들(20R,20G,20B)이 임의의 간격을 두고 형성되고, 각 형광층(20) 사이로 화면의 콘트라스트 향상을 위한 흑색층(22)이 형성된다. 형광층(20)은 제1 기판(2)에 설정되는 단위 화소에 한가지 색의 형광층(20R,20G,20B)이 대응하도록 형성된다.
- <40> 형광층(20)과 흑색층(22) 위로는 알루미늄과 같은 금속막으로 이루어진 애노드 전극(24)이 형성된다. 애노드 전극(24)은 외부로부터 전자빔 가속에 필요한 고전압을 인가받으며, 형광층(20)에서 방사된 가시광 중 제1 기판(2)을 향해 방사된 가시광을 제2 기판(4) 측으로 반사시켜 휘도를 높이는 역할을 한다.
- <41> 한편, 애노드 전극은 금속막이 아닌 ITO(indium tin oxide)와 같은 투명 도전막으로 이루어질 수 있다. 이 경우 애노드 전극은 제2 기판(4)을 향한 형광층(20)과 흑색층(22)의 일면에 위치한다. 또한 애노드 전극으로서 전술한 투명 도전막과 금속막이 형광층(20)과 흑색층(22)의 양면에 동시에 형성되는 구조도 가능하다.
- <42> 그리고 제1 기판(2)과 제2 기판(4) 사이에는 진공 용기에 가해지는 압축력을 지지하고 두 기판의 간격을 일정하게 유지시키는 스페이서들(26, 도 2 참고)이 배치된다. 스페이서들(26)은 형광층(20)을 침범하지 않도록 흑색층(22)에 대응하여 위치한다.
- <43> 전술한 구성의 전자 방출 표시 디바이스는 외부로부터 캐소드 전극들(6), 게이트 전극들(10), 집속 전극(16) 및 애노드 전극(24)에 소정의 전압을 공급하여 구동한다.
- <44> 일례로 캐소드 전극들(6)과 게이트 전극들(10) 중 어느 한 전극들이 주사 구동 전압을 인가받아 주사 전극들로

가능하고, 다른 한 전극들이 데이터 구동 전압을 인가받아 데이터 전극들로 기능한다. 그리고 집속 전극(16)은 전자빔 집속에 필요한 전압, 일례로 0V 또는 수 내지 수십 볼트의 음의 직류 전압을 인가받으며, 애노드 전극(24)은 전자빔 가속에 필요한 전압, 일례로 수백 내지 수천 볼트의 양의 직류 전압을 인가받는다.

- <45> 그러면 캐소드 전극(6)과 게이트 전극(10)의 전압 차가 임계치 이상인 단위 화소들에서 전자 방출부(14) 주위에 전계가 형성되어 이로부터 전자들이 방출된다. 방출된 전자들은 집속 전극(16)의 개구부(161)를 통과하면서 전자빔 다발의 중심부로 집속되고, 애노드 전극(24)에 인가된 고전압에 이끌려 대응하는 단위 화소의 형광층(20)에 충돌함으로써 이를 발광시킨다.
- <46> 전술한 구동 과정에 있어서, 저항층(65)이 전자 방출부들(14)에 동일한 조건의 구동 전압이 인가되도록 하여 전자 방출부들(14)의 에미션 특성을 균일화시키고, 보조 전극(61)이 주 전극(63)의 라인 저항을 줄여 캐소드 전극(6)의 전압 강하를 최소화한다. 따라서 본 실시예의 전자 방출 표시 디바이스는 캐소드 전극(6)의 길이 방향에 따라 균일한 화면 휘도를 구현할 수 있다.
- <47> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구 범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

**발명의 효과**

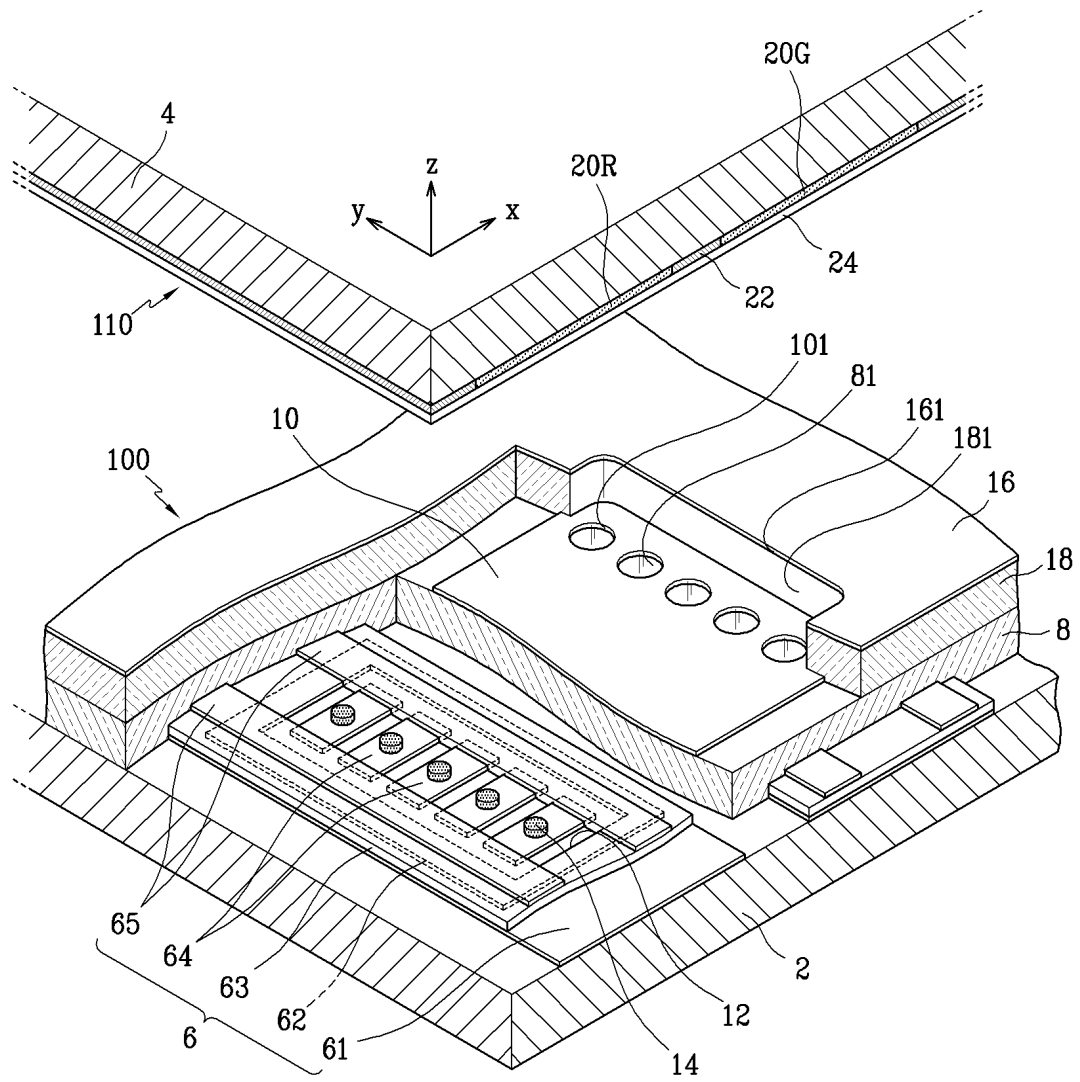
- <48> 이와 같이 본 발명에 의한 전자 방출 표시 디바이스는 보조 전극을 통해 캐소드 전극의 라인 저항을 줄여 캐소드 전극의 전압 강하를 최소화할 수 있다. 따라서 본 발명에 의한 전자 방출 표시 디바이스는 캐소드 전극의 길이 방향을 따라 형광층들의 발광 균일도를 높여 향상된 표시 품질을 구현한다.

**도면의 간단한 설명**

- <1> 도 1은 본 발명의 일 실시예에 따른 전자 방출 표시 디바이스의 부분 분해 사시도이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 전자 방출 표시 디바이스의 부분 단면도이다.

도면

도면1





도면2

