



(12) 发明专利

(10) 授权公告号 CN 103092235 B

(45) 授权公告日 2016. 04. 13

(21) 申请号 201210211084. 4

(22) 申请日 2012. 06. 21

(30) 优先权数据

13/286, 718 2011. 11. 01 US

(73) 专利权人 LSI 公司

地址 美国加利福尼亚

(72) 发明人 J·H·费希尔

(74) 专利代理机构 北京律盟知识产权代理有限公司
11287

代理人 王田

(51) Int. Cl.

G05F 1/10(2006. 01)

审查员 孟令鹏

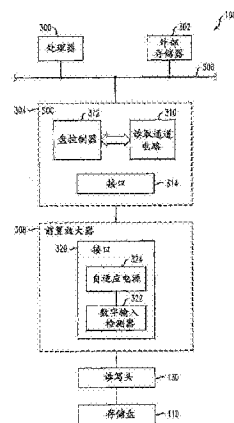
权利要求书2页 说明书9页 附图5页

(54) 发明名称

数字输入检测器和关联的自适应电源

(57) 摘要

存储装置或者其他类型的处理装置的接口电路,包括数字输入检测器和自适应电源。数字输入检测器包括输入晶体管。自适应电源提供可变供电电压到所述数字输入检测器,该可变供电电压随所述输入晶体管的阈值电压而变化。在一个实施例中,由所述自适应电源提供到所述数字输入检测器的可变供电电压随所述输入晶体管的阈值电压在如下选定点值附近变化,所述选定点值被确定为输入信号的期望逻辑电平的函数。例如,选定点值可以被确定为最小期望逻辑高输入信号电平的函数。在这样的配置中,输入晶体管对于具有最小期望逻辑高输入信号电平的输入信号在所述阈值电压处或者在接近于所述阈值电压偏置。



1. 一种前置放大器装置,包括

数字输入检测器,包括输入晶体管;以及

自适应电源,具有提供可变供电电压到所述数字输入检测器的输出;

其中由所述自适应电源提供到所述数字输入检测器的可变供电电压随所述输入晶体管的阈值电压而在选定点值附近变化,其中所述选定点值被确定为所述输入晶体管的阈值电压和最小期望逻辑高输入信号电平的函数或确定为所述输入晶体管的阈值电压和最小期望逻辑低输入信号电平的函数。

2. 如权利要求 1 的装置,其中所述选定点值被确定为所述输入晶体管的阈值电压和最小期望逻辑高输入信号电平之和。

3. 如权利要求 1 的装置,其中所述选定点值被选择为使得所述输入晶体管对于具有期望逻辑电平的输入信号在所述阈值电压处或者在接近于所述阈值电压处偏置。

4. 如权利要求 1 的装置,其中所述输入晶体管包括第一 PMOS 晶体管,具有耦合到所述自适应电源的输出的源极、耦合到低电源电位的漏极和耦合到所述数字输入检测器的输入节点的栅极,其中所述第一 PMOS 晶体管的漏极还耦合到所述数字输入检测器的第一输出节点。

5. 如权利要求 4 的装置,其中所述数字输入检测器进一步包括输入电平迟滞电路,至少包括第二和第三 PMOS 晶体管,其各自的漏极耦合到第一 PMOS 晶体管的源极以及其各自的源极耦合到所述自适应电源的输出,其中第二 PMOS 晶体管的栅极还耦合到第一 PMOS 晶体管的源极以及第三 PMOS 晶体管的栅极耦合到所述数字输入检测器的第二输出节点。

6. 如权利要求 4 的装置,其中所述数字输入检测器进一步包括第一和第二 NMOS 晶体管,其各自的栅极耦合到第一 PMOS 晶体管的栅极,第一 NMOS 晶体管的漏极耦合到第一 PMOS 晶体管的漏极,第二 NMOS 晶体管的漏极耦合到第一 NMOS 晶体管的源极,以及第二 NMOS 晶体管的源极耦合到所述低电源电位。

7. 如权利要求 1 的装置,其中所述自适应电源包括:

运算放大器,具有第一输入、第二输入和输出,第一输入耦合到参考电压源,以及所述输出提供所述可变供电电压到所述数字输入检测器;自适应电源晶体管,具有与所述数字输入检测器的输入晶体管的一个或更多个对应参数变化特性大体上相匹配的一个或更多个参数变化特性,所述自适应电源晶体管的源极耦合到所述运算放大器的输出以及栅极和漏极耦合在一起;以及

分压器电路,包括串联连接的第一和第二电阻性部件,所述第一和第二电阻性部件的串联连接的第一端部耦合到所述自适应电源晶体管的栅极和漏极,所述第一和第二电阻性部件的串联连接的第二端部耦合到低电源电位,以及所述第一和第二电阻性部件之间的分接头通过反馈线路耦合到运算放大器的第二输入。

8. 一种用于改进基于磁盘的存储装置的方法,包括如下步骤:

提供包括输入晶体管的数字输入检测器;和

提供可变供电电压到所述数字输入检测器;

其中提供到所述数字输入检测器的可变供电电压随所述输入晶体管的阈值电压而在选定点值附近变化,其中所述选定点值被确定为所述输入晶体管的阈值电压和最小期望逻辑高输入信号电平的函数或确定为所述输入晶体管的阈值电压和最小期望逻辑低输入信

号电平的功能。

数字输入检测器和关联的自适应电源

背景技术

[0001] 基于磁盘的存储设备,例如硬盘驱动器(HDD)被用于在多种不同类型的数据处理系统中提供非易失性的数据存储。典型的 HDD 包括心轴,其保持一个或更多个扁平圆形的存储盘,其也被称为盘片。每一个存储盘包括非磁性(例如铝或者玻璃)材料制成的衬底,该衬底涂覆有一个或更多个薄的磁性材料层。在操作中,通过读写头从存储盘的轨道读取和写入数据,所述读写头随着磁盘以高速旋转而通过定位臂在磁盘表面上精确移动。

[0002] HDD 通常包括芯片上系统(SOC),用于处理来自计算机或者其他处理设备的数据成为适于写入到存储盘的形式,并且将从存储盘读回的信号波形变换为用于传送到计算机的数据。HDD 包括前置放大器,其将 SOC 接口到用于从存储盘读出数据和写入数据到存储盘的读写头。SOC 通过数字接口与前置放大器通信,以便编程例如信号增益和带宽的前置放大器参数,以及收回例如前置放大器检测到的系统故障的信息。

[0003] SOC 具有大规模数字电路并且具有通常使用先进的 CMOS 技术以满足成本和性能目标。这促使 SOC 使用的供电电压不同于前置放大器所使用的供电电压,并且随着时间导致利用各种不同逻辑高输入信号电平(例如 3.3V、2.5V 或者 1.8V 逻辑电平)的前置放大器和 SOC 之间的数字接口。前置放大器还被用在格式化存储盘的工厂伺服写入器中,并且一些伺服写入器使用 5V 逻辑电平与前置放大器通信。

发明内容

[0004] 本发明的说明性实施例提供了改进的数字输入检测器,其由一个或更多个关联的自适应电源供电并且良好地适用于可以作为基于磁盘的存储装置中的前置放大器的一部分或者是其他类型的处理装置的一部分的接口电路中,所述基于磁盘的存储装置例如是 HDD。

[0005] 在一个实施例中,一种装置包括数字输入检测器和自适应电源。该自适应电源提供提供到所述数字输入检测器的可变供电电压,该可变供电电压随数字输入检测器的输入晶体管的阈值电压而变化。该装置可以是存储装置的接口电路或者其他类型的处理装置的一部分,或者包括存储装置的接口电路或者其他类型的处理装置。

[0006] 由自适应电源提供到数字输入检测器的可变供电电压可以随所述输入晶体管的阈值电压在如下选定点值附近变化,所述选定点值被确定为输入信号的期望逻辑电平的函数。例如,该选定点值被确定为最小期望逻辑高输入信号电平的函数。在上述设置中,输入晶体管对于具有最小期望逻辑高输入信号电平的输入信号在所述阈值电压处或者在接近于所述阈值电压处偏置。

[0007] 说明性实施例的一个或更多个实施例提供了对于包括数字输入检测器的基于磁盘的存储装置或其他处理装置的显著改进。例如,由自适应电源提供到数字输入检测器的可变供电电压可以被配置为跟踪数字输入检测器的输入晶体管的阈值电压的变化。当输入信号具有期望最小值处或附近的逻辑高电平以及阈值电压随处理和温度而变化时,这有助于限制数字输入检测器汲取的电流流量。

附图说明

[0008] 图 1 示出了根据本发明的说明性实施例的基于磁盘的存储装置的透视图。

[0009] 图 2 示出了图 1 的存储装置中的存储盘的平面图。

[0010] 图 3 示出了图 1 的存储装置的一部分的框图,包括示例性的前置放大器,该前置放大器包括数字输入检测器和关联的自适应电源。

[0011] 图 4 示出了显示图 3 的前置放大器的数字输入检测器及其他接口电路的示意图。

[0012] 图 5 示出了图 3 的前置放大器的自适应电源的示意图。

[0013] 图 6 示出了图 1 的存储装置与数据处理系统中的主处理装置的互连。

[0014] 图 7 示出了包括图 1 所示类型的多个基于磁盘的存储设备的虚拟存储系统。

具体实施方式

[0015] 此处将结合示例性的基于磁盘的存储设备、接口电路和关联的数字输入检测技术阐明本发明的实施例。然而,应当理解,本发明的这些及其他实施例也可以更通常地应用到期望提高的数字输入检测性能的任何处理装置应用中。

[0016] 图 1 示出了根据本发明的说明性实施例的基于磁盘的存储装置 100。在该实施例中的存储装置 100 更具体地包括 HDD,HDD 包括存储盘 110。存储盘 110 具有涂覆有一种或更多种磁性材料的存储表面,磁性材料能够以磁化状态的形式存储数据。存储盘 110 连接到心轴 120。心轴 120 由心轴电机(在图中没有明确地示出)驱动以便以高速旋转存储盘 110。

[0017] 通过安装在定位臂 140 上的读写头 130 从存储盘 110 读取和写入数据。读写头位于存储盘 110 的存储表面之上的位置由电磁致动器 150 控制。在本实施例中,电磁致动器 150 及其相关的驱动器电路可以被视为包括此处通常被称为存储装置 100 的“控制电路”的一部分。在该实施例中,上述控制电路被认为进一步包括布置在组件的相对侧上的附加的电子部件,因此在图 1 的透视图中的不可见。此处使用的术语“控制电路”因此意在被广泛地解读,从而包含,例如但不限于,驱动电子设备、信号处理电子设备和关联的处理和存储器电路,并且可以进一步包含用于控制读写头相对于存储装置中存储盘的存储表面的定位的其他部件。连接器 160 被用于将存储装置 100 连接到主机或者其他相关处理装置。

[0018] 将要理解,尽管图 1 示出的本发明的实施例仅仅具有一个存储盘 110、读写头 130 和定位臂 140,但是这仅仅是说明性的实例,并且本发明的可选实施例可以包括这些及其他驱动部件的多个实例。例如,一个上述可选实施例可以包括连附到相同心轴的多个存储盘(因此所有上述盘以相同的速度旋转),以及耦合到一个或更多个致动器的多个读写头和关联的定位臂。

[0019] 此外,如图 1 所示的存储装置 100 可以包括除了具体所示的部件之外的其他部件或者代替具体所示的部件的其他部件,包括在上述存储装置的现有实施方式中通常可以找到的一个或多个类型的部件。这些及其他本领域技术人员理解的现有部件没有在此处详细描述。还应该理解,图 1 所示的部件的特定布置仅仅是通过说明性例子的方式给出的。公开的技术一般地说是可应用的,而不受其中期望提供数字输入检测能力的任何存储装置或者处理装置应用的限制。本领域技术人员因此将认识到,可以在实现本发明的实施例时使

用多种其他存储装置和处理装置的配置。

[0020] 图 2 示出了存储盘 110 的存储表面的更多细节。如图所示,存储盘 110 的存储表面包括多个同心的轨道 210。每一个轨道被再分成多个扇区 220,其能够存储用于随后取回的数据块。与朝着存储盘的中心方向安置的轨道相比,朝着存储盘的外缘方向安置的轨道具有更大的圆周。轨道被分组为若干环状区 230,在那里环状区中的给定环状区内的轨道具有相同数目的扇区。与相位于内部区域中的轨道比,外侧区域中的轨道具有更多的扇区。在该实例中,假定存储盘 110 包括 $M+1$ 个区域,包括最外侧区域 230-0 和最内部区域 230-M。

[0021] 存储盘 110 的外侧区域提供了比内部区域更高的数据传输速率。这部分地是由于如下事实,本实施例中的存储盘一旦被加速以操作速度旋转,则其以一个与读写头的位置无关的恒定角速度或者径向速度旋转,但是内部区域的轨道具有比外侧区域小的圆周。由此,当读写头位于外侧区域的轨道之一上时,与其位于内部区域的轨道之一上时相比,对于存储盘的给定 360° 旋转来说,其覆盖了沿着磁盘表面的更大的直线距离。由于存储盘的每一个 360° 旋转将耗费相同的时间量,因此这样的布置被称为具有恒定角速度(CAV),然而,应当理解 CAV 操作不是本发明的实施例的必要条件。

[0022] 数据位密度在存储盘 110 的整个存储表面上通常是恒定的,其导致外侧区域处更高的数据传输速率。由于每一个外侧区域存储比内部区域更多的数据,因此当访问外侧区域中的数据时,对于读取一定量的数据来说,读写头不必那么频繁地移动。与内部区域的轨道相比,数据因此可以以更高的速率从外侧区域的轨道来往传送。

[0023] 相应地,与存储盘的最内部环状区 230-M 相比,存储盘的最外侧环状区 230-0 具有更高的平均数据传输速率。在特定实施例中,平均数据传输速率在最内部和最外侧环状区之间可以相差大于两倍。

[0024] 作为一个仅仅是为了说明而提供的示例性实施例,最外侧环状区可以具有大约 2.3 千兆比特每秒(Gb/s)的数据传输速率,而最内部环状区具有大约 1.0Gb/s 的数据传输速率。在上述实施方式中,HDD 可以更具地具有 500GB 的存储总容量和 7200RPM 的心轴转速,数据传输速率范围如上所述从最外侧区域的约 2.3Gb/s 到最内部区域的约 1.0Gb/s。

[0025] 上述实施例中叙述的特定数据传输速率及其他特征仅仅是为了说明而给出的,不应该理解为任何方式的限制。在其他实施例中可以使用多种其他数据传输速率和存储盘配置。

[0026] 以下将要结合图 3 到 5 描述本发明的实施例,其中图 1 的存储装置 100 被配置为实现包括改进的数字输入检测器的接口电路。

[0027] 图 3 示出了图 1 的存储装置 100 的一部分的更多细节。在附图中,存储装置 100 包括处理器 300、存储器 302 和 SOC 304,其通过总线 306 通信。存储装置进一步包括前置放大器 308,其提供 SOC 304 和读写头 130 之间的接口。存储器 302 是相对于 SOC 304 及其他存储装置 100 部件的外部存储器,但是其仍然位于该存储装置的内部。本实施例中的 SOC 304 包括读取通道电路 310 和盘控制器 312,并且在从存储盘 110 读出和写入数据时指引读写头 130 的操作。

[0028] 处理器 300、存储器 302、SOC 304 和前置放大器 308 可以被视为共同地包括此处使用的术语“控制电路”的一个可能的例子。在其他实施例中可以使用控制电路的许多可选布置,以及上述布置可以仅包括部件 300、302、304 和 308 的一个子集或者一个或更多个

这些部件的多个部分。例如，SOC 304 本身可以被视为“控制电路”的一个实例。

[0029] 图 3 中所示的存储装置 100 的控制电路因此通常被配置为处理从读写头 130 接收和提供至读写头 130 的数据并且控制读写头 130 相对于存储盘 110 的定位。

[0030] 在本实施例中，SOC 304 的某些操作可以由处理器 300 指引，处理器 300 执行存储在外部存储器 302 中的代码。例如，处理器 300 可以被配置为执行存储在存储器 302 中的代码用于执行存储装置 100 中的读和写操作。由此，存储装置 100 的至少一部分控制功能可以至少部分地以软件代码的形式实现。

[0031] 外部存储器 302 可以包括例如随机存取存储器 (RAM) 或者只读存储器 (ROM) 的任何组合的电子存储器。例如，外部存储器 302 可以被部分地实现为双数据速率 (DDR) 同步动态 RAM (SDRAM)。存储器 302 是此处泛指“计算机可读存储介质”的一个实例。上述介质也可以是可写的。

[0032] 尽管本实施例中的 SOC 304 被假定为实现在单个集成电路上，然而该集成电路可以进一步包括处理器 300、存储器 302、总线 306 和前置放大器 308 的一部分。可选地，部分的处理器 300、存储器 302、总线 306 和前置放大器 308 可以至少部分地以一个或多个附加集成电路的形式实现，例如被设计用在 HDD 中并且被适当地改变以实现此处公开的接口电路的其他现有的集成电路。可以被改变以用在本发明的实施例中的 SOC 集成电路的一个实例被公开在美国专利 No. 7, 872, 825 中，题为“Data Storage Drive with Reduced Power Consumption”，其与本发明共同被转让并通过引用被并入本文。

[0033] 可以被用于实现特定实施例的处理器、存储器或者其他存储装置部件的其他类型的集成电路包括，例如，微处理器、数字信号处理器 (DSP)，专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或者其他集成电路装置。

[0034] 在本发明的实施例的集成电路实施方式中，可以以晶片表面上的重复图案形成多个集成电路管芯。每一个上述管芯可以包括如此处描述的装置，并且可以包括其他结构或电路。从晶片切割或者划片管芯，随后封装作为集成电路。本领域技术人员将知道如何对晶片进行划片并且如何封装管芯以生产封装的集成电路。如此制造的集成电路被认为是本发明的实施例。

[0035] 尽管被显示为本实施例中存储装置 100 的一部分，然而处理器 300 和存储器 302 可以至少部分地被实现在关联的处理装置内，例如其中安装了存储装置的主机或者服务器。相应地，图 3 实施例中的部件 300 和 302 可以被视为与存储装置 100 分离，或者表示其每一个包括与存储装置和其关联处理装置分离的处理或者存储器电路部件的组合部件。如上所述，至少部分处理器 300 和存储器 302 可以被视为包括“控制电路”，如该术语被宽广地在此处定义的。

[0036] 本实施例中的 SOC 304 包括接口 314，其与前置放大器 308 中的接口 320 通信。接口 314 和 320 可以被视为此处泛指的“接口电路”的例子。例如，这些接口可以包括如下接口，SOC 可以通过该接口对前置放大器参数 (例如信号增益和带宽) 进行编程的接口，以及可能还通过该接口收回例如前置放大器检测到的系统故障的信息。然而，将要理解本公开的技术可以适合于与多种其他类型的接口一起使用。

[0037] 如上所述，SOC 通常利用不同于其关联的前置放大器所使用的一个或多个供电电压。例如，接口 314 中的一个可以提供基于 SOC 供电电压为 3.3V、2.5V 或者 1.8V 的数字

输入信号到前置放大器。取决于产生那些信号的 SOC 接口中使用的供电电压,从 SOC 304 施加到前置放大器 308 的数字输入信号可以因此表现出不同的逻辑高信号电平。除了处理这些不同的逻辑高信号电平之外,对应的前置放大器接口还可能需要与工厂伺服写入器接口,该工厂伺服写入器被用于格式化存储盘 110 上的伺服标记,并且上述伺服写入器可以提供具有基于 5V 供电电压的逻辑高信号电平的数字输入信号到前置放大器。

[0038] 本实施例中的前置放大器 308 的接口 320 包括至少一个数字输入检测器 322,其具有关联的自适应电源 324。图 4 示出了特定的其中一个前置放大器接口 320 的至少一部分的细节示意图。数字输入检测器 322 包括输入晶体管,图 4 的实施例中说明性地示出为 P 型 MOS (PMOS) 晶体管 P1。自适应电源 324 提供可变供电电压 V_{comp} 给数字输入检测器 322。该实施例中的数字输入检测器 322 将一个或多个 1.8V、2.5V、3.3V 和 5V 输入逻辑电平转化为前置放大器 308 内部使用的 3.3V 逻辑电平。

[0039] 通过本实施例中的自适应电源 324 提供到数字输入检测器 322 的可变供电电压 V_{comp} 随输入晶体管 P1 的阈值电压在选定点值附近变化,该选定点值被确定为在前置放大器 308 中从 SOC 304 接收的期望逻辑高输入信号电平的函数。例如,选定点值可以被确定为来自 SOC304 的最小期望逻辑高输入信号电平和输入晶体管 P1 的阈值电压的函数。作为一个更具体的例子,选定点值可以被确定为最小期望逻辑高输入信号电平和输入晶体管 P1 的阈值电压之和。以下将要结合图 5 描述自适应电源 324 的说明性实施例

[0040] 在其他实施例中,可以使用其他技术确定自适应电源使用的、作为期望逻辑高输入信号电平的函数的选定点值。例如,其他技术可以被用于选择选定点值,以使得对于具有最小期望逻辑高输入信号电平的输入信号,输入晶体管 P1 在阈值电压处偏置或者在接近于该阈值电压处偏置。此外,在其他实施例中,选定点值可以被确定为输入信号的另一期望逻辑电平的函数,例如最小期望逻辑低输入信号电平,而不是图 4 实施例中使用的最小期望逻辑高输入信号电平。

[0041] 继续参考图 4,除了数字输入检测器 322 之外,前置放大器 308 的接口电路 320 进一步包括:输入过电压保护装置 400,其耦合到数字输入检测器的输入节点(n_0),电平转换器电路 402,具有耦合到数字输入检测器 322 相应的第一和第二输出节点(n_1 和 n_2)的第一和第二输入,以及输出级 404,包括耦合到电平转换器电路 402 的第一输出(n_3)的第一对串联连接的反相器 405-1 和耦合到电平转换器电路 402 的第二输出(n_4)的第二对串联连接的反相器 405-2。

[0042] 输入晶体管 P1 的源极通过另一 PMOS 晶体管 P2 耦合到自适应电源的 V_{comp} 输出,并且其漏极通过 N 型 MOS (NMOS) 晶体管 N1 和 N2 耦合到低电源电位(说明性的是地电位)。输入晶体管 P1 的栅极耦合到数字输入检测器 322 的输入节点 n_0 。输入晶体管 P1 的漏极还耦合到数字输入检测器 322 的第一输出节点 n_1 。在其他实施例中,低电源电位可以被实现为负供电电压或者其他类型的 VSS 供电电压。

[0043] P1 的栅极还通过二极管 D1 耦合到高电源电位(说明性的是在该实施例中的 3.3V 供电电压),在图中表示为 VP33。二极管 D1 的阳极耦合到 P1 的栅极,其阴极连接到高电源电位 VP33。在其他实施例中,可以使用可选的供电电压作为该高电源电位。如图 4 所示的接口电路 320 因此利用了两个不同的电源,即自适应的电源 V_{comp} 和 3.3V 电源 VP33。

[0044] NMOS 晶体管 N1 和 N2 各自的栅极耦合到 PMOS 晶体管 P1 的栅极,因此耦合到数字

输入检测器 322 的输入节点 n_0 。此外, N1 的漏极耦合到 P1 的漏极, N2 的漏极耦合到 N1 的源极, 以及 N2 的源极耦合到低电源电位。

[0045] 数字输入检测器 322 进一步包括输入电平迟滞电路, 在该实施例中, 输入电平迟滞电路至少包括 PMOS 晶体管 P2 和 P3, 其各自的漏极耦合到 P1 的源极以及其各自的源极耦合到自适应电源的 V_{comp} 输出。P2 的栅极还耦合到其漏极以及 P1 的源极, P3 的栅极耦合到数字输入检测器 322 的第二输出节点 n_2 。本实施例中的输入电平迟滞电路进一步包括 NMOS 晶体管 N3, 其栅极耦合到 P1 的漏极和输出节点 n_1 。N3 的漏极耦合到 N2 的漏极, N3 的源极耦合到自适应电源 324 的 V_{comp} 输出。

[0046] 包括晶体管 P2、P3 和 N3 的输入电平迟滞电路在该实施例中被配置为允许相对大的输入迟滞电平而不会恶化信号传播时间。该实施例中的迟滞以以下方式操作。当节点 n_0 处的输入信号处于逻辑 0 电平时, P3 接通并且将 P1 的源极连接到 V_{comp} 。在节点 n_1 可以从逻辑 1 切换到逻辑 0 之前, 输入电压将上升到接近于 V_{comp} 加上 P1 的阈值电压 V_t 。在输入取正到足以使得节点 n_1 从逻辑 1 切换状态到逻辑 0 之后, P3 关断并且现在在节点 n_1 可以从状态 0 改变状态到 1 之前, 输入电压必须被减小为小于 V_{comp} 和 P1 和 P2 的阈值电压之和。因此可以通过增加 P2 的阈值电压而增加提供的迟滞量。数字输入检测器 322 还包括输出反相器, 反相器的输入耦合到 P1 的漏极和第一输出节点 n_1 , 其输出耦合到第二输出节点 n_2 。反相器包括 PMOS 晶体管 P4 和 NMOS 晶体管 N4。P4 和 N4 的栅极都耦合到第一输出节点 n_1 , 由此耦合到输入晶体管 P1 的漏极。P4 的源极耦合到自适应电源 324 的 V_{comp} 输出。P4 的漏极和 N4 的漏极都耦合到第二输出节点 n_2 。N4 的源极耦合到低电源电位, 说明性的是地电位。包括晶体管 P4 和 N4 的反相器提供用于驱动 P3 的逻辑反相, 从而实现期望的迟滞。反相器还驱动电平转换器电路 402 的一个输入。

[0047] 电平转换器电路 402 包括 PMOS 晶体管 P5 和 P6 以及 NMOS 晶体管 N5 和 N6。如上面所指出的, 电平转换器电路的第一和第二输入耦合到数字输入检测器 322 的相应的输出节点 n_1 和 n_2 。更具体地, 节点 n_1 耦合到 N6 的栅极, 节点 n_2 耦合到 N5 的栅极。P5 和 P6 的栅极分别交叉耦合到 P6 和 P5 的漏极, 以及还分别交叉耦合到 N6 和 N5 的漏极。P5 和 P6 的源极耦合到高电源电位, 说明性的是 3.3V 电源, N5 和 N6 的源极耦合到地电位。电平转换器电路 402 的输出在节点 n_3 和 n_4 处提供。包括晶体管 P5、P6、N5 和 N6 的电平转换器电路被配置为将节点 n_1 和 n_2 上的 V_{comp} 到地信号振幅转化为节点 n_3 和 n_4 处的 VP33 到地的信号振幅, 用于供前置放大器 308 的其他内部逻辑及输出级 404 的一对串联连接的反相器 405 使用。

[0048] 输出级 404 的反相器 405 被用于建立接口电路 320 的输出驱动以驱动前置放大器 308 的内部信号线路。输出级 404 提供非互补和互补的输出(分别以 D_{in} 和 nD_{in} 表示), 其通过检测施加到接口电路 320 的输入 IN 的输入信号而产生。

[0049] 耦合在接口电路输入 IN 和数字输入检测器 322 的输入节点 n_0 之间的输入过电压保护装置 400 包括一个 NMOS 晶体管 N7。输入过电压保护晶体管 N7 与二极管 D1 一起工作以将输入节点 n_0 处的最大正电压箝位为对于晶体管 P1、N1 和 N2 安全的栅极到源极电压 V_{gs} , 用于避免当接口电路由 5V 逻辑电平驱动时(例如可能由伺服写入器供电的情况)的过电压。如果输入电平被限制在 0 到 3.3V 电平, 则在该实施例中可以删除输入过电压保护晶体管 N7。

[0050] 现在参考图 5, 自适应电源 324 的一个实施例包括运算放大器 500, 具有非反相输入(+), 反相输入(-)和提供 V_{comp} 供电电压到数字输入检测器 322 的输出。非反相输入耦合到参考电压源 V_{ref} , 反相输入耦合到反馈(FB)路径 502。自适应电源 324 进一步包括自适应电源晶体管 $P1'$, 其具有随一个或更多个环境因素的一个或更多个参数变化特性, 所述环境因素例如是大体上与数字输入检测器 322 的输入晶体管 $P1$ 的处理和温度相匹配的处理和温度。晶体管 $P1'$ 的源极耦合到运算放大器 500 的输出, 其栅极和漏极耦合在一起。该实施例中, 由于处理或者温度的变化而导致 $P1$ 阈值电压的变化由 $P1'$ 的阈值电压的相应变化跟踪, 并且由此被反映在自适应供电电压 V_{comp} 中。

[0051] 自适应电源 324 进一步包括串联连接的一对电阻器 $R0$ 和 $R1$, 用于形成 $P1'$ 的漏极和低电源电位之间的分压器电路, 如上所述, 在该实施例中低电源电位是地电位。 $R0$ 和 $R1$ 在本实施例中的示例性值分别是 $48k\Omega$ 和 $192k\Omega$, 然而这些值当然可以取决于自适应电源 324 的期望选定点值而改变, 如上所述, 自适应电源 324 的期望选定点值可以被确定为从 SOC 304 接收的期望逻辑高输入信号电平的函数。回到运算放大器 500 的反相输入的反馈路径 502 耦合到第一和第二电阻器 $R0$ 和 $R1$ 之间的分压器电路的一个分接头。在该实施例中, 自适应电源 324 提供的自适应供电电压 V_{comp} 被设置为, 使得当输入晶体管 $P1$ 由最小期望逻辑高输入信号电平驱动时在其阈值电压附近偏置。这可以通过建立如下的 V_{comp} 的设定点而实现, 所述 V_{comp} 的设定点由 $P1$ 的阈值电压和最小期望逻辑高输入信号电平之和给出。在上述实施例中, 设定点可以可选地被表示为 $P1$ 的栅极到源极的电压降 V_{gs} 和最小期望逻辑高输入信号电平的函数。

[0052] 供电电压 V_{comp} 因此变化以补偿 PMOS 阈值电压随处理和温度的相应变化, 以使得在输入信号电平处于最小期望逻辑高值时数字输入检测器 322 的输入晶体管 $P1$ 在接近于其阈值电压处保持偏置。例如, 随着结温度的增加, 可以以大约 $2mV/^{\circ}C$ 的速率减小 PMOS 阈值电压的幅值。如果该变化没有通过供电电压 V_{comp} 补偿, 则当输入由来自 SOC 的最小期望逻辑高电平驱动时, 流过 PMOS 器件 $P1$ 的电流将随温度而增加, 这可以导致流过数字输入检测器 322 的不可接受的大的供电电流。在本实施例中, 处理和温度的总变化可以为差不多 0.2 到 0.5V。

[0053] 举例来说, 假定在一个实施例中, 基于已知的 1.8V 的 SOC 供电电压和 SOC 与前置放大器之间的期望地电位差, 最小期望逻辑高输入信号电平为 1.52V。当逻辑高输入信号电平大于 1.52V 时, 随着通过 $P1$ 的供电电流相应地减小, $P1$ 被进一步推动到其截止区域。在该实施例中, 分压器的电阻器 $R0$ 和 $R1$ 之比被设置为, 使得利用来自带隙参考源的 V_{ref} 值 1.2V, V_{comp} 由来自 SOC 的 1.52V 的最小期望逻辑高电平加上一个 PMOS 的 V_{gs} 给出。

[0054] 在该具体实施例中, 由数字输入检测器 322 从 V_{comp} 电源汲取的最大电流在逻辑高输入信号电平处于期望最小值为 1.52V 时仅仅约为 5 微安。

[0055] 实现该汲取的低的最大电流的同时, 相对于现有的接口电路布置, 还减小了输入检测器及其关联电源的总功耗和管芯面积。

[0056] 图 4 和 5 的接口电路 320 中的 MOS 晶体管器件 $P1$ - $P6$, $P1'$ 和 $N1$ - $N7$ 的示例性器件尺寸在以下表中给出, 然而也可以在其他实施例中使用其他器件尺寸。按微米(μm)给出了关于宽度和长度的器件尺寸。

[0057]

接口电路器件尺寸		
器件	宽度 (μm)	长度 (μm)
P1	20.00	0.30
P2	10.00	0.13
P3	15.45	0.30
P4	8.00	0.30
P5	6.00	0.30
P6	6.00	0.30
P1'	7.5	0.30
N1	30.00	0.35
N2	30.00	0.35
N3	5.00	0.35
N4	4.00	0.35
N5	15.00	0.35
N6	15.00	0.35
N7	9.28	0.48

[0058] 将要理解,图 4 和 5 所示的具体的接口电路布置仅仅是通过举例而给出的,并且本发明的其他实施例可以利用其他类型的电路来实现一个或更多个数字输入检测器和关联的自适应电源。应当注意,多个数字输入检测器可以由相同的自适应电源供电。

[0059] 例如,在本发明的另一实施例中,图 4 和 5 中的所有 PMOS 器件可以改为 NMOS 器件,反之亦然。这样的实施例具有在负压电源电位和地电位之间变化的逻辑状态,而不是如图 4 和 5 的实施例中的在地电位和正电源电位之间变化的逻辑状态。除了从 P 到 N 的晶体管类型的改变(以及反之亦然)之外,还可以将正电源 VP33 改变为负电源 VN33,由此提供低于地电位 3.3V 的供电电压,对于二极管 D1 互换阴极和阳极连接,并且将 Vref 的符号从正改变为负。在这样的布置中,自适应供电电压 Vcomp 的选定点值可以被确定为最小期望逻辑低输入信号电平和输入晶体管的阈值电压的函数,其中最小期望逻辑低在这种情况下表示最小的负逻辑低。可以使用许多其他配置的电路来实现其他实施例中的数字输入检测器及其关联的自适应电源。

[0060] 如上所述,在其他实施例中可以改变存储装置的配置。例如,存储装置可以包括混合式 HDD,其除了一个或更多个存储盘之外还包括闪存。此外,如此处描述的接口电路不局限于在存储器件中使用,而是可以更通常地其他类型的处理器件中实现。

[0061] 还将理解,在本发明的其他实施例中可以改变具体的存储盘配置和记录机构。例如,例如叠瓦式磁记录(SMR)和比特图案介质(BPM)的记录技术可被用于一个或多个本发明的实施例中。

[0062] 图6示出了处理系统600,其包括耦合到主处理装置602的基于磁盘的存储装置100,主处理装置可以是计算机、服务器、通信装置等等。尽管在该图中被显示为一个单独的部件,然而存储装置100可以被集成在主处理装置中。送往存储装置100的例如读取命令和写入命令的指令可以来源于处理装置602,其可以包括类似于结合图3描述的处理器和存储器件。

[0063] 如图7所示,多个基于磁盘的存储装置100可以被集成到虚拟存储系统700中。虚拟存储系统700也被称为存储器虚拟化系统,说明性地包括耦合到RAID系统704的虚拟存储器控制器702,其中RAID表示独立磁盘冗余阵列。RAID系统更具体地包括N个不同的存储装置,由100-1,100-2...100-N表示,假定其中的一个或多个被配置为包括接口电路,该接口电路包括如此处公开的至少一个数字输入检测器和关联的自适应电源。

[0064] 包括HDD或者此处公开的其他类型的其他基于磁盘的存储设备的这些及其他虚拟存储系统被视为本发明的实施例。图6中的主处理装置602还可以是虚拟存储系统的部件,并且可以包括虚拟存储器控制器702。

[0065] 再一次,应当强调上述本发明的实施例仅仅是说明性的。例如,其他实施例可以使用不同类型和布置的存储盘、读写头、控制电路、接口电路及其他存储装置部件用于实现所述的功能。此外,可以以各种其他类型的处理装置实现此处公开的输入检测器和关联的自适应电源。此外,配置有数字输入检测器和关联的自适应电源的具体方式可以在其他实施例中变化,例如其中选定点值被确定为输入信号的期望逻辑电平的函数的方式。以下权利要求范围内的这些和许多其它可选实施例对本领域技术人员是显而易见的。

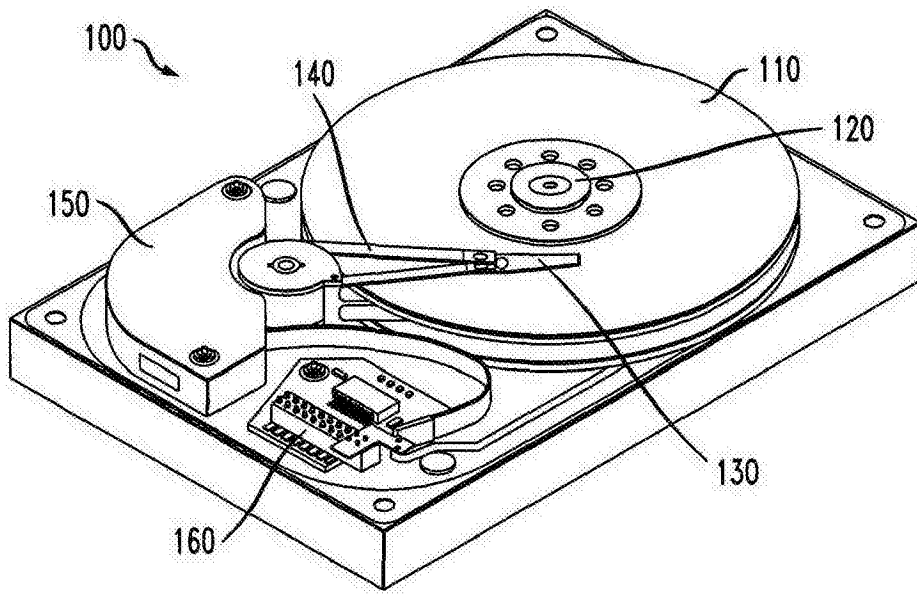


图 1

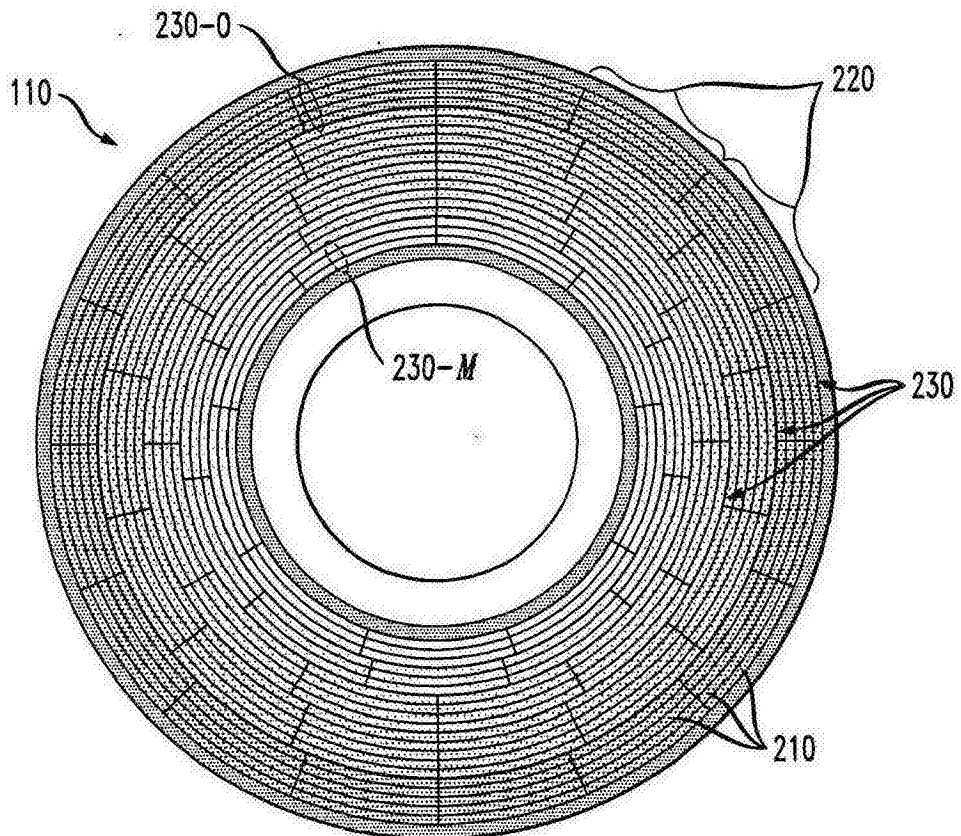


图 2

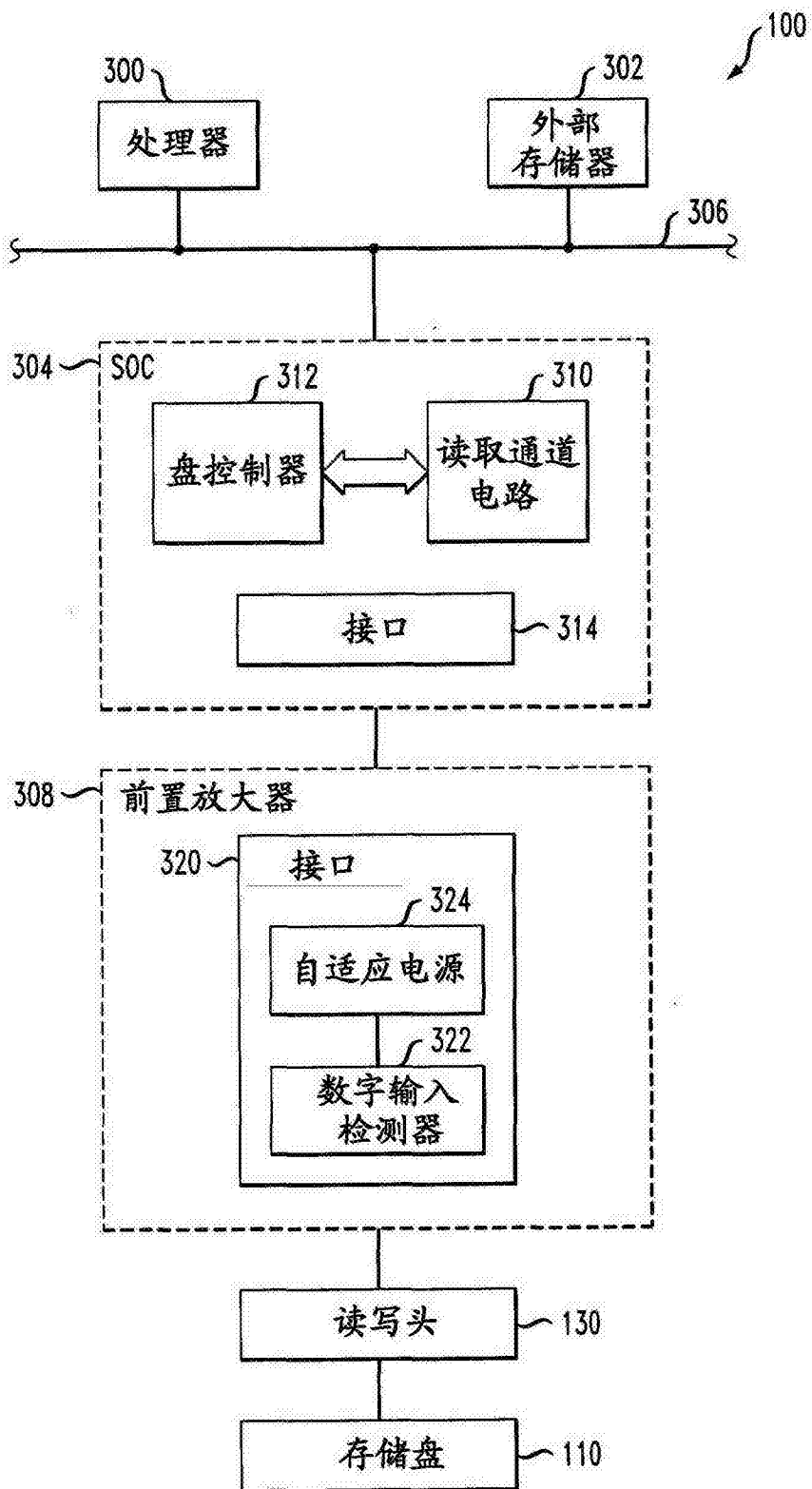


图 3

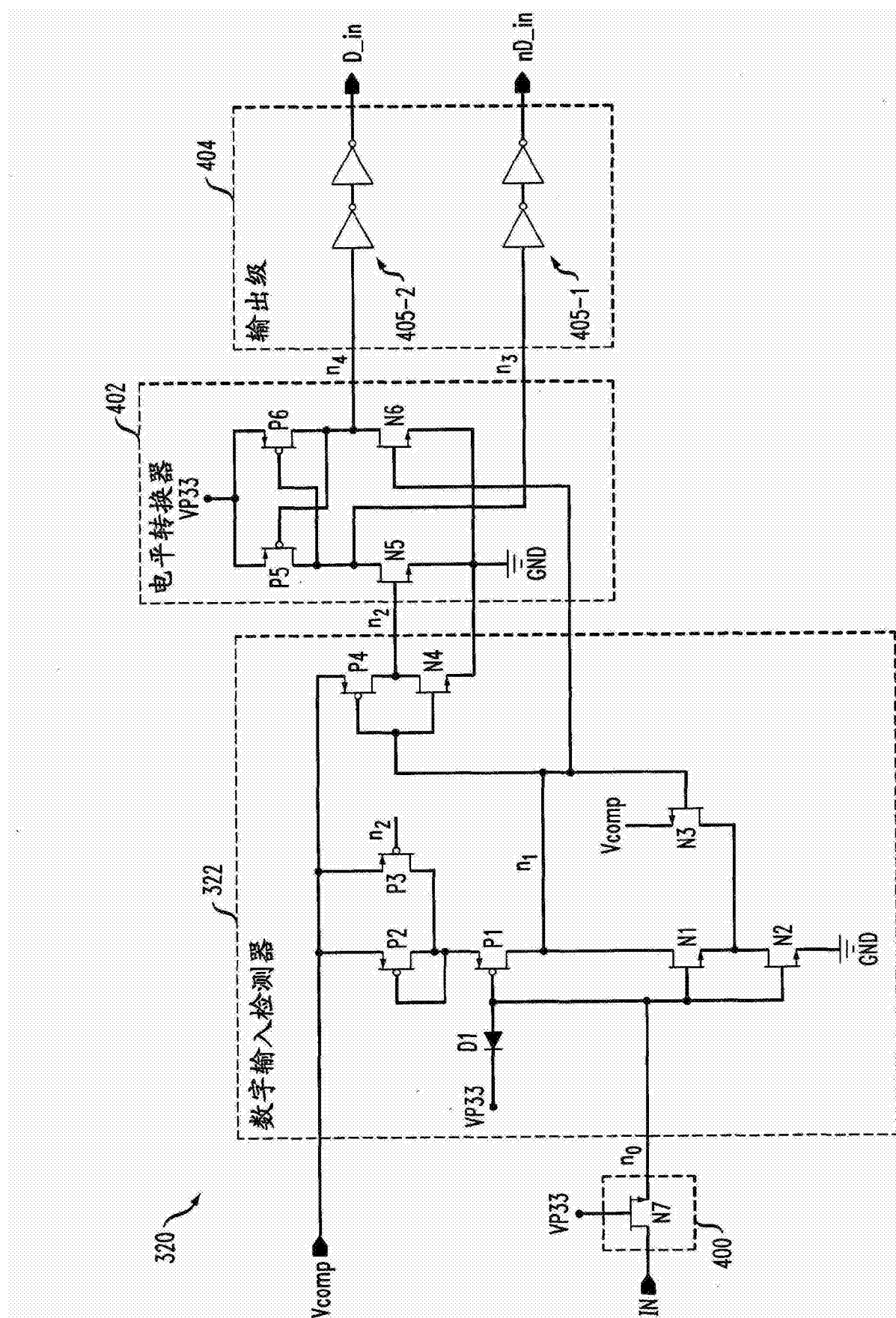


图 4

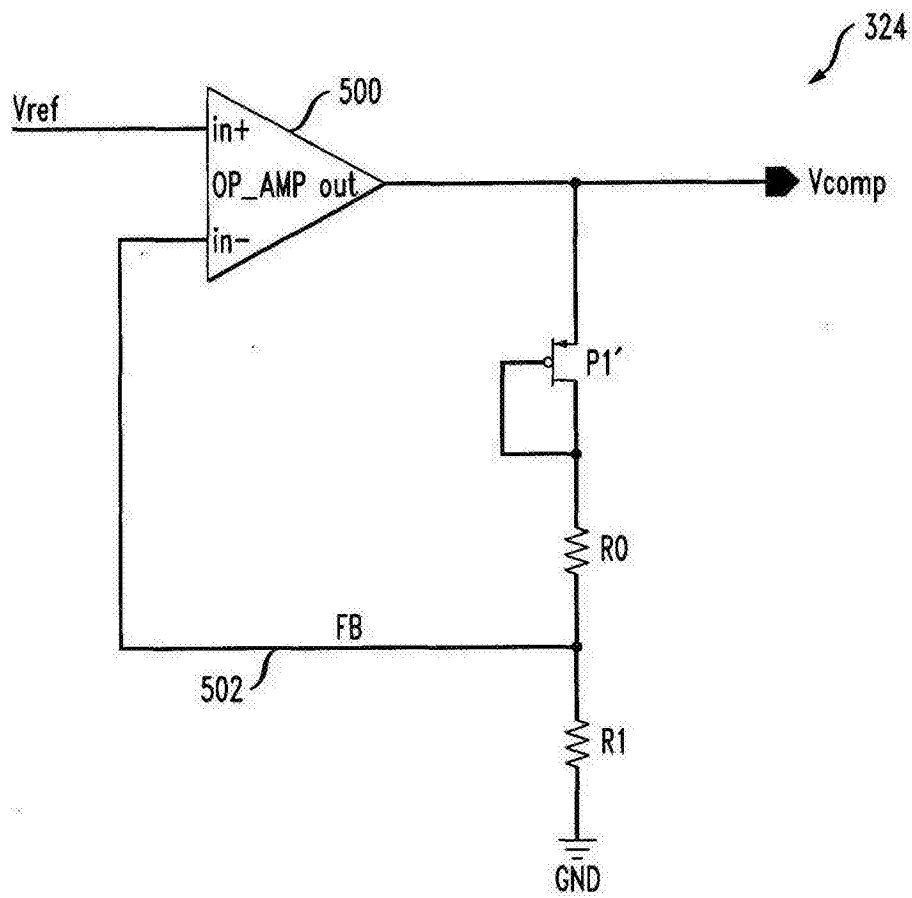


图 5

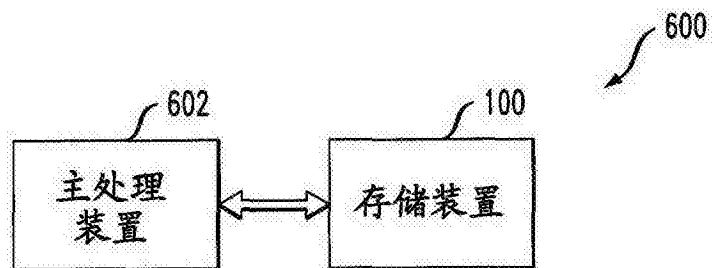


图 6

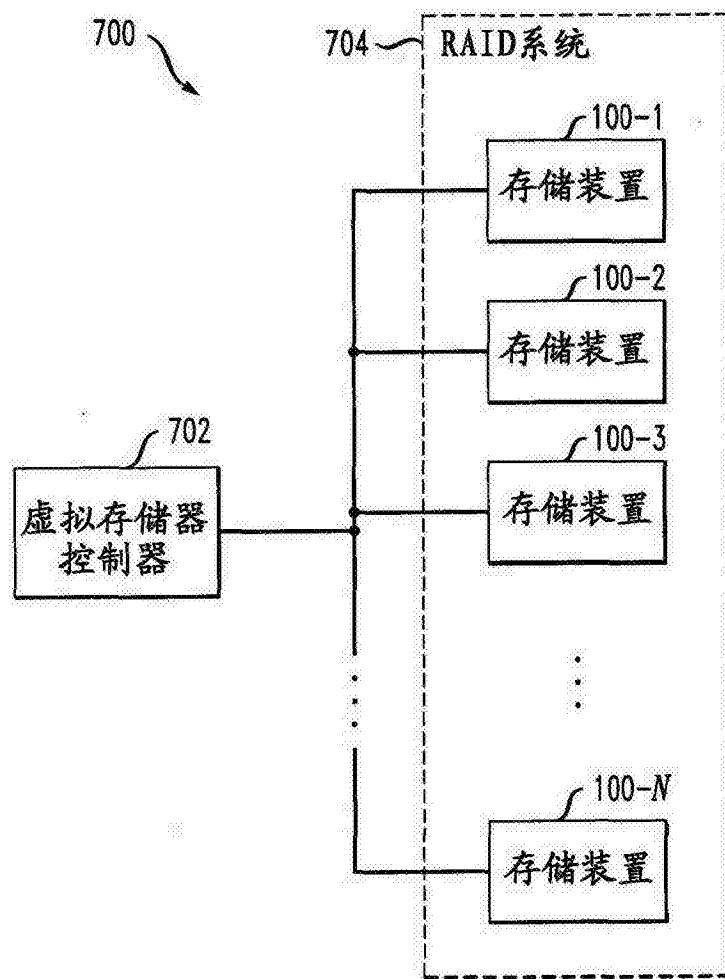


图 7